(19) Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 196 01 547 B4** 2005.01.27

(12) **Patentschrift**

(21) Aktenzeichen: **196 01 547.2**
(22) Anmeldetag: **17.01.1996**
(43) Offenlegungstag: **12.12.1996**
(45) Veröffentlichungstag der Patenterteilung: **27.01.2005**

(51) Int Cl.[7]: **G11C 29/00**
G11C 11/413

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden.

(30) Unionspriorität:
7-140605 07.06.1995 JP

(71) Patentinhaber:
Mitsubishi Denki K.K., Tokio/Tokyo, JP

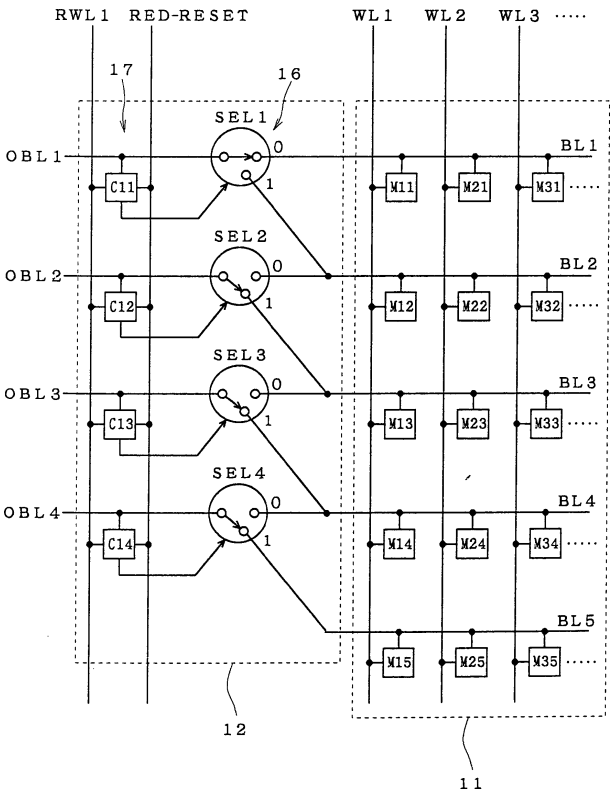
(74) Vertreter:
WINTER, BRANDL, FÜRNISS, HÜBNER, RÖSS, KAISER, POLTE, Partnerschaft, 85354 Freising

(72) Erfinder:
Maeno, Hideshi, Itami, Hyogo, JP

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:
US 53 79 258

(54) Bezeichnung: **Speicherschaltung, Datensteuerschaltung der Speicherschaltung und Adressenzuweisungsschaltung der Speicherschaltung**

(57) Hauptanspruch: Speicherschaltung mit:
einer Speicherzellenanordnung, welche eine Mehrzahl von Speicherzellen enthält, die in Form einer Matrix angeordnet sind;
einer Mehrzahl von äußeren Verbindungsleitungen, welche an eine Mehrzahl von inneren Verbindungsleitungen wenigstens in einer Richtung der Richtung einer Reihe und der Richtung einer Spalte der Speicherzellenanordnung angeschlossen sind, zum Austausch von Daten für die Speicherzellenanordnung von außen; und
einer Reihenredundanzsteuerschaltung, welche zwischen der Speicherzellenanordnung und den äußeren Verbindungsleitungen eingesetzt ist, zum Steuern derart, daß wenigstens ein Fehlerdatenwert in dem Fall des Auftretens eines Fehlers in der Speicherzellenanordnung kompensiert wird,
wobei die Anzahl von Leitungen der äußeren Verbindungsleitungen kleiner als die Anzahl von Leitungen der inneren Verbindungsleitungen ist, und
wobei die Reihenredundanzsteuerschaltung
eine Gruppe von Steuerspeicherzellen, welche Steuerspeicherzellen in derselben Anzahl wie derjenigen der äußeren Verbindungsleitungen aufweist, einen Binärwert bezüglich der äußeren Verbindungsleitungen speichert, welche an der Seite einer Richtung von der inneren Verbindungsleitung mit dem Fehlerdatenwert...



Beschreibung

[0001] Die vorliegende Erfindung bezieht sich auf eine Speicherschaltung mit Redundanzfunktion, auf eine Datensteuerschaltung der betreffenden Speicherschaltung und auf eine Adressenzuweisungsschaltung der betreffenden Speicherschaltung.

[0002] **Fig.** 54 zeigt ein Schaltungsdiagramm, welches eine erste Speicherschaltung einer ersten Art nach dem Stand der Technik darstellt. Die erste Speicherschaltung nach dem Stand der Technik, deren Speicherzellenanordnung **1** mit der Spaltenredundanzsteuerschaltung (COL-RED-CTRL) **2** verbunden ist, ist derart konstruiert, daß Wähler SEL1 bis SEL4 durch Abtrennen von Sicherungen F1 bis F4 innerhalb der Spaltenredundanzsteuerschaltung **2** gesteuert werden und einem Fehler in den Speicherzellen M11 bis M15, M21 bis M25, M31 bis M35, ... durch Schalten der Beziehung der Verbindung bzw. Zuordnung zwischen den äußeren Bitleitungen OBL1 bis OBL4 und den inneren Bitleitungen BL1 bis BL5 innerhalb der Speicherzellenandordnung **1** abgeholfen wird.

[0003] Nämlich in einem Fall des Auftretens eines Bruchs eines Drahts oder eines Kurzschließens der inneren Bitleitung BL2 oder eines Fehlers in den Speicherzellen M12, M22, M32, ..., welche mit den inneren Bitleitungen BL2 verbunden sind, werden beispielsweise (von der Speicherschaltung) die jeweiligen Knoten als N1 = "0", N2 = "1", N3 = "1", N4 = "1" bestimmt, und es wird der Kontakt der Wähler SEL2 bis SEL4 von "0" auf "1" durch Trennen der Sicherung F2 wie in **Fig.** 54 dargestellt mittels der Strahlung eines Laserstrahls geschaltet. Und es werden (von der Speicherschaltung) die äußere Bitleitung OBL1 mit der inneren Bitleitung BL1, die äußere Bitleitung OBL2 mit der inneren Bitleitung BL3, die äußere Bitleitung OBL3 mit der inneren Bitleitung BL4 bzw. die äußere Bitleitung OBL4 mit der inneren Bitleitung BL5 verbunden bzw. ihnen zugeordnet.

[0004] Gewöhnlich wird ein Fehler, welcher sich auf die innere Bitleitung BL2 der Speicherzellen für den Betrieb von M11 bis M15, M21 bis M25, M31 bis M35, ..., welche einen Zugriff auf die äußeren Bitleitungen OBL1 bis OBL4 ermöglichen, nicht beobachtet, und die Speicherschaltung kann zu arbeiten veranlaßt werden, als ob in ihr kein Fehler auftritt.

[0005] Während entsprechend **Fig.** 54 die Anzahl von äußeren Bitleitungen OBL1 bis OBL4, Sicherungen F1 bis F4 und Wählern SEL1 bis SEL4 aus Gründen der Vereinfachung auf 4 bestimmt ist, kann tatsächlich eine größere Anzahl vorliegen.

[0006] **Fig.** 55 zeigt ein Schaltungsdiagramm, welches eine zweite Speicherschaltung nach dem Stand der Technik darstellt. Den Bauelementen bzw. Vorrichtungen entsprechend **Fig.** 55 und 54, welche dieselbe Funktion besitzen, sind dieselben Bezugszeichen zugeordnet. Die zweite Speicherschaltung nach dem Stand der Technik, deren Speicherzellenanordnung **1** mit der Reihenredundanzsteuerschaltung (ROW-RED-CTRL) **3** verbunden ist, ist derart konstruiert, daß Wähler SEL1 bis SEL4 durch Abtrennen von Sicherungen F1 bis F4 innerhalb der Reihenredundanzsteuerschaltung **3** gesteuert werden und einem Fehler in Speicherzellen M11 bis M13..., M21 bis M23..., M31 bis M33..., M41 bis M43..., M51 bis M53... durch Schalten der Beziehung der Verbindung bzw. Zuordnung zwischen äußeren Wortleitungen OWL1 bis OWL4 und inneren Wortleitungen WL1 bis WL5 und inneren Bitleitungen BL1 bis BLS innerhalb der Speicherzellenanordnung **1** abgeholfen wird.

[0007] Nämlich in einem Fall des Auftretens eines Bruchs eines Drahtes oder eines Kurzschließens der Wortleitung WL2 oder eines Fehlers in Speicherzellen M21 bis M23..., welche mit der Wortleitung WL2 verbunden sind, werden (von der Speicherschaltung) beispielsweise jeweilige Knoten als Knoten N1="0", N2="1", N3="1", N4="1" bestimmt, und der Kontakt der Wähler SEL2 bis SEL4 wird durch Abtrennen der Sicherung F2 wie in **Fig.** 55 dargestellt mittlels Strahlung eines Laserstrahls von "0" auf "1" geschaltet. Und es werden (von der Speicherschaltung) die externe Wortleitung OWL1 mit der inneren Wortleitung WL1, die äußere Wortleitung OWL2 mit der inneren Wortleitung WL3, die äußere Wortleitung OWL3 mit der inneren Wortleitung WL4 bzw. die äußere Wortleitung OWL4 mit der inneren Wortleitung WL5 verbunden.

[0008] Gewöhnlich wird ein Fehler, welcher die innere Wortleitung WL2 der Speicherzellen für den Betrieb M11 bis M13..., M21 bis M23..., M31 bis M33..., M41 bis M43..., M51 bis M53... betrifft, welche einen Zugriff auf die äußeren Wortleitungen OWL1 bis OWL4 ermöglichen, nicht beobachtet, und die Speicherschaltung kann zu arbeiten veranlaßt werden, als wenn kein Fehler in ihr auftritt.

[0009] Während entsprechend **Fig.** 55 die Anzahl äußerer Wortleitungen OWL1 bis OWL4, der Sicherungen F1 bis F4 und der Wähler SE1 bis SE4 aus Gründen der Vereinfachung gleich 4 ist, ist tatsächlich eine größere Anzahl vorhanden.

[0010] Während bei der ersten Vorrichtung nach dem Stand der Technik und der zweiten Vorrichtung nach dem Stand der Technik ein Abtrennen der Sicherungen F1 bis F4 durch einen Laserstrahl in einem Fall eines Fehlers unter Verwendung der Sicherungen F1 bis F4 für entweder die Spaltenredundanzsteuerschaltung **2** oder die Reihenredundanzsteuerschaltung **3** durchgeführt wurde, erfordert dieses Verfahren zwangsläufig die Installierung einer Lasereinheit bei dem Herstellungsverfahren nach dem Spei-

chertest. Damit sind jedoch herrührend von hohen Kosten für die Lasereinheit insgesamt hohe Herstellungskosten verbunden, wobei zu berücksichtigen ist, daß die Lasereinheit lediglich im Falle eines Fehlers verwendet wird (d.h. es liegt eine geringe Verwendungshäufigkeit vor).

Stand der Technik

[0011] Des weiteren ist aus der US 5,379,258 eine Speicherschaltung mit einer Speicherzellenanordnung bekannt, welche eine Mehrzahl von Speicherzellen enthält, die in Form einer Matrix angeordnet sind. Die Speicherschaltung weist eine Mehrzahl von äußeren Verbindungsleitungen auf, welche an eine Mehrzahl von inneren Verbindungsleitungen angeschlossen sind, zum Austausch von Daten für die Speicherzellenanordnung. Ferner weist die Speicherschaltung eine Reihenredundanzsteuerschaltung auf.

Aufgabenstellung

[0012] Aufgabe der vorliegenden Erfindung ist es, eine verbesserte Speicherschaltung, welche zum Schalten einer Redundanzsteuerschaltung geeignet ist, und eine der Speicherschaltung zugeordnete Daten-Steuerschaltung und eine der Speicherschaltung zugeordnete Adressenzuweisungsschaltung vorzusehen.

[0013] Die Lösung der Aufgabe erfolgt durch die Merkmale des Hauptanspruchs und der nebengeordneten Ansprüche.

[0014] In Übereinstimmung mit der vorliegenden Erfindung enthält eine Speicherschaltung: eine Speicherzellenanordnung, welche aus einer großen Anzahl von Speicherzellen zusammengesetzt ist, welche in Form einer Matrix angeordnet sind; eine große Anzahl äußerer Verbindungsleitungen, welche an die in einer großen Anzahl vorkommenden inneren Verbindungsleitungen wenigstens in Richtung einer Reihe bzw. in Richtung einer Spalte der Speicherzellenanordnung verbunden sind, zum Austausch von Daten bezüglich der Speicherzellenanordnung von außen; und eine Redundanzsteuerschaltung, welche zwischen der Speicherzellenanordnung und den äußeren Verbindungsleitungen eingesetzt ist, zum Steuern derart, daß wenigstens ein Fehlerdatenwert im Falle des Auftretens eines Fehlers in der Speicherzellenanordnung kompensiert wird.

[0015] Darüber hinaus ist die Anzahl von Drähten der äußeren Verbindungsleitungen kleiner als die Anzahl von Drähten der inneren Verbindungsleitungen.

[0016] Und die Redundanzsteuerschaltung enthält eine Gruppe Steuerspeicherzellen, in derselben Anzahl wie derjenigen der äußeren Verbindungsleitungen, speichert einen Binärwert bezüglich der äußeren Verbindungsleitungen, welche auf der Seite einer Richtung bezüglich der inneren Verbindungsleitung, welche die Fehlerdaten aufweist, als Grenze angeordnet sind, und speichert den anderen Binärwert bezüglich der äußeren Verbindungsleitungen, welche auf der anderen Seite der anderen Richtung bezüglich der inneren Verbindungsleitung, welche den Datenfehler aufweist, als Grenze angeordnet sind; und eine Gruppe von Wählern, welche eine große Anzahl von Wählern aufweist, die jeweils mit den Steuerspeicherstellen der Gruppe von Steuerspeicherzellen verbunden bzw. ihnen zugeordnet sind, in Abhängigkeit des in der Gruppe von Steuerspeicherzellen gespeicherten Werts die Verbindung zwischen der inneren Verbindungsleitung, welche den Datenfehler aufweist, und den äußeren Verbindungsleitungen, welche verbunden bzw. ihnen zugeordnet sind mit der betreffenden inneren Verbindungsleitung entkoppelt, die äußeren Verbindungsleitungen, welche auf der Seite einer Richtung bezüglich der inneren Verbindungsleitung, welche den Datenfehler aufweist, als Grenze angeordnet sind, mit den inneren Verbindungsleitungen, welche mit der betreffenden äußeren Verbindungsleitung verbunden bzw. ihnen zugeordnet sind, verbindet, darauffolgend die äußeren Verbindungsleitungen, welche an der Seite der anderen Richtung bezüglich der inneren Verbindungsleitung, welche den Datenfehler aufweist, als Grenze angeordnet sind, mit den anderen inneren Verbindungsleitungen benachbart an der Seite der anderen Richtung bezüglich der inneren Verbindungsleitung, welche mit der betreffenden äußeren Verbindungsleitung verbunden bzw. ihnen zugeordnet ist, verbindet.

[0017] In Übereinstimmung mit der vorliegenden Erfindung ist es möglich, ohne Durchtrennung der Sicherung mittels des Laserstrahls wie bei der ersten Vorrichtung nach dem Stand der Technik und der zweiten Vorrichtung nach dem Stand der Technik ein geeignetes Schalten der Redundanzschaltung durch Schalten der jeweilige Wähler der Gruppe von Wählern mit den Werten, welche in den jeweiligen Steuerspeicherzellen der Gruppe von Steuerspeicherzellen gespeichert sind, durchzuführen. Daher tritt nicht die Notwendigkeit einer Verwendung einer aufwendigen Lasereinheit auf, wodurch nicht nur eine Reduzierung der Kosten des Herstellungsverfahrens sondern ebenso ein wirksames Schalten der Redundanzschaltung in sehr kurzer Zeit ermöglicht wird.

[0018] Vorzugsweise ist der Dateneingangsanschluß der Steuerspeicherzellen der Gruppe von Steuerspeicherzellen entweder mit den äußeren Verbindungsleitungen oder den inneren Verbindungsleitungen verbunden, welche jeweils damit verbunden bzw. ihnen zugeordnet werden.

[0019] Entsprechend der vorliegenden Erfindung kann ein Schreiben von Daten in die Steuerspeicher-

zellen der Gruppe von Steuerspeicherzellen durch bloßes Abgeben von Daten von den äußeren Verbindungsleitungen auf dieselbe Weise durchgeführt werden, als wenn Daten in die Speicherzellen der Speicherzellenanordnung geschrieben werden. Daher besteht keine Notwendigkeit des Bereitstellens eines besonderen Datenschreibanschlusses, wodurch das Anwachsen der Anzahl von Anschlüssen verhindert wird.

[0020] Vorzugsweise ist der Dateneingangsanschluß der Steuerspeicherzellen der Gruppe von Steuerspeicherzellen jeweils mit den inneren Verbindungsleitungen verbunden, welche mit den äußeren Verbindungsleitungen verbunden bzw. ihnen zugeordnet sind, an welche die jeweiligen Wähler der Gruppe von zu steuernden Wählern angeschlossen sind, und es sind Schaltbauelemente zum selektiven Wählen der Erlaubnis einer Steuerung durch die Gruppe der Steuerspeicherzellen jeweils zwischen den jeweiligen Steuerspeicherzellen der Gruppe von Steuerspeicherzellen und den jeweiligen Wählern der Gruppe von Wählern eingesetzt.

[0021] Entsprechend der vorliegenden Erfindung ist es möglich, eine Gruppe von Steuerspeicherzellen und eine Speicherzellenanordnung gleichzeitig und mit demselben Standard durch Nebeneinanderplazieren, durch Verbinden der jeweiligen Steuerspeicherzellen der Gruppe von Steuerspeicherzellen mit den inneren Verbindungsleitungen der jeweiligen Speicherzellenanordnung zu bilden und daher den Teil der überflüssigen Spalte der Speicherzellenanordnung als Gruppe von Steuerspeicherzellen beispielsweise zu verwenden.

[0022] In diesem Fall gibt es in Abhängigkeit des Werts der Steuerspeicherzellen Fälle, bei welchen die äußeren Verbindungsleitungen und die Steuerspeicherzellen in den Zustand des Trennens durch ein Schalten von Wählern geraten, und in dem Zustand besteht das Risiko, daß es dauerhaft unmöglich wird, erneut Daten in die jeweiligen Steuerspeicherzellen der Gruppe von Steuerspeicherzellen durch Ausgabe von Daten von äußeren Verbindungsleitungen zu speichern und ein Schalten von Wählern durchzuführen, sogar nachdem beispielsweise ein Fehler der Speicherzellenanordnung beseitigt wurde.

[0023] Es wird jedoch möglich, Daten in den jeweiligen Steuerspeicherzellen der Gruppe von Steuerspeicherzellen durch Ausgeben von Daten von äußeren Verbindungsleitungen durch Schalten einer Steuererlaubnis und durch Schalten der Wähler mittels der Schaltvorrichtung erneut zu speichern.

[0024] Entsprechend einem Aspekt der vorliegenden Erfindung enthält eine Speicherschaltung: eine Speicherzellenanordnung, welche aus einer großen Anzahl von Speicherzellen zusammengesetzt ist, welche in Form einer Matrix angeordnet sind; eine große Anzahl äußerer Verbindungsleitungen, welche mit einer großen Anzahl innerer Verbindungsleitungen wenigstens in Richtung einer Reihe bzw. in Richtung einer Spalte der Speicherzellenanordung verbunden sind, zum Austausch von Daten für die Speicherzellenanordnung von außen; und eine Redundanzsteuerschaltung, welche zwischen der Speicherzellenanordnung und den äußeren Verbindungsleitungen eingesetzt ist, zum Steuern derart, daß zwei Datenfehler im Falle des Auftretens eines Fehlers in der Speicherzellenanordnung kompensiert werden.

[0025] Darüber hinaus ist die Anzahl von Drähten der äußeren Verbindungsleitungen auf einen Wert kleiner als zwei gegenüber der Anzahl von Drähten der inneren Verbindungsleitungen bestimmt.

[0026] Und die Redundanzsteuerschaltung enthält eine Gruppe von Wählern, welche aus einer großen Zahl von Wählern zusammengesetzt ist, zum selektiven Schalten jeweils dreier aufeinanderfolgend benachbarter inneren Verbindungsleitungen, welche in Übereinstimmung mit den jeweiligen äußeren Verbindungsleitungen vorgesehen sind; und eine Gruppe Speicherzellen, welche aus einer großen Anzahl Speicherzellen zusammengesetzt sind, zum selektiven Speichern eines ternären Werts für jede der inneren Verbindungsleitungen derart, daß eine Schaltsteuerung der jeweiligen Wähler der Gruppe von Wählern durchgeführt wird.

[0027] Entsprechend der vorliegenden Erfindung geben Steuerspeicherzellen einer Gruppe von Steuerspeicherzellen selektiv einen Wert ternären Daten für jede äußere Verbindungsleitung den jeweiligen Wählern der Gruppe von Wählern aus, und entsprechend diesem Ausgang schalten die jeweiligen Wähler der Gruppe von Wähler selektiv aufeinanderfolgend jeweils drei benachbarte innere Verbindungsleitungen.

[0028] Und daher liegt inmmer noch keine Notwendigkeit der Verwendung einer aufwendigen Lasereinheit vor, wodurch nicht nur eine Reduzierung der Herstellungskosten sondern ebenso ein wirksames Schalten der Redundanzschaltung in äußerst kurzer Zeit ermöglicht wird.

[0029] Vorzugsweise ist der Dateneingangsanschluß der Steuerspeicherzellen der Gruppe von Steuerspeicherzellen entweder mit den äußeren Verbindungsleitungen oder den inneren Verbindungsleitungen verbunden, welche jeweils damit verbunden bzw. ihnen zugeordnet sind.

[0030] In Übereinstimmung mit der vorliegenden Erfindung kann in dem Fall, bei welchem die Schaltung eine Redundanzfunktion von zwei Bit aufweist, das

Schreiben von Daten in die Steuerspeicherzellen der Gruppe von Steuerspeicherzellen lediglich durch Ausgeben von Daten von äußeren Verbindungsleitungen auf dieselbe Weise durchgeführt werden, als wenn Daten in die Speicherzellen der Speicherzellenanordnung geschrieben werden. Daher besteht keine Notwendigkeit, einen besonderen Datenschreibanschluß vorzusehen, wodurch ein Ansteigen der Zahl von Anschlüssen vermieden wird.

[0031] Vorzugsweise sind die Steuerspeicherzellen der Gruppe von Steuerspeicherzellen diejenigen, welche mit der Setzfunktion mit dem Setzanschluß oder der Rücksetzfunktion mit dem Rücksetzanschluß versehen sind, und der Setzanschluß oder der Rücksetzanschluß der Steuerspeicherzellen ist mit einem überflüssigen Anschluß eines Dekoders verbunden, welcher andere innere Verbindungsleitungen in Richtung der Reihe und in Richtung der Spalte der Steuerspeicherzellenanordnung steuert.

[0032] In Übereinstimmung mit der vorliegenden Erfindung ist es möglich, ein Setzen oder Rücksetzen von Steuerspeicherzellen unter Verwendung eines überflüssigen Anschlusses eines Dekoders zum Zuweisen von Andressen durchzuführen, wodurch die Schaltungseffizienz im Vergleich zu dem Fall des Durchführens des Setzens oder Rücksetzens von Speicherzellen mittels einer besonderen Steuerschaltung durchgeführt wird.

[0033] Vorzugsweise sind die Steuerspeicherzellen der Gruppe von Steuerspeicherzellen diejenigen, welche mit der Setzfunktion mit einem Setzanschluß oder mit einer Rücksetzfunktion mit einem Rücksetzanschluß versehen sind, und der Setzanschluß und der Rücksetzanschluß der Steuerspeicherzellen sind mit dem Steueranschluß eines besonderen Dekoders verbunden.

[0034] In Übereinstimmung mit der vorliegenden Erfindung ist es möglich, ein Setzen oder Rücksetzen von Speicherzellen unter Verwendung eines besonderen Dekoders durchzuführen, wodurch die Steuerung, wie die Steuerung von dem besonderen Dekoder, usw. auszugebenden Signalen erleichtert wird.

[0035] Vorzugsweise enthält eine für jede der äußeren Verbindungsleitungen der Speicherschaltung vorgesehene Datensteuerschaltung der Speicherschaltung eine Einrichtung zum Vergleichen eines erwarteten Werts zum Beurteilen durch einen Vergleich, ob die wenigstens an einem Ausgangsport der Speicherzellenanordnung ausgelesenen Daten mit einem vorgeschriebenen erwarteten Wert nicht übereinstimmen, und zum Erzeugen auf der Grundlage des Vergleichsergebnisses eines Werts zur Steuerung, welcher dem Dateneingangsanschluß der Speicherzellen der Gruppe von Speicherzellen auszugeben ist.

[0036] Entsprechend der vorliegenden Erfindung beurteilt die Einrichtung zum Vergleichen eines erwarteten Werts in jedem Fall eine Nichtübereinstimmung zwischen den wenigstens an einem Ausgangsport der Speicherzellenanordnung ausgelesenen Daten und dem vorgeschriebenen erwarteten Wert, und sie kann auf der Grundlage des Ergebnisses einen Wert für die Steuerung erzeugen, welcher dem Dateneingangsanschluß der Speicherzellen der Gruppe von Steuerspeicherzellen auszugeben ist.

[0037] Auf diese Weise ist es möglich, die Speicherschaltung zu steuern und ein wirksames Schalten mit Redundanz durch automatisches Erfassen von Fehlerdaten durchzuführen.

[0038] Vorzugsweise enthält eine Datensteuerschaltung einer Speicherschaltung eine erste Wähleinrichtung zum Wählen wenigstens zweier unterschiedlicher Arten von Information, d.h. den Wert zur Steuerung, welcher von der Einrichtung zum Vergleichen des erwarteten Werts erzeugt wird, und von Schreibdaten von außerhalb, welche in die Speicherzellen der Speicherzellenanordnung zu schreiben sind.

[0039] Entsprechend der vorliegenden Erfindung ist es möglich, leicht Schreibdaten auszuwählen und den äußeren Verbindungsleitungen auszugeben, welche in die Speicherzellen der Speicherzellenaonordnung zu schreiben sind, und den Wert zur Steuerung der Steuerspeicherzellen der Gruppe von Steuerspeicherzellen mit einem Schalten der ersten Wahleinrichtung, und es besteht keine Notwendigkeit, einen besonderen Datenschreibanschluß für die Gruppe von Steuerspeicherzellen vorzusehen, wodurch ein Ansteigen der Anzahl von Anschlüssen verhindert wird.

[0040] Vorzugseise enthält eine Datensteuerschaltung einer Speicherschaltung des weiteren ein Register zum Speichern einer Informationsart, welche von der ersten Wahleeinrichtung gewählt wurde.

[0041] Entsprechend der vorliegenden Erfindung wird die Handhabung von Daten durch Halten der Information an einer Seite, welche von der ersten Wahleinrichtung gewählt wurde, mittels eines Registers erleichtert.

[0042] Vorzugsweise ist die erste Wahleinrichtung derart angeschlossen, daß wenigstens drei Informationsarten ausgewählt werden, d.h. der Wert zur Steuerung, welcher von der Einrichtung zum Vergleichen des erwarteten Werts erzeugt wurde, Schreibdaten von außerhalb für die Speicherzellen der Speicherzellenanordnung und Ausgangsinformation von einer anderen Datensteuerschaltung benachbart der betreffenden Datensteuerschaltung.

[0043] Entsprechend der vorliegenden Erfindung ist es möglich, zur Zeit des Datenabtastens bei der Bildung eines Abtastpfads durch serielles Verbinden einer großen Anzahl von Datensteuerschaltungen Ausgangsinformationen von einer anderen Datensteuerschaltung benachbart der betreffenden Datensteuerschaltung mit einem Schalten der ersten Wahleinrichtung zu wählen und auszugeben. Das ermöglicht ein wirksames Einspeisen von Abfragedaten.

[0044] Vorzugsweise enthält eine Datensteuerschaltung der Speicherschaltung des weiteren eine zweite Wahleinrichtung zum Wählen wenigstens zweier unterschiedlicher Informationsarten, d.h. einer Ausgangsinformation von dem Register in der betreffenden Datensteuerschaltung und Testdaten von außerhalb.

[0045] Entsprechend der vorliegenden Erfindung ist es möglich, äußere Verbindungsleitungen wenn erforderlich mittels der zweiten Wahleinrichtung, Schreibdaten zum Testen und Ausgangsinformation der Einrichtung zum Vergleichen des erwarteten Werts zu wählen und auszugeben. Dadurch werden besondere und individuelle Eingangsanschlüsse zum Eingeben der oben erwähnten vielfachen Informationsarten in die Speicherschaltung unnötig, wodurch ein Erhöhen der Anzahl von Anschlüssen verhindert wird.

[0046] Vorzugsweise enthält eine für jede der äußeren Verbindungsleitungen der Speicherschaltung vorgesehene Datensteuerschaltung der Speicherschaltung: eine Einrichtung zum Vergleichen des erwarteten Werts zum Beurteilen durch Vergleich, ob die an wenigstens einem Ausgangsport der Speicherzellenanordnung mit einem vorgeschriebenen erwarteten Wert nicht übereinstimmt, und zum Erzeugen auf der Grundlage des Vergleichsergebnisses eines Werts zur Steuerung, welcher dem Dateneingangsanschluß der Steuerspeicherzellen der Gruppe von Steuerspeicherzellen auszugeben ist; eine erste Wahleinrichtung zum Wählen von wenigstens zwei unterschiedlichen Informationsarten, d.h. eines Werts zur Steuerung, welcher von der Einrichtung zum Vergleichen des erwarteten Werts gebildet wird, und der von den Speicherzellen der Speicherzellenanordnung ausgelesenen Daten; ein Register zum Speichern der von der ersten Wahleinrichtung gewählten Information; und eine zweite Wahleinrichtung zum Wählen von wenigstens zwei unterschiedlichen Informationsarten, d.h. der Ausgangsinformation von dem Register und der Schreibdaten von außerhalb, welche in die Speicherzellen der Speicherzellenanordnung geschrieben werden sollen.

[0047] In Übereinstimmung mit der vorliegenden Erfindung ist es möglich, mit der ersten Wahleinrichtung wenigstens zwei unterschiedliche Informationsarten zu wählen, d.h. den Wert für die Steuerung, welcher von der Einrichtung zum Vergleichen des erwarteten Werts gebildet wurde, und die aus der Speicherzellenanordnung ausgelesenen Daten, sie in dem Register zu speichern und wenigstens zwei unterschiedliche Informationsarten mit der zweiten Wahleinrichtung zu wählen, d.h. die Ausgangsinformation von dem Register ebenso wie die in die Speicherzellen der Speicherzellenanordnung zu schreibenden Schreibdaten, und sie an äußere Verbindungsleitungen auszugeben.

[0048] Dadurch werden spezielle und individuelle Eingangsanschlüsse zum Eingeben der oben erwähnten vielen Informationsarten in die Speicherschaltung unnötig gemacht, wodurch ein Ansteigen der Anzahl von Anschlüssen verhindert wird.

[0049] Entsprechend einem anderen Aspekt der vorliegenden Erfindung wird die erste Wahleinrichtung derart angeschlossen, daß wenigstens drei unterschiedliche Informationsarten gewählt werden, d.h. der Wert für die Steuerung, welcher von der Einrichtung zum Vergleichen des erwarteten Werts gebildet wird, die aus den Speicherzellen der Speicherzellenanordnung ausgelesenen Daten und die Ausgangsinformation von einer anderen Datensteuerschaltung, welche zu der betreffenden Datensteuerschaltung benachbart ist.

[0050] Entsprechend der vorliegenden Erfindung ist es möglich, mit der ersten Wahleinrichtung wenigstens drei unterschiedliche Informationsarten zu wählen und den äußeren Verbindungsleitungen auszugeben, d.h. den Wert für die Steuerung, welcher von der Einrichtung zum Vergleichen des erwarteten Wertes gebildet wird, die aus den Speicherzellen der Speicherzellenanordnung ausgelesenen Daten und die Ausgangsinformation von einer anderen Datenschaltung, welche der betreffenden Datensteuerschaltung benachbart ist.

[0051] Daher besteht keine Notwendigkeit des Vorsehens von besonderen oder individuellen Eingangsanschlüssen zum Eingeben der oben erwähnten vielen Informationsarten in die Speicherschaltung, wodurch ein Ansteigen der Anzahl von Anschlüssen verhindert wird.

[0052] Vorzugsweise enthält eine für jede der äußeren Verbindungsleitungen der Speicherschaltung vorgesehene Datensteuerschaltung der Speicherschaltung: eine Einrichtung zum Vergleichen eines erwarteten Werts zum Beurteilen durch Vergleich, ob die an wenigstens einem Ausgangsport der Speicherzellenanordnung ausgelesenen Daten mit einem vorgeschriebenen erwarteten Wert nicht übereinstimmen, und zum Erzeugen auf der Grundlage des Vergleichsergebnisses eines Werts für die Steuerung, welcher dem Dateneingangsanschluß der Steuerspeicherzellen der Gruppe von Steuerspeicherzellen

auszugeben ist; eine erste Wahleinrichtung zum Wählen wenigstens zweier unterschiedlicher Informationsarten, d.h. des Werts für die Steuerung, welcher von der Einrichtung zum Vergleichen des erwarteten Werts gebildet wird, und der aus den Speicherzellen der Speicherzellenanordnung ausgelesenen Daten; ein erstes Register zum Speichern der von der ersten Wahleinrichtung gewählten Information; und eine zweite Wahleinrichtung zum Wählen wenigstens zweier unterschiedlicher Informationsarten, d.h. der Ausgangsinformation von dem ersten Register und der Schreibdaten von außerhalb, welche in die Speicherzellen der Speicherzellenanordnung zu schreiben sind; und ein zweites Register zum Speichern der von der zweiten Wahleinrichtung gewählten Information.

[0053] In Übereinstimmung mit der vorliegenden Erfindung ist es möglich, mit der ersten Wahleinrichtung wenigstens zwei unterschiedliche Informationsarten zu wählen, d.h. den Wert für die Steuerung, welcher von der Einrichtung zum Vergleichen des erwarteten Werts gebildet wird, und die aus der Speicherzellenanordnung ausgelesenen Daten, und mit der zweiten Wahleinrichtung die Ausgangsinformation von der ersten Wahleinrichtung und dem ersten Register ebenso wie die in die Speicherzellenanordnung zu schreibenden Schreibdaten zu wählen. Es kann nämlich eine Datensteuerschaltung sowohl Schreibdaten als auch Auslesedaten handhaben, wodurch die Wirksamkeit der Schaltung im Vergleich mit einem Fall des Verwendens von jeweiligen besonderen Schaltungen erhöht wird. In diesem Fall kann die Redundanzsteuerung leicht durchgeführt werden, da es möglich ist, den Wert für die Steuerung, welcher von der Einrichtung zum Vergleichen des erwarteten Werts gebildet wird, der Gruppe von Steuerspeicherzellen mit einem Schalten zwischen der ersten Wahleinrichtung und der zweiten Wahleinrichtung auszugeben, insbesondere wenn ein Fehler bei den ausgelesenen Daten vorliegt.

[0054] Vorzugsweise ist die zweite Wahleinrichtung derart konstruiert, daß wenigstens drei unterschiedliche Informationsarten gewählt werden, d.h. die Schreibdaten von außerhalb, welche in die Speicherzellen der Speicherzellenanordnung bzw. das erste Register zu schreiben sind, und die Testdaten.

[0055] In Übereinstimmung mit der vorliegenden Erfindung ist es möglich, mit der zweiten Wahleinrichtung wenigstens drei unterschiedliche Informationsarten zu wählen und den äußeren Verbindungsleitungen auszugeben, d.h. Schreibdaten von außerhalb, welche in die Speicherzellen der Speicherzellenanordnung zu schreiben sind, Ausgangsinformation von dem ersten Register und Testdaten von außerhalb. Aus diesem Grund besteht keine Notwendigkeit, besondere und individuelle Eingangsanschlüsse zum Eingeben der oben erwähnten vielen Informationsarten in die Speicherschaltung vorzusehen, wodurch ein Ansteigen der Anzahl von Anschlüssen verhindert wird.

[0056] Vorzugsweise ist die zweite Wahleinrichtung derart konstruiert, daß wenigstens drei unterschiedliche Informationsarten ausgewählt werden, d.h. Ausgangsinformation von dem ersten Register in der betreffenden Datensteuerschaltung, Ausgangsinformation von der anderen Datensteuerschaltung benachbart der betreffenden Datensteuerschaltung und Schreibdaten von außerhalb, welche in die Speicherzellen der Speicherzellenanordung zu schreiben sind.

[0057] In Übereinstimmung mit der vorliegenden Erfindung ist es möglich, zum Zeitpunkt des Abtastens von Daten bei der Bildung eines Abfragepfads durch serielles Verbinden einer großen Anzahl von Datensteuerschaltungen Ausgangsinformation von einer anderen Datensteuerschaltung benachbart zu der betreffenden Datensteuerschaltung mit einem Schalten der zweiten Wahleinrichtung zu wählen und auszugeben. Dadurch wird eine wirksame Einspeisung von Abfragedaten ermöglicht. Da es möglich ist, betreffende Abfragedaten, Ausgangsinformation von der ersten Wahleinrichtung und dem Register in der betreffenden Datensteuereinheit und Schreibdaten von außerhalb, welche in die Speicherzellen der Speicherzellenanordung zu schreiben sind, wie verlangt auszuwählen und den äußeren Verbindungsleitungen auszugeben, besteht darüber hinaus keine Notwendigkeit, besondere und einzelne Eingangsanschlüsse zum Eingeben der oben erwähnten vielen Informationsarten in die Speicherschaltung vorzusehen, wodurch ein Ansteigen der Anzahl von Anschlüssen verhindert wird.

[0058] Vorzugsweise enthält eine für jede der äußeren Verbindungsleitungen der Speicherschaltung vorgesehene Datensteuerschaltung einer Speicherschaltung: eine Einrichtung zum Vergleichen eines erwarteten Werts zum Beurteilen durch Vergleich, ob die an wenigstens einem Ausgangsport der Speicherzellenanordung ausgelesenen Daten mit einem vorgeschriebenen erwarteten Wert nicht übereinstimmen, und zum Erzeugen auf der Grundlage des Vergleichsergebnisses eines Werts zur Steuerung, welcher dem Dateneingangsanschluß der Speicherzellen der Gruppe von Speicherzellen auszugeben ist; und eine Einrichtung zum Erzeugen von Steuerdaten zum Ausgeben des ersten Werts der ternären Daten den Steuerspeicherzellen der Gruppe von Steuerspeicherzellen, wenn die Einrichtung zum Vergleichen des erwarteten Werts ein Ergebnis erzielt, daß die aus den Speicherzellen der Speicherzellenanordung ausgelesenen Daten identisch zu dem vorgeschriebenen erwarteten Wert sind, zum Ausgeben des zweiten Werts der ternären Daten den Steuerspeicherzellen der Gruppen von Steuerspeicherzel-

len, wenn die Einrichtung zum Vergleichen des erwarteten Werts zum ersten Mal ein Ergebnis erlangt hat, daß die von den Speicherzellen der Speicherzellenanordnung ausgelesenen Daten mit dem vorgeschriebenen erwarteten Wert nicht übereinstimmen, und zum Ausgeben eines dritten Werts der ternären Daten den Steuerspeicherzellen der Gruppe von Steuerspeicherzellen, wenn die Einrichtung zum Vergleichen des erwarteten Werts zum zweiten Mal ein Ergebnis erlangt hat, daß die von den Speicherzellen der Speicherzellenanordnung ausgelesenen Daten mit dem vorgeschrieben erwarteten Wert nicht übereinstimmen.

[0059] In Übereinstimmung mit der vorliegenden Erfindung ist es möglich, mit der Einrichtung zum Vergleichen des erwarteten Werts zu vergleichen und zu beurteilen, ob die an wenigstens einem Ausgangsport der Speicherzellenanordnung ausgelesenen Daten mit dem vorgeschriebenen erwarteten Wert übereinstimmen, und auf der Grundlage des Vergleichsergebnisses einen Wert zur Steuerung zu erzeugen, welcher dem Dateneingangsanschluß der Steuerspeicherzellen der Gruppe von Steuerspeicherzellen auszugeben ist. Und auf der Grundlage eines derartigen Werts für die Steuerung kann die Einrichtung zur Erzeugung von Steuerdaten eine geeignete Steuerung der Speicherschaltung durchführen, welche eine 2-Bit-Redundanzfunktion besitzt. Wenn nämlich die Einrichtung zum Vergleichen des erwarteten Werts ein Ergebnis erlangt hat, daß die von den Speicherzellen der Speicherzellenanordnung ausgelesenen Daten identisch dem vorgeschriebenen erwarteten Wert sind, kann die Einrichtung zum Vergleichen des erwarteten Werts den ersten Wert der ternären Daten den Steuerspeicherzellen der Gruppe von Steuerspeicherzellen ausgeben.

[0060] Wenn die Einrichtung zum Vergleichen des erwarteten Werts zum ersten Mal ein Ergebnis erlangt hat, daß die von den Speicherzellen der Speicherzellenanordnung ausgelesenen Daten nicht mit dem vorgeschriebenen erwarteten Wert übereinstimmen, kann darüber hinaus die Einrichtung zum Vergleichen des erwarteten Werts den zweiten Wert der ternären Daten den Steuerspeicherzellen der Gruppe von Steuerspeicherzellen ausgeben.

[0061] Und wenn die Einrichtung zum Vergleichen des erwarteten Werts zum zweiten Mal ein Ergebnis erlangt hat, daß die von den Speicherzellen der Speicherzellenanordnung erlangten ausgelesenen Daten nicht mit dem vorgeschriebenen erwarteten Wert übereinstimmen, kann die Einrichtung zum Vergleichen des erwarteten Werts den dritten Wert der ternären Daten den Steuerspeicherzellen der Gruppe von Steuerspeicherzellen ausgeben. Dadurch wird ein leichtes Abhelfen eines 2-Bit-Fehlers ermöglicht.

[0062] Vorzugsweise enthält die Einrichtung zum Erzeugen der Steuerdaten ein erstes Register, in welches die Ausgangsinformation von der Einrichtung zum Vergleichen des erwarteten Werts abgespeichert wird, eine Einrichtung zum Ausgeben eines nicht übereinstimmenden Werts zur Ausgabe eines Werts, welcher eine Nichtübereinstimmung anzeigt, wenn sowohl die in dem ersten Register gespeicherte Information als auch die Ausgangsinformation von der Einrichtung zum Vergleichen des erwarteten Werts einen Wert anzeigen, welcher darstellt, daß die von den Speicherzellen der Speicherzellenanordnung ausgelesenen Daten nicht mit dem vorgeschriebenen erwarteten Wert übereinstimmen, und ein zweites Register, in welches Ausgangsinformation von der Einrichtung zur Ausgabe eines nicht übereinstimmenden Werts abgespeichert wird.

[0063] In Übereinstimmung mit der vorliegenden Erfindung ist es möglich, einen Wert für die Steuerung in dem ersten Register zu dem Zeitpunkt der ersten Erfassung eines Fehlers zu speichern und Daten davon der Gruppe der Steuerspeicherzellen auszugeben.

[0064] Darüber hinaus ist es zum Zeitpunkt eines zweiten Erfassens eines Fehlers ebenso möglich, mit der Einrichtung zum Ausgeben des nicht übereinstimmenden Werts zu erfassen, daß das erste Register bereits einen Wert der Nichtübereinstimmung anzeigt und daß die Einrichtung zum Vergleichen des erwarteten Werts einen Wert anzeigt, welcher eine Nichtübereinstimmung der Ausgangsinformation darstellt, und die Ausgangsinformation davon in dem zweiten Register zu speichern und sie der Gruppe von Steuerspeicherzellen der Speicherschaltung auszugeben. Dadurch wird ermöglicht, einem 2-Bit-Fehler in der Speicherschaltung abzuhelfen.

[0065] Vorzugsweise enthält eine Datensteuerschaltung der Speicherschaltung des weiteren eine Wahleinrichtung zum Wählen wenigstens zweier unterschiedlicher Informationsarten, d.h. Testdaten, welche von außerhalb ausgegeben sind oder innen erzeugt wurden, und Ausgangsinformation von der Einrichtung zum Erzeugen der Steuerdaten.

[0066] In Übereinstimmung mit der vorliegenden Erfindung kann die Wahleinrichtung wenigstens zwei unterschiedliche Informationsarten wählen und den äußeren Verbindungsleitungen ausgeben, d.h. Testdaten, welche von außerhalb ausgegeben oder innen erzeugt wurden, und Ausgangsinformation von der Einrichtung zum Erzeugen der Steuerdaten, und es besteht keine Notwendigkeit, besondere und individuelle Eingangsanschlüsse zum Eingeben der oben erwähnten vielen Informationsarten in die Speicherschaltung vorzusehen, wodurch ein Ansteigen der Anzahl von Anschlüssen verhindert wird.

[0067] Vorzugsweise enthält die für jede der äuße-

ren Verbindungsleitungen der Speicherschaltung vorgesehene Datensteuerschaltung der Speicherschaltung des weiteren eine Einrichtung zum Vergleichen des erwarteten Werts zum Beurteilen durch Vergleich in dem Fall, bei welchem die Speicherschaltung derart konstruiert ist, daß eine große Anzahl von ausgelesenen Daten ausgegeben wird, ob die aus den Speicherzellen der Speicherzellenanordnung ausgelesenen Daten nicht mit dem vorgeschriebenen erwarteten Wert übereinstimmen, und zum Erzeugen auf der Grundlage des Vergleichsergebnisses eines Werts zum Steuern, welcher dem Dateneingangsanschluß der Steuerspeicherzellen der Gruppe der Steuerspeicherzellen auszugeben ist.

[0068] Da in allen inneren Verbindungsleitungen in einer Richtung der Richtung der Reihe bzw. der Richtung der Spalte der Speicherzellenanordung Fehlerdaten erfaßt werden, ist es in Übereinstimmung mit der vorliegenden Erfindung im Falle des Auftretens eines Fehlers in den inneren Verbindungsleitungen in der anderen Richtung der Richtung der Reihe bzw. der Richtung der Spalte der Speicherzellenanordnung möglich, die Ausgangsinformation von der Einrichtung zum Vergleichen des erwarteten Werts mit den jeweiligen von der Speicherschaltung ausgelesenen Daten zu vergleichen, und wenn als Ergebnis des Vergleichs herausgefunden wird, daß alle gefundenen Daten unterschiedlich sind, wird beurteilt, daß ein Fehler in der anderen Richtung der Richtung der Reihe bzw. der Richtung der Spalte in der Speicherzellenanordnung vorliegt, wodurch eine Erleichterung einer geeigneten Schaltsteuerung von inneren Verbindungsleitungen an der anderen Seite danach erzielt wird.

[0069] Vorzugsweise enthält eine Datensteuerschaltung der Speicherschaltung, welche mit den äußeren Verbindungsleitungen in der Richtung einer Reihe und der Richtung einer Spalte der Speicherzellen der Speicherzellenanordnung der Speicherschaltung verbunden ist: eine erste Steuereinheit, welche mit den äußeren Verbindungsleitungen in einer Richtung bezüglich der Richtung einer Reihe und einer Spalte der Speicherzellenanordnung verbunden ist, und eine zweite Steuereinheit, welche mit den äußeren Verbindungsleitungen der anderen Richtung bezüglich der Richtung einer Reihe und der Richtung einer Spalte der Speicherzellenanordnung verbunden ist, und die erste Steuereinheit enthält eine Einrichtung zum Vergleichen eines erwarteten Werts zum Beurteilen durch Vergleich, ob die an wenigstens einem Ausgangsport der Speicherzellenanordnung ausgelesenen Daten nicht mit einem vorgeschriebenen erwarteten Wert übereinstimmen, und zum Erzeugen auf der Grundlage des Vergleichsergebnisses eines Werts für die Steuerung, welcher dem Dateneingangsanschluß der Steuerspeicherzellen der Gruppe der Steuerspeicherzellen auszugeben ist, und ein erstes Register zum Speichern der Ausgangsinformation von der Einrichtung zum Vergleichen des erwarteten Werts und zum Ausgeben davon auf die äußere Verbindungsleitung an einer Seite.

[0070] Darüber hinaus enthält die zweite Steuereinheit ein zweites Register zum Speichern der Ausgangsinformation von der Einrichtung zum Vergleichen des erwarteten Werts der ersten Steuereinheit und zum Ausgeben davon der äußeren Verbindungsleitung an der anderen Seite.

[0071] In Übereinstimmung mit der vorliegenden Erfindung ist die Einrichtung zum Vergleichen des erwarteten Werts durch die erste Steuereinheit und die zweite Steuereinheit geteilt, woraus sich eine Reduzierung des Schaltungsumfangs ergibt.

[0072] Vorzugsweise enthält eine Adressenzuweisungsschaltung, welche mit der großen Anzahl von äußeren Verbindungsleitungen der Speicherschaltung zum aufeinanderfolgenden Zuweisen der äußeren Verbindungsleitungen in die Richtung von einem Ende zu dem anderen Ende der Speicherschaltung verbunden ist: eine Ausgangsschaltung für vollständig zyklische, serielle Daten zum Ausgeben von Daten auf der Grundlage einer vorgeschriebenen Betriebsformel; vollständig zyklische serielle Daten als Pseudozufallszahlen mit einem bestimmten Zyklus; und einen Dekoder zum aufeinanderfolgenden Zuweisen der äußeren Verbindungsleitungen auf der Grundlage von Ausgangsinformation von der Ausgangsschaltung für vollständig zyklische serielle Daten.

[0073] Der Dekoder enthält: Ausgangsanschlüsse von vorgeschriebenen Ausgangsbitzahlen, welche aufeinanderfolgend in der Richtung von einem Ende zu dem anderen Ende in Übereinstimmung mit der Reihenfolge des vollständig zyklischen seriellen Datenausgangs von der Ausgangsschaltung für vollständig zyklische serielle Daten angeordnet sind; eine Logikschaltungseinheit zum Umwandeln des Werts der Eingangsbitzahl der Eingangsanschlüsse in einen Wert der Ausgangsbitzahlen der Ausgangsanschlüsse; und eine Einrichtung zum Verändern der Bitreihenfolge, welche zwischen der Logikschaltungseinheit und dem Ausgangsanschluß angeschlossen ist, zum Umordnen des Signals der vorgeschriebenen Ausgangsbitzahl von der Logikschaltungseinheit in der Reihenfolge der Ausgangsanschlüsse.

[0074] In Übereinstimmung mit der vorliegenden Erfindung ist es möglich, auf der Grundlage einer vorgeschriebenen Betriebsformel vollständig zyklische serielle Daten als Pseudozufallszahlen mit einem bestimmten Zyklus mit der Schaltung zum Ausgeben von vollständig zyklischen seriellen Daten auszuge-

ben, den Wert der Eingangsbitzahl der Eingangsanschlüsse in Signale der Ausgangsbitzahlen entsprechend der Ausgangsanschlüsse mit der Logikschaltungseinheit des Dekoders umzuwandeln und danach (jene Signale) in der Reihenfolge der Ausgangsanschlüsse mit der Bitreihenfolgeumschaltung umzuordnen.

[0075] Dadurch wird ermöglicht, die von der Schaltung zum Ausgeben vollständig zyklischer serieller Daten ausgegebenen vollständig zyklischen seriellen Daten in der Reihenfolge der Richtung von Ausgängen von einem Ende zum anderen Ende trotz der Tatsache, daß es sich um Pseudozufallszahlen handelt, auszugeben.

[0076] Daher kann eine Erhöhung oder Verringerung von Daten leicht zum Zeitpunkt des Testens usw. erreicht werden.

Ausführungsbeispiel

[0077] Die vorliegende Erfindung wird in der nachfolgenden Beschreibung unter Bezugnahme auf die Zeichnung erläutert.

[0078] **Fig.** 1 zeigt ein Schaltungsdiagramm, welches die Speicherschaltung der ersten Ausführungsform der vorliegenden Erfindung darstellt;

[0079] **Fig.** 2 zeigt ein Schaltungsdiagramm, welches die Speicherschaltung der zweiten Ausführungsform der vorliegenden Erfindung darstellt;

[0080] **Fig.** 3 zeigt ein Schaltungsdiagramm, welches die Speicherschaltung der dritten Ausführungsform der vorliegenden Erfindung darstellt;

[0081] **Fig.** 4 zeigt ein Schaltungsdiagramm, welches die Speicherschaltung der vierten Ausführungsform der vorliegenden Erfindung darstellt;

[0082] **Fig.** 5 zeigt ein Schaltungsdiagramm, welches die innere Konstruktion der Speicherzellenanordnung der Speicherschaltung der vierten Ausführungsform der vorliegenden Erfindung darstellt;

[0083] **Fig.** 6 zeigt ein Schaltungsdiagramm, welches die Redundanzsteuerschaltung in der Speicherschaltung der vierten Ausführungsform der vorliegenden Erfindung darstellt;

[0084] **Fig.** 7 zeigt ein Schaltungsdiagramm, welches die allgemeine Konstruktion der Speicherschaltung der vierten Ausführungsform der vorliegenden Erfindung darstellt;

[0085] **Fig.** 8 zeigt ein Schaltungsdiagramm, welches die allgemeine Konstruktion der Speicherschaltung der fünften Ausführungsform der vorliegenden Erfindung darstellt;

[0086] **Fig.** 9 zeigt ein Schaltungsdiagramm, welches die allgemeine Konstruktion der Speicherschaltung der sechsten Ausführungsform der vorliegenden Erfindung darstellt;

[0087] **Fig.** 10 zeigt ein Schaltungsdiagramm, welches die allgemeine Konstuktion der Speicherschaltung der siebenten Ausführungsform der vorliegenden Erfindung darstellt;

[0088] **Fig.** 11 zeigt ein Schaltungsdiagramm, welches die Datensteuerschaltung der achten Ausführungsform der vorliegenden Erfindung darstellt;

[0089] **Fig.** 12 zeigt ein Schaltungsdiagramm, welches die Datensteuerschaltung der neunten Ausführungsform der vorliegenden Erfindung darstellt;

[0090] **Fig.** 13 zeigt ein Schaltungsdiagramm, welches den Zustand darstellt, bei welchem die Datensteuerschaltung der neunten Ausführungsform der vorliegenden Erfindung einen Abfragepfad bildet;

[0091] **Fig.** 14 zeigt ein Schaltungsdiagramm, welches die Datensteuerschaltung der zehnten Ausführungsform der vorliegenden Erfindung darstellt;

[0092] **Fig.** 15 zeigt ein Schaltungsdiagramm, welches die Datensteuerschaltung der elften Ausführungsform der vorliegenden Erfindung darstellt;

[0093] **Fig.** 16 zeigt ein Schaltungsdiagramm, welches den Zustand darstellt, bei welchem die Datensteuerschaltung der elften Ausführungsform der vorliegenden Erfindung einen Abfragepfad bildet;

[0094] **Fig.** 17 zeigt ein Schaltungsdiagramm, welches die allgemeine Konstruktion der Speicherschaltung der zwölften Ausführungsform der vorliegenden Erfindung darstellt;

[0095] **Fig.** 18 zeigt ein Schaltungsdiagramm, welches die Datensteuerschaltung der dreizehnten Ausführungsform der vorliegenden Erfindung darstellt;

[0096] **Fig.** 19 zeigt ein Schaltungsdiagramm, welches die Datensteuerschaltung der vierzehnten Ausführungsform der vorliegenden Erfindung darstellt;

[0097] **Fig.** 20 zeigt ein Schaltungsdiagramm, welches die Datensteuerschaltung der fünfzehnten Ausführungsform der vorliegenden Erfindung darstellt;

[0098] **Fig.** 21 zeigt ein Schaltungsdiagramm, welches die Datensteuerschaltung der sechzehnten Ausführungsform der vorliegenden Erfindung darstellt;

[0099] **Fig.** 22 zeigt ein Schaltungsdiagramm, welches die Datensteuerschaltung der sechzehnten Ausführungsform der vorliegenden Erfindung darstellt;

[0100] **Fig.** 23 zeigt ein Schaltungsdiagramm, welches die Datensteuerschaltung der siebzehnten Ausführungsform der vorliegenden Erfindung darstellt;

[0101] **Fig.** 24 zeigt ein Schaltungsdiagramm, welches die Datensteuerschaltung der achtzehnten Ausführungsform der vorliegenden Erfindung darstellt;

[0102] **Fig.** 25 zeigt ein Schaltungsdiagramm, welches die Datensteuerschaltung der neunzehnten Ausführungsform der vorliegenden Erfindung darstellt;

[0103] **Fig.** 26 zeigt ein Schaltungsdiagramm, welches die Speicherschaltung der zwangzigsten Ausführungsform der vorliegenden Erfindung darstellt;

[0104] **Fig.** 27 zeigt ein Schaltungsdiagramm, welches die Redundanzsteuerschaltung in der Speicherschaltung der einundzwanzigsten Ausführungsform der vorliegenden Erfindung darstellt;

[0105] **Fig.** 28 zeigt ein Schaltungsdiagramm, welches die Datensteuerschaltung der einundzwanzigsten Ausführungsform der vorliegenden Erfindung darstellt;

[0106] **Fig.** 29 zeigt ein Schaltungsdiagramm, welches die Datensteuerschaltung der zweiundzwanzigsten Ausführungsform der vorliegenden Erfindung darstellt;

[0107] **Fig.** 30 zeigt ein Schaltungsdiagramm, welches den Zustand darstellt, bei welchem die Datensteuerschaltung der zweiundzwanzigsten Ausführungsform der vorliegenden Erfindung einen Abfragepfad bildet;

[0108] **Fig.** 31 zeigt ein Schaltungsdiagramm, welches die Datensteuerschaltung der dreiundzwanzigsten Ausführungsform der vorliegenden Erfindung darstellt;

[0109] **Fig.** 32 zeigt ein Schaltungsdiagramm, welches die Datensteuerschaltung darstellt, wenn der Abfragepfad der Speicherschaltung der vierundzwanzigsten und fünfundzwanzigsten Ausführungsform der vorliegenden Erfindung einen Abfragepfad bildet;

[0110] **Fig.** 33 zeigt ein Schaltungsdiagramm, welches die Speicherschaltung der sechundzwanzigsten Ausführungsform der vorliegenden Erfindung darstellt;

[0111] **Fig.** 34 zeigt ein Schaltungsdiagramm, welches die Speicherschaltung der siebenundszwanzigsten Ausführungsform der vorliegenden Erfindung darstellt;

[0112] **Fig.** 35 zeigt ein Schaltungsdiagramm, welches die Speicherschaltung der achtundzwanzigsten Ausführungsform der vorliegenden Erfindung darstellt;

[0113] **Fig.** 36 zeigt ein Schaltungsdiagramm, welches die Speicherschaltung der neunundzwanzigsten Ausführungsform der vorliegenden Erfindung darstellt;

[0114] **Fig.** 37 zeigt ein Schaltungsdiagramm, welches die Redundanzsteuerschaltung in der Speicherschaltung der dreißigsten Ausführungsform der vorliegenden Erfindung darstellt;

[0115] **Fig.** 38 zeigt ein Schaltungsdiagramm, welches die allgemeine Konstruktion der Speicherschaltung der dreißigsten Ausführungsform der vorliegenden Erfindung darstellt;

[0116] **Fig.** 39 zeigt ein Schaltungsdiagramm, welches die allgemeine Konstruktion der Speicherschaltung der einunddreißigsten Ausführungsform der vorliegenden Erfindung darstellt;

[0117] **Fig.** 40 zeigt ein Schaltungsdiagramm, welches die allgemeine Konstruktion der Speicherschaltung der zweiunddreißigsten Ausführungsform der vorliegenden Erfindung darstellt;

[0118] **Fig.** 41 zeigt ein Schaltungsdiagramm, welches die Datensteuerschaltung der dreiunddreißigsten Ausführungsform der vorliegenden Erfindung darstellt;

[0119] **Fig.** 42 zeigt ein Schaltungsdiagramm, welches die Einrichtung zum Vergleichen des erwarteten Werts in der Datensteuerschaltung der vierunddreißigsten Ausführungsform, der fünfunddreißigsten Ausführungsform und der sechsunddreißigsten Ausführungsform der vorliegenden Erfindung darstellt;

[0120] **Fig.** 43 zeigt ein Schaltungsdiagramm, welches die Datensteuerschaltung der siebenunddreißigsten Ausführungsform der vorliegenden Erfindung darstellt;

[0121] **Fig.** 44 zeigt ein Schaltungsdiagramm, welches die Datensteuerschaltung der achtunddreißigsten Ausführungsform der vorliegenden Erfindung darstellt;

[0122] **Fig.** 45 zeigt ein Schaltungsdiagramm, welches die allgemeine Konstruktion der Speicherschaltung der achtunddreißigsten Ausführungsform der

vorliegenden Erfindung darstellt;

[0123] **Fig.** 46 zeigt ein Schaltungsdiagramm, welches die Datensteuerschaltung der neununddreißigsten Ausführungsform der vorliegenden Erfindung darstellt;

[0124] **Fig.** 47 zeigt ein Schaltungsdiagramm, welches die Datensteuerschaltung der neununddreißigsten Ausführungsform der vorliegenden Erfindung darstellt;

[0125] **Fig.** 48 zeigt ein Schaltungsdiagramm, welches die Datensteuerschaltung der vierzigsten Ausführungsform der vorliegenden Erfindung darstellt;

[0126] **Fig.** 49 zeigt ein Schaltungsdiagramm, welches die Datensteuerschaltung der einundvierzigsten Ausführungsform der vorliegenden Erfindung darstellt;

[0127] **Fig.** 50 zeigt ein Schaltungsdiagramm, welches die Addressenzuweisungsschaltung der zweiundvierzigsten Ausführungsform der vorliegenden Erfindung darstellt;

[0128] **Fig.** 51 zeigt ein Schaltungsdiagramm, welches die innere Konstruktion des Dekoders in der Adressenzuweisungsschaltung der dreiundvierzigsten Ausführungsform der vorliegenden Erfindung darstellt;

[0129] **Fig.** 52 zeigt ein Schaltungsdiagramm, welches die Adressenzuweisungsschaltung der dreiundvierzigsten Ausführungsform der vorliegenden Erfindung darstellt;

[0130] **Fig.** 53 zeigt ein Schaltungsdiagramm, welches die Adressenzuweisungsschaltung der vierundvierzigsten Ausführungsform der vorliegenden Erfindung darstellt;

[0131] **Fig.** 54 zeigt ein Schaltungsdiagramm, welches eine erste Speicherschaltung nach dem Stand der Technik darstellt; und

[0132] **Fig.** 55 zeigt ein Schaltungsdiagramm, welches eine erste Speicherschaltung nach dem Stand der Technik darstellt.

[0133] **Fig.** 1 stellt die Speicherschaltung der ersten Ausführungsform der vorliegenden Erfindung dar. Die Speicherschaltung dieser Ausführungsform ist dazu geeignet, Wähler SEL1 bis SEL4 mittels Steuerspeicherzellen C11 bis C12 zu steuern, welche jeweils mit einer großen Anzahl äußerer Bitleitungen OBL1 bis OBL4 verbunden sind, und einem Fehler durch Schalten der Beziehung der Verbindung bzw. Zuordnung zwischen äußeren Bitleitungen OBL1 bis OBL4 und inneren Bitleitungen BL1 bis BL4 abzuhelfen.

[0134] Die Speicherschaltung dieser Ausführungsform ist mit einer Speicherzellenanordnung **11** als übliches RAM mit einem Anschluß versehen, welches durch Anordnen einer großen Anzahl von Speicherzellen (RAM) für eine normale Aktion von M11 bis M12, M21 bis M25, M31 bis M35, ... in Form von Spalten, vier äußeren Bitleitungen (äußeren Verbindungsleitungen) OBL1 bis OBL4 zum Austauschen von Daten mit fünf inneren Bitleitungen (inneren Verbindungsleitungen) BL1 bis BL5 der Speicherzellenanordnung **11** und einer Spaltenredundanzsteuerschaltung (COL-RED-CTRL) **12** zum Kompensieren von Fehlerdaten in einem Fall des Auftretens eines Fehlers in einer inneren Bitleitung BL2 selbst der Speicherzellenanordnung oder der Speicherzellen M11 bis M15, M21 bis M25, M31 bis M35, ..., welche mit der inneren Bitleitung BL2 verbunden sind, realisiert wird.

[0135] In der Speicherzellenanordnung **11** sind die Speicherzellen M11, M21, M31, ... mit der inneren Bitleitung BL1 verbunden, sind die Speicherzellen M12, M22, M32, ... mit der zweiten inneren Bitleitung BL3 verbunden, sind die Speicherzellen M13, M23, M33, ... mit der dritten inneren Bitleitung BL3 verbunden, sind die Speicherzellen M14, M24, M34, ... mit der vierten inneren Bitleitung BL4 verbunden, und sind die Speicherzellen M15, M25, M35, ... mit der fünften inneren Bitleitung BL5 jeweils verbunden. Darüber hinaus sind die Speicherzellen M11 bis M15 mit der inneren Wortleitung WL1 verbunden, sind die Speicherzellen M21 bis M25 mit der zweiten inneren Wortleitung WL2 verbunden bzw. sind die Speicherzellen M31 bis M35 mit der dritten Wortleitung WL3 verbunden.

[0136] Der Grund dafür, warum die Anzahl (5) von inneren Bitleitungen BL1 bis BL5 auf einen größeren Wert als die Anzahl (4) von äußeren Bitleitungen OBL1 bis OBL4 bestimmt ist, besteht darin, daß es nötig ist, eine innere Ersatzbitleitung BL5 im voraus vorzusehen, um eine der inneren Bitleitungen BL1 bis BL5 bezüglich Fehlerdaten aufzuheben und nacheinander auf andere innere Bitleitungen umzuschalten. Daher wird die innere Ersatzbitleitung BL5 nicht verwendet, wenn kein Fehler in einer der ersten bis vierten inneren Bitleitung BL1 bis BL4 vorhanden ist.

[0137] Die jeweiligen inneren Bitleitungen BL1 bis BL5 und die jeweiligen äußeren Bitleitungen OBL1 bis OBL4 enthalten jene, welche aus einer großen Anzahl von (nicht dargestellten) Signalleitungen zusammengesetzt sind. Beispielsweise besitzt ein übliches statisches RAM sowohl invertierte (reversed) Bitleitungen als auch nicht invertierte (non reverversed) Bitleitungen, sie werden jedoch allgemein in der vorliegenden Erfindung mit Bitleitungen bezeichnet. In diesem Fall sind beispielsweise die erste inne-

re Bitleitung BL1 und die erste äußere Bitleitung OBL1 aus zwei Signalleitungen zusammengesetzt, d.h. aus einer invertierten Bitleitung und einer nicht invertierten Bitleitung. Ähnlich besitzt ein RAM mit einem Vielfachport Signalleitungen, welche sich auf Bitleitungen für eine große Anzahl von Ports beziehen, und sie werden allgemein als innere Bitleitungen BL1 bis BL5 oder als äußere Bitleitungen OBL1 bis OBL4 bezeichnet. Beispielsweise sind in einem 3-Port-RAM welches einen Schreibport und zwei Ausleseports besitzt, innere Bitleitungen BL oder äußere Bitleitungen OBL1 bis OBL4 mit wenigstens (jeweils) drei Signalleitungen gebildet und sind ebenso mit sechs Signalleitungen gebildet, wenn das RAM sowohl invertierte Bitleitungen als auch nicht invertierte Bitleitungen für jeden Port besitzt. Jedoch werden aus Gründen der Vereinfachung in **Fig.** 1 jene Signalleitungen durch eine einzige Signalleitung ausgedrückt.

[0138] Die Redundanzsteuerschaltung **12** ist aus einer Gruppe von Wählern **16**, welche aus vier Wählern SEL1 bis SEL4 zusammengesetzt sind, zum Wählen und Verbinden von inneren Bitleitungen BL1 bis BL5 abwechselnd benachbart zu den äußeren Bitleitungen OBL1 bis OBL4 und einer Gruppe von Steuerspeicherzellen **17**, welche aus 4 Steuerspeicherzellen C11 bis C14 zusammengesetzt sind, zum Ausgeben von Befehlen bezüglich der Wahl in den jeweiligen Wählern SEL1 bis SEL4 gebildet.

[0139] Die jeweiligen Wähler SEL1 bis SEL4 in den Gruppen von Wählern **16** sind als Relais ausgebildet, welche Halbleiterbauelemente wie Transistoren usw. verwenden, und sind derart konstruiert, daß sie schaltbar mit den Anschlüssen an der niederwertigen Bitseite zum Verbinden mit den inneren Bitleitungen BL1 bis BL4 verbunden sind, welche im voraus mit den jeweiligen Wählern SEL1 bis SEL4 verbunden bzw. ihnen zugeordnet sind, wenn der in den jeweiligen Steuerspeicherzellen C11 bis C14 der Gruppe von Steuerspeicherzellen **17** gespeicherte Wert "0" beträgt, und daß sie schaltbar mit Anschlüssen an der höherwertigen Bitseite zum Anschluß mit den inneren Bitleitungen BL2 bis BL4 verbunden sind, welche benachbart an der höherwertigen Bitseite zu jenen angeordnet sind, welche im voraus mit den jeweiligen Wählern SEL1 bis SEL4 damit verbunden bzw. ihnen zugeordnet sind, wenn der in den jeweiligen Steuerspeicherzellen C11 bis C14 der Gruppe von Steuerspeicherzellen **17** gespeicherte Wert "1" beträgt. Mit einer derartigen Konstruktion besitzt die Gruppe von Wählern **16** die Funktion des aufeinanderfolgenden Schaltens, um die Verbindung zwischen den inneren Bitleitungen BL1 bis BL4, welche Fehlerdaten aufweisen, und den äußeren Bitleitungen OBL1 bis OBL4 zu lösen, welche damit verbunden bzw. ihnen zugeordnet sind, sie verbindet die äußeren Bitleitungen, welche an der niederwertigen Bitseite wie von den inneren Bitleitungen BL1 bis BL4 angeordnet sind, welche die betreffenden Fehlerdaten aufweisen, mit den inneren Bitleitungen BL1 bis BL4, welche damit verbunden bzw. ihnen zugeordnet sind, und verbindet des weiteren die äußeren Bitleitungen, welche an der höherwertigen Bitseite wie von den inneren Bitleitungen BL1 bis BL4, welche die betreffenden Fehlerdaten aufweisen, angeordnet sind, mit den inneren Bitleitungen BL1 bis BL4, welche in mit den jeweiligen betreffenden äußeren Bitleitungen verbunden bzw. ihnen zugeordnet sind, in Abhängigkeit des in den jeweiligen Steuerspeicherzellen C11 bis C14 gespeicherten Werts wie später beschrieben.

[0140] Die jeweiligen Steuerspeicherzellen C11 bis C14 der Gruppe von Steuerspeicherzellen **17** sind als 1-Bit-Register ausgebildet, welche mit einer Rücksetzfunktion versehen sind, und ihre Rücksetzanschlüsse sind gemeinsam mit einer Rücksetzsignalleitung RED-RESET verbunden. Darüber hinaus sind die jeweiligen Steuerspeicherzellen C11 bis C14 derart konstruiert, daß von den jeweiligen Eingangsanschlüssen ausgegebene Daten gespeichert werden, wenn die Wortleitung RWL1 aktiv ist. Der Dateneingangsanschluß der ersten Steuerspeicherzelle C11 ist mit der ersten äußeren Bitleitung OBL1 verbunden, der Dateneingangsanschluß der zweiten Steuerspeicherzelle C12 ist mit der zweiten äußeren Bitleitung OBL2 verbunden, der Dateneingangsanschluß der dritten Steuerspeicherzelle C13 ist mit der dritten äußeren Bitleitung OBL3 verbunden bzw. der Dateneingangsanschluß der vierten Steuerspeicherzelle C14 ist mit der vierten äußeren Bitleitung OBL4 verbunden. Darüber hinaus sind die Datenausgangsanschlüsse der jeweiligen Steuerspeicherzellen C11 bis C14 mit den Schaltsignaleingangsanschlüssen der jeweiligen entsprechenden Wähler SEL1 bis SEL4 verbunden. Die jeweiligen Steuerspeicherzellen C11 bis C14 speichern auf der Grundlage der von den jeweiligen äußeren Bitleitungen OBL1 bis OBL4 ausgegebenen Daten den Wert "0" bezüglich der äußeren Bitleitungen OBL1 bis OBL4, die auf der niederwertigen Bitseite von den inneren Bitleitungen BL1 bis BL4 her angeordnet sind, welche Fehlerdaten aufweisen, und speichern den Wert "1" bezüglich der äußeren Bitleitungen OBL1 bis OBL4, welche an der höherwertigen Bitseite von den inneren Bitleitungen BL1 bis BL4 her angeordnet sind, welche Fehlerdaten aufweisen. Als jeweilige Steuerspeicherzellen C11 bis C14 können Speicherzellen ähnlich den jeweiligen Speicherzellen M11 bis M15, M21 bis M25, M31 bis M35, ... der Speicherzellenanordnung **11** verwendet werden, und es können ebenso elektrisch programmierbare Speicherzellen für den ROM verwendet werden. In dem Fall, bei welchem die Speicherzellenanordnung **11** lediglich einen getrennten Schreibport und Ausleseport aufweist, müssen die Steuerspeicherzellen C11 bis C14 mit der Bitleitung des Schreibports verbunden werden.

[0141] Im folgenden wird eine Erklärung der Aktio-

nen der Speicherschaltung der oben erwähnten Konstruktion gegeben. Beispielsweise im Falle des Autretens eines Fehlers wie eines Bruchs eines Drahts oder eines Kurzschlusses, usw. der zweiten inneren Bitleitung BL2 oder des Auftretens eines Fehlers in den Speicherzellen M12, M22, M32, ..., welche mit der zweiten inneren Bitleitung BL2 verbunden sind, werden die Wähler SEL1 bis SEL4 derart geschaltet, daß eine Verbindung bzw. Zuordnung zwischen der ersten äußeren Bitleitung OBL1 und der ersten inneren Bitleitung BL1, zwischen der zweiten äußeren Bitleitung OBL2 und der dritten inneren Bitleitung BL3, zwischen der dritten äußeren Bitleitung OBL3 und der vierten inneren Bitleitung BL4 und zwischen der vierten äußeren Bitleitung OBL4 und der fünften inneren Bitleitung BL5 wie in **Fig.** 1 dargestellt geschaffen wird. Das Schalten wird durch Schreiben der Werte "0", "1", "1", "1" jeweils in die Steuerzellen C11 bis C14 durchgeführt.

[0142] Da ein Zugriff auf die Speicherzellen für eine normale Aktion von M11 bis M15, M21 bis M25, M31 bis M35, ... von den äußeren Bitleitungen OBL1 bis OBL4 durchgeführt wird, kann kein Fehler bezüglich der zweiten inneren Bitleitung BL2 von außen beobachtet werden und die Speicherschaltung kann arbeiten, als ob kein Fehler vorliegen würde.

[0143] Nach einem Rücksetzen aller Steuerspeicherzellen C11 bis C14 der Gruppe von Steuerspeicherzellen **17** werden die Speicherzellen für eine normale Aktion M11 bis M15, M21 bis M25, M31 bis M35 getestet, und wenn ein Fehler erfaßt wird, werden die Wähler SEL1 bis SEL4 wie oben beschrieben umgeschaltet, um dem Fehler abzuhelfen.

[0144] Auf diese Weise ist es möglich, einem Datenfehler des Halbleitersystems sogar ohne Verwendung einer Lasereinheit abzuhelfen und die Herstellungskosten im Vergleich zu der ersten und zweiten Vorrichtung nach dem Stand der Technik zu reduzieren.

[0145] **Fig.** 2 zeigt die Speicherschaltung der zweiten Ausführungsform der vorliegenden Erfindung. Entsprechend **Fig.** 2 werden dieselben Bezugszeichen für die Bauelemente verwendet, welche dieselben Funktionen wie diejenigen in der ersten Ausführungsform besitzen. Die Speicherschaltung dieser Ausführungsform ist identisch zu derjenigen der ersten Ausführungsform dahingehend, daß einem Fehler durch Steuern der Wähler SEL1 bis SEL4 mit den Steuerspeicherzellen C11 bis C14 abgeholfen wird, welche mit den äußeren Bitleitungen OBL1 bis OBL4 verbunden sind, und durch Schalten der Beziehung der Verbindung bzw. Zuordnung zwischen den äußeren Bitleitungen OBL1 bis OBL4 und den inneren Bitleitungen BL1 bis BLS, sie ist jedoch zu der ersten Ausführungsform bezüglich der Verbindugsanordnung der Gruppe von Steuerspeicherzellen **17** unterschiedlich.

[0146] Die Gruppe der Steuerspeicherzellen **17** ist näher an der Seite der Speicherzellenanordnung **11** als die Gruppe von Wählern **16** angeordnet, und der Dateneingangsanschluß der ersten Steuerspeicherzelle **11** ist mit der ersten inneren Bitleitung BL1 der Gruppe von Steuerspeicherzellen **17** verbunden, der Dateneingangsanschluß der zweiten Steuerspeicherzelle **12** ist mit der zweiten inneren Bitleitung BL2 verbunden, der Dateneingangsanschluß der dritten Steuerspeicherzelle **13** ist mit der dritten inneren Bitleitung BL3 verbunden, und der Dateneingangsanschluß der vierten Steuerspeicherzelle C14 ist mit der vierten inneren Bitleitung BL4 verbunden. Eine Erklärung der weiteren Konstruktion wird ausgelassen, da sie derjenigen der ersten Ausführungsform entspricht.

[0147] Im folgenden wird eine Erklärung der Aktionen der Speicherschaltung nach der oben dargestellten Konstruktion gegeben. Beispielsweise werden in einem Fall des Auftretens eines Fehlers wie eines Bruchs der Verdrahtung oder eines Kurzschlusses, usw. der zweiten inneren Bitleitung BL2 oder des Auftretens eines Fehlers in den Speicherzellen M12, M22, M32, ..., welche an die zweite innere Bitleitung BL2 angeschlossen sind, die Wähler SEL1 bis SEL4 derart geschaltet, daß eine Verbindung zwischen der ersten äußeren Bitleitung OBL1 und der inneren Bitleitung BL1, zwischen der zweiten äußeren Bitleitung OBL2 und der dritten inneren Bitleitung BL3, zwischen der dritten äußeren Bitleitung OBL3 und der vierten inneren Bitleitung BL4 und zwischen der vierten äußeren Bitleitung OBL4 und der fünften inneren Bitleitung BL5 wie in **Fig.** 2 dargestellt gebildet wird. Dieses Schalten wird unter Einschreiben der Werte "0", "1", "1", "1" in die jeweiligen Steuerspeicherzellen C11 bis C14 durchgeführt.

[0148] Die Steuerspeicherzellen C11 bis C14 sollen vorzugsweise mit einer Rücksetzfunktion versehen sein. Wegen der Möglichkeit des Einschreibens in die Steuerspeicherzellen ist die Verwendung von Steuerspeicherzellen ohne Rücksetzfunktion nicht möglich. Falls bei einem Fehlen der Rücksetzfunktion die Werte "0", "1", "1", "1" in die Steuerspeicherzellen C11 bis C14 geschrieben sind, wenn die Leistung nach einem Abschalten in dem Zustand von **Fig.** 2 eingeschaltet wird, ist beispielsweise die zweite Steuerspeicherzelle C12 nicht an eine der äußeren Bitleitungen OBL1 bis OBL4 angeschlossen und behält stets bei späteren Aktionen den Zustand von **Fig.** 2 bei. Es gibt daher keine Möglichkeit, die zweite Steuerspeicherzelle C12 auf den Wert "0" zu setzen, und es wird unmöglich, ein geeignetes Schalten der Redundanzschaltung durchzuführen. Um die zweite Steuerspeicherzelle C12 auf den Wert "1" bei dem Zustand von **Fig.** 2 unter Berücksichtigung einer derartigen Situation zu setzen, ist es lediglich nötig, ein Rücksetzsig-

nal von der Rücksetzsignalleitung RED-RESET zuzuführen.

[0149] Eine Erklärung der Aktionen nach dem Rücksetzen wird ausgelassen, da sie denjenigen der ersten Schaltung entsprechen. Bei dieser Ausführungsform ist es ebenso möglich, leicht Fehlerdaten des Halbleitersystems sogar ohne Verwendung einer Lasereinheit abzuhelfen und die Herstellungskosten im Vergleich zu der ersten und der zweiten Vorrichtung nach dem Stand der Technik zu reduzieren.

[0150] **Fig.** 3 stellt die Speicherschaltung der dritten Ausführungsform der vorliegenden Erfindung dar. Entsprechend **Fig.** 3 bezeichnen dieselben Bezugszeichen wie diejenigen bezüglich der zweiten Ausführungsform Bauelemente mit denselben Funktionen. Die Speicherschaltung dieser Ausführungsform ist identisch derjenigen der zweiten Ausführungsform dahingehend, daß einem Fehler durch Steuern der Wähler SEL1 bis SEL4 mit den Steuerspeicherzellen C11 bis C14, welche an die äußeren Bitleitungen OBL1 bis OBL4 angeschlossen sind, und durch Schalten der Beziehung der Verbindung bzw. Zuordnung zwischen den äußeren Bitleitungen OBL1 bis OBL4 und den inneren Bitleitungen BL1 bis BL5 abgeholfen wird, sie unterscheidet sich jedoch von der zweiten Ausführungsform dahingehend, daß es möglich ist, Redundanzfreigabesignale als Anzeige der Bereitschaft zum Schalten der Wähler der Gruppe von Wählern **16** zu übertragen.

[0151] Es sind nämlich Logikverknüfpungsschaltungen (UND-Schaltungen) mit zwei Eingängen **18a** bis **18d** jeweils zwischen den Datenausgangsanschlüssen der jeweiligen Steuerspeicherzellen C11 bis C14 und den Schaltsignaleingangsanschlüssen der entsprechenden Wähler SEL1 bis SEL4 eingesetzt. Um genau zu sein, die Ausgangsanschlüsse der jeweiligen Logikproduktschaltungen (UND-Schaltungen) mit zwei Eingängen **18a** bis **18d** sind mit den Schaltsignaleingangsanschlüssen der jeweiligen Wähler SEL1 bis SEL4 verbunden, die Eingangsanschlüsse einer Seite der jeweiligen Logikproduktschaltungen **18a** bis **18d** sind mit den Datenausgangsanschlüssen der entsprechenden Steuerspeicherzellen C11 bis C14 verbunden, und die Eingangsanschlüsse der anderen Seite der jeweiligen Logikproduktschaltungen **18a** bis **18d** sind mit der Redundanzfreigabesignalleitung RED-EN verbunden, welcher das Redundanzfreigabesignal zugeführt wird. Eine Erklärung der weiteren Konstruktion wird ausgelassen, da sie derjenigen der ersten Ausführungsform entspricht.

[0152] Im folgenden wird eine Erklärung der Aktionen der Speicherschaltung entsprechend der oben dargestellten Konstruktion gegeben. Zuerst werden bei der Initialisierung der Wähler SEL1 bis SEL4 der Gruppe von Wählern **16** die jeweiligen Wähler SEL1 bis SEL4 entweder durch Zuführen eines Rücksetzsignals von der Rücksetzsignalleitung RED-RESET auf die Seite "0" oder durch Eingeben des Datenwerts "0" von der Redundanzfreigabesignalleitung RED-EN geschaltet.

[0153] Und beispielsweise in dem Fall des Auftretens eines Fehlers wie eines Bruchs der Verdrahtung oder eines Kurzschlusses, usw. der zweiten inneren Bitleitung BL2 oder des Auftretens eines Fehlers in den Speicherzellen M12, M22, M32, ..., welche mit der zweiten inneren Bitleitung BL2 verbunden sind, wird der Wert "1" von der Redundanzfreigabesignalleitung RED-EN zugeführt, und die äußeren Bitleitungen OBL1 bis OBL4 führen Daten entsprechend den Fehlerdaten den jeweiligen Steuerspeicherzellen C11 bis C14 zu, während die Logikproduktschaltungen **18a** bis **18d** das Logikprodukt bzw. die Logikverknüpfung des Werts der Steuerspeicherzellen C11 bis C14 und des von der Redundanzfreigabesignalleitung RED-EN gegebenen Datenwerts "1" berechnet und die Wähler SEL1 bis SEL4 der Gruppe von Wählern **16** schaltet. Um genau zu sein, die Wähler SEL1 bis SEL4 werden derart geschaltet, daß die Verbindung zwischen der ersten äußeren Bitleitung OBL1 und der ersten inneren Bitleitung BL1, zwischen der zweiten äußeren Bitleitung OBL2 und der dritten inneren Bitleitung BL3, zwischen der dritten äußeren Bitleitung OBL3 und der vierten inneren Bitleitung BL4 und zwischen der vierten äußeren Bitleitung OBL4 und der fünften inneren Bitleitung BL5 wie in **Fig.** 3 dargestellt geschaffen bzw. gehalten wird. Dieses Schalten wird unter Einschreiben der Werte "0", "1", "1", "1" in die jeweiligen Steuerspeicherzellen C11 bis C14 durchgeführt.

[0154] Diese Ausführungsform ermöglicht ebenso, leicht Fehlerdaten des Halbleitersystems sogar ohne Verwendung einer Lasereinheit abzuhelfen und die Herstellungskosten im Vergleich mit der ersten Vorrichtung nach dem Stand der Technik und der zweiten Vorrichtung nach dem Stand der Technik zu reduzieren.

[0155] Bei dieser Ausführungsform ist es anders als bei den ersten und zweiten Ausführungsformen möglich, die jeweiligen Wähler SEL1 bis SEL4 der Gruppe der Wähler unabhängig und ohne Rücksicht auf den Wert der jeweiligen Steuerspeicherzellen der Gruppe von Steuerspeicherzellen **17** durch Einstellen des Redundanzfreigabesignals, welches der Redundanzfreigabesignalleitung RED-EN auszugeben ist, zu schalten. Daher können nicht nur lediglich die jeweiligen Speicherzellen M11 bis M15, M21 bis M25, M31 bis M35, ... der Speicherzellenanordnung **11** sondern ebenso die jeweiligen Speicherzellen C11 bis C14 selbst leicht getestet werden.

[0156] **Fig.** 4 zeigt die Speicherschaltung der vierten Ausführungsform der vorliegenden Erfindung. Entsprechend **Fig.** 4 bezeichnen dieselben Bezugs-

zeichen wie diejenigen bezüglich der dritten Ausführungsform Bauelemente mit denselben Funktionen. Die Speicherschaltung dieser Ausführungsform ist geeignet, Fehlern zweier innerer Bitleitungen BL1 bis BLS abzuhelfen, und daher ist die Anzahl von inneren Bitleitungen BL0 bis BLS (sechs Leitungen) um zwei größer als die Anzahl von äußeren Bitleitungen OBL1 bis OBL4 (vier Leitungen) wie in **Fig.** 4 dargestellt. **Fig.** 5 zeigt ein Schaltungsdiagramm, welches die innere Konstruktion der Speicherzellenanordnung darstellt, bei welcher die jeweiligen Speicherzellen M00 bis M05, M10 bis M15, M20 bis M25, M30 bis M35 mit üblichen statischen RAM's eines komplementären Bitleitungssystems gebildet sind.

[0157] Die Spaltenredundanzsteuerschaltung **12** ist wie in **Fig.** 4 dargestellt mit einer Gruppe von Wählern **16**, welche aus vier Wählern SEL1 bis SEL4 eines Typs mit drei Kontakten zusammengesetzt ist, und einer Gruppe von Steuerspeicherzellen, welche aus acht 1-Bit-Steuerspeicherzellen C11 bis C14, C21 bis C24 zusammengesetzt ist, gebildet.

[0158] Die jeweiligen Wähler SEL1 bis SEL4 der Gruppe von Wählern **16** sind mit den entsprechenden äußeren Bitleitungen OBL1 bis OBL4 verbunden und derart konstruiert, selektiv aufeinanderfolgend benachbarte drei Leitungen der inneren Bitleitungen BL0 bis BLS jeweils zu schalten. Um genau zu sein, die jeweiligen Wähler SEL1 bis SEL4 sind mit den inneren Bitleitungen BL1 bis BL4 verbunden, welche relativ in der Mitte lokalisiert sind, und stellen die Verbindung mit den betreffenden äußeren Bitleitungen OBL1 bis OBL4 her, wenn dem Schaltsignaleingangsanschluß der jeweiligen Wähler SEL1 bis SEL4 der Wert "00" eingegeben wird, sie sind mit den inneren Bitleitungen BL0 bis BL3 verbunden, welche bezüglich der inneren Bitleitungen BL1 bis BL4 auf einer relativ niederen Bitseite relativ lokalisiert sind, die in Verbindung mit den betreffenden äußeren Bitleitungen OBL1 bis OBL4 gebracht werden, wenn "01" dem Schaltsignaleingangsanschluß eingegeben wird, und sie sind mit den inneren Bitleitungen BL2 bis BL5 verbunden, welche an einer relativ hohen Bitseite gegenüber den inneren Bitleitungen BL1 bis BL4 lokalisiert sind, welche in Verbindung mit den betreffenden äußeren Bitleitungen OBL1 bis OBL5 gebracht werden, wenn "10" dem Schaltsignaleingangsanschluß eingegeben wird.

[0159] Von den Steuerspeicherzellen C11 bis C14, C21 bis C24 der Gruppe von Steuerspeicherzellen **17** sind beide Steuerspeicherzellen C11, C21 mit der ersten äußeren Bitleitung OBL1 verbunden, um ein Paar zu bilden und die 2-Bit-Daten zu speichern, welche dem Schaltsignaleingangsanschluß des ersten Wählers SEL1 auszugeben sind. Beide Steuerspeicherzellen C12, C22 sind mit der zweiten äußeren Bitleitung OBL2 verbunden, um ein Paar zu bilden und die 2-Bit-Daten zu speichern, welche dem Schaltsignaleingangsanschluß des ersten Wählers SEL2 auszugeben sind. Beide Steuerspeicherzellen C13, C23 sind mit der dritten äußeren Bitleitung OBL3 verbunden, um ein Paar zu bilden und die 2-Bit-Daten zu speichern, welche dem Schaltsignaleingangsanschluß des ersten Wählers SEL3 auszugeben sind. Beide Steuerspeicherzellen C14, C24 sind mit der vierten äußeren Bitleitung OBL4 verbunden, um ein Paar zu bilden und die 2-Bit-Daten zu speichern, welche dem Schaltsignaleingangsanschluß des ersten Wählers SEL4 auszugeben sind.

[0160] Darüber hinaus sind die Steuerspeicherzellen C11 bis C14, C21 bis C24 derart konstruiert, daß die Daten gespeichert werden, welche durch die entsprechenden äußeren Bitleitungen OBL1 bis OBL4 ausgegeben werden, wenn die Wortleitungen RWL1 RWL2 aktiviert sind. Des weiteren werden die Steuerspeicherzellen C11 bis C14, C21 bis C24 mit den Rücksetzsignalen von der Rücksetzsignalleitung RED-RESET zurückgesetzt.

[0161] Die 2-Bit-Steuerspeicherzellen (C11, C21,), (C12, C22), (C13, C23), (C14, C24), welche jeweils in Paaren mit den jeweiligen äußeren Bitleitungen OBL1 bis OBL4 verbunden sind, sind derart konstruiert, daß ein Einschreiben von vier unterschiedlichen Arten von Daten (0, 0), (0, 1), (1, 0), (1, 1) ermöglicht wird, es werden jedoch lediglich drei Daten oder (0, 0), (0, 1), (1,0) zum Schalten der Steuerung der jeweiligen Wähler SEL1 bis SEL4 der Gruppe von Wählern **16** verwendet, während (1, 1) ignoriert wird.

[0162] **Fig.** 6 zeigt ein Schaltungsdiagramm, welches die Redundanzsteuerschaltung dieser Ausführungsform darstellt. Wie in **Fig.** 6 dargestellt sind die äußeren Bitleitungen OBL1 bis OBL4 aus nicht invertierten äußeren Bitleitungen OBIT1 bis OBIT4 und invertierten äußeren Bitleitungen OBIT1B bis OBIT4B zusammengesetzt. Beispielsweise besteht die äußeren Bitleitung OBL1 aus einer nicht invertierten äußeren Bitleitung OBIT1 und einer invertierten äußeren Bitleitung OBIT1B.

[0163] Ähnlich sind die inneren Bitleitungen BL0 bis BL5 aus nicht invertierten inneren Bitleitungen BIT0 bis BIT5 und invertierten inneren Bitleitungen BIT0B bis BIT5B zusammengesetzt. Beispielsweise besteht die innere Bitleitung BL1 aus einer nicht invertierten inneren Bitleitung BT1 und einer invertierten Bitleitung BIT1B.

[0164] Die Wähler SEL1 bis SEL4 sind aus sechs Transistoren und einer NICHT-ODER-Schaltung zusammengesetzt, und die jeweiligen Wähler SEL1 bis SEL4 werden durch zwei Steuerspeicherzellen C11 bis C14 gesteuert.

[0165] Um genau zu sein, der Wähler SEL1 wird von den 2-Bit-Steuerspeicherzellen (C11, C21) wie

beispielsweise in **Fig.** 6 dargestellt gesteuert. Wenn die betreffenden Steuerspeicherzellen (C11, C21) auf (0, 0) gesetzt werden, nimmt der Ausgang der NICHT-ODER-Schaltung des Wählers SEL1, welcher damit verbunden bzw. ihnen zugeordnet ist, den Wert "1" an, und als Teil der von dieser NICHT-ODER-Schaltung unter Spannung gesteuerten Transistoren werden die Leitungen OBIT1 und BIT1, OBIT1B und BIT1B jeweils miteinander verbunden. Wenn darüber hinaus die betreffenden Steuerspeicherzellen (C11, C21) auf (0, 01) gesetzt werden, werden OBIT1 und BIT0, OBIT1B und BITOB verbunden. Wenn darüber hinaus die betreffenden Steuerspeicherzellen (C11, C21) auf (1, 0) gesetzt werden, werden OBIT1 und BIT2, OBIT1B und BIT2B verbunden.

[0166] **Fig.** 7 zeigt ein Schaltungsdiagramm, welches die allgemeine Konstruktion der Speicherschaltung dieser Ausführungsform darstellt. Es sind jeweils zwei Speicherzellenanordnungen **11** und Spaltenredundanzsteuerschaltungen **12** vorgesehen. Darüber hinaus bezeichnet Bezugszeichen **21** entsprechend **Fig.** 7 zwei Schreibansteuerungsvorrichungen und Abfrageverstärker (WD & SA), während Bezugszeichen **22** zwei Spaltenwähler (COL-SEL) darstellt, und sie entsprechen 1:1 den jeweiligen Spaltenredundanzsteuerschaltungen **12**. Die Steuerdaten für die jeweiligen Spaltenredundanzsteuerschaltungen **12** sind derart gebildet, daß sie von den Schreibdateneingangsanschlüssen DI<1>, DI<2> jeweiliger Bits einzugeben sind. Des weiteren bezeichnet Bezugszeichen **23** einen Reihendekoder (Wortleitungsdekoder: ROW-DEC) zum Schalten der Wortleitungen der Speicherzellenanordnung **11**, Bezugszeichen **24** bezeichnet einen Spaltendekoder (Bitleitungsdekoder: COL-DEC) zum Schalten der Bitleitungen der Speicherzellenanordnung **11**, ROW-EN stellt ein Redundanzfreigabesignal dar, COL-ADDR und ROW-ADDR stellen Adressenzuweisungssignale dar, und RED-EN stellt eine Redundanzfreigabesignalleitung dar, welche benutzt wird, wenn die Übertragung des Redundanzfreigabesignals als Anzeige der Bereitschaft zum Schalten der Wähler der Gruppe von Wählern **16** wie bei der beispielsweise in **Fig.** 3 dargestellten dritten Ausführungsform freigegeben wird. Die Redundanzfreigabesignalleitung RED-EN wird bei der Konstruktion entsprechend **Fig.** 4 nicht besonders erfordert und kann daher weggelassen werden.

[0167] Im folgenden wird eine Erklärung der Aktionen der Speicherschaltung der oben dargestellten Konstruktion gegeben. Beispielsweise werden in dem Fall des Auftretens eines Fehlers wie eines Verdrahtungsbruchs oder eines Kurzschlusses, usw. der zweiten inneren Bitleitung BL2 und der zwei inneren Bitleitungen der inneren Bitleitungen BL3 oder des Auftretens eines Fehlers in den Speicherzellen M12, M13, M22, M23, M32, M33, ..., welche mit den inneren Bitleitungen BL2, BL3 verbunden sind, die Wähler SEL1 bis SEL4 derart geschaltet, daß die Verbindung zwischen der ersten äußeren Bitleitung OBL1 und der "0"-ten inneren Bitleitung BL0, zwischen der zweiten äußeren Bitleitung OBL2 und der ersten inneren Bitleitung BL1, zwischen der dritten äußeren Bitleitung OBL3 und der vierten inneren Bitleitung BL4 und zwischen der vierten äußeren Bitleitung OBL4 und der fünften inneren Bitleitung BL5 wie in **Fig.** 4 dargestellt gebildet bzw. gehalten wird. Dieses Schalten wird durch Einschreiben von "0, 1", "0, 1", "1, 0", "1, 0" in die jeweiligen Steuerspeicherzellen (C11, C21), (C12, C22), (C13, C23), (C14, C24) durch die äußeren Bitleitungen OBL1 bis OBL4 durchgeführt.

[0168] Auf diese Weise ist es möglich, leicht Fehlerdaten zweier inneren Bitleitungen sogar ohne Verwendung einer Lasereinheit abzuhelfen und die Herstellungskosten im Vergleich mit der ersten Vorrichtung nach dem Stand der Technik und der zweiten Vorrichtung nach dem Stand der Technik zu reduzieren.

[0169] **Fig.** 8 stellt die Speicherschaltung der fünften Ausführungsform der vorliegenden Erfindung dar. Entsprechend **Fig.** 8 bezeichnen dieselben Bezugszeichen wie diejenigen bezüglich der vierten Ausführungsform Bauelemente mit derselben Funktion. Die Speicherschaltung dieser Ausführungsform wird durch Zuweisen einer großen Anzahl von Spaltenwählern (in **Fig.** 8 beträgt die Anzahl gleich 2) einer Spaltenredundanzsteuerschaltung **12** realisiert.

[0170] Die Steuerdaten für die jeweiligen Spaltenredundanzsteuerschaltungen **12** werden von zwei Paaren von Schreibdateneingangsanschlüssen (DI<1>, DI<2>), (DI<3>, DI<4>) eingegeben, und die von der Speicherzellenanordnung **11** ausgelesenen Daten werden von wechselseitig benachbarten zwei Paaren von Datenausleseanschlüssen (DO<1>, DO<2>), (DO<3>, DO<4>) ausgegeben.

[0171] Die übrige Konstruktion ist ähnlich derjenigen der vierten Ausführungsform, und insbesondere ist die Konstruktion der Spaltenredundanzsteuerschaltung **12** und der Speicherzellenanordnung **11** dieselbe wie diejenige von **Fig.** 4. Daher wird eine Erklärung der derartigen Konstruktion nicht wiederholt.

[0172] Im folgenden wird eine Erklärung der Aktionen der Speicherschaltung gegeben, welche wie oben beschrieben konstruiert ist. Um beispielsweise einigen Fehlerdaten abzuhelfen, welche in der Speicherzellenanordnung **11** entsprechend DI<1> und DI<2> auftreten, wird (von der Speicherschaltung) (0, 1) (0, 1) in die Steuerspeicherzellen (C11, C21), (C12, C22) wie in **Fig.** 4 angezeigt von DI<1> zur Abhilfe geschrieben, und es wird zur selben Zeit (1, 0) (1, 0) in die Steuerspeicherzellen (C13, C23), (C14,

C24) entsprechend **Fig.** 4 von DI<2> aus geschrieben. Eine Erklärung der darauffolgenden Aktionen wird ausgelassen, da die Aktionen denjenigen der vierten Ausführungsform gleichen. Es ist bei dieser Ausführungsform ebenso möglich, leicht Fehlerdaten zweier innerer Bitleitungen sogar ohne Verwendung einer Lasereinheit abzuhelfen und die Herstellungskosten im Vergleich mit der ersten Vorrichtung nach dem Stand der Technik und der zweiten Vorrichtung nach dem Stand der Technik zu reduzieren.

[0173] Fig. 9 stellt die Speicherschaltung der sechsten Ausführungsform der vorliegenden Erfindung dar. Die Speicherschaltung wird durch Zuweisung einer großen Anzahl von Redundanzsteuerschaltungen **12c** (die Anzahl beträgt entsprechend **Fig.** 9 gleich 2) einem Spaltenwähler **22** realisiert.

[0174] Es werden nämlich die Steuerdaten für zwei wechselseitig benachbarte Spaltenredundanzsteuerschaltungen **12** von einem Schreibdateneingangsanschluß DI<1> eingegeben, wobei die Spaltenredundanzsteuerschaltungen **12** zum Schreiben der Steuerdaten mit dem Spaltenadresssteuersignal COL-ADDR gesteuert werden. Darüber hinaus werden die aus der Speicherzellenanordnung **11** ausgelesenen Daten von einem Ausleseanschluß DO<1> ausgegeben.

[0175] Die übrige Konstruktion ist ähnlich derjenigen der fünften Ausführungsform, und insbesondere die Konstruktion der Speicherzellenanordnung **11** und der Spaltenredundanzsteuerschaltung **12** sind dieselben wie diejenigen, welche in **Fig.** 4 dargestellt sind. Daher wird eine Erklärung der diesbezüglichen Konstruktion ausgelassen.

[0176] Es ist ebenso bei dieser Ausführungsform möglich, leicht Fehlerdaten zweier innerer Bitleitungen sogar ohne Verwendung einer Lasereinheit abzuhelfen und die Herstellungskosten im Vergleich zu der ersten Vorrichtung nach dem Stand der Technik und zu der zweiten Vorrichtung nach dem Stand der Technik zu reduzieren.

[0177] Fig. 10 stellt die Speicherschaltung der siebenten Ausführungsform der vorliegenden Erfindung dar. Die Speicherschaltung dieser Ausführungsform wird durch Ableiten des überflüssigen Bitteils des Reihendekoders **23** für eine normale Aktion als Wählschaltung von Wortleitungen RWL1, RWL2 zum Steuern der Spaltenredundanzsteuerschaltungen **12** realisiert. Wenn nämlich die inneren Wortleitungen der Speicherzellenanordnung **11** für 120 Worte lediglich verfügbar sind, wenn der Reihendekoder **23** theoretisch Ausgangsanschlüsse für $2^7 = 128$ Bit besitzt, sind acht überflüssige Bits vorhanden. Um eine Verschwendung von Schaltungen zu reduzieren, werden die Nummern 127 und 126 (beispielsweise eines Vordekoders) unter den Ausgangsanschlüssen des Reihendekoders **23** Wortleitungen RWL1, RWL2 zugewiesen.

[0178] Die übrige Konstruktion ist ähnlich wie diejenige der vierten Ausführungsform, so daß die Erklärung der derartigen Konstruktion ausgelassen wird. Es ist ebenso bei dieser Ausführungsform möglich, leicht Fehlerdaten zweier innerer Bitleitungen sogar ohne Verwendung einer Lasereinheit abzuhelfen und die Herstellungskosten im Vergleich zu der ersten Vorrichtung nach dem Stand der Technik und zu der zweiten Vorrichtung nach dem Stand der Technik zu reduzieren.

[0179] Fig. 11 stellt eine Datensteuerschaltung **29** dar (eine Datenerzeugungsschaltung zur Steuerung einer Speicherzelle), welche sich auf die Speicherschaltung, die eine Spaltenredundanzsteuerschaltung mit einer relativen Redundanz von 1 wie in **Fig.** 1 angezeigt besitzt, der achten Ausführungsform der vorliegenden Erfindung bezieht. Die Datensteuerschaltung **29** dieser Ausführungsform ist für jede der jeweiligen äußeren Bitleitungen OBL1 bis OBL4 der in **Fig.** 1 angezeigten Speicherschaltung vorgesehen und enthält eine exklusive Logiksummenschaltung (Exklusiv-ODER-Schaltung) **31**, eine Logikproduktschaltung (UND-Schaltung **32**), ein Flip-Flop **33**, und einen Wähler **34** (erste Wahleinrichtung).

[0180] Die Exklusiv-Logik-Summenschaltung **31** und die Logikproduktschaltung **32** arbeiten als Einrichtung zum Vergleichen des erwarteten Werts zum Beurteilen durch Vergleich, ob die an den jeweiligen Ausgangsports DO<1> bis DO<4> ausgelesenen Daten nicht mit dem von außen ausgegebenen Signal des vorgeschriebenen erwarteten Werts EXP übereinstimmen, und zum Erzeugen auf der Grundlage des Vergleichsergebnisses eines Werts zur Steuerung PF, welcher dem Dateneingangsanschluß der Steuerspeicherzellen der Gruppe von Steuerspeicherzellen auszugeben ist. Ein Anschluß der Exklusiv-Logiksummenschaltung **31** ist mit dem Eingangsanschluß des erwarteten Werts verbunden, welchem das Signal des erwarteten Werts EXP ausgegeben wird, während der andere Anschluß mit den jeweiligen Ausgangsports DO<1> der Speicherschaltung **30** verbunden ist. Ein Anschluß der Logikverknüfungschaltung **32** ist mit dem Vergleichsfreigabesignaleingangsanschluß verbunden, welchem das Vergleichsfreigabesignal CMPEN ausgegeben wird, während der andere Anschluß mit dem Ausgangsanschluß der exklusiven Logiksummenschaltung **31** verbunden ist.

[0181] Das mit der Rücksetzfunktion versehene Flip-Flop **33** wird mit dem Rücksetzsignal FF-RESET von außen zurückgesetzt. Darüber hinaus ist der Dateneingangsanschluß D des Flip-Flops **33** mit dem Ausgangsanschluß der Logikproduktschaltung **32**

durch die Logiksummenschaltung (ODER-Schaltung) **35** für eine Datenrückkopplung verbunden. Das Flip-Flop **33** hält den Wert "1" aufrecht, wenn nicht ein Rücksetzen mit dem Rücksetzsignal FF-RESET durch Datenrückkopplung der Logiksummenschaltung **35** durchgeführt wird, nachdem der Ausgang von der Logikproduktschaltung **32** zu "1" wird. Das Flip-Flop **33** kann entweder einem asynchronen Rücksetztyp oder einem synchronen Rücksetztyp angehören. Das Bezugszeichen T in **Fig.** 11 bezeichnet ein Taktsignal.

[0182] Der Eingangsanschluß der Seite "0" des Wählers **34** ist mit dem Eingangsanschluß zum Einschreiben von Daten XDI<1> bis XDI<4> von außen verbunden, während der Eingangsanschluß der Seite "1" mit dem Datenausgangsanschluß Q des Flip-Flops **33** verbunden ist. Es hat die Funktion des Wählens der Schreibdaten von außen und des Werts für die Steuerung PF von der Exklusiv-Logiksummenschaltung **31** und der Logikproduktschaltung **32** auf der Grundlage des Wahlsignals SELCTR von außen.

[0183] Im folgenden wird eine Erklärung der Aktionen der Datensteuerschaltung **29** der oben beschriebenen Konstruktion gegeben. Zuerst wird das Flip-Flop **33** mit dem Rücksetzsignal FF-RESET zurückgesetzt.

[0184] Als nächstes vergleicht die Exklusiv-Logiksummenschaltung **31** das Signal des erwarteten Werts EXP und den jeweiligen Datenausgang DO<1> bis DO<4> durch sequentielles Schalten der inneren Bitleitungen von BL1 bis BL5 und gibt den Wert "1" als Wert für die Steuerung PF aus, wenn sie unterschiedlich sind. Falls in diesem Zustand der Takt T gegeben wird, wenn das Vergleichsfreigabesignal CMPEN den Wert "1" besitzt, wird das Flip-Flop **33** auf den Wert "1" gesetzt. Falls zu diesem Zeitpunkt das Wahlsignal SELCTRL als "1" gegeben wird, wird der Wert "1" in die jeweiligen Steuerspeicherzellen C11 bis C14 der Gruppe von in **Fig.** 1 dargestellten Steuerspeicherzellen **17** durch jeden der Datenausgänge DO<1> bis DO<4> geschrieben. Demgegenüber behalten bei Abwesenheit von Fehlerdaten in den jeweiligen inneren Bitleitungen BL0 bis BL5 die jeweiligen Steuerspeicherzellen C11 bis C14 den Wert "0" bei. In Übereinstimmung mit einem derartigen Wert der Steuerspeicherzellen C11 bis C14 führen die Wähler SEL1 bis SEL4 der Gruppe von Wählern **16** die vorgeschriebene Wahl und das Schalten aus.

[0185] Beispielsweise werden in einem Fall eines Fehlers in der zweiten inneren Bitleitung BL2 oder der Speicherzellen M12, M22, M32, ... entsprechend **Fig.** 1 die Werte "0", "1", "1", "1" in die jeweiligen Steuerspeicherzellen C11 bis C14 geschrieben, wodurch ein geeignetes Schalten der Redundanzschaltung ermöglicht wird.

[0186] Die Schreibdaten für die Speicherzellenanordnung **11** zum Zeitpunkt des Testens können von den Schreibdateneingangsanschlüssen XDI<1> XDI<4> in dem Zustand des Wahlsignals SELCTRL = "0" gegeben werden.

[0187] Diese Ausführungsform ermöglicht ebenso ein leichtes Abhelfen von Fehlerdaten bezüglich einer inneren Bitleitung auch ohne Verwendung einer Lasereinheit und ein Reduzieren der Herstellungskosten im Vergleich zu der ersten Vorrichtung nach dem Stand der Technik und der zweiten Vorrichtung nach dem Stand der Technik.

[0188] **Fig.** 12 stellt die Datensteuerschaltung **29** (Datenerzeugungsschaltung zum Steuern der Speicherzellen) der neunten Ausführungsform der vorliegenden Erfindung dar. Entsprechend **Fig.** 12 bezeichnen dieselben Bezugszeichen wie diejenigen bezüglich der achten Ausführungsform Bauelemente mit denselben Funktionen. Die Datensteuerschaltung **29** dieser Ausführungsform sorgt dafür, daß das Flip-Flop zum Speichern der Ausgangsinformation von der Einrichtung zum Vergleichen des erwarteten Werts ebenso zum Speichern von Schreibdaten geeignet ist, und eine große Anzahl von Datensteuerschaltungen **29** ist seriell verbunden, um wie in **Fig.** 13 dargestellt einen Abfragepfad zu bilden.

[0189] Es ist nämlich jede Datensteuerschaltung **29** mit der Exklusiv-Logiksummenschaltung **31** und der Logikproduktschaltung **32** als Einrichtung zum Vergleichen des erwarteten Werts wie bezüglich der achten Ausführungsform erklärt, einer Logikproduktschaltung **41** zum Rücksetzen des Signaleingangs, welche mit dem Ausgangsanschluß der Logikproduktschaltung **32** über eine Logiksummenschaltung **35** für eine Datenrückkopplung verbunden ist, einer ersten Wahleinrichtung **42** zum Wählen und Ausgeben dreier unterschiedlicher Informationsarten, d.h. dem Signal von der Logikproduktschaltung **41**, dem später beschriebenen Einschiebesignal SI und dem Schreibdateneingangssignal von dem Schreibdateneingangsanschluß XDI<i>, einem Flip-Flop **43** zum Speichern der Ausgangsinformation der ersten Wahleinrichtung **42** und einer zweiten Wahleinrichtung **44** zum Wählen zweier unterschiedlicher Informationsarten, d.h. der Ausgangsinformation von dem Flip-Flop **43** und der Testdaten von außerhalb (Schreibdaten zum Zeitpunkt des Speichertests) TD versehen.

[0190] Die Logikproduktschaltung **41** ist entworfen, um ein Rücksetzen bezüglich des Wertes "0" des Flip-Flops **43** durchzuführen, wenn das Flip-Flop **43** ohne eine Rücksetzfunktion verwendet wird, und besitzt die Funktion des Ausgebens des Wertes "0", wenn der Wert "0" als Rücksetzsignal FF-RESET un-

geachtet des Werts von der Logikproduktschaltung **35** eingegeben wird.

[0191] Die erste Wahleinrichtung **42** ist aus zwei Wählern **42a**, **42b** zusammengesetzt.

[0192] Der Eingangsanschluß der Seite "1" des Wählers **42a** ist mit dem Ausgangsanschluß der Logikproduktschaltung **41** verbunden, und das Einschiebesignal SI wird dem Eingangsanschluß der Seite "0" eingegeben. Hier bezieht sich das Einschiebesignal SI in dem in **Fig.** 13 angezeigten Abfragepfad auf das Signal von außen soweit die Datensteuerschaltung **29a** in der vordersten Stufe betroffen ist, es bezieht sich jedoch auf Daten, welche durch die Datensteuerschaltung relativ benachbart an der Seite der vorderen Stufe (Seite des niederwertigen Bits) in dem Fall der Datensteuerschaltung **29b** bis **29d** in der nächsten Stufe (Seite des höherwertigen Bits) und danach ausgegeben sind.

[0193] Der Eingangsanschluß der Seite "1" des anderen Wählers **42b** ist mit dem Ausgangsanschluß des Wählers an einer Seite **42a** verbunden, während der Eingangsanschluß der Seite "0" mit dem Schreibdateneingangsanschluß XDI<i> verbunden ist.

[0194] Die beiden Wähler **42a**, **42b** führen eine Wahl und ein Schalten jeweils auf der Grundlage von vorgeschriebenen Signalen SINHDO, SM von außen durch.

[0195] Der Dateneingangsanschluß des Flip-Flops **43** ist mit dem Ausgangsanschluß des Wählers **42b** an der anderen Seite verbunden. Darüber hinaus ist der Datenausgangsanschluß Q des Flip-Flops **43** mit der zweiten Wahleinrichtung **44** verbunden, und es wird ebenso das Ausgangsschiebesignal SO ausgegeben, welches der Datensteuerschaltung **29** zu übertragen ist, welche in der nächsten Stufe lokalisiert ist.

[0196] Die zweite Wahleinrichtung **44** enthält einen Wähler, und es werden Testdaten von außen dem Eingangsanschluß der Seite "0" eingegeben, während der Eingangsanschluß der Seite "1" mit dem Datenausgangsanschluß Q des Flip-Flops **43** verbunden ist und die Wahl und das Schalten auf der Grundlage eines Wahlsignals SELCTRL von außen durchführt.

[0197] Eine Erklärung der weiteren Konstruktion wird ausgelassen, da sie derjenigen der achten Ausführungsform gleicht.

[0198] Im folgenden wird eine Beschreibung der Datensteuerschaltung **29** gegeben, welche wie oben beschrieben konstruiert ist. Entsprechend **Fig.** 12 werden in dem Zustand des Signals SINHDO = "1" des Signals SM = "1" dieselben Steuerdaten wie diejenigen bei der in **Fig.** 11 dargestellten Schaltung an Q ausgegeben.

[0199] In dem Zustand des Signals SM = "0" werden die von dem Schreibdateneingangsanschluß XDI<i> erlangten Schreibdaten dem Dateneingangsanschluß D zugeführt. Es ist daher während einer normalen Operation möglich, SM = "0" SELCTRL = "0" zu bestimmen und das Flip-Flop **46** als FF für den Dateneingang des RAM's abzuleiten.

[0200] Bei dieser Ausführung, bei welcher der Abfrageentwurf wie in **Fig.** 13 dargestellt verwendet wird, ist es möglich, serielle Aktionen durch Bestimmen von SM = "1", SINHDO = "0" durchzuführen. Beispielsweise können die Testergebnisse leicht mit einer seriellen Schiebeoperation ausgelesen werden, wodurch eine leichte Identifizierung des Fehlerdatenbits möglich ist.

[0201] Die Schreibdaten für die Speicherzellenanordnung **11** zu dem Zeitpunkt des Testens werden als Testdaten TD in dem Zustand SELCTRL = "0" zugeführt.

[0202] Die Rücksetzaktion des Flip-Flops **43** kann durch Ausgeben des Taktsignals T in dem Zustand SINHDO = "1", SM = "1" FF-RESET = "0" durchgeführt werden. Da jedoch das Rücksetzen mit einem "Einschieben" des Wertes "0" durch eine serielle Schiebebewegung durchgeführt werden kann, ist es richtig, das Rücksetzsignal FF-RESET und die logische Verknüpfungsschaltung **41**, welcher dieses Signal einzugeben ist, aufzuheben.

[0203] Darüber hinaus ist es richtig, die Logikproduktschaltung **41** aufzuheben und ein Flip-Flop **43** mit einer asynchronen Rücksetzfunktion oder mit einer synchronen Rücksetzfunktion zu verwenden.

[0204] Diese Ausführungsform ermöglicht es ebenso, leicht Fehlerdaten, welche sich auf eine inneren Bitleitung beziehen, sogar ohne Verwendung einer Lasereinheit abzuhelfen und die Herstellungskosten im Vergleich zu der ersten Vorrichtung nach dem Stand der Technik und der zweiten Vorrichtung nach dem Stand der Technik zu reduzieren.

[0205] **Fig.** 14 stellt die Datensteuerschaltung **29** der Speicherschaltung der zehnten Ausführungsform der vorliegenden Erfindung dar. Die Datensteuerschaltung **29** dieser Ausführungsform sorgt dafür, daß das Flip-Flop zum Speichern von Ausgangsinformation von der Einrichtung zum Vergleichen des erwarteten Werts ebenso wie zum Speichern von aus der Speicherschaltung ausgelesenen Daten verwendbar ist. Die zehnte Ausführungsform entspricht der neunten Ausführungsform dahingehend, daß eine große Anzahl von Datensteuerschaltungen **29** seriell verbunden sind, um wie in **Fig.** 13 dargestellt

einen Abfragepfad zu bilden.

[0206] Jede Datensteuerschaltung **29** ist mit einer Exklusiv-Logiksummenschaltung **31**, einer Logikproduktschaltung **32**, einer Logiksummenschaltung **35**, einer Logikproduktschaltung **41** und einem Wähler **42a** ebenso wie die neunte Ausführungsform versehen, und sie ist des weiteren mit einem Wähler **42c**, einem Flip-Flop **46** und einem Wähler **47** versehen.

[0207] Der Wähler **42c** entspricht dem Wähler **42b** der neunten Ausführungsform dahingehend, daß der Eingangsanschluß der Seite "1" mit dem Wähler **42a** verbunden ist, er unterscheidet sich jedoch von dem Wähler **42b** dahingehend, daß der Eingangsanschluß der Seite "0" mit dem Datenausleseanschluß DO<i> verbunden ist.

[0208] Das Flip-Flop **46** entspricht demjenigen der neunten Ausführungsform dahingehend, daß der Dateneingangsanschluß mit dem Ausgangsanschluß des Wählers **42b** verbunden ist, es unterscheidet sich jedoch von demjenigen der neunten Ausführungsform dahingehend, daß der Datenausgangsanschluß Q nicht lediglich das Ausgangsschiebesignal SO ausgibt, sondern ebenso für die Ausgabe zu dem Wähler **47** und die Ausgabe der ausgelesenen Daten nach außen sorgt.

[0209] Der Eingangsanschluß der Seite "1" des Wählers **47** ist mit dem Datenausgangsanschluß des Flip-Flops **46** verbunden, während der Eingangsanschluß der Seite "0" mit dem Schreibdateneingangsanschluß XDI<i> verbunden ist.

[0210] Im folgenden wird eine Erklärung der Datensteuerschaltung **29** gegeben, welche wie oben beschrieben konstruiert ist. Beispielsweise werden in dem Zustand SINHDO = "1", SM = "1" dieselben Ausgangsdaten wie diejenigen der Schaltung von **Fig.** 11 an dem Datenausgangsanschluß Q bezüglich des Flip-Flops **46** ausgegeben.

[0211] Demgegenüber wird in dem Zustand SM = "0" das Auslesesignal DO<i> dem Dateneingangsanschluß D des Flip-Flops **46** zugeführt. Daher ist es während einer normalen Operation möglich, SM = "0" zu bestimmen und das Flip-Flop **46** als Register für die Datenausgabe des RAM's abzuleiten. Während einer normalen Operation werden die Schreibdaten in die Speicherzellenanordnung **11** von dem Schreibdateneingangsanschluß XDI<i> mit der Bestimmung SELCTRL = "0" ausgegeben.

[0212] Bei dieser Ausführungsform, bei welcher ein Abfrageentwurf verwendet wird, ist es möglich, serielle Aktionen durch Bestimmen von SM = "1", SINHDO = "0" durchzuführen. Beispielsweise können die Testergebnisse leicht mit einer seriellen Schiebeoperation ausgelesen werden, wodurch eine leichte Identifizierung des Fehlerdatenbits möglich ist. Die Schreibdaten werden der Speicherzellenanordnung **11** von dem Schreibdateneingangsanschluß XDI<i> in dem Zustand SELCTRL = "0" zugeführt.

[0213] Die Rücksetzaktion des Flip-Flops **46** kann durch Ausgeben des Taktsignals T in dem Zustand SINHDO = "1", SM = "1", FF-RESET = "0" durchgeführt werden.

[0214] **Fig.** 15 stellt die Datensteuerschaltung **29** der Speicherschaltung der elften Ausführungsform der vorliegenden Erfindung dar. Entsprechend **Fig.** 15 bezeichnen dieselben Bezugszeichen wie diejenigen bezüglich der neunten und zehnten Ausführungsform Bauelemente mit denselben Funktionen.

[0215] Die Datensteuerschaltung **29** dieser Ausführungsform ist mit zwei Flip-Flops (Register) zum Speichern von Ausgangsinformation der Einrichtung zum Vergleichen des erwarteten Werts versehen, um die Flip-Flops zum Speichern von Schreibdaten bzw. zum Speichern von Auslesedaten verwendbar zu machen. Darüber hinaus ist eine große Anzahl von Datensteuerschaltungen **29** (**29a** bis **29d**) seriell miteinander verbunden, um wie in **Fig.** 16 dargestellt einen Abfragepfad zu bilden.

[0216] Der Abfragepfad ist durch serielles Verbinden wie in **Fig.** 16 dargestellt einer großen Anzahl von Schaltungen entsprechend **Fig.** 15 gebildet. Beide Verbindungen entsprechend **Fig.** 16(a) bzw. 16(b) können verwendet werden, und der Abfragepfad kann in einer anderen Reihenfolge gebildet werden. Entsprechend **Fig.** 16a bezieht sich das Eingangsschiebesignal SI1 auf das Ausgangsschiebesignal SO0 derselben Datensteuerschaltung **29d** soweit wie die Datensteuerschaltung **29d** an der Seite des höchstwertigsten Bits betroffen ist, es bezieht sich jedoch auf das Ausgangsschiebesignal SO1 von der Datensteuerschaltung relativ benachbart zu der Seite des höherwertigen Bits in dem Fall der Datensteuerschaltungen **29a** bis **29c** in der nächsten Stufe (der Seite des niederwertigeren Bits) und danach.

[0217] Demgegenüber bezieht sich entsprechend **Fig.** 16(b) das Eingangsschiebesignal SI0 auf ein Signal SID von außen soweit wie die Datensteuerschaltung **29d** an der Seite des niederwertigsten Bits betroffen ist, es bezieht sich jedoch auf das Ausgangsschiebesignal SO1 von der Datensteuerschaltung relativ benachbart an der Seite des niederwertigeren Bits in dem Fall der Datensteuerschaltungen **29b** bis **29d** in der nächsten Stufe (der Seite des höherwertigeren Bits) und der darauffolgenden. Darüber hinaus bezieht sich das Eingangsschiebesignal SI1 entsprechend **Fig.** 16(b) auf das Ausgangsschiebesignal SO0 derselben Datensteuerschaltungen **29a** bis **29b**. Es werden entsprechend **Fig.** 16(b) die Abfragepfad-

daten in der Reihenfolge SI0-SO0-SI1-SO1 bei den Abfragepfadaktionen der jeweiligen Datensteuerschaltungen **29a** bis **29d** übertragen.

[0218] Die Exklusiv-Logiksummenschaltung **31**, die Logikproduktschaltung **32**, die Logiksummenschaltung **35** und die Logikproduktschaltung **41** sind dieselben Schaltungen wie jene, welche bezüglich der neunten und der zehnten Ausführungsform angezeigt sind.

[0219] Die Datensteuerschaltung **29** dieser Ausführungsform ist des weiteren mit einer ersten Wahleinrichtung **51** zum Wählen dreier unterschiedlicher Informationsarten, d.h. des Werts zur Steuerung PF, welcher von der Logikproduktschaltung **41** gegeben ist, des Eingangsschiebesignals SI1, welches von den anderen Datensteuerschaltungen benachbart an der Seite des niederwertigeren Bits von der betreffenden Datensteuerschaltung **29** gegeben ist, und der Auslesedaten DO<i> von der Speicherzellenanordnung **11**, einem ersten Flip-Flop (FF1) **46a** zum Speichern der von der ersten Wahleinrichtung **51** gewählten Information, einer zweiten Wahleinrichtung **52** zum Wählen von vier unterschiedlichen Informationsarten, d.h. der Ausgangsinformation von dem ersten Flip-Flop **46a** in der betreffenden Datensteuerschaltung **29**, den Testdaten TD, dem Eingangsschiebesignal SI0, welches von den anderen Datensteuerschaltungen benachbart an der Seite des niederwertigeren Bits von der betreffenden Datensteuerschaltung **29** gegeben ist, und der Schreibdaten XD1 von außerhalb, welche in die Speicherzellenanordnung **11** zu schreiben sind, und mit einem zweiten Flip-Flop (FF0) **46b** zum Speichern der von der zweiten Wahleinrichtung **52** gewählten Information versehen.

[0220] Die erste Wahleinrichtung **51** enthält zwei Wähler **51a**, **51b**. Dem Eingangsanschluß der Seite "0" eines Wählers **51a** der zwei Wähler wird das Eingangsschiebesignal SI1 (Ausgangsschiebesignal SO1), welches von den anderen Datensteuerschaltungen benachbart an der Seite des niederwertigeren Bits von der betreffenden Datensteuerschaltung **29** ausgegeben wird, eingegeben, während dem Eingangsanschluß der Seite "1" der Wert zur Steuerung PF, welcher von der Logikproduktschaltung **41** ausgegeben wird, eingegeben wird. Darüber hinaus werden dem Eingangsanschluß der Seite "0" des anderen Wählers **51b** die Auslesedaten DO<i> von der Speicherzellenanordnung **11** eingegeben, und es wird dem Eingangsanschluß der Seite "1" die von dem ersten Wähler **51a** gewählte Information eingegeben. Die Wähler **51a**, **51b** führen eine Wahl und ein Schalten jeweils auf der Grundlage von vorgeschriebenen Signalen SINHDO, SM von außen durch.

[0221] Dem Dateneingangsanschluß D1 des ersten Flip-Flops **46a** wird die durch den anderen Wähler **51b** gewählte Information eingegeben, und die Datenausgangsinformation Q1 wird an dem Auslesedatenausgangsanschluß XDO<i> und der zweiten Wahleinrichtung **51** ausgegeben, und es wird ebenso ein Ausgangsschiebesignal SO1 den anderen Datensteuerschaltungen benachbart an der Seite des höherwertigeren Bits von der betreffenden Datensteuerschaltung **29** ausgegeben. T1 entsprechend **Fig.** 15 stellt das Taktsignal und den Anschluß zur Eingabe des Taktsignals dar.

[0222] Die zweite Wahleinrichtung **52** enthält drei Wähler **52a** bis **52c**. Dem Eingangsanschluß der Seite "0" des Wählers **52a** werden die von außerhalb ausgegebenen Testdaten TD eingegeben, während dem Eingangsanschluß der Seite "1" die Ausgangsinformation von dem Flip-Flop **46a** in der betreffenden Datensteuerschaltung **29** eingegeben wird. Darüber hinaus wird dem Eingangsanschluß der Seite "0" des Wählers **52b** das von den anderen Datensteuerschaltungen benachbart der Seite des niederwertigeren Bits von der betreffenden Steuerschaltung **29** ausgegebene Eingangsschiebesignal SI0 eingegeben, während dem Eingangsanschluß der Seite "1" die von dem Wähler **52a** gewählte Information eingegeben wird. Darüber hinaus werden dem Eingangsanschluß der Seite "0" des Wählers **52c** die von außerhalb ausgegebenen Schreibdaten XDI<i> eingegeben, während dem Eingangsanschluß der Seite "1" die von dem Wähler **52b** gewählte Information eingegeben wird. Die Wähler **52a** bis **52c** führen ein Wählen und Schalten jeweils auf der Grundlage von vorgeschriebenen Signalen SELCTRL, SINHDI, SM von außerhalb durch.

[0223] Dem Dateneingangsanschluß D0 des zweiten Flip-Flops **46b** wird die von dem Wähler **52c** gewählte Information eingegeben, und die Datenausgangsinformation Q0 wird dem Schreibdateneingangsanschluß DI<i> der Speicherschaltung übertragen und von der betreffenden Datensteuerschaltung **29** als Eingangsschiebesignal SO0 den anderen Datensteuerschaltungen ausgegeben. T0 entsprechend **Fig.** 15 stellt ein Taktsignal und den Anschluß zur Eingabe des Taktsignals dar. Während des Testens und seriellen Schiebens werden Wellenformen desselben Zeitablaufs für beide Takte T0, T1 verwendet.

[0224] Im folgenden wird eine Beschreibung der Datensteuerschaltung **29** gegeben, welche wie oben beschrieben gebildet ist. Zuerst werden in dem Zustand SINHDO = "1", SM = "1" Steuerdaten ähnlich denjenigen der in **Fig.** 11 angezeigten Schaltung an Q1 ausgegeben. Unter der Bestimmung SELCTRL = "1", SINHDI = "1" werden diese Steuerdaten Q0 mit einer Verzögerung eines Taktes ausgegeben. Nach einer Wartezeit bis die Steuerdaten Q0 übertragen sind schreibt die Datensteuerschaltung **29** diese Steuerdaten in die Steuerspeicherzellen C11 bis C14, und danach führt die Spaltenredundanzsteuerschaltung **12** der Speicherschaltung das Umschalten

durch.

[0225] Während einer normalen Operation ist SM = "0" bestimmt. In dem Zustand SM = "0" wird das Signal von DO<i> dem ersten Flip-Flop **46a** als Eingangsdaten D1 über den Wähler **51b** zugeführt. Während einer normalen Operation ist es möglich, SM = "0" zu bestimmen und das Flip-Flop **46a** als Register für die Datenausgabe des RAM's abzuleiten. Darüber hinaus wird in dem Zustand SM = "0", wobei das Signal des XDI<i> dem zweiten Flip-Flop **46b** als Eingangsdaten D0 zugeführt wird, das zweite Flip-Flop **46b** als Register zur Datenausgabe des RAM's verwendet.

[0226] Darüber hinaus ist es bei dieser Ausführungsform, bei welcher der Abfrageentwurf verwendet wird, möglich, serielle Aktionen durch Bestimmung von SM = "1", SINHDO = "0" und SINHDI = "0" durchzuführen. Beispielsweise können die Testergebnisse mit einer seriellen Schiebeoperation ausgelesen werden, wodurch eine leichte Identifizierung des Fehlerdatenbits ermöglicht wird.

[0227] Bei der Schaltung entsprechend **Fig.** 12 oder derjenigen entsprechend **Fig.** 14 vergrößert eine Erhöhung der Anzahl von Datenbits die Verzögerung der Testdaten TD und des Signals SELCTRL, und es wird als Ergebnis durch die Anzahl der Datenbits der Zeitablauf der Veränderung der Signale zu dem Schreibdateneingangsanschluß DI<i> bestimmt. Daher bestand eine Furcht des Erzeugens einer Notwendigkeit von unterschiedlichen Zeitabläufen eines schwachen Pulses für eine normale Operation und fürs Testen. Demgegenüber werden bei dieser Ausführungsform Schreibdaten der Speicherzellenanordnung **11** während des Testens von außerhalb als Testdaten TD in dem Zustand SELCTRL = "0" zugeführt. Der Entwurf des Zeitablaufs ist sehr leicht, da die Testdaten TD ebenso durch das Flip-Flop **46b** geführt werden. Die Eingangsdaten des Schreibdateneingangsanschlusses DI <i> der Speicherzellenanordnung **11** verändern sich synchron mit dem Takt T0, und dieser Zeitablauf verändert sich sogar nicht mit einem Ansteigen der Anzahl von Datenbits. Daher besteht keine Notwendigkeit von unterschiedlichen Zeitabläufen eines schwachen Pulses für die normale Operation und für das Testen.

[0228] Die Rücksetzaktion des Flip-Flop **46a** kann durch Ausgeben eines Taktsignals T1 in dem Zustand SINHDO = "1", SM = "1", FF-RESET = "0" durchgeführt werden.

[0229] **Fig.** 17 zeigt die Speicherschaltung der zwölften Ausführungsform. Die Speicherschaltung dieser Ausführungsform ist durch Hinzufügen eines speziellen Reihendekoders (ROW-DEC2) **54** zum Auswählen einer Steuerspeicherzelle für die gesamten Schaltungen der Speicherschaltung mit Spaltenredundanzfunktion wie in **Fig.** 7 angezeigt realisiert. Jedoch muß die Spaltenredundanzsteuerschaltung **12** wie in **Fig.** 4 dargestellt eine Redundanz des Wertes "2" besitzen.

[0230] Der Reihendekoder **54** wählt und aktiviert eine von zwei Wortleitungen RWL1, RWL2 in Abhängigkeit des Adreßsignals RED-ROW-ADDR von außerhalb. Jedoch kann in dem Fall, bei welchem das Freigabesignal RED-ROW-EN nicht aktiv ist, keine der zwei Wortleitungen RWL1, RWL2 aktiviert werden.

[0231] Bei dieser Ausführungsform erleichtert die Ergänzung des Reihendekoders **54** die Wahl der Steuerspeicherzelle mit dem Adreßsignal RED-ROW-ADDR und erleichtert ebenso die Verwendung der Datensteuerschaltung **29**, welche an die Spaltenredundanz des Wertes "2" bei der dreizehnten Ausführungsform (**Fig.** 18) angepaßt ist, wie später beschrieben wird.

[0232] **Fig.** 18 stellt die Datensteuerschaltung der Speicherschaltung der dreizehnten Ausführungsform der vorliegenden Erfindung dar. Die Datensteuerschaltung **29** dieser Ausführungsform ist als Datenerzeugungsschaltung für eine Steuer-Speicherzelle ausgebildet, welche eine Spaltenredundanzsteuerschaltung **12** mit einer Redundanz des Wertes "2" wie bei der in **Fig.** 17 angezeigten zwölften Ausführungsform dargestellt besitzt.

[0233] Der Reihenredundanzadressanschluß RED-ROW-ADDR der Speicherschaltung **30** empfängt die Zufuhr eines Signals CHDIR von außen. Als Ergebnis wird eine Wortleitung RWL1 entsprechend **Fig.** 17 in dem Fall von CHDIR = "1" gewählt. Demgegenüber wird die Wortleitung RWL2 in dem Fall von CHDIR = "0" gewählt. Die Speicherschaltung **30** ist derart konstruiert.

[0234] Die Datensteuerschaltung **29** dieser Ausführungsform ist des weiteren zusätzlich zu der Exklusiv-Logiksummenschaltung **31**, der Logikproduktschaltung **32** und der Logiksummenschaltung **35**, welche die Einrichtung zum Vergleichen des erwarteten Werts auf dieselbe Weise wie bei den jeweiligen vorher erklärten Ausführungsformen bilden, mit einer Steuerdatenerzeugungseinrichtung **56** zum Erzeugen von Steuerdaten für die Speicherschaltung **30** auf der Grundlage des Werts für die Steuerung PF, welcher von der Exklusiv-Logiksummenschaltung **31** erzeugt wurde, und einem ersten Wähler **57** zum Wählen und Ausgeben der Steuerdaten, welche von der Steuerdatenerzeugungseinrichtung **56** ausgegeben werden, und der von außerhalb ausgegebenen Schreibdaten XDI<i> versehen.

[0235] Die Steuerdatenerzeugungseinrichtung **56** gibt den ersten Wert (0, 0) der Gruppe von Steuer-

speicherzellen **17** der in **Fig.** 4 angezeigten Spaltenredundanzsteuerschaltung **12** aus, wenn die Einrichtung zum Vergleichen des erwarteten Werts (**31**, **32**) das Ergebnis erzielt, daß die ausgelesenen Daten DO<1> bis DO<4> von der Speicherzellenanordnung **11** indentisch zu dem Signal des vorgeschriebenen erwarteten Werts EXP sind, gibt einen zweiten Wert (0, 1) der Gruppe von Steuerspeicherzellen **17** aus, wenn die Einrichtung zum Vergleichen des erwarteten Werts (**31**, **32**) zum ersten Mal ein Ergebnis erzielt, daß die ausgelesenen Daten DO<1> bis DO<4> von der Speicherzellenanordnung **11** nicht mit dem vorgeschriebenen erwarteten Wert EXP übereinstimmen, und gibt den dritten Wert (1, 0) der Gruppe von Steuerspeicherzellen **17** aus, wenn die Einrichtung zum Vergleichen des erwarteten Werts (**31**, **32**) zum zweiten Mal das Ergebnis erzielt, daß die ausgelesenen Daten DO<1> bis DO<4> von der Speicherzellenanordnung **11** nicht mit dem vorgeschriebenen erwarteten Wert EXP übereinstimmen.

[0236] Um genau zu sein, die Steuerdatenerzeugungseinrichtung **56** ist mit einem ersten Flip-Flop (FF1: erstes Register) **61** zum Speichern von Ausgangsinformation von der Einrichtung zum Vergleichen des erwarteten Werts (**31**, **32**), einem zweiten Flip-Flop (FF0: zweites Register) **64** zum Speichern von Ausgangsinformation von dem ersten Flip-Flop **61** durch eine Logikproduktschaltung (UND-Schaltung) **62** (Einrichtung zum Ausgeben eines Nichtübereinstimmungswerts) und eine Logiksummenschaltung (ODER-Schaltung) **63**, und einen zweiten Wähler **65** zum Wählen und Ausgeben von Ausgangsinformation von dem ersten Flip-Flop **61** und dem zweiten Flip-Flop **64** versehen.

[0237] Das erste Flip-Flop **61** ist als Typ ausgebildet, welcher mit einer Rücksetzfunktion versehen ist, wobei der Wert "0" im voraus als Anfangswert gespeichert ist, und der in dem ersten Flip-Flop **61** gespeicherte Wert verändert sich von "0" auf "1", wenn die Einrichtung zum Vergleichen des erwarteten Werts (**31**, **32**) zum ersten Mal das Ergebnis erzielt, daß die ausgelesenen Daten DO<1> bis DO<4> von der Speicherzellenanordnung **11** mit dem vorgeschriebenen erwarteten Wert EXP nicht übereinstimmen.

[0238] Die Logikproduktschaltung **62** gibt den Wert "0" lediglich aus, wenn das Ergebnis erzielt wird, daß sowohl der in dem ersten Flip-Flop **61** gespeicherte Wert als auch die ausgelesenen Daten DO<1> bis DO<4> von der Speicherzellenanordnung **11** nicht mit dem vorgeschriebenen Wert EXP übereinstimmen. Die Logikproduktschaltung **62** ist als Typ mit drei Eingängen ausgebildet, und ein Vergleichsfreigabesignal CMPEN wird dem verbleibenden einen Eingangsanschluß eingegeben.

[0239] Die Logiksummenschaltung **63** wird zur Datenrückkopplung bezüglich des zweiten Flip-Flops **64** ebenso wie die Logiksummenschaltung **35** für das erste Flip-Flop **61** verwendet.

[0240] Das zweite Flip-Flop **64** ist als Typ ausgebildet, welcher mit einer Rücksetzfunktion versehen ist, bei welcher der Wert "0" im voraus als Anfangswert gespeichert ist, und ein in dem ersten Flip-Flop **61** gespeicherter Wert ändert sich von "0" auf "1", wenn sich der Ausgang der Logikproduktschaltung **62** von "0" auf "1" verändert, wenn die Einrichtung zum Vergleichen des erwarteten Werts (**31**, **32**) zum zweiten Mal das Ergebnis erzielt, daß die ausgelesenen Daten DO<1> bis DO<4> von der Speicherzellenanordnung **11** nicht mit dem vorgeschriebenen erwarteten Wert EXP übereinstimmen. Das erste Flip-Flop **61** und das zweite Flip-Flop **64** werden von dem Taktsignal von außerhalb angesteuert und mit dem Rücksetzsignal FF-RESET von außen zurückgesetzt.

[0241] Der zweite Wähler **65** dient der Durchführung der Wahl und des Schaltens mit einem Signal CHDIR von außen, und dessen Eingangsanschluß der Seite "0" ist mit dem Ausgangsanschluß Q0 des zweiten Flip-Flops **64** verbunden, während der Eingangsanschluß der Seite "1" mit dem Ausgangsanschluß Q1 des ersten Flip-Flops **61** verbunden ist.

[0242] Der erste Wähler **57** dient der Durchführung der Wahl und des Schaltens mit einem Signal SELCTRL von außen, und dessen Eingangsanschluß der Seite "0" ist mit äußeren Schreibdateneingangsanschlüssen XDI<1> bis XDI<4> verbunden, während der Eingangsanschluß der Seite "1" mit dem Ausgangsanschluß des zweiten Wählers **65** verbunden ist.

[0243] Im folgenden werden unter Bezugnahme auf **Fig.** 4 und **Fig.** 17 die Aktionen der Datensteuerschaltung **29** erklärt, welche wie oben beschrieben gebildet ist. Es wird dabei eine Erklärung der Annahme eines Fehlers der inneren Bitleitung BL2 und der inneren Bitleitung BL3 von **Fig.** 4 gegeben.

[0244] Wenn die Datensteuerschaltung **29** mit dem auf "1" gesetzten Signal CHDIR verwendet wird, kann dem Fehler einer 1-Bitleitung abgeholfen werden. In dem Fall jedoch, bei welchem ein Abhelfen bei Aktionen mit der Bestimmung CHDIR = "1" unmöglich ist, d.h. in dem Fall eines Fehlers, welcher zwei Wortleitungen RWL1, RWL2 betrifft, wird das Abhelfen mit später beschriebenen Aktionen durchgeführt.

[0245] Da eine Annahme eines Fehlers wie eines Kurzschlusses oder eines Bruchs einer Bitleitung erfolgt, wird lediglich die Speicherzellenanordnung **11** getestet, welche am weitesten von den Wählern SEL1 bis SEL4 entsprechend **Fig.** 4 entfernt ist. Beispielsweise wird lediglich M13 für BL1 von **Fig.** 4 getestet. Daher wird der Test durch Bestimmen des

Wertes des Reihenadressignals ROW-ADDR durchgeführt.

[0246] Zuerst werden entsprechend **Fig.** 4 die Steuerspeicherzellen C11 bis C14, C21 bis C24 mit dem Rücksetzsignal RED-RESET zurückgesetzt. Darüber hinaus werden entsprechend **Fig.** 18 das erste Flip-Flop **61** und das zweite Flip-Flop **64** jeweils auf "0" mit dem Rücksetzsignal RED-REST zurückgesetzt.

[0247] Als nächstes steuert in dem Zustand CHDIR = "0" die Datensteuerschaltung **29** verschiedene Signale wie das Signal des erwarteten Werts EXP, das Vergleichsfreigabesignal CMPEN und andere vorgeschriebene Signale wie WE, SELCTRL, usw. entsprechend **Fig.** 14, um geeignet die am weitesten entfernte Speicherzelle M34 unter jenen zu testen, welche mit der inneren Bitleitung BL4 verbunden sind. Die Schreibdaten für die Speicherzellenanordnung **11** werden während des Testens von dem Schreibdateneingangsanschluß XDI<i> in dem Zustand SELCTRL = "0" gegeben.

[0248] Entsprechend **Fig.** 18 vergleicht die Exklusiv-Logiksummenschaltung **31** das Signal des erwarteten Werts EXP und die ausgelesenen Daten DO<i>, und, wenn erfaßt wird, daß sie sich zum ersten Mal unterscheiden, wird der Wert "1" als Wert für die Steuerung PF ausgegeben. Falls in diesem Zustand der Takt T gegeben wird, wenn das Vergleichsfreigabesignal CMPEN den Wert "1" aufweist, wird das erste Flip-Flop **61** auf den Wert "1" gesetzt und dessen Ausgangsdaten Q1 werden zu "1". Wenn nämlich der erste Fehler erfaßt ist, verändert sich der Ausgang Q1 des ersten Flip-Flops **61** von "0" auf "1".

[0249] Falls der Takt T in dem Zustand gegeben wird, bei welchem der Ausgang Q1 des ersten Flip-Flops **61** den Wert "1" aufweist, besitzt der Wert für die Steuerung PF den Wert "1", und das Vergleichsfreigabesignal CMPEN besitzt den Wert "1", das zweite Flip-Flop **64** wird auf "1" bestimmt und dessen Ausgangsdaten Q0 werden zu "1". Wenn nämlich der zweite Fehler erfaßt ist, verändert sich der Ausgang Q0 des zweiten Flip-Flops **64** von "0" auf "1".

[0250] Der zweite Wähler **65** wählt den Ausgang des zweiten Flip-Flops **64**, wenn das Signal CHDIR den Wert "0" aufweist, er wählt jedoch den Ausgang des Flip-Flops **61**, wenn das Signal CHDIR den Wert "1" aufweist, und schreibt in dem Zustand SELCTRL = "1" Steuerdaten in die entsprechende Steuerspeicherzelle C24 von **Fig.** 4.

[0251] Auf diese Weise werden (von der Datensteuerschaltung **29**) ähnliche Aktionen durch Schalten des Gegenstands der Bitleitungen in der Reihenfolge BL3, BL2, BL1 durchgeführt, d.h. durch Schalten der Steuerspeicherzellen C23, C22, C21 der Gruppe von Steuerspeicherzellen **17** in dieser Reihenfolge.

[0252] Mit den obigen Aktionen werden die Werte "1", "1", "0", "0" in die Speicherzellen C21 bis C24 der Gruppe von Steuerspeicherzellen **17** geschrieben, wenn zwei Speicherzellen M33, M32 als defekt beurteilt werden. In diesem Zustand ist die erste äußere Bitleitung OBL1 mit der "0"-ten inneren Bitleitung BL0, die zweite äußere Bitleitung OBL2 mit der ersten inneren Bitleitung BL1, die dritte äußere Bitleitung OBL3 mit der dritten inneren Bitleitung BL3 und die vierte äußere Bitleitung OBL4 mit der vierten inneren Bitleitung BL4 verbunden, und daher wird lediglich dem Fehler der zweiten inneren Bitleitung BL2 der zwei inneren Bitleitungen abgeholfen.

[0253] Als nächstes wird das erste Flip-Flop **61** entsprechend **Fig.** 18 rückgesetzt. In dem Zustand CHDIR = "1" werden (von der Datensteuerschaltung **29**) verschiedene Signale wie das Signal des erwarteten Werts EXP, das Vergleichsfreigabesignal CMPEN und andere vorgeschriebene Signale wie WE, SELCTRL, usw. gesteuert, um die Speicherzelle M30 geeignet zu testen, welche mit der äußeren Bitleitung OBL1 verbunden ist. In dem Zustand SELCTRL = "1" werden (von der Datensteuereinheit **29**) Steuerdaten in die entsprechende Speicherzelle C11 geschrieben. Auf diese Weise werden (von der Datensteuerschaltung **29**) ähnliche Aktionen durch Schalten des Gegenstands der Bitleitungen in der Reihenfolge OBL2, OBL3, OBL4 durchgeführt, d.h. durch Schalten der Steuerspeicherzellen C12, C13, C14 in dieser Reihenfolge.

[0254] Mit den obigen Aktionen ändern sich die Steuerdaten auf "1", nachdem die Speicherzelle M33 als defekt beurteilt wurde. Als Ergebnis werden die Werte "0", "0", "1", "1" in die Steuerspeicherzellen C11 bis C14 geschrieben.

[0255] In diesem Zustand ist die erste äußere Bitleitung OBL1 mit der "0"-ten inneren Bitleitung BL0, die zweite äußere Bitleitung OBL2 mit der ersten inneren Bitleitung BL1, die dritte äußere Bitleitung OBL3 mit der vierten äußeren Bitleitung BL4 und die vierte äußere Bitleitung OBL4 mit der fünften inneren Bitleitung BLS verbunden, und es wird sowohl dem Fehler der Leitung BL2 als auch der Leitung BL3 abgeholfen.

[0256] **Fig.** 19 stellt die Datensteuerschaltung **29** der Speicherschaltung der vierzehnten Ausführungsform der vorliegenden Erfindung dar. Die Datensteuerschaltung **29** dieser Ausführungsform besitzt dieselbe Funktion wie diejenige der bezüglich der dreizehnten Ausführungsform von **Fig.** 18 beschriebenen Datensteuerschaltung, sie verwendet jedoch eine Logiksummenschaltung (ODER-Schaltung) **67** anstelle des durch das äußere Signal CHDIR gesteu-

erten Wählers, um den ersten Fehler mit sowohl dem ersten Flip-Flop (FF1) **61** als auch dem zweiten Flip-Flop (FF0) **64** durch Bestimmen von CHDIR auf den Wert "1" zu erfassen. Bei dieser Ausführungsform ist der Schaltungsaufwand geringer im Vergleich zu demjenigen entsprechend **Fig.** 18.

[0257] **Fig.** 20 stellt die Datensteuerschaltung **29** der Speicherschaltung der fünfzehnten Ausführungsform der vorliegenden Erfindung dar. Entsprechend **Fig.** 20 bezeichnen dieselben Bezugszeichen wie diejenigen bezüglich der dreizehnten Ausführungsform Bauelemente mit derselben Funktion. Die Datensteuerschaltung **29** dieser Ausführungsform ist durch Bilden der in **Fig.** 18 dargestellten Datensteuerschaltung in der Form des Abfrageregisters als die in **Fig.** 16(a), (b) dargestellte Datensteuersteuerschaltung realisiert. Die Verbindung entsprechend **Fig.** 16(a) oder (b) kann verwendet werden, und der Abfragepfad kann in einer beliebigen Reihenfolge gebildet werden.

[0258] Die Exklusiv-Logiksummenschaltung **31**, die Logikproduktschaltung **32**, die Logiksummenschaltung **35**, die Logikproduktschaltung **62**, die Logiksummenschaltung **63** und der Wähler **65** entsprechend **Fig.** 20 sind dieselben wie die in der dreizehnten Ausführungsform entsprechend der in **Fig.** 18 dargestellten Schaltungen.

[0259] Während bei der dreizehnten Ausführungsform der erste Wähler **57** zum Wählen und Ausgeben der Steuerdaten, welche der Gruppe von Speicherzellen **17** der Speicherschaltung auszugeben sind, und der Schreibdaten XDI<i>, welche von außerhalb ausgegeben werden, zwischen dem zweiten Wähler **65** und dem Schreibdateneingangsanschluß DI<i> angeordnet ist, ist darüber hinaus die Wahleinrichtung **69**, welche zwischen der Logikproduktschaltung **63** und dem zweiten Flip-Flop **64** vorgesehen ist, anstelle des ersten Wählers **57** der dreizehnten Ausführungsform in dieser Ausführungsform angeordnet. Die Wähleinrichtung **69** besteht aus zwei Wählern **69a**, **69b**, und der Wähler **69a** wird mit dem Signal SINHDI von außerhalb geschaltet und gesteuert, dessen Eingangsanschluß der Seite "1" mit dem Ausgangsanschluß der Logikproduktschaltung **63** verbunden ist, und dem Eingangsanschluß der Seite "0" wird das von der benachbarten Datensteuerschaltung **29** ausgegebene Eingangsschiebesignal SI0 eingegeben. Der zweite Wähler **69b** wird von außerhalb mit dem Signal SM geschaltet und gesteuert, dessen Eingangsanschluß der Seite "0" ist mit dem Schreibdateneingangsanschluß XDI<i> verbunden ist, während der Eingangsanschluß der Seite "1" mit dem Ausgangsanschluß des Wählers **69a** verbunden ist.

[0260] Darüber hinaus ist zwischen der Logiksummenschaltung **35** und dem ersten Flip-Flop **61** die Wahleinrichtung **71** zum Wählen des Eingangsschiebesignals SI1 von der benachbarten Datensteuerschaltung **29**, der ausgelesenen Daten DO<i> der Speicherschaltung und des durch die Logiksummenschaltung **35** gegebenen Werts für die Steuerung PF vorgesehen. Die Wahleinrichtung **71** besteht aus zwei Wählern **71a**, **71b**, wobei der eine Wähler **71a** von außerhalb mit dem Signal SINHDO geschaltet und gesteuert wird, dessen Eingangsanschluß der Seite "1" mit dem Ausgangsanschluß der Logiksummenschaltung **35** verbunden ist und dessen Eingangsanschluß der Seite "0" das von der benachbarten Datensteuerschaltung **29** ausgegebene Eingangsschiebesignal SI1 eingegeben wird. Der andere Wähler **71b** wird von außerhalb mit dem Signal SM geschaltet und gesteuert, und die ausgelesenen Daten DO<i> werden dessen Eingangsanschluß der Seite "0" eingegeben, während der Eingangsanschluß der Seite "1" mit dem Ausgangsanschluß des Wählers **71a** verbunden ist.

[0261] Die Datensteuerschaltung **29** dieser Ausführungsform ist mit einem Wähler **72** zum Wählen und Steuern von Ausgangsinformation von dem Wähler **65** und Testdaten TD von außerhalb mit dem Signal SELCTRL versehen.

[0262] Darüber hinaus besitzen das erste Flip-Flop **61** und das zweite Flip-Flop **64** dieser Ausführungsform dieselben Funktionen wie diejenigen der dreizehnten Ausführungsform, sie sind jedoch mit einer Rücksetzfunktion versehen, d.h. es wird ein Rücksetzsignal FF-RESET dem Rücksetzanschluß R eingegeben. Zur Rücksetzung werden die Einstellungen SM = "1", SINHDI = "1", SINHDO = "1", FF-RESET = "0" bestimmt und die Takte T0, T1 ausgegeben.

[0263] Bei einer Verwendung von Flip-Flops ohne Rücksetzfunktion als erstes Flip-Flop **61** und zweites Flip-Flop **64** können die in **Fig.** 21 angezeigten als Variation dieser Ausführungsform verwendet werden. Es erscheint hier als passend, die Logikproduktschaltungen (UND-Schaltungen) **73**, **74** in die Speicherschleifen einzusetzen, welche durch das erste Flip-Flop **61** – die Logiksummenschaltung **35** – die Wahleinrichtung **71** bzw. das zweite Flip-Flop **64** – die Logikproduktschaltung **63** – die Wahleinrichtung **69** gebildet sind, und ein synchrones Rücksetzen durchzuführen.

[0264] Im folgenden wird eine Erklärung der Aktionen der Datensteuerschaltung **29** gegeben, welche in **Fig.** 20 und **Fig.** 21 dargestellt ist. Zuerst führt in dem Zustand der Bestimmung SM = "1", SINHDI = "1", SINHDO = "1" die Datensteuerschaltung **29** dieselben Aktionen wie diejenigen der Datensteuerschaltung **29** der dreizehnten Ausführungsform aus, welche in **Fig.** 18 dargestellt ist.

[0265] Demgegenüber wird es während einer nor-

malen Operation möglich, das erste Flip-Flop **61** für eine Datenausgabe auf dem Auslesedatenausgangsanschluß XDO<i> und das zweite Flip-Flop **64** für eine Dateneingabe von dem Schreibdateneingangsanschluß XDI<i> mit der Bestimmung SM = "0", CHDIR = "0", SELCTRL = "1" zu verwenden. Dadurch wird ermöglicht, ein RAM eines sychronen Typs bezüglich Daten zu konstruieren.

[0266] Darüber hinaus werden (von der Datensteuerschaltung **29**) Schiebeoperationen unter der Bestimmung SM = "1", SINHDO = "0", SINHDI = "0" und Ausgeben der Taktsignale T0, T1 von Wellenformen desselben Zeitablaufs durchgeführt.

[0267] **Fig.** 22 stellt die Datensteuerschaltung **29** der Speicherschaltung der sechszehnten Ausführungsform der vorliegenden Erfindung dar. Entsprechend **Fig.** 22 bezeichnen dieselben Bezugszeichen wie diejenigen bezüglich der dreizehnten Ausführungsform (insbesondere **Fig.** 21) Bauelemente mit denselben Funktionen. Die in **Fig.** 22 dargestellte Datensteuerschaltung **29** dieser Ausführungsform ist eine Variation der Schaltung von **Fig.** 21, bei welcher die nebengeordnete Beziehung des ersten Flip-Flops **61** und des zweiten Flip-Flops **64** entgegengesetzt zu derjenigen der Schaltung von **Fig.** 21 bestimmt ist. Daher wird der Datenausgang Q0 des zweiten Flip-Flops **64** nicht nur dem Eingangsanschluß der Seite "1" des Wählers **65** sondern ebenso der Logikproduktschaltung **32** ausgegeben, welche die Vergleichseinrichtung darstellt, während der Datenausgang Q1 des ersten Flip-Flops **61** dem Eingangsanschluß der Seite "0" des zweiten Wählers ohne Ausgabe an die Logikproduktschaltung **62** ausgegeben wird.

[0268] Im folgenden wird eine Erklärung der Aktionen der Datensteuerschaltung **29** gegeben, welche wie oben beschrieben gebildet ist. Zuerst erfaßt das zweite Flip-Flop **64** den ersten Fehler, und das erste Flip-Flop **61** erfaßt den zweiten Fehler.

[0269] In diesem Zustand werden unter der Bestimmung SM = "1", SINHDI = "1", SINHDO = "1" (von der Datensteuerschaltung **29**) dieselben Aktionen wie diejenigen der Datenerzeugungsschaltung für die Redundanzsteuerung entsprechend **Fig.** 18 durchgeführt.

[0270] Darüber hinaus wird es während einer normalen Operation möglich, das erste Flip-Flop **61** für die Datenausgabe auf den Auslesedatenausgangsanschluß XDO<i> und das zweite Flip-Flop **64** für die Dateneingabe von dem Schreibdateneingangsanschluß XDI<i> durch Bestimmen von SM = "0", CHDIR = "1", SELCTRL = "1" zu verwenden. Dadurch wird ermöglicht, ein RAM eines synchronen Typs bezüglich Daten zu konstruieren.

[0271] Des weiteren erscheint es als geeignet, Schiebeoperationen durch Bestimmen von SM = "1", SINHDO = "0", SINHDI = "0" und durch Ausgeben von Taktsignalen T0, T1 von Wellenformen desselben Zeitablaufs durchzuführen.

[0272] **Fig.** 23 zeigt die Datensteuerschaltung **29** der Speicherschaltung der siebzehnten Ausführungsform der vorliegenden Erfindung. Entsprechend **Fig.** 23 bezeichnen dieselben Bezugszeichen wie diejenigen bezüglich der vierzehnten Ausführungsform Bauelemente mit denselben Funktionen. Die Datensteuerschaltung **29** dieser Ausführungsform wird durch Konstruieren der Datensteuerschaltung **29** der in **Fig.** 19 dargestellten vierzehnten Ausführungsform in Form eines Abfrageregisters realisiert.

[0273] Um genau zu sein, die Datensteuerschaltung **29** ist mit einer Exklusiv-Logiksummenschaltung **31**, einer Logikproduktschaltung **32**, einer Logiksummenschaltung **35**, einem ersten Flip-Flop **61**, einer Logikproduktschaltung **62** und einem zweiten Flip-Flop **64** derselben Schaltungen wie denjenigen der vierten Ausführungsform versehen und ist des weiteren mit einer Wahleinrichtung **69** (**69a**, **69b**), **71** (**71a**, **71b**), Wählern **72** und Logikproduktschaltungen **73**, **74** derselben Schaltungen wie denjenigen von **Fig.** 21 und **Fig.** 22 versehen.

[0274] Der Abfragepfad dieser Ausführungsform ist durch serielles Verbinden einer großen Anzahl der Schaltungen von **Fig.** 23 wie in **Fig.** 16 dargestellt gebildet. Es kann entweder die Verbindung von **Fig.** 16(a) oder (b) verwendet werden, und der Abfragepfad kann in einer beliebigen Reihenfolge gebildet werden. Das CHDIR-Signal wird gemeinsam den jeweiligen Datensteuerschaltungen **29** zugeführt.

[0275] Im folgenden wird eine Erklärung der Aktionen der Datensteuerschaltung **29** gegeben, welche wie oben beschrieben konstruiert ist. Zuerst werden in dem Zustand der Bestimmung SM = "1", SINHDI = "1", SINHDO = "1" (von der Datensteuerschaltung **29**) dieselben Aktionen wie die von der Datenerzeugungsschaltung zur Redundanzsteuerung von **Fig.** 18 durchgeführt.

[0276] Darüber hinaus wird es während einer normalen Operation möglich, das erste Flip-Flop **61** zur Datenausgabe auf den Auslesedatenausgangsanschluß XDO<i> und das zweite Flip-Flop **64** zur Dateneingabe von dem Schreibdateneingangsanschluß XDI<i> unter Bestimmung von SM = "0", SELCTRL = "1" zu verwenden. Dadurch wird es möglich, ein RAM eines synchronen Typs für Daten zu konstruieren.

[0277] Des weiteren werden (von der Datensteuerschaltung **29**) Schiebeoperationen unter der Bestimmung SM = "1", SINHDO = "0", SINHDI = "0" und Ausgeben von Taktsignalen T0, T1 von Wellenfor-

men desselben Zeitablaufs durchgeführt.

[0278] Die Schreibdaten zum Zeitpunkt des Testens werden von außerhalb als Testdaten TD in dem Zustand SELCTRL = "0" ausgegeben.

[0279] Bei dieser Ausführungsform ist es möglich, den Schaltungsumfang durch Verwendung einer Logiksummenschaltung **27** einer einfachen Konstruktion anstelle des in **Fig.** 21 und **Fig.** 22 verwendeten Wählers **65** zu verwenden.

[0280] **Fig.** 24 stellt die Datensteuerschaltung **29** der Speicherschaltung der achtzehnten Ausführungsform der vorliegenden Erfindung dar. Entsprechend **Fig.** 24 bezeichnen dieselben Bezugszeichen wie diejenigen bezüglich der in **Fig.** 23 dargestellten siebzehnten Ausführungsform Bauelemente mit denselben Funktionen. Die Datensteuerschaltung **29** dieser Ausführungsform ist derart konstruiert, ein invertiertes Signal des Signals des erwarteten Werts EXP als Festdaten zu verwenden, wobei der Anschluß (TD-Anschluß) zum Ausgeben von Schreibdaten (Testdaten TD) zum Zeitpunkt des Testens (SELCTRL = "0") von außerhalb weggelassen wird und ein Inverter **76** zwischen dem Eingangsanschluß des Signals des erwarteten Werts (EXP-Anschluß) und dem Eingangsanschluß der Seite "0" des Wählers **72** vorgesehen ist. Es ist offensichtlich, daß die Verwendung des invertierten Signals des Signals des erwarteten Werts EXP nicht absolut notwendig ist und daß ebenso ein nicht invertiertes Signal verwendbar ist. In diesem Fall erscheint es als geeignet, den Anschluß EXP mit dem Eingangsanschluß der Seite "0" des Wählers **72** direkt unter Weglassung des Inverters **76** von **Fig.** 24 zu verbinden. Ein derartiges Weglassen des Anschlusses für Testdaten TD ist ebenso auf die Schaltungen von **Fig.** 20, 21 und 22 anwendbar.

[0281] **Fig.** 25 zeigt die Datensteuerschaltung **29** der Speicherschaltung der neunzehnten Ausführungsform der vorliegenden Erfindung. Entsprechend **Fig.** 25 bezeichnen dieselben Bezugszeichen wie diejenigen bezüglich der fünfzehnten bis achtzehnten Ausführungsformen Bauelemente mit denselben Funktionen. Während die Schreibdaten für die Speicherzellenanordnung **11** zum Zeitpunkt des Testens entweder von dem Anschluß TD oder dem Anschluß EXP der fünfzehnten bis achtzehnten Ausführungsformen ausgegeben wurde, werden die Schreibdaten "0" von dem Datenausgangsanschluß Q0 des zweiten Flip-Flops **64** bereitgestellt, und die Schreibdaten "1" werden von dem Datenausgangsanschluß Q1 des ersten Flip-Flops **61** dieser Ausführungsform bereitgestellt. Daher ist zum Zwecke des Bereitstellens von Daten "1" von dem Datenausgangsanschluß Q1 des ersten Flip-Flops **61** ein Inverter **77** zwischen dem Datenausgangsanschluß Q1 des ersten Flip-Flops **61** und dem Wähler **65** vorgesehen.

[0282] Darüber hinaus wird der Wähler entsprechend des Signals TD (Wähler **74** von **Fig.** 20 bis **Fig.** 24) weggelassen, da ein Signal TD nicht verwendet wird.

[0283] Bei der obigen Konstruktion können bis ein Fehler nach dem Rücksetzen des zweiten Flip-Flops **64** und des ersten Flip-Flops **61** erfaßt wird, die Schreibdaten mit einer Steuerung des Signals CHDIR verändert werden. Der Wert "0" welcher der Datenwert des Datenausgangsanschlusses Q0 des zweiten Flip-Flops **64** ist, wird dem Schreibdateneingangsanschluß DI<i> in dem Zustand CHDIR = "0" zugeführt, während der Wert "1", welcher den invertierten Datenwert des Datenausgangsanschlusses Q1 des ersten Flip-Flops **61** darstellt, dem Schreibdateneingangsanschluß DI<i> in dem Zustand CHDIR = "0" zur Verwendung als Schreibdaten für die Speicherzellenanordnung **11** zugeführt wird.

[0284] Während die Schreibdaten in Abhängigkeit der Steuerung des Signals CHDIR festgelegt sind, sind dieselben Aktionen wie diejenigen entsprechend **Fig.** 18 möglich.

[0285] Da die Steuerdaten der Steuerspeicherzellen C11 bis C14 ebenso in dem Zustand CHDIR = "1" invertiert sind, ist es jedoch nötig, den Datenanschluß I/O der Steuerspeicherzellen C11 bis C14 der Spaltenredundanzsteuerschaltung **12** wie bei der zwanzigsten Ausführungsform (**Fig.** 26) zu invertieren.

[0286] **Fig.** 26 stellt die Speicherschaltung der zwanzigsten Ausführungsform der vorliegenden Erfindung dar. Entsprechend **Fig.** 26 bezeichnen dieselben Bezugszeichen wie diejenigen bezüglich der neunzehnten Ausführungsform, welche in **Fig.** 25 dargestellt ist, Bauelemente mit denselben Funktionen. Die Speicherschaltung dieser Ausführungsform ist eine Speicherschaltung, welche der Datensteuerschaltung **29** der in **Fig.** 25 dargestellten neunzehnten Ausführungsform entspricht, und die Speicherzellen C11 bis C14 der Gruppe von Steuerspeicherzellen **17** der Spaltenredundanzsteuerschaltung **12** sind als Speicherzellen eines invertierten Eingangs und Ausgangs gegenüber den äußeren Bitleitungen OBL1 bis OBL4 gebildet.

[0287] In dem Fall der Annahme, daß RWL1 in dem Zustand CHDIR = "1" entsprechend **Fig.** 25 gewählt ist, sind so die Steuerdaten zu dem Zeitpunkt der Bestimmung CHDIR = "1" invertiert, und daher ist die Logik der Daten der Steuerspeicherzellen C11 bis C14 bezüglich derjenigen invertiert, welche von den jeweiligen Wortleitungen RWL1, RWL2 gewählt wurden.

[0288] **Fig.** 27 zeigt ein konkretes Beispiel von **Fig.** 26 bezüglich eines üblicherweise statischen RAM's. Im Vergleich zu **Fig.** 6 treten bezüglich

Fig. 26 Unterschiede der Position des Rücksetztransistors und der Position zur Herausnahme von Steuersignalen des Wählers auf, es liegt jedoch bezüglich **Fig.** 26 theoretisch eine Äquivalenz vor.

[0289] **Fig.** 28 stellt die Datensteuerschaltung **29** der Speicherschaltung der einundzwanzigsten Ausführungsform der vorliegenden Erfindung dar. Entsprechend **Fig.** 28 bezeichnen dieselben Bezugszeichen wie diejenigen bezüglich der in **Fig.** 23 dargestellten siebzehnten Ausführungsform Bauelemente mit denselben Funktionen. Während bei der siebzehnten Ausführungsform die Schreibdaten der Speicherzellenanordnung **11** zum Zeitpunkt des Testens von außen als Testdaten TD ausgegeben wurden, werden bei dieser Ausführungsform die Schreibdaten der Speicherzellenanordnung **11** durch Übertragen – entweder in einem invertierten oder einem nichtinvertierten Zustand – der Ausgangsdaten von dem Datenausgangsanschluß Q0 des zweiten Flip-Flops **64** auf den Schreibdateneingangsanschluß DI<i> bereitgestellt. Die Steuerung der Invertierung oder der Nichtinvertierung wird mit dem Signal des erwarteten Werts EXP durchgeführt. Auf diese Weise ist als Bauelement zum Durchführen der Steuerung der Invertierung/Nichtinvertierung mit dem Signal des erwarteten Werts EXP eine Exklusiv-Logiksummenschaltung (Exklusiv-ODER-Schaltung) **78** vorgesehen, in welcher der Eingangsanschluß einer Seite mit dem Anschluß EXP verbunden ist und der andere Eingangsanschluß mit dem Datenausgangsanschluß Q0 des zweiten Flip-Flops **64** verbunden ist. Es erscheint jedoch als geeignet, eine invertierte Exklusiv-Logiksummenschaltung (Exklusiv-NICHT-ODER-Schaltung) anstelle der Exklusiv-Logiksummenschaltung **78** zu verwenden. Bei dieser Ausführungsform wird der Wähler entsprechend den Testdaten D weggelassen, da hier keine Testdaten TD verwendet werden.

[0290] Bei der obigen Konstruktion können, bis ein Fehler mit dem zweiten Flip-Flop **64** nach einem Rücksetzen des zweiten Flip-Flops **64** erfaßt ist, Schreibdaten mit dem Signal des erwarteten Werts EXP verändert werden. Der Wert "0", welcher der invertierte Datenwert des Datenausgangsanschlusses Q0 des zweiten Flip-Flops **64** ist, wird dem Schreibdateneingangsanschluß DI<i> in dem Zustand EXP = "0" zugeführt, während der Wert "1", welcher der invertierte Datenwert des Datenausgangsanschlusses Q0 des zweiten Flip-Flops **64** ist, dem Schreibdateneingangsanschluß DI<i> in dem Zustand EXP = "1" zur Verwendung als Schreibdaten für die Speicherzellenanordnung **11** zugeführt wird. Mit derartigen Aktionen können dieselben Aktionen wie diejenigen von **Fig.** 18 durchgeführt werden.

[0291] Beim Schreiben von Steuerdaten in die Speicherzellenanordnung C11 bis C14 ist jedoch EXP = "0" zu bestimmen.

[0292] **Fig.** 29 stellt die Datensteuerschaltung **29** der Speicherschaltung der zweiundzwanzigsten Ausführungsform der vorliegenden Erfindung dar. Entsprechend **Fig.** 29 bezeichnen dieselben Bezugszeichen wie diejenigen bezüglich der in **Fig.** 23 dargestellten siebzehnten Ausführungsform Bauelemente mit denselben Funktionen. Die Datensteuerschaltung **29** dieser Ausführungsform wird durch Verbessern der Schaltung von **Fig.** 23 mittels Verwendung eines 3-Port-RAM's realisiert. Die Datensteuerschaltung **29** dieser Ausführungsform ist an das 3-Port-RAM angepaßt und besitzt einen Schreibdatenanschluß DI0<i> entsprechend dem Port, der lediglich zum Schreiben geeignet ist, und zwei Ausleseanschlüsse DO1<i>, DO2<i> entsprechend den Ports, welche lediglich zum Auslesen geeignet sind.

[0293] Um genau zu sein, während bei der siebzehnten Ausführungsform die Datensteuerschaltung **29** mit lediglich einer Schaltung (hiernach als "an die Auslesedaten angepaßte Schaltung" bezeichnet) zur Anpassung an die ausgelesenen Daten DO<i> versehen ist, welche aus einer Exklusiv-Logikzusammenschaltung **31**, einer Logikproduktschaltung **32**, einer Logikzusammenschaltung **35**, einer Logikproduktschaltung **73**, einer Wahleinrichtung **71** und einem Flip-Flop **61** zusammengesetzt ist, sind bei dieser Ausführungsform zwei an die Auslesedaten angepaßte Schaltungen **79A**, **79B** zur Anpassung an die Auslesedaten DO1<i>, DO2<i> vorgesehen. Die jeweiligen an die Auslesedaten angepaßten Schaltungen **79A**, **79B**, die Exklusiv-Logiksummenschaltung **31A**, **31B**, die Logikproduktschaltung **32A**, **32B**, die Logiksummenschaltung **35A**, **35B**, die Logikproduktschaltung **73A**, **73B**, die Wahleinrichtung **71A**, **71B**, Wähler **71c**, **71e**, Wähler **71d**, **71f**, das erste Flip-Flop **61A** (FF1), **61B** (FF2) und Werte zur Steuerung PF1, PF2 entsprechen jeweils der Logiksummenschaltung **31**, der Logikproduktschaltung **32**, der Logiksummenschaltung **35**, der Logikproduktschaltung **73**, der Wahleinrichtung **71**, Wählern **71a**, **71b**, dem ersten Flip-Flop **61** (FF1) und dem Wert zur Steuerung PF von **Fig.** 23.

[0294] Darüber hinaus ist des weiteren eine Logiksummenschaltung (ODER-Schaltung **80**) zwischen den zwei Exklusiv-Logiksummenschaltungen **31A**, **31B** und der Logikproduktschaltung **62** vorgesehen, so daß der Wert für die Steuerung PF der Logikproduktschaltung **62** übertragen werden kann, wenn wenigstens eine der zwei Exklusiv-Logiksummenschaltungen **31A**, **31B** Fehlerdaten erfaßt.

[0295] Bei dieser Ausführungsform ist der Abtastpfad durch Verbinden einer großen Zahl von Schaltungen von **Fig.** 29 wie in **Fig.** 30 dargestellt auf dieselbe Weise wie bei einigen vorher beschriebenen Ausführungsformen gebildet. Hier kann die Verbindung entweder von **Fig.** 30(a) oder von **Fig.** 30(b) verwendet werden, und der Abfragepfad kann in ei-

ner beliebigen Reihenfolge konstruiert werden.

[0296] Im folgenden wird eine Erklärung der Aktionen der Datensteuerschaltung **29** gegeben, welche wie oben beschrieben konstruiert ist. Als erstes werden (von der Datensteuerschaltung **29**) Tests wie in dem Fall des RAM's mit einem Port unter Ausgabe auf derselben Adresse bezüglich der jeweiligen Ports zum Zeitpunkt des Testens durchgeführt.

[0297] Die Erfassungsergebnisse eines Fehlers eines Paars von Ports, welche lediglich zum Lesen geeignet sind, werden in den jeweiligen Flip-Flops **61A**, **61B** der jeweiligen an die Auslesedaten angepaßten Schaltungen **79A**, **79B** gespeichert.

[0298] Wenn an einem Auslesedatenanschluß DO1<i> der erste Fehler erfaßt wird, nimmt PF1 den Wert "1" an, und der Ausgang Q1 des ersten Flip-Flops **61** ändert sich von "0" auf "1".

[0299] Wenn auf dieselbe Weise an dem anderen Auslesedatenanschluß DO2<i> der zum Auslesen geeigneten Ports der erste Fehler erfaßt wird, nimmt PF2 den Wert "1" an, und der Ausgang Q2 des ersten Flip-Flops **61** ändert sich von "0" auf "1".

[0300] Wenn in dem Fall CHDIR = "0" der erste Fehler erfaßt wird, nachdem sich entweder Q1 oder Q2 von "0" auf "1" verändert hat (d.h. der zweite Fehler), verändert sich der Datenausgangsanschluß Q0 des ersten Flip-Flops **61** von "0" auf "1".

[0301] Wenn in dem Fall von CHDIR = "1" der erste Fehler durch einen der beiden Auslesedatenanschlüsse DO1<i>, DO2<i> erfaßt wird, nimmt PF den Wert "1" an, und der Datenausgangsanschluß Q0 des zweiten Flip-Flops **64** verändert sich von "0" auf "1".

[0302] Die Steuerdaten ändern sich zu dem Zeitpunkt von "0" auf "1", zu welchem der erste Fehler in dem Fall CHDIR = "1 " erfaßt wird, sie ändern sich jedoch von "0" auf "1" zu dem Zeitpunkt, zu welchem der zweite Fehler in dem Fall von CHDIR = "0" erfaßt wird. Es wird daher möglich, ein geeignetes Schalten der Redundanzschaltung mit denselben Aktionen wie denjenigen von **Fig.** 18 durchzuführen.

[0303] **Fig.** 31 stellt die Datensteuerschaltung **29** der Speicherschaltung der dreiundzwanzigsten Ausführungsform der vorliegenden Erfindung dar. Entsprechend **Fig.** 31 bezeichnen dieselben Bezugszeichen wie diejenigen der in **Fig.** 12 dargestellten neunzehnten Ausführungsform Bauelemente mit denselben Funktionen. Die Datensteuerschaltung **29** dieser Ausführungsform wird durch Verbessern der Datenerzeugungsschaltung für die Steuerspeicherzelle entsprechend **Fig.** 12 realisiert, welche als 3-Port-RAM verwendbar ist. Daher ist die Schaltung in Übereinstimmung mit einer Spaltenredundanzsteuerschaltung **12** mit einer Spaltenredundanz des Wertes "1" wie bei **Fig.** 1, 2 und 3 vorgesehen. Diese Ausführungsform ist als 3-Port-RAM mit einem lediglich zum Schreiben geeigneten Port und zwei lediglich zum Lesen geeigneten Ports vorgesehen.

[0304] Der Schreibdateneingangsanschluß DI0<i> ist mit dem lediglich zum Schreiben geeigneten bzw. vorgesehenen Port der Speicherschaltung verbunden, während ein Paar von Auslesedatenanschlüssen DO1<i>, DO2<i> jeweils mit einem Paar lediglich zum Lesen geeigneter bzw. vorgesehener Ports verbunden ist.

[0305] Bei dieser Ausführungsform sind ein Paar Exklusiv-Logiksummenschaltungen **31A**, **31B**, Logikproduktschaltungen **32A**, **32B** und eine Logiksummenschaltung **81** zum Erzeugen des Steuerwerts PF durch Berechnen der betreffenden logischen Summen bzw. Verknüpfungen anstelle der Exklusiv-Logiksummenschaltung **31** der neunten Ausführungsform vorgesehen.

[0306] Im folgenden wird eine Erklärung der Aktionen der Datensteuerschaltung **29** gegeben, welche wie oben beschrieben konstruiert ist. Zuerst werden (von der Datensteuerschaltung **29**) zum Zeitpunkt des Testens Tests als RAM mit einem Port durchgeführt, während dieselbe Adresse auf das Adressignal der jeweiligen Ports ausgegeben wird. Wenn ein Wert, welcher sich von dem Signal des erwarteten Werts unterscheidet, wenigstens an einem der lediglich zum Lesen geeigneten Ports erfaßt wird, verändert sich einer der Ausgänge PF1, PF2 der Exklusiv-Logiksummenschaltungen **31A**, **31B** zu "1", und daher nimmt der Ausgang (der Wert zur Steuerung) PF der Logiksummenschaltung **81** den Wert "1" an.

[0307] Wenn in diesem Zustand das Taktsignal T zur Zeit der Bestimmung CMPEN = "1", SM = "1", SINHDO = "1", FF-RESET = "1" ausgegeben wird, wird das Flip-Flop **43** auf den Wert "1" gesetzt. Es verändert sich nämlich der Ausgang Q des FF's von "0" auf "1", falls ein Fehler erfaßt wird. Weitere Aktionen sind dieselben wie diejenigen der Schaltung von **Fig.** 12. Auf diese Weise kann (von der Datensteuerschaltung **29**) ein geeignetes Schalten einer Redundanz bezüglich des 3-Port-RAM's durchgeführt werden.

[0308] **Fig.** 32(a) stellt einen Abfragepfad dar, welcher mit der Datensteuerschaltung **29** der in **Fig.** 31 dargestellten dreiundzwanzigsten Ausführungsform konstruiert ist, als vierundzwanzigste Ausführungsform der vorliegenden Erfindung dar. Die Datensteuerschaltung **29** führt, wenn sie einen Zugriff auf die jeweiligen Speicherzellen der Speicherzellenanordnung **11** besitzt, keine serielle Schiebeaktion des Abtastpfads durch, und daher wird der serielle Ein-

gangsanschluß SID des Abfragepfads (hiernach als SID bezeichnet) nicht verwendet. Daher können Testdaten TD von dem SID-Anschluß eingegeben werden.

[0309] In diesem Fall werden die Schreibdaten den Speicherzellen für normale Aktionen von dem SID-Anschluß ausgegeben. Ebenso erscheint es als geeignet, invertierte Daten des SID-Anschlusses als Testdaten TD zuzuführen. In dem Fall werden Schreibdaten der Speicherzellenanordnung **11** von dem SID-Anschluß ausgegeben.

[0310] **Fig.** 32(b) stellt einen Abfragepfad, welcher mit der Datensteuerschaltung **29** der in **Fig.** 31 dargestellten dreiundzwanzigsten Ausführungsform konstruiert ist, als die fünfundzwanzigste Ausführungsform der vorliegenden Erfindung dar. Die Datensteuerschaltung **29** dieser Ausführungsform führt, wenn sie einen Zugriff auf die jeweiligen Speicherzellen der Speicherzellenanordnung **11** besitzt, keine serielle Schiebeaktion des Abfragepfads durch, und daher wird der serielle Eingangsanschluß SID des Abfragepfads (hiernach als SID bezeichnet) nicht verwendet. Daher kann das Signal des erwarteten Werts EXP von dem SID-Anschluß eingegeben werden. Während bei dieser Ausführungsform die Daten des SID-Anschlusses als Signal des erwarteten Werts EXP in invertierter Form eingegeben werden, erscheint es ebenso als richtig, nicht invertierte Daten des SID-Anschlusses als Variation dieser Ausführungsform zuzuführen.

[0311] Darüber hinaus kann die Konstruktion dieser Ausführungsform und die Konstruktion entsprechend **Fig.** 32(a) (vierundzwanzigste Ausführungsform) gleichzeitig verwendet werden.

[0312] **Fig.** 32(b) stellt die Speicherschaltung der sechsundzwanzigsten Ausführungsform der vorliegenden Erfindung dar. Während die Speicherschaltung der in **Fig.** 1 dargestellten ersten Ausführungsform dafür vorgesehen ist, einem Fehler einer der inneren Bitleitungen BL1 bis BLS abzuhelfen, ist die Speicherschaltung dieser Ausführungsform derart konstruiert, daß einem Fehler einer der inneren Wortleitungen WL1 bis WL5 abgeholfen wird. Die Datensteuerschaltung **29** dieser Ausführungsform steuert die Wähler SEL1 bis SEL4 mit Steuerspeicherzellen R11 bis R41, welche mit den äußeren Wortleitungen OWL1 bis OWL4 verbunden sind und hilft einem Fehler durch Schalten der Beziehung der Verbindung bzw. der Zuordnung zwischen den äußeren Wortleitungen OWL1 bis OWL4 und den inneren Wortleitungen WL1 bis WL5 ab. Bezugszeichen **91** entsprechend **Fig.** 33 bezeichnet eine Reihenredundanzsteuerschaltung (ROW-RED-CTRL), Bezugszeichen **92** bezeichnet eine Gruppe von Wählern und Bezugszeichen **93** bezeichnet eine Gruppe von Steuerspeicherzellen.

[0313] Beispielsweise in dem Fall des Auftretens eines Fehlers (Bruch der Verdrahtung oder Kurzschluß) der zweiten inneren Wortleitung WL2 selbst oder eines Fehlers in den Speicherzellen M21, M22, M23..., welche mit der zweiten inneren Wortleitung WL2 verbunden sind, werden die Wähler SEL1 bis SEL4 derart geschaltet, daß die Verbindung bzw. Zuordnung zwischen der ersten äußeren Wortleitung OWL1 und der ersten inneren Wortleitung WL1, zwischen der zweiten äußeren Wortleitung OWL2 und der dritten inneren Wortleitung WL3, zwischen der dritten äußeren Wortleitung OWL3 und der vierten inneren Wortleitung WL4 und zwischen der dritten äußeren Wortleitung OWL4 und der fünften inneren Wortleitung WL5 wie in **Fig.** 33 dargestellt gehalten wird. Dieses Schalten wird mit einem Schreiben der Werte "0", "1" "1", "1" in die jeweiligen Steuerspeicherzellen R11, R21, R31, R41 durchgeführt.

[0314] Da der Zugriff auf die Speicherzellenanordnung **11** von den äußeren Wortleitungen OWL1 bis OWL4 erfolgt, wird kein Fehler bezüglich der zweiten inneren Wortleitung WL2 von außen beobachtet und die Speicherschaltung kann arbeiten, als ob kein Fehler vorliegt.

[0315] Die Steuerspeicherzellen R11 bis R41 können mit einer Rücksetzfunktion versehen sein oder nicht. In dem Fall des Nichtvorhandenseins einer Rücksetzfunktion wird das Rücksetzen durch Schreiben des Werts "0" in die jeweiligen Steuerspeicherzellen R11 bis R41 von den äußeren Wortleitungen OWL1 bis OWL4 durchgeführt, wenn die Bitleitung RBL1 aktiviert ist. Nach dem Rücksetzen sind alle Wähler auf den Eingang der Seite "0" geschaltet, und daher ist die Verbindung bzw. Zuordnung zwischen der ersten äußeren Wortleitung OWL1 und der ersten inneren Wortleitung WL1, zwischen der zweiten äußeren Wortleitung OWL2 und der zweiten inneren Wortleitung WL2, zwischen der dritten äußeren Wortleitung OWL3 und der dritten inneren Wortleitung WL3 und zwischen der vierten äußeren Wortleitung OWL4 und der vierten inneren Wortleitung WL4 jeweils hergestellt.

[0316] Nach dem Rücksetzen wird ein Test der Speicherzellenanordnung **11** durchgeführt, und wenn ein Fehler erfaßt wird, wird dem Fehler mit einem Schalten der Wähler abgeholfen, welche wie oben beschrieben gebildet sind.

[0317] Was die Steuerspeicherzellen R11 bis R41 anbelangt, so können sie entweder als Speicherzellen ähnlich wie jene RAM's mit einem Port oder als elektrisch programmierbare Speicherzellen für ROM's ausgebildet sein.

[0318] Die jeweiligen Wortleitungen und die jeweiligen äußeren Wortleitungen enthalten ebenso diejenigen, welche mit einer großen Anzahl von Signallei-

tungen gebildet sind. Beispielsweise besitzt ein RAM mit vielen Ports Signalleitungen bezüglich Wortleitungen für eine große Anzahl von Ports, und jene Signalleitungen werden üblicherweise Wortleitungen WL oder äußeren Wortleitungen OWL genannt. Beispielsweise ist in einem 3-Port-RAM, welches ein lediglich zum Schreiben geeignetes Port und zwei Ausleseports besitzt, eine Wortleitung WL oder eine äußeren Wortleitung mit wenigstens drei Signalleitungen gebildet. Sogar in einem derartigen Fall wird die Grundfunktion unverändert beibehalten.

[0319] **Fig.** 34 stellt die Speicherschaltung der siebenundzwanzigsten Ausführungsform der vorliegenden Erfindung dar. Während die Speicherschaltung der in **Fig.** 2 dargestellten zweiten Ausführungsform dafür bestimmt war, einem Fehler in einem der inneren Bitleitungen BL1 bis BL5 abzuhelfen, ist die Speicherschaltung dieser Ausführungsform derart gebildet, daß einem Fehler der inneren Wortleitungen WL1 bis WL5 abgeholfen wird. Die Speicherschaltung dieser Ausführungsform steuert die Wähler SL1 bis SL4 mit den Steuerspeicherzellen R11 bis R41, welche mit den Wortleitungen WL1 bis WL4 verbunden sind, und hilft einem Fehler durch Schalten der Beziehung der Verbindung bzw. Zuordnung zwischen den äußeren Wortleitungen OWL1 bis OWL4 und den inneren Wortleitungen WL1 bis WL5 ab.

[0320] Beispielsweise werden in dem Fall des Auftretens eines Fehlers (Bruch der Verdrahtung oder Kurzschluß) der zweiten inneren Wortleitung WL2 selbst oder eines Fehlers in den Speicherzellen M21, M22, M23, ..., welche mit der zweiten inneren Wortleitung WL2 verbunden sind, die Wähler SEL1 bis SEL4 derart geschaltet, daß die Verbindung zwischen der ersten äußeren Wortleitung OWL1 und der ersten inneren Wortleitung WL1, zwischen der zweiten äußeren Wortleitung OWL2 und der dritten inneren Wortleitung WL3, zwischen der dritten äußeren Wortleitung OWL3 und der vierten inneren Wortleitung WL4 und zwischen der vierten äußeren Wortleitung OWL4 und der fünften inneren Wortleitung WL5 wie in **Fig.** 34 dargestellt gehalten werden. Dieses Schalten wird unter Einschreiben der Werte "0", "1", "1", "1" in die jeweiligen Steuerspeicherzellen R11, R21, R31 bzw. R41 durchgeführt.

[0321] Wenn bei dieser Ausführungsform die Steuerspeicherzellen R11, R21, R31, R41 auf die Werte "0", "1", "1" bzw. "1" ungünstigerweise zu dem Zeitpunkt des Beendends der Leistungszufuhr gesetzt werden, ist die Steuerspeicherzelle R21 nicht mit einer der äußeren Wortleitungen OWL1 bis OWL4 wie in **Fig.** 34 dargestellt verbunden. Und wenn die jeweiligen Steuerspeicherzellen R11 bis R41 nicht mit einer Rücksetzfunktion versehen sind, gibt es keine Mittel, die Steuerspeicherzelle R21 auf "0" zu setzen. Es gibt daher keine Möglichkeit, ein geeignetes Schalten der Redundanzschaltungen durchzuführen. Daher sind bei dieser Ausführungsform die jeweiligen Steuerspeicherzellen R11 bis R41 vorzugsweise mit der Rücksetzfunktion versehen. Es wird jedoch keine bestimmte Rücksetzfunktion verlangt. Es ist beispielsweise ebenso passend, die Speicherzellen selbst derart zu bilden, daß die Speicherzellen bei einem Ende der Leistungszufuhr alle auf den Wert "0" gesetzt werden. Wenn beispielsweise die Speicherzellenschaltung asymmetrisch bezüglich der Werte "0", "1" durch Verändern der Transistorgröße, usw. entworfen ist, können alle Speicherzellen zum Zeitpunkt des Beendens der Leistungszufuhr auf den Wert "0" gesetzt werden.

[0322] Darüber hinaus ist in dem Fall, bei welchem die Speicherzellen für einen programmierbaren ROM (UVPEPROM) durch Licht löschbar ist (Ultraviolettstrahlung), ein Rücksetzen durch Lichtstrahlung möglich.

[0323] Eine Erklärung der Aktionen nach einem Rücksetzen wird ausgelassen, da die Aktionen denen bezüglich der in **Fig.** 33 dargestellten Schaltung gleichen.

[0324] **Fig.** 35 stellt die Datensteuerschaltung **29** der Speicherschaltung der achtundzwanzigsten Ausführungsform der vorliegenden Erfindung dar. Während bei der Datensteuerschaltung **29** dieser Ausführungsform die in **Fig.** 3 dargestellte Speicherschaltung der dritten Ausführungsform dazu bestimmt war, einem Fehler einer der inneren Bitleitungen BL1 bis BL5 abzuhelfen, ist die Speicherschaltung dieser Ausführungsform derart konstruiert, daß einem Fehler einer der inneren Wortleitungen WL1 bis WL5 abgeholfen wird. Die Speicherschaltung dieser Ausführungsform steuert die Wähler SEL1 bis SEL4 mit den Steuerspeicherzellen R11 bis R41, welche mit den inneren Wortleitungen WL1 bis WL5 verbunden sind, und hilft einem Fehler durch Schalten der Beziehung der Verbindung bzw. Zuordnung zwischen den äußeren Wortleitungen OWL1 bis OWL4 und den inneren Wortleitungen WL1 bis WL5 ab. Bezugszeichen **94** in **Fig.** 35 stellt eine Gruppe Logikproduktschaltungen dar.

[0325] Beispielsweise werden in dem Fall des Auftretens eines Fehlers (dem Bruch einer Verdrahtung, usw.) der zweiten inneren Wortleitung WL2 selbst oder eines Fehlers in den Speicherzellen M21, M22, M23, ..., welche mit der zweiten inneren Wortleitung WL2 verbunden sind, die Wähler SEL1 bis SEL4 derart geschaltet, daß die Verbindung bzw. Zuordnung zwischen der ersten äußeren Wortleitung OWL1 und der ersten inneren Wortleitung WL1, zwischen der zweiten äußeren Wortleitung OWL2 und der dritten inneren Wortleitung WL3, zwischen der dritten äußeren Wortleitung OWL3 und der vierten inneren Wortleitung WL4 und zwischen der vierten äußeren Wortleitung OWL4 und der fünften inneren Wortleitung

WL5 wie in **Fig.** 34 dargestellt gehalten wird. Dieses Schalten wird durchgeführt mit dem Einschreiben der Werte "0", "1", "1", "1" in die jeweiligen Steuerspeicherzellen R11, R21, R31 bzw. R41.

[0326] Die Steuerspeicherzellen R11 bis R41 können mit einer Rücksetzfunktion versehen sein oder auch nicht. In dem Fall ohne Rücksetzfunktion wird das Rücksetzen dadurch durchgeführt, daß die Redundanzfreigabesignalleitung RED-EN auf "0" gesetzt wird und daß der Wert "0" in die Steuerspeicherzellen R11, R12, R13, R41 von der Bitleitung RBL1 geschrieben wird, während die äußeren Wortleitungen OWL1, OWL2, OWL3, OWL4 in dieser Reihenfolge aktiviert werden.

[0327] Durch Setzen der Redundanzfreigabesignalleitung RED-EN auf den Wert "0" wird es möglich, die Beziehung der Zuordnung zwischen den äußeren Wortleitungen OWL1 bis OWL4 und den Steuerspeicherzellen R11 bis R41 festzulegen. Da die Verbindung bzw. Zuordnung zwischen der ersten äußeren Wortleitung OWL1 und der ersten Steuerspeicherzelle R11, zwischen der zweiten äußeren Wortleitung OWL2 und der zweiten Steuerspeicherzelle R21, zwischen der dritten äußeren Wortleitung OWL3 und der dritten Steuerspeicherzelle R31 und zwischen der vierten äußeren Wortleitung OWL4 und der vierten Steuerspeicherzelle R41 errichtet wird, ist es leichter, die Steuerspeicherzellen selbst im Vergleich zu der Schaltung von **Fig.** 34 zu testen.

[0328] **Fig.** 36 stellt die Datensteuerschaltung **29** der Speicherschaltung der neunundzwanzigsten Ausführungsform der vorliegenden Erfindung dar. Während bei der Datensteuerschaltung **29** dieser Ausführungsform die Speicherschaltung der in **Fig.** 4 dargestellten vierten Ausführungsform dazu bestimmt war, einem Fehler von zwei inneren Bitleitungen BL1 bis BL4 abzuhelfen, ist die Speicherschaltung dieser Ausführungsform derart gebildet, daß einem Fehler zweier inneren Wortleitungen WL1 bis WL5 abgeholfen wird. Die Datensteuerschaltung **29** dieser Ausführungsform ist mit Wortleitungen WL0 bis WL5 einer Anzahl um zwei Bit größer (6 Bit) als die Anzahl von Bits (4 Bit) der äußeren Wortleitungen OWL1 bis OWL4, und sie wählt aus drei Wortleitungen (beispielsweise aus WL0, WL1, WL2) mittels der Wähler SEL1 bis SEL4 mit drei Kontakten das der äußeren Wortleitung des ersten Bits (beispielsweise OWL1) zuzuführende Signal aus. Die jeweiligen Wähler mit drei Kontakten werden durch zwei Steuerspeicherzellen gesteuert (beispielsweise wird SEL1 durch R11 und R12 gesteuert).

[0329] Mit einer derartigen Konstruktion ist es möglich, einem Fehler in zwei Wortleitungen abzuhelfen.

[0330] Beispielsweise werden in einem Fall des Auftretens eines Fehlers (einem Bruch der Verdrahtung usw.) der zweiten inneren Wortleitung WL2 und der dritten inneren Wortleitung WL3 selbst oder eines Fehlers in den Speicherzellen M21, M22, M23, ..., M31, M32, M33, ..., welche mit der zweiten inneren Wortleitung WL2 und der dritten inneren Wortleitung WL3 verbunden sind, die Wähler SEL1 bis SEL4 derart geschaltet, daß eine Verbindung bzw. Zuordnung zwischen der ersten äußeren Wortleitung OWL1 und der "0"-ten inneren Wortleitung WL0, zwischen der zweiten äußeren Wortleitung OWL2 und der ersten inneren Wortleitung WL1, zwischen der dritten äußeren Wortleitung OWL3 und der vierten inneren Wortleitung WL4 und zwischen der vierten äußeren Wortleitung OWL4 und der fünften inneren Wortleitung WL5 wie in **Fig.** 36 dargestellt gehalten wird. Dieses Schalten wird durch Einschreiben der Werte "0, 1", "0, 1", "1, 0", "1, 0" in die Speicherzellen (R11, R12), (R21, R22), (R31, R32), (R41, R42) durchgeführt.

[0331] Entsprechend **Fig.** 36 können die Steuerspeicherzellen R11 bis R41 mit einer Rücksetzfunktion versehen sein oder nicht. In dem Fall, daß keine Rücksetzfunktion vorhanden ist, kann das Rücksetzen durch Einschreiben des Wertes "0" in die Steuerspeicherzellen R11 bis R41 von der Bitleitung RWL1, RWL2 durchgeführt werden, während die äußeren Wortleitungen OWL1, OWL2, OWL3, OWL4 in dieser Reihenfolge aktiviert werden.

[0332] **Fig.** 37 zeigt ein konkretes Schaltungsdiagramm eines Falles, bei welchem als dreißigste Ausführungsform die Reihenredundanzsteuerschaltung (ROW-RED-CTRL) **91** der in **Fig.** 36 angezeigten neunundzwanzigsten Ausführungsform mit einer CMOS-Schaltung konstruiert ist. Wenn beispielsweise die Wähler SEL1 bis SEL4 geschaltet sind und die Werte "0, 1", "0, 1", "1, 0", "1, 0" in die Steuerspeicherzellen (R11, R12), (R21, R22), (R31, R32), (R41, R42) wie in **Fig.** 2 geschrieben sind, gelangen die Wortleitungen WL2, WL3 in einen Nichtverbindungszustand und können entsprechend **Fig.** 36 einen instabilen Pegel erlangen. Wenn sie einen instabilen Pegel erlangen, führt das RAM einen Betriebsfehler durch.

[0333] Um eine derartige Eventualität zu vermeiden, wird eine Wortleitungspegelfixierungsschaltung **95** der Reihenredundanzsteuerschaltung **91** von **Fig.** 37 hinzugefügt.

[0334] Die Wortleitungspegelfixierungsschaltung **95** ist beispielsweise mit drei Transistoren, d.h. einem P-Kanal-Transitor, welcher von der Steuerspeicherzelle R11 gesteuert wird, einem P-Kanal-Transistor, welcher von der Steuerspeicherzelle R32 gesteuert wird, und einem P-Kanal-Transitor, welcher von dem NICHT-ODER-Logikausgang von der Steuerspeicherzelle R21 und der Steuerspeicherzelle R22 gesteuert wird, gebildet.

[0335] Wenn der Eingang der Inverterschaltung **96**, welche die Ansteuerungseinrichtung der inneren Wortleitungen WL0 bis WL5 darstellt, einen Nichtverbindungszustand mit einer der äußeren Wortleitung OWL1 bis OWL4 annimmt, ergeben sich die drei Transistoren in den Zustand EIN, und der Eingang der Inverterschaltung **96** wird auf "1" festgelegt. Als Ergebnis werden die Wortleitungen auf einen inaktiven Wert "0" festgelegt. Dadurch wird ermöglicht, einen Betriebsirrtum des RAM's zu vermeiden.

[0336] **Fig.** 38 zeigt ein Schaltungsdiagramm der gesamten Speicherschaltung, welche mit einer Reihenredundanzfunktion versehen ist, die unter Verwendung einer Reihenredundanzsteuerschaltung **91** gebildet ist. Entsprechend **Fig.** 38 bezeichnet Bezugszeichen **97** einen Schreibansteuerungs- und Abfrageverstärker (hiernach als WD&SA bezeichnet, write driver and sense amplifier), und Bezugszeichen **98** bezeichnet einen Spaltenwähler (COL-SEL). Bezüglich der Speicherzellenanordnung **11** besitzen der WD&SA **97** und der Wähler **98** eine Entsprechung von 1:1.

[0337] Entsprechend **Fig.** 38 sind was die Steuerspeicherzellen R11 bis R41 anbelangt der WD&SA 97 unabhängig für jedes Paar von Bitleitungen RBL1, RBL2 vorgesehen, ohne daß ein Spaltenwähler vorgesehen ist.

[0338] Daher werden die Steuerdaten in die Steuerspeicherzellen R11, R21, R31, R41 bezüglich einer Bitleitung RBL1 aus RED-DI1 geschrieben, und es werden die Steuerdaten in die Steuerspeicherzellen R12, R22, R32, R42 bezüglich der anderen Bitleitung RBL2 aus RED-DI2 geschrieben.

[0339] Während die andere Bitleitung RBL2 in **Fig.** 38 dargestellt ist, existiert dieses Signal nicht in dem Fall der Verwendung einer Reihenredundanzsteuerschaltung (ROW-RED-CTRL) **91** der Redundanz des Wertes "1" (beispielsweise **Fig.** 33, **Fig.** 34, **Fig.** 35).

[0340] Während das von der Redundanzfreigabesignalleitung ausgegebene Signal in **Fig.** 38 dargestellt ist, ist darüber hinaus dieses Signal nicht in Abhängigkeit des Typs der Reihenredundanzsteuerschaltung (ROW-RED-CTRL) **91** wie beispielsweise in **Fig.** 33, **Fig.** 34, **Fig.** 36 vorhanden.

[0341] Während das Rücksetzsignal RED-RESET in **Fig.** 38 angezeigt ist, ist des weiteren dieses Signal nicht in Abhängigkeit des Typs der Reihenredundanzsteuerschaltung (ROW-RED-CTRL) **91** wie bei dem Fall der Verwendung der Steuerspeicherzellen ohne Rücksetzfunktion in der Schaltung von **Fig.** 33, **Fig.** 35, **Fig.** 36 beispielsweise vorhanden.

[0342] Um die Steuerspeicherzellen R11 bis R41 zu testen, ist es wünschenswert, den Abfrageverstärker wie in **Fig.** 38 bereitzustellen, er kann jedoch weggelassen werden, wenn er nicht benötigt wird. In dem Fall sind die Ausgangssignale RED-DO1, RED-DO2 unnötig.

[0343] **Fig.** 39 zeigt eine allgemeine Konstruktionszeichnung, welche die Speicherschaltung der einundreißigsten Ausführungsform der vorliegenden Erfindung darstellt. Entsprechend **Fig.** 31 bezeichnen dieselben Bezugszeichen wie diejenigen bezüglich der in **Fig.** 38 dargestellten dreißigsten Ausführungsform Bauelemente mit denselben Funktionen. Die Speicherschaltung dieser Ausführungsform wird durch Verbessern des RAM's mit der Reihenredundanzfunktion von **Fig.** 38 realisiert, welche für eine Reihenredundanzsteuerschaltung
(ROW-RED-CTRL) **91** wie in **Fig.** 36 dargestellt der Redundanz des Betrags "2" oder darüber zu verwenden ist.

[0344] Ein Spaltenwähler (COL-SEL2) **101** und ein Spaltendekoder (COL-DEC2) **102** sind für die Wahl eines Paares von Bitleitungen RBL1, RBL2 vorgesehen. Wegen der Anpassung einer derartigen Konstruktion ist die Anzahl von Schreibansteuerungs- und Abfrageverstärkern (WD&SA) **97** um 1 im Vergleich mit der Konstruktion von **Fig.** 38 reduziert.

[0345] Wie in **Fig.** 39 dargestellt, ist bei dieser Ausführungsform für die Bitleitungen RBL1, RBL2 lediglich ein Wahlsignal RED-COL-ADDR genug. Daher sind zwei Signalleitungen als Ganzes im Vergleich zu **Fig.** 38 reduziert.

[0346] **Fig.** 40 stellt die Speicherschaltung der zweiundreißigsten Ausführungsform der vorliegenden Erfindung dar. Entsprechend **Fig.** 40 bezeichnen dieselben Bezugszeichen wie diejenigen bezüglich der in **Fig.** 39 dargestellten einunddreißigsten Ausführungsform Bauelemente mit denselben Funktionen. Die Datensteuerschaltung **29** dieser Ausführungsform ist als allgemeines Schaltungsdiagramm des RAM's mit Reihenredundanzfunktion dargestellt, so daß ebenso Fälle abgedeckt sind, bei welchen nicht weniger als drei Defekte bezüglich der Wortleitungen vorhanden sind.

[0347] Während bei der in **Fig.** 39 dargestellten einundreißigsten Ausführungsform eine Reihenredundanzsteuerschaltung (ROW-RED-CTRL) **91** für einen Reihendekoder (ROW-DEC) **23** vorgesehen ist, ist eine Mehrzahl (**2**) von Reihenredundanzsteuerschaltungen (ROW-RED-CTRL) **91** für einen Reihendekoder (ROW-DEC) **23** vorgesehen.

[0348] Da eine Reihenredundanzsteuerschaltung (ROW-RED-CTRL) **91** einem Fehler von maximal zwei Wortleitungen in der damit verbundenen Speicherzellenanordnung **11** abhelfen kann, ist durch Be-

reitstellen einer Mehrzahl von Reihenredundanzsteuerschaltungen (ROW-RED-CTRL) ein Abhelfen von einem Fehler bei nicht weniger als drei Wortleitungen ebenso möglich. Um genau zu sein, da es 64 äußere Wortleitungen OWL (insgesamt 128 Leitungen) jeweils von dem Reihendekoder **23** für die jeweiligen Reihenredundanzsteuerschaltungen **91** gibt, kann zum Abhelfen von einem Fehler von zwei inneren Wortleitungen WL an jeder Reihenredundanzsteuerschaltung **91** die Gesamtzahl von 64 + 2 = 66 Leitungen an jede Reihenredundanzsteuerschaltung **91** angeschlossen werden (insgesamt 132 Leitungen). Bei dieser Ausführungsform ist ein Abhelfen von einem Fehler für 132 – 128 = 4 Wortleitungen möglich.

[0349] Während diese Ausführungsform durch Verbessern der Schaltung der einunddreißigsten Ausführungsform (**Fig.** 39) realisiert wird, kann diese Verbesserung ebenso auf der Grundlage der Schaltung der dreißigsten Ausführungsform (**Fig.** 38) durchgeführt werden.

[0350] **Fig.** 41 stellt die Datensteuerschaltung **100** für die Reihenredundanzsteuerung der Speicherschaltung der dreiunddreißigtsten Ausführungsform der vorliegenden Erfindung dar. Entsprechend **Fig.** 41 bezeichnen Bezugszeichen wie diejenigen bezüglich der in **Fig.** 11 dargestellten achten Ausführungsform Bauelemente mit denselben Funktionen. Die Datensteuerschaltung **100** dieser Ausführungsform ist als Schaltungsdiagramm dargestellt, welches die Beziehung der Verbindung bzw. Zuordnung zwischen der Speicherschaltung **30** der sechsundzwanzigsten Ausführungsform (**Fig.** 33) und der entsprechenden Datensteuerschaltung **100** (Datenerzeugungsschaltung für Steuerspeicherzellen) beispielsweise darstellt.

[0351] Die Datensteuerschaltung **100** dieser Ausführungsform ist mit einer Einrichtung zum Vergleichen des erwarteten Werts 105 zum Ausgeben des Werts für die Steuerung PF durch Vergleichen der jeweiligen Werte von vier Auslesedatenanschlüssen DO<i> und des Signals des erwarteten Werts beispielsweise und einer Logiksummenschaltung **35** und einem Flip-Flop **33** ähnlich wie den bezüglich der achten Ausführungsform beschriebenen Schaltungen versehen.

[0352] Die Einrichtung zum Vergleichen des erwarteten Werts **105** enthält eine Vergleichseinrichtung **106** wie diejenige der später beschriebenen vierunddreißigsten, fünfunddreißigsten und sechsunddreißigsten Ausführungsform und eine Logikproduktschaltung **32** ähnlich der bezüglich der achten Ausführungsform erklärten Schaltung.

[0353] Das Flip-Flop **33** kann entweder ein Flip-Flop eines asynchronen Rücksetztyps oder eines synchronen Rücksetztyps sein.

[0354] Im folgenden wird eine Erklärung der Aktionen der Datensteuerschaltung **100** gegeben, welche wie oben beschrieben konstruiert ist. Zuerst wird das FF auf "0" mit einem Rücksetzsignal FF-RESET rückgesetzt.

[0355] Als nächstes vergleicht die Vergleichseinrichtung **106** das Signal des erwarteten Werts EXP mit dem Ausgangssignal von dem Auslesedatenanschluß DO<i> der Speicherschaltung **30**, und wenn die Signale unterschiedlich zueinander sind, gibt die Vergleichseinrichtung den Wert "1" als Wert für die Steuerung PF aus. Falls in diesem Zustand das Taktsignal T gegeben wird, wenn das Vergleichsfreigabesignal CMPEN den Wert "1" aufweist, wird das Flip-Flop **33** auf "1" gesetzt. Wenn nämlich ein Fehler erfaßt wird, verändert sich der Ausgang Q des Flip-Flops **33** von "0" auf "1".

[0356] Als nächstes wird eine Erklärung eines Beispiels von Aktionen der Gesamtschaltung von **Fig.** 41 unter Bezugnahme auf **Fig.** 33 und **Fig.** 38 gegeben.

(1) Zuerst werden entsprechend **Fig.** 33 die Steuerspeicherzellen R11, R21, R31, R41 mittels des Rücksetzsignals RED-RESET, usw. rückgesetzt.
(2) Als nächstes wird entsprechend **Fig.** 41 das Flip-Flop **33** der Datensteuerschaltung **100** mittels des Rücksetzsignals FF-RESET, usw. rückgesetzt.
(3) Es werden (von der Datensteuerschaltung **100**) das Signal des erwarteten Werts EXP, das Vergleichsfreigabesignal CMPEN, weitere vorgeschriebene Signale WE, SEL, usw. entsprechend **Fig.** 41 geeignet gesteuert und die Daten (der Wert für die Steuerung PF) von dem Datenausgangsanschluß Q des Flip-Flops **33** von **Fig.** 41 in die entsprechende Steuerspeicherzelle R11 von **Fig.** 33 jedes Mal geschrieben, wenn die jeweiligen Speicherzellen M11, M12, M13, ..., welche mit der ersten inneren Wortleitung WL1 entsprechend **Fig.** 33 verbunden sind, getestet werden.
(4) Auf diese Weise werden (von der Datensteuerschaltung **100**) Aktionen ähnlich denen entsprechend dem obigen Punkt (**3**) während des Schaltens der Wortleitungen WL2, WL3, WL4 in dieser Reihenfolge durchgeführt.

[0357] Wie oben dargestellt werden bei dieser Ausführungsform die Werte "0", "1", "1", "1" in die Steuerspeicherzellen R11, R21, R31, R41 wie in **Fig.** 33 dargestellt in dem Fall eines Fehlers der zweiten inneren Wortleitung WL2 selbst oder eines Fehlers beispielsweise der Speicherzellen M21, M22, M23, ..., welche mit der zweiten inneren Wortleitung WL2 verbunden sind, geschrieben. Daher wird ein geeignetes Schalten der Redundanzschaltung durchgeführt.

[0358] **Fig.** 42(a) stellt ein Beispiel (vierunddreißigs-

te Ausführungsform) der Vergleichseinrichtung **106** dar, welche in der Datensteuerschaltung **100** der in **Fig.** 41 dargestellten dreiunddreißigsten Ausführungsform verwendet wird. Die Vergleichseinrichtung **106** dieser Ausführungsform, welche der Fehlererfassung lediglich in dem Fall eines Fehlers aller Bitleitungen dient, ist mit vier Exklusiv-Logiksummenschaltungen (Exlusiv-ODER-Schaltungen) **31a** bis **31d** entsprechend allen Auslesedatenanschlüssen DO<1> bis DO<4> und einer Logikproduktschaltung (UND-Schaltung) **107** verbunden.

[0359] Bei der obigen Konstruktion werden in dem Fall eines Fehlers wie eines Kurzschlusses von inneren Verdrahtungsleitungen WL0 bis WL5 mit Masse beispielsweise alle Daten bezüglich denen eines Fehlers der inneren Verdrahtungsleitungen WL0 bis WL5 ausgegeben.

[0360] Bei dieser Ausführungsform wird ein Vergleich zwischen dem Signal des erwarteten Werts EXP und den jeweiligen Datenausgängen DO<1>, DO<2>, DO<3>, DO<4> durchgeführt, und wenn alle Signale als unterschiedlich befunden sind, nimmt der Wert für die Steuerung P1 den Wert "1" an. Dadurch wird ermöglicht, den Kurzschlußfehler der inneren Verdrahtungsleitungen WL0 bis WL5 zu erfassen.

[0361] Es besteht keine Notwendigkeit des Aufnehmens aller Datenausgänge als Vergleichsgegenstand. Beispielsweise kann unter Berücksichtigung, daß es eine hohe Wahrscheinlichkeit eines Kurzschlußfehlers der Wortleitungen WL0 bis WL5 in dem Fall eines gleichzeitigen Fehlers von DO<4> und DO<1> gibt, die Exklusiv-Logiksummenschaltung bezüglich DO<3> und DO<2> weggelassen werden. Auf diese Weise kann die Schaltungsgröße reduziert werden.

[0362] **Fig.** 42(b) zeigt ein Beispiel (fünfunddreißigste Ausführungsform der Vergleichseinrichtung **106**, welche in der Datensteuerschaltung **100** der in **Fig.** 41 dargestellten dreiunddreißigsten Ausführungsform verwendet wird. Entsprechend **Fig.** 42(b) bezeichnen dieselben Bezugszeichen wie diejenigen bezüglich der in **Fig.** 42(a) dargestellten vierunddreißigsten Ausführungsform Bauelemente mit derselben Funktion. Die Vergleichseinrichtung **106** dieser Ausführungsform, welche beispielsweise zum Erfassen eines Fehlers der Speicherzelle bestimmt ist, welche mit einer der inneren Wortleitungen WL0 bis WL5 entsprechend **Fig.** 33 verbunden ist, ist mit einer Logiksummenschaltung (ODER-Schaltung) **108** mit vier Eingängen anstelle der Logikproduktschaltung **107** der in **Fig.** 42(a) dargestellten vierunddreißigsten Ausführungsform versehen.

[0363] Bei der obigen Konstruktion schlägt in dem Fall des Auftretens eines Fehlers in einer der Speicherzellen der Speicherzellenanordnung **11** lediglich die entsprechende Datenausgabe fehl.

[0364] Bei dieser Ausführungsform wird ein Vergleich zwischen dem Signal des erwarteten Werts EXP und dem Wert der jeweiligen Datenausgänge DO<1>, DO<2>, DO<3>, DO<4> durch die jeweiligen Exklusiv-Logiksummenschaltungen **31a** bis **31d** durchgeführt, und wenn nicht weniger als einer der Werte unterschiedlich ist, nimmt der Wert für die Steuerung P1 den Wert "1" an. Dadurch ist es möglich, einen Fehler der Speicherzellen M leicht zu erfassen.

[0365] **Fig.** 42(c) stellt ein Beispiel (sechsunddreißigste Ausführungsform) der Vergleichseinrichtung **106** dar, welche in der Datensteuerschaltung **100** der in **Fig.** 41 dargestellten dreiunddreißigsten Ausführungsform verwendet wird. Die Vergleichseinrichtung **106** dieser Ausführungsform ist mit einer Exklusiv-Logiksummenschaltung (Exklusiv-ODER-Schaltung) **31** zum Erfassen eines Fehlers lediglich des Auslesedatenanschlusses DO<4> bezüglich der Speicherzelle, welche an der entferntesten Position von der Reihenredundanzsteuerschaltung **91** angeschlossen ist, unter Berücksichtigung der Verbindungsverdrahtung zwischen der Reihenredundanzsteuerschaltung **91** und der Speicherzellenanordnung **11** versehen.

[0366] Bei der obigen Konstruktion versagen alle Speicherzellen jenseits des Fehlerpunkts in dem Fall des Brechens von inneren Wortleitungen WL0 bis WL5. Daher kann ein Verdrahtungsbruchfehler durch bloßes Testen der von der Reihenredundanzsteuerschaltung **91** und dem Reihendekoder **23** am weitesten entfernten Speicherzelle erfaßt werden. Da der Fehler der von der Reihenredundanzsteuerschaltungen **91** am weitesten entfernten Speicherzelle durch Beobachtung des am weitesten von der Reihenredundanzsteuerschaltungen **91** entfernten Auslesedatenanschluß DO<4> erfaßt werden kann, kann lediglich dieser Datenausgang (DO<4>) als Vergleichsgegenstand wie in **Fig.** 42(c) verwendet werden.

[0367] Mit der Schaltung von **Fig.** 42(d) kann ebenso ein Fehler eines Kurzschlusses von inneren Verdrahtungsleitungen WL0 bis WL5 mit Masse erfaßt werden. Bei der Verwendung der Schaltung zu diesem Zweck besteht keine Notwendigkeit der Aufnahme des am weitesten von der Reihenredundanzsteuerschaltungen **91** entfernten Datenausgangs als Vergleichsgegenstand, und einer der Datenausgänge wie DO<1>, usw. kann für den Vergleich verwendet werden.

[0368] Wie in **Fig.** 42(d) dargestellt ist es ebenso richtig, einen Wähler zum Ermöglichen der Wahl der Funktionen von **Fig.** 42(a), (b), (c) hinzuzufügen.

[0369] **Fig.** 43 stellt die Speicherschaltung der Da-

tensteuerschaltung **100** der siebenunddreißigsten Ausführungsform der vorliegenden Erfindung dar. Entsprechend **Fig.** 43 bezeichnen dieselben Bezugszeichen wie diejenigen bezüglich der in **Fig.** 18 dargestellten dreizehnten Ausführungsform Bauelemente mit denselben Funktionen. Bei der Datensteuerschaltung **100** dieser Ausführungsform sind trotz einer Ähnlichkeit zu der Schaltung der in **Fig.** 18 dargestellten dreizehnten Ausführungsform der Schreibdateneingangsanschluß XDI<1> bis XKD<4> und der Wähler **57** von **Fig.** 18 weggelassen, und sie ist des weiteren mit der Vergleichseinrichtung **106** einer der vierunddreißigtsten bis sechsunddreißigsten Ausführungsform anstelle der Exklusiv-Logiksummenschaltung **31** versehen.

[0370] Bei dieser Ausführungsform wird das Signal CHDIR von außen dem Anschluß RED-COL-ADDR der Speicherschaltung **30** zugeführt. In dem Fall CHDIR="1" wird eine Bitleitung RBL1 entsprechend **Fig.** 39 und **Fig.** 36 gewählt, während die andere Bitleitung RBL2 in dem Fall CHDIR="0" gewählt wird.

[0371] Im folgenden wird eine Beschreibung der Aktionen der Datensteuerschaltung **100** gegeben. Zuerst wird (von der Datensteuerschaltung **100**) das zweite Flip-Flop **64** und das erste Flip-Flop **61** mit dem Rücksetzsignal FF-RESET auf den Wert "0" rückgesetzt. Dabei vergleicht die Vergleichseinrichtung **106** das Signal des erwarteten Werts EXP und die Signale an den Auslesedatenanschlüssen DO<1> bis DO<4> der Speicherschaltung **30** miteinander und gibt den Wert "1" als Wert für die Steuerung PF aus, wenn die Signale als unterschiedlich befunden sind. Falls in diesem Zustand das Taktsignal T ausgegeben wird, wenn das Vergleichsfreigabesignal CMPEN den Wert "1" aufweist, wird das erste Flip-Flop **61** auf "1" gesetzt und die Ausgangsdaten Q1 nehmen den Wert "1" an. Falls der erste Fehler erfaßt wird, verändern sich die Ausgangsdaten Q1 des ersten Flip-Flops **61** von "0" auf "1".

[0372] Falls das Taktsignal T ausgegeben wird, wenn die Ausgangsdaten Q1 des ersten Flip-Flops **61** den Wert "1" aufweisen, ist der Wert für die Steuerung PF = "1" und das Vergleichsfreigabesignal CMPEN = "1", wird das zweite Flip-Flop **64** auf den Wert "1" gesetzt und dessen Ausgangsdaten Q0 werden zu "1". Wenn der zweite Fehler erfaßt wird, verändern sich die Ausgangsdaten Q0 des zweiten Flip-Flops **64** von "0" auf "1".

[0373] Der zweite Wähler **65** wählt den Ausgang des zweiten Flip-Flops **64**, wenn das Signal CHDIR = "0" ist, er wählt jedoch den des ersten Flip-Flops **61**, wenn CHDIR den Wert "1" aufweist, als Steuerdaten für die Steuerspeicherzellen R11 bis R41 (**Fig.** 36).

[0374] Bei einer Verwendung von CHDIR mit dem festgelegten Wert "1" können Aktionen ähnlich denen der Schaltung von **Fig.** 41 durchgeführt werden, wobei einem Fehler eine Wortleitung betreffend abgeholfen wird. In dem Fall jedoch, bei welchem bei Aktionen mit einem auf "1" festgelegten CHDIR keine Abhilfe durchgeführt werden kann, d.h. in dem Fall eines Fehlers zwei Wortleitungen betreffend, wird eine Abhilfe mit unten beschriebenen Aktionen durchgeführt. Hier wird die Annahme eines Fehlers wie eines Kurzschlusses oder eines Bruchs von Wortleitungen gemacht, wobei die Spaltenadresse COL-ADDR auf den Wert "0" beispielsweise zum Testen festgelegt ist.

[0375] Ein Beispiel von Aktionen der gesamten Schaltung von **Fig.** 43 wird hiernach unter Bezugnahme auf **Fig.** 36 und 39 erklärt. Dabei wird ein Fehler der Wortleitung WL2 und der Wortleitung WL3 zur Erklärung angenommen.

(1) Entsprechend **Fig.** 36 werden (von der Datensteuerschaltung **100**) die Steuerspeicherzellen R11, R21, R31, R41, R12, R22, R32 mittels eines Rücksetzsignals RED-RESET, usw. rückgesetzt.
(2) Entsprechend **Fig.** 43 werden das erste Flip-Flop **61** und das zweite Flip-Flop **64** der Datensteuerschaltung **100** rückgesetzt.
(3) Es werden (von der Datensteuerschaltung **100**) das Signal des erwarteten Werts EXP, das Vergleichsfreigabesignal CMPEN, ein weiteres vorgeschriebenes Signal WE, usw. geeignet gesteuert und entsprechend **Fig.** 36 die Speicherzelle für einen normalen Betrieb (M41) getestet, welche mit der vierten inneren Wortleitung WL4 verbunden ist. Entsprechend **Fig.** 43 werden (von der Datensteuerschaltung **100**) die Daten (der Wert zur Steuerung PF) des Datenausgangsanschlusses Q0 des zweiten Flip-Flops **64** in die entsprechende Steuerspeicherzelle R2 von **Fig.** 36 geschrieben.
(4) Es werden dieselben Operationen wie bei dem obigen Punkt (**3**) während des Schaltens der Gegenstandswortleitungen in der Reihenfolge WL3, WL2, WL1 geschaltet, d.h. während des Schaltens der Steuerspeicherzellen in der Reihenfolge R32, R22, R12.
Mit den obigen Aktionen verändern sich die Steuerdaten auf den Wert "1", nachdem die Speicherzellen M31, M21, welche sich auf die inneren Wortleitungen WL3, WL2 beziehen, als defekt beurteilt wurden. Als Ergebnis werden die Werte "1", "1", "0", "0" in die Zellen R12, R22, R32 bzw. R42 geschrieben. In diesem Zustand ist die erste äußere Wortleitung OWL1 mit der "0"-ten inneren Wortleitung WL0, die zweite äußere Wortleitung OWL2 mit der ersten inneren Wortleitung WL1, die dritte äußere Wortleitung OWL1 mit der dritten inneren Wortleitung WL3 und die vierte äußere Wortleitung OWL4 mit der vierten inneren Wortleitung WL4 verbunden, und dem Fehler der zweiten inneren Wortleitung WL2 ist abgefholfen.

(5) Als nächstes wird das erste Flip-Flop **61** der Datensteuerschaltung **100** rückgesetzt.
(6) Es werden (von der Datensteuerschaltung **100**) das Signal des erwarteten Werts EXP, das Vergleichsfreigabesignal CMPEN, ein weiteres vorgschriebenes Signal WE, usw. gesteuert, in dem Zustand CHDIR = "1" wird die Speicherzelle MO1, welche mit der ersten äußeren Wortleitung OWL1 verbunden ist, getestet, und es werden die Ausgangsdaten (der Wert zur Steuerung PF) des ersten Flip-Flops **61** in die entsprechende Steuerspeicherzelle R11 geschrieben.
(7) Es werden dieselben Aktionen wie bei dem obigen Punkt (**6**) während des Schaltens der äußeren Wortleitungen in der Reihenfolge OWL2, OWL3, OWL4 durchgeführt, d.h. während des Schaltens der Steuerspeicherzellen in der Reihenfolge R21, R31, R41.

[0376] Mit den obigen Aktionen verändern sich die Steuerdaten auf "1", nachdem die Speicherzellen M31 als defekt beurteilt wurden. Als Ergebnis werden die Werte "0", "0", "1", "1" in die Zellen R11, R21, R31 bzw. R41 geschrieben. In diesem Zustand ist die erste äußere Wortleitung OWL1 mit der "0"-ten inneren Wortleitung WL0, die zweite äußere Wortleitung OWL2 mit der ersten inneren Wortleitung WL1, die dritte äußere Wortleitung OWL3 mit der vierten inneren Wortleitung WL4, die vierte äußere Wortleitung OWL4 mit der fünften inneren Wortleitung jeweils verbunden, und dem Fehler der zweiten inneren Wortleitung WL2 und der dritten inneren Wortleitung WL3 ist abgeholfen.

[0377] **Fig.** 44 stellt die Datensteuerschaltung **100** der Speicherschaltung der achtunddreißigsten Ausführungsform der vorliegenden Erfindung dar. Entsprechend **Fig.** 44 bezeichnen dieselben Bezugszeichen wie diejenigen bezüglich der in **Fig.** 19 dargestellten vierzehnten Ausführungsform Bauelemente mit derselben Funktion. Bei der Datensteuerschaltung **100** dieser Ausführungsform sind trotz einer Ähnlichkeit mit der in **Fig.** 19 dargestellten Schaltung der vierzehnten Ausführungsform die in **Fig.** 19 dargestellten Schreibdateneingangsanschlüsse XDI<1> bis XKD<4> und der Wähler **57** weggelassen, und des weiteren ist die Vergleichseinrichtung **106** der vierzehnten bis sechszehnten Ausführungsform anstelle der Exklusiv-Logiksummenschaltung **31** vorgesehen. Diese Datensteuerschaltung **100** ist unter Verwendung einer Logiksummenschaltung (ODER-Schaltung) **67** anstelle des Wählers **65** der siebenunddreißigsten Ausführungsform gebildet. Und wenn CHDIR auf "1" gesetzt ist, erfaßt sowohl das zweite Flip-Flop **64** als auch das erste Flip-Flop **61** den ersten Fehler. Der Umfang dieser Schaltung ist im Vergleich zu demjenigen von **Fig.** 44 kleiner.

[0378] **Fig.** 45 stellt allgemein die Speicherschaltung mit einer Redundanzfunktion in dem Fall dar, bei welchem die Spaltenredundanzsteuerschaltung **12** und die Reihenredundanzsteuerschaltung ROW-RED-CTRL bei dieser Ausführungsform gleichzeitig verwendet werden. Entsprechend **Fig.** 45 sind die Schaltung von **Fig.** 17 und diejenige von **Fig.** 39 vereinigt.

[0379] Wie in **Fig.** 45 dargestellt, kann in dem Fall, bei welchem das der Redundanzfreigabesignalleitung RED-EN ausgegebene Signal sowohl in der Spaltenredundanzsteuerschaltung **12** als auch in der Reihenredundanzsteuerschaltung **91** vorhanden ist, die Redundanzfreigabesignalleitung RED-EN an beide Redundanzsteuerschaltungen **12**, **91** gemeinsam angeschlossen werden.

[0380] Wenn das Schalten der Spaltenredundanzsteuerschaltung **12** und der Reihenredundanzsteuerschaltung **91** sequentiell durchgeführt wird, wird das Rücksetzsignal RED-RESET (RED-RESET-R, RED-RESET-C) unabhängig den jeweiligen Redundanzsteuerschaltungen **12**, **91** zugeführt.

[0381] Wenn lediglich einem Fehler an einer Seite abgeholfen wird, ist es richtig, das Rücksetzsignal RED-RESET (RED-RESET-R, RED-RESET-C) von der gemeinsamen Verbindungsleitung zuzuführen.

[0382] **Fig.** 46 stellt die Datensteuerschaltung **100** der Speicherschaltung der neununddreißigsten Ausführungsform der vorliegenden Erfindung dar. Entsprechend **Fig.** 46 bezeichnen dieselben Bezugszeichen wie diejenigen bezüglich der in **Fig.** 18 dargestellten dreizehnten Ausführungsform Bauelemente mit derselben Funktion. Bei der Datensteuerschaltung **100** dieser Ausführungsform werden die Spaltenredundanzsteuerschaltung **12** und die Reihenredundanzsteuerschaltung ROW-RED-CTRL gleichzeitig verwendet. Trotz einer Ähnlichkeit mit der Schaltung der in **Fig.** 18 dargestellten dreizehnten Ausführungsform unterscheidet sich die Datensteuerschaltung **100** dieser Ausführungsform von derjenigen der dreizehnten Ausführungsform dahingehend, daß der Ausgang von dem Wähler **65** dem Anschluß RED-DI der Speicherschaltung **30** zugeführt wird und daß das Vergleichsfreigabesignal CMPEN nicht nur dem Reihenredundanzadressanschluß RED-ROW-ADDR sondern ebenso dem Spaltenredundanzadressanschluß RED-COL-ADDR zugeführt wird.

[0383] Bei dieser Ausführungsform wird die Vergleichseinrichtung **106** der in **Fig.** 42(c) dargestellten sechunddreißigsten Ausführungsform für die Reihenredundanzsteuerschaltung der siebenunddreißigsten Ausführungsform (**Fig.** 43) verwendet.

[0384] In Übereinstimmung mit dieser Ausführungsform wird die Datensteuerschaltung **100** für den Schreibdateneingangsanschluß DI<4> des vierten Bits und die ausgelesenen Daten DO<4> gemeinsam

für die Spaltenredundanzsteuerschaltung **12** und die Reihenredundanzsteuerschaltung **91** verwendet. Dadurch wird eine Reduzierung der Schaltungsgröße ermöglicht.

[0385] Die Datensteuerschaltung **100** von **Fig.** 47 besitzt dieselbe Funktion wie diejenige von **Fig.** 46, sie verwendet jedoch eine Logiksummenschaltung (ODER-Schaltung) **67** anstelle des Wählers **65**, welcher von dem Signal CHDIR gesteuert wird, und erfaßt den ersten Fehler sowohl mit dem zweiten Flip-Flop **64** als auch dem ersten Flip-Flop **61** durch Setzen von CHDIR auf "1". Bei dieser Ausführungsform ist die Schaltungsgröße kleiner im Vergleich zu derjenigen von **Fig.** 46.

[0386] **Fig.** 48 stellt die Datensteuerschaltung **100** der Speicherschaltung der vierzigsten Ausführungsform der vorliegenden Erfindung dar. Entsprechend **Fig.** 48 bezeichnen dieselben Bezugszeichen wie diejenigen bezüglich der in **Fig.** 46 dargestellten neununddreißigsten Ausführungsform Bauelemente mit derselben Funktion. Bei der Datensteuerschaltung **100** dieser Ausführungsformen werden Schaltungen ähnlich wie diejenigen der in **Fig.** 46 dargestellten neununddreißigsten Ausführungsform für jede der Spaltenredundanzsteuerschaltung **29** und der Reihenredundanzsteuerschaltung **100** verwendet, doch es wird die Exklusiv-Logiksummenschaltung **31** als Teil der Einrichtung zum Vergleichen des erwarteten Werts der Reihenredundanzsteuerschaltung **100** abgeleitet, um die Schaltungsgröße zu reduzieren.

[0387] Bezugszeichen **110** von **Fig.** 48 stellt ein Bauelement dar, welches mit der Exklusiv-Logiksummenschaltung **31** verbunden ist, welche den jeweiligen Schreibdateneingangsanschlüssen DI<1> bis DI<4> der Speicherschaltung zugeordnet ist, und in dem Fall, bei welchem eine Logikproduktschaltung (UND-Schaltung) als Bauelement verwendet wird, ist die Vergleichseinrichtung **106** der vierunddreißigsten Ausführungsform (**Fig.** 42(a)) gebildet. Wenn demgegenüber eine Logiksummenschaltung (ODER-Schaltung) als Bauelement **110** verwendet wird, ist die Vergleichseinrichtung **106** der vierunddreißigsten Ausführungsform (**Fig.** 42(b)) gebildet.

[0388] Darüber hinaus ist bei der Reihenredundanzsteuerschaltung **100** der Wähler entsprechend dem Wähler **57** der Spaltenredundanzsteuerschaltung **29** weggelassen.

[0389] **Fig.** 49 stellt die Datensteuerschaltung **29**, **100** der Speicherschaltung der einundvierzigsten Ausführungsform der vorliegenden Erfindung dar. Entsprechend **Fig.** 49 bezeichnen dieselben Bezugszeichen wie diejenigen entsprechend der in **Fig.** 48 dargestellten vierzigsten Ausführungsform Bauelemente mit derselben Funktion. Obwohl die Schaltung dieser Ausführungsform eine Ähnlichkeit zu derjenigen der in **Fig.** 48 dargestellten vierzigsten Ausführungsform aufweist, ist sie derart konstruiert, daß die Exklusiv-Logiksummenschaltung **31** der Spaltenredundanzsteuerschaltung **29** als Teil der Einrichtung zum Vergleichen des erwarteten Werts der Reihenredundanzsteuerschaltung **100** abgeleitet ist, und daß ebenso eine (**29X**) der Spaltenredundanzsteuerschaltung **29** als die Reihenredundanzsteuerschaltung **100** durch Schalten des Modus abgeleitet ist. Das Modusschalten zu der Zeit kann durch Schalten des Wählers **111** mit einem Steuersignal COL-ROW von außen durchgeführt werden.

[0390] Mit einer derartigen Konstruktion wird es möglich, die Schaltungsgröße im Vergleich zu der Schaltung von **Fig.** 48 zu reduzieren.

[0391] **Fig.** 50(a) stellt die Adressenzuweisungsschaltung der zweiundvierzigsten Ausführungsform der vorliegenden Erfindung dar. Die Adressenzuweisungsschaltung dieser Ausführungsform dient der Ausgabe eines Adressenzuweisungssignals ROW-ADDR zu dem Reihendekoder (ROW-DEC) **23** der Speicherschaltung mit Reihenredundanzfunktion, welche bezüglich der dreißigsten Ausführungsform (**Fig.** 38) oder der einunddreißigsten Ausführungsform (**Fig.** 39) erklärt wurde. Die Adressenzuweisungsschaltung dieser Ausführungsform, welche an eine Mehrzahl (**4**) äußerer Wortleitungen OWL1 bis OWL4 der Speicherschaltung **30** zum Zuweisen jener äußerer Wortleitungen in der Reihenfolge von OWL1 bis OWL4 angeschlossen ist, ist mit einer Ausgangsschaltung **115** für serielle Daten eines vollständigen Zyklus zum Ausgeben eines vollständigen Zyklus serieller Daten als Pseudozufallszahl mit einem bestimmten Zyklus auf der Grundlage einer vorbestimmten Berechnungformel und einem Dekoder **116** zum Bestimmen der äußeren Wortleitungen OWL1 bis OWL4 einer nach der anderen auf der Grundlage der Ausgangsinformation von der Schaltung **115** zur Ausgabe serieller Daten eines vollständigen Zyklus versehen.

[0392] Die Ausgangsschaltung **115** für serielle Daten eines vollständigen Zyklus, welche als serielles 2-Bit-Schieberegister (SR) ausgebildet ist, ist mit einem Anschluß SIL zum Durchführen eines Einschiebens mit einem linksseitigen Schieben und einem Anschluß SIR zum Durchführen eines rechtsseitigen Einschiebens versehen, und die Daten "0 1 1 0 0" von einer vorgeschriebenen Gruppe von (nicht dargestellten) Logikschaltungen zur Erzeugung von Zufallszahlen werden periodisch in diese Schaltung geschoben. Als Ergebnis gibt die Ausgangsschaltung **115** für serielle Daten eines vollständigen Zyklus 2-Bit-Daten dem Dekoder **116** in der Reihenfolge "00"-"10"-"11"-"01" zur Zeit des Linksschiebens (SIR), jedoch in der Reihenfolge "01"-"11"-"10"-"00" zur Zeit des Rechtsschiebens (SIL) aus.

[0393] Der Dekoder **116**, welcher als Dekoder mit einem 2-Bit-Eingang und einem 4-Bit-Ausgang ausgebildet ist, dient der Zuweisung von vier äußeren Wortleitungen OWL1 bis OWL4 in der Reihenfolge durch den Empfang von 2-Bit-Daten von der Ausgangsschaltung **115** für serielle Daten eines vollständigen Zyklus und ist wie in **Fig.** 51 dargestellt mit Eingangsanschlüssen AX0, AX1 für zwei Bits, welche mit der Ausgangsschaltung **115** für serielle Daten eines vollständigen Zyklus verbunden sind, Ausgangsanschlüssen X0, X2, X3, X1 für vier Bits, welche mit den äußeren Wortleitungen OWL1 bis OWL4 verbunden sind, einer Logikschaltungseinheit **121** zur Umwandlung und einer Bitreihenfolgeänderungsverdrahtung **122** zum Umordnen des 4-Bit-Signals von der Logikschaltungseinheit **121** in der Reihenfolge der Ausgangsanschlüsse X0, X2, X3, X1 versehen.

[0394] Die Logikschaltungseinheit **121** ist von einem gebräuchlichen Typ und mit vier Invertern **124a** bis **124d** und vier Logikproduktschaltungen (UND-Schaltungen) **125a** bis **125d** gebildet. Dabei gibt die Logikschaltungseinheit **121** den Wert "1" seriell von der ersten Logikproduktschaltung **125a** an dem äußeren rechten Ende der vierten Logikproduktschaltung **125d** an dem äußeren linken Ende aus, wenn Daten in der Reihenfolge "00"-"01"-"10"-"11" über die dem Eingangsanschluß AX0, AX1 ausgegebenen Werte eingeben werden.

[0395] Die Bitreihenfolgeänderungsverdrahtung **122** gibt Daten an dem Ausgangsanschluß X0 an dem äußeren linken Ende aus, wenn der Wert "1" von der ersten Logikproduktschaltung **125a** an dem äußeren rechten Ende empfangen wurde (nämlich wenn der Wert "00" den Eingangsanschlüssen AX0, AX1 ausgegeben wird), gibt Daten an dem Ausgangsanschluß X1 an dem äußeren rechten Ende aus, wenn der Wert "1" von der zweiten Logikproduktschaltung **125b** an der zweiten Position von der rechten Seite der Logikschaltungseinheit **121** empfangen wurde (nämlich wenn der Wert "01" den Eingangsanschlüssen AX0, AX1 ausgegeben wird), gibt Daten an dem dritten Ausgangsanschluß X2 von der rechten Seite aus, wenn der Wert "1" von der dritten Logikproduktschaltung **125c** an der dritten Position von dem rechten Ende empfangen wurde (nämlich wenn der Wert "10" den Eingangsanschlüssen AX0, AX1 ausgegeben wird) und gibt Daten an dem zweiten Ausgangsanschluß X2 von der rechten Seite aus, wenn der Wert "1" von der vierten Logikproduktschaltung **125d** an dem äußeren linken Ende der Logikschaltungseinheit **121** empfangen wurde (nämlich wenn der Wert "11" den Eingangsanschlüssen AX0, AX1 ausgegeben wird).

[0396] Im folgenden wird eine Erklärung der Aktionen der Adressenzuweisungsschaltung gegeben, welche wie oben beschrieben konstruiert ist. Wenn Imkrementierungen bezüglich der äußeren Wortleitungen OWL1 bis OWL4 durchgeführt werden, d.h. bei der Adressierung der Leitungen in der Reihenfolge OWL1-OWL2-OWL3-OWL4, werden (von der Adressenzuweisungsschaltung) Verschiebungenen "00110" in der Ausgangsschaltung **115** für serielle Daten eines vollständigen Zyklus durch Rechtsschieben von dem Anschluß SIR durchgeführt. Zu diesem Zeitpunkt verändert sich die Adresse (AX1, AX0) von der Ausgangsschaltung **115** für serielle Daten eines vollständigen Zyklus in "00", "10", "11", "01" in dieser Reihenfolge. In einem Dezimalausdruck bedeutet dies, daß sich die Adresse in der Reihenfolge Nummer 0, Nummer 2 , Nummer 3 , Nummer 1 verändert. Der "0"-te Ausgangsanschluß X0 wird aktiviert, wenn die Nummer 0 bestimmt wird, der zweite Ausgangsanschluß X2 wird aktiviert, wenn die Nummer 2 bestimmt wird, der dritte Ausgangsanschluß X3 wird aktiviert, wenn die Nummer 3 bestimmt wird, und der erste Ausgangsanschluß X1 wird aktiviert, wenn die Nummer 1 bestimmt wird.

[0397] Bei dieser Ausführungsform, bei welcher die erste äußere Wortleitung OWL1 mit dem "0"-ten Ausgangsanschluß X0, die zweite äußere Wortleitung OWL2 mit dem zweiten Ausgangsanschluß X2, die dritte äußere Wortleitung OWL3 mit dem dritten Ausgangsanschluß X3 und die vierte äußere Wortleitung OWL4 mit dem ersten Ausgangsanschluß X1 verbunden sind, können Imkremente leicht in der Reihenfolge OWL1-OWL2-OWL3-OWL4 gebildet werden, sogar wenn eine Zuweisung von Adressen in der Reihenfolge X0-X2-X3-X1 erfolgt ist. Daher wird es möglich, einen wirksamen Test unter Verwendung von Serien eines vollständigen Zyklus zur Zeit eines RAM-Tests zum Schalten der Redundanzschaltung zu verwenden. Um genau zu sein, es wird ein Effekt des Reduzierens von Testsignalen und Teststrukturen erzeugt.

[0398] Wenn Dekrementierungen bezüglich der äußeren Wortleitungen, d.h. der Adressierung jener Leitungen in der Reihenfolge OWL4-OWL3-OWL2-OWL1 gebildet werden, werden (von der Adressenzuweisungsschaltung) Verschiebungen "01100" in der Ausgangsschaltung **150** für serielle Daten eines vollständigen Zyklus durch Linksschieben von dem Anschluß SIL durchgeführt. Zu dem Zeitpunkt verändert sich die von der Ausgangsschaltung **115** für serielle Daten eines vollständigen Zyklus bestimmte Adresse (AX1, AX0) in der Reihenfolge "01", "11", "10", "00". In dem Dezimalausdruck bedeutet dies, daß die Adresse in der Reihenfolge Nummer 1, Nummer 0, Nummer 2, Nummer 0 verändert wird. Als Ergebnis wird das Adressieren mit Dekrement realisiert. Wenn kein Adressieren mit Dekrement verlangt wird, besteht keine Notwendigkeit der Verwendung eines bidirektionalen seriellen Schieberegisters oder einer bidirektionalen Abfragepfadschaltung.

[0399] **Fig.** 52 stellt die Adressenzuweisungsschaltung der dreiundvierzigsten Ausführungsform der vorliegenden Erfindung dar. Die Adressenzuweisungsschaltung dieser Ausführungsform entspricht der Speicherschaltung mit Reihenredundanzfunktion wie bezüglich der zweiunddreißigsten Ausführungsform (**Fig.** 40) beispielsweise erklärt und verwendet als Dekoder **116** einen Dekoder eines Typs mit vier Eingängen und sechszehn Ausgängen.

[0400] Die Reihenadresse ROW-ADDR wird von zwei seriellen Schieberegistern (Ausgangsschaltung für serielle Daten eines vollständigen Zyklus) **115a** (SR1), **115b** (SR2) für obere Adressen (AX3, AX2) und untere Adressen (AX1, AX0) zugeführt. Jene zwei seriellen Schieberegister sind derart konstruiert, daß sie zur unabhängigen Steuerung der Schiebewegung geeignet sind. Die zwei seriellen Schieberegister können Abfragepfadschaltungen sein.

[0401] Die oberen Adressen (AX3, AX2) werden zur Auswahl von einer Mehrzahl (4) von Reihenredundanzsteuerschaltungen ROW-RED-CTRL-0 bis 3 gewählt. Beispielsweise wird ROW-RED-CTRL-0 gewählt, wenn (AX3, AX2) (0, 0) zugeordnet ist, es wird ROW-RED-CTRL1 gewählt, wenn (AX3, AX2) (0 1) zugeordnet ist, es wird ROW-RED-CTRL-2 gewählt, wenn (AX3, AX2) (1, 0) zugeordnet ist, und es wird ROW-RED-CTRL-3 gewählt, wenn (AX3, AX2) (1, 1)) zugeordnet ist. Bei dieser Ausführungsform wird (von der Adressenzuweisungsschaltung) eine Steuerung derart durchgeführt, daß ein Schalten der Redundanzschaltungen bezüglich der jeweiligen RAM's als Gruppe von vier RAM's mit vier Wortleitungen durch Wählen der Reihenredundanzsteuerschaltungen ROW-RED-CTRL mit den oberen Adressen und ein Steuern und Schalten der jeweiligen Reihenredundanzsteuerschaltungen ROW-RED-CTRL durchgeführt wird.

[0402] Die unteren Adressen (AX1, AX0) werden zum Auswählen einer der in einer Mehrzahl vorhandenen äußeren Wortleitungen OWL1 bis OWL16 in den jeweiligen Reihenredundanzsteuerschaltungen verwendet.

[0403] Es werden Verschiebungen (von der Adressenzuweisungsschaltung) in Serien eines vollständigen Zyklus "00110" durch Rechtsschieben von dem Anschluß SIR des ersten Schieberegisters **115a** (SR1) durchgeführt. Zu diesem Zeitpunkt verändert sich die Adresse (AX1, AX0) in der Reihenfolge "00"-"10"-"11"-"01".

[0404] Auf dieselbe Weise werden (von der Adressenzuweisungsschaltung) Verschiebungen der Serien eines vollständigen Zyklus "00110" durch Rechtsschieben von dem Anschluß SIR des ersten Schieberegisters **115b** (SR2) durchgeführt. Zu diesem Zeitpunkt verändert sich die Adresse (AX3, AX2) in der Reihenfolge "00"-"10"-"11"-"01".

[0405] Wenn, nach einem vollständigen Zyklus von Adressen von dem ersten Schieberegister **115a** (SR1) die Aktion des Erneuerns von Adressen mit dem zweiten Schieberegister **115b** (SR2) wiederholt wird, verändern sich die Adressen (AX3, AX2, AX1, AX0) wie folgt:
(0,0,0,0) – (0,0,1,0) – (0,0,1,1) – (0,0,0,1) – (1,0,0,0) – (1,0,1,0) – (1,0,1,1) – (1,0,0,1) – (1,1,0,0) – (1,1,1,0) – (1,1,1,1) – (1,1,0,1) – (0,1,0,0) – (0,1,1,0) – (0,1,1,1) – (0,1,0,1)

[0406] In Dezimalzahlen bedeutet dies, daß sich die Adressen in der Reihenfolge 0 – 2 – 3 – 1 – 8 – 10 – 11 – 9 – 12 – 14 – 15 – 13 – 4 – 6 – 7 – 5 ändern. Die Dekoderausgänge X0, X2, X3, X1, X8, X10, X11, X9, X12, X14, X15, X13, X4, X6, X7, X5 sind in dieser Reihenfolge angeordnet.

[0407] Durch Anpassen dieser Konstruktion wird es möglich, einen effizienten Test unter Verwendung von Serien eines vollständigen Zyklus zu dem Zeitpunkt des RAM-Tests für das Schalten der Redundanzschaltung zu verwenden. Um genau zu sein, es wird ein Effekt des Reduzierens von Testsignalen und von Teststrukturen erreicht.

[0408] Um eine Adressierung in der umgekehrten Reihenfolge durchzuführen, ist es ausreichend, ein linkes Einschieben der Serien "00110" eines vollständigen Zyklus von dem Anschluß SIL durchzuführen.

[0409] Eine Mehrzahl von Reihenredundanzsteuerschaltungen ROW-RED-CTRL kann in einer beliebigen Reihenfolge angeordnet sein. Sie können in der Reihenfolge der durch die Serien des vollständigen Zyklus durchgeführten Bildung wie in **Fig.** 52 dargestellt angeordnet sein, oder sie können in ansteigender Reihenfolge der oberen Adressen (ROW-RED-CTRL0-1-2-3) angeordnet sein.

[0410] **Fig.** 53 stellt die Adressenzuweisungsschaltung der vierundvierzigsten Ausführungsform der vorliegenden Erfindung dar. Entsprechend **Fig.** 53 bezeichnen dieselben Bezugszeichen wie diejenigen bezüglich der in **Fig.** 42 dargestellten zweiundvierzigsten Ausführungsform Bauelemente mit derselben Funktion. Die Adressenzuweisungsschaltung dieser Ausführungsform, welche in Übereinstimmung mit der Speicherschaltung mit einer Spaltenredundanzfunktion entsprechend **Fig.** 7, **Fig.** 8, **Fig.** 9 oder **Fig.** 10 verwendet wird, ist als Dekoder **116** mit zwei Eingängen und vier Ausgängen (Spaltendekoder) ausgebildet und identisch demjenigen, welcher bezüglich der zweiundvierzigsten Ausführungsform (**Fig.** 50(a)) erklärt wurde. Ein Spaltenwähler **117** ist zwischen dem Dekoder **116** und den äußeren Bitleitungen OBL1 bis OBL4 angeschlossen.

[0411] Wenn bei dieser Ausführungsform Inkrementierungen bezüglich der äußeren Wortleitungen OWL1 bis OWL4 durchgeführt werden, d.h. wenn jene Leitungen in der Reihenfolge OWL1-OWL2-OWL3-OWL4 adressiert werden, werden (von dieser Adressenzuweisungsschaltung) Verschiebungen "00110" in der Ausgangsschaltung **115** für serielle Daten eines vollständigen Zyklus durch Rechtschieben von dem Anschluß SIR durchgeführt. Zu diesem Zeitpunkt ändern sich die Adressen (AY1, AY0) entsprechend "00", "10", "11", "01" in dieser Reihenfolge. In einem Dezimalausdruck bedeutet dies, daß sich die Adresse in der Reihenfolge Nr. 0, Nr. 2, Nr. 3, Nr. 1 ändert. Durch den Spaltenwähler **117** wird der "0"-te Ausgangsanschluß Y0 aktiviert, wenn Nr. 0 bestimmt wird, wird der zweite Ausgangsanschluß Y2 aktiviert, wenn Nr. 2 bestimmt wird, wird der dritte Ausgangsanschluß Y3 aktiviert, wenn Nr. 3 bestimmt wird, und wird der vierte Ausgangsanschluß Y1 aktiviert, wenn Nr. 1 bestimmt wird. OBL1 wird mit Y0 gewählt, OBL2 mit Y2, OBL3 mit Y3 und OBL1-BL4 mit Y1.

[0412] Mit einer derartigen Konstruktion wird es möglich, einen effizienten Test unter Verwendung von Serien eines vollständigen Zyklus zu dem Zeitpunkt des RAM-Tests für das Schalten einer Redundanzschaltung zu erlangen.

[0413] Um genau zu sein, es werden (durch diese Konstruktion) Effekte des Reduzierens von Testsignalen und des Reduzierens von Teststrukturen geschaffen.

[0414] Wenn Dekremente bezüglich der äußeren Wortleitungen OBL1 bis OBL4 gebildet werden, d.h. wenn jene Leitungen in der Reihenfolge OWL4-OWL3-OWL2-OWL1 adressiert werden, werden (von der Adressenzuweisungsschaltung) Verschiebungen "01100" in der Ausgangsschaltung **115** für serielle Daten eines vollständigen Zyklus durch Linkschieben von dem Anschluß SIL durchgeführt. Zu diesem Zeitpunkt ändert sich die Adresse (AY1, AY0) in der Reihenfolge "01", "11", "10", "00". In einem Dezimalausdruck bedeutet dies, daß sich die Adresse in der Reihenfolge Nr. 1, Nr. 3, Nr. 2, Nr. 0 ändert. Als Ergebnis wird eine Dekrementadressierung realisiert. Wenn keine Dekrementadressierung verlangt wird, gibt es keine Notwendigkeit der Verwendung eines bidirektionalen seriellen Schieberegisters oder einer bidirektionalen Abfragepfadschaltung.

[0415] Im folgenden werden modifizierte Ausführungsformen beschrieben.

(1) Bei der ersten, der zweiten, der dritten, der vierten, der zwanzigsten, der sechsundzwanzigsten, der siebenundzwanzigsten, der achtundzwanzigsten und der neunundzwanzigsten Ausführungsform, bei welchen die Steuerspeicherzellen C11 bis C14 mit einer Rücksetzfunktion versehen sind, ist es ebenso geeignet, stattdessen jene ohne Rücksetzfunktion vorzusehen. In diesem Fall wird das Rücksetzen durch Schreiben des Wertes "0" in alle Steuerspeicherzellen R11 bis R41 von den äußeren Bitleitungen OBL1 bis OBL4 durchzuführen, wenn die Wortleitung RWL1 aktiviert ist. Nach dem Rücksetzen werden alle Wähler auf den Eingang der Seite "0" geschaltet, und daher wird eine Verbindung bzw. Zuordnung zwischen der ersten äußeren Bitleitung OBL1 und der ersten inneren BL1, zwischen der zweiten äußeren Bitleitung OBL2 und der zweiten inneren Bitleitung BL2, zwischen der dritten äußeren Bitleitung OBL3 und der dritten inneren Bitleitung WL3 und zwischen der äußeren Bitleitung OWL4 und der vierten inneren Bitleitung BL4 geschaffen.

[0416] Darüber hinaus ist es bei der zweiten Ausführungsform, bei der dritten Ausführungsform, usw. ebenso geeignet, Steuerspeicherzellen zu verwenden, welche nicht notwendigerweise eine klare Rücksetzfunktion besitzen. Es ist beispielsweise geeignet, die Speicherzellen selbst derart zu entwerfen, daß die Steuerspeicherzellen C11 bis C14 alle auf "0" beim Abtrennen der Versorugungsleistung rückgesetzt werden. Wenn beispielsweise die jeweiligen Steuerspeicherzellen C11 bis C14 der Gruppe von Steuerspeicherzellen **17** derart entworfen werden, daß sie asymmetrisch bezüglich der Datenwerte "0", "1" mit einer Änderung der Transistorgröße beispielsweise ausgebildet sind, können die Steuerspeicherzellen C11 bis C14 jeweils beim Abtrennen der Versorgungsleistung auf "0" rückgesetzt werden.

[0417] Des weiteren können die Steuerspeicherzellen C11 bis C14 ebenso mit Speicherzellen für ein programmierbares ROM (UVEPROM) gebildet werden, welche durch Lichtstrahlung (Ultraviolettstrahlung) gelöscht werden können. In diesem Fall kann ein Rücksetzen durch Lichtstrahlung erzielt werden.

[0418] Wenn darüber hinaus Speicherzellen ohne Rücksetzfunktion als Steuerspeicherzellen C11 bis C14 bei der dritten Ausführungsform verwendet werden, wird ein Rücksetzen der jeweiligen Steuerspeicherzellen C11 bis C14 dadurch möglich, daß die Redundanzfreigabesignalleitung RED-EN auf "0" gesetzt wird, die Wähler SEL1 bis SEL4 der Gruppe von Wählern **16** auf die Seite "0" geschaltet werden, die Wortleitung RWL1 aktiviert wird und der Wert "0" in die Steuerspeicherzellen C11 bis C14 von den äußeren Bitleitungen OBL1 bis OBL4 geschrieben wird.

[0419] Wenn des weiteren Speicherzellen ohne Rücksetzfunktion bei der vierten Ausführungsform verwendet werden, kann ein Rücksetzen durch Schreiben des Wertes "0" in die Steuerspeicherzellen C11 bis C14, C21 bis C24 von den äußeren Bitleitungen OBL1 bis OBL4 durchgeführt werden, wenn die

Wortleitungen RWL1, RWL2 aktiv sind.

(2) Sogar wenn keine Steuerdatenerzeugungsschaltung wie bei den jeweiligen Ausführungsformen erklärt vorgesehen ist, ist es möglich, ein Schalten der Redundanzschaltung durch Verwendung einer Spaltenredundanzsteuerschaltung oder Reihenredundanzsteuerschaltung durchzuführen, wenn lediglich eine Schreibeinrichtung der Steuerdaten verfügbar ist.

[0420] Es wird beispielsweise durch Verwendung einer Testschaltung eines Abfragepfadsystems bezüglich des RAM's von **Fig.** 45 möglich, die Speicherzellenanordnung **11** zu testen. Auf der Grundlage der Ergebnisse dieses Tests können die Steuerdaten zum Schalten der Redundanzschaltung in die Spaltenredundanzsteuerschaltung und die Reihenredundanzsteuerschaltungen unter Verwendung des Abfragepfads geschrieben werden. In diesem Fall werden die Abfragepfadaktionen für den RAM-Test oder das Schreiben der Steuerdaten kompliziert. Daher kann ein derartiger Test und das Schalten der Redundanzschaltungen mittels eines Mikrokontrollers oder Mikrocomputers, usw. durchgeführt werden. Durch Steuern mittels eines Mikrokontrollers oder Mikrocomputers wird es möglich, Testalgorithmen eines hohen Grads für den RAM-Test zu verwenden und die Fehlererfassungsrate zu erhöhen, wodurch ein geeigneteres Schalten der Redundanzschaltungen ermöglicht wird.

[0421] Es ist ebenso geeignet, die Testschaltung des Abfragepfadsystems unter Verwendung der Abfrageregister ohne Steuerdatenerzeugungsfunktion in Übereinstimmung mit der vorliegenden Erfindung (**Fig.** 12, 15, 20, 21, 22, 23, 24, 25, 28, 29, 31) mit einem Mikrokontroller oder Mikrocomputer zu steuern.

[0422] Darüber hinaus ist es ebenso möglich, die Steuerdaten in den Steuerspeicherzellen C11 bis C14, R durch den Abtastpfad auszulesen und diese Information zu komprimieren, um sie in dem programmierbaren ROM entweder in dem Mikrokontroller oder dem Mikrocomputer zu speichern. Durch Steuern des Abfragepfads entsprechend dieser ROM-Daten beim Abtrennen der Versorgungsleistung und durch entsprechendes erneutes Schreiben in die Steuerspeicherzellen C11 bis C14, R wird es möglich, das Schalten der Redundanzschaltungen ohne Durchführen eines erneuten Tests beim Beenden der Versorgungsleistung durchzuführen.

(3) Während bei der in **Fig.** 7 dargestellten vierten Ausführungsform zwei Wortleitungen RWL1, RWL2 dargestellt sind, ist lediglich eine Wortleitung RWL1 in dem Fall hinreichend, bei welchem eine Spaltenredundanzsteuerschaltung **12** der Redundanz des Betrags **1** wie beispielsweise in **Fig.** 1, **Fig.** 2 und **Fig.** 3 verwendet wird.

(4) Während bei der in **Fig.** 7 dargestellten vierten Ausführungsform die Redundanzfreigabesignalleitung RED-EN dargestellt wird, ist dieses Signal nicht in Abhängigkeit der Art der Spaltenredundanzsteuerschaltung **12** wie der Schaltung von beispielsweise **Fig.** 1, **Fig.** 2, **Fig.** 4 vorhanden.

(5) Während bei der in **Fig.** 7 dargestellten vierten Ausführungsform eine Rücksetzsignalleitung RED-RESET dargestellt ist, ist dieses Signal nicht in Abhängigkeit der Art der Spaltenredundanzsteuerschaltung **12** wie in dem Fall vorhanden, bei welchem die Steuerspeicherzellen ohne Rücksetzfunktion beispielsweise in der Schaltung von **Fig.** 1, **Fig.** 3 oder **Fig.** 4 verwendet werden.

(6) Wenn bei der in **Fig.** 11 dargestellten achten Ausführungsform das Schalten der Redundanzschaltungen durch Erfassen eines Verdrahtungsbruchfehlers von inneren Bitleitungen BL1 bis BL4 durchgeführt wird, gibt es keine Notwendigkeit des Testens aller Speicherzellen M11 bis M15, M21 bis M25, M31 bis M35, ..., welche sich auf die inneren Bitleitungen BL1 bis BL4 beziehen. Beispielsweise ist ein Testen von M31 für die erste innere Bitleitung BL1 von **Fig.** 1 hinreichend, und im allgemeinen ist ein Testen der Speicherzellen M31 bis M35 am weitesten entfernt von den jeweiligen Wählern SEL1 bis SEL4 hinreichend.

(7) Da ein Rücksetzen durch Einschieben des Wertes "0" durch eine serielle Schiebeaktion bei der in **Fig.** 14 dargestellten zehnten Ausführungsform und der in **Fig.** 15 dargestellten elften Ausführungsform durchgeführt werden kann, ist es geeignet, die Logikproduktschaltung **41** wegzulassen, in welche dieses Signal und das Rücksetzsignal FF-RESET eingegeben werden. Wenn die Logikproduktschaltung **41** weggelassen wird, können Flip-Flops **46**, **61** entweder mit einer asynchronen Rücksetzfunktion oder einer synchronen Rücksetzfunktion verwendet werden.

[0423] Darüber hinaus können in einem Fall, bei welchem das erste Flip-Flop **61** für eine Datenausgabe von dem Auslesedatenausgangsanschluß XDO<i> bei der elften Ausführungsform nicht verlangt wird, die zwei Wähler **51a**, **51b** in der vorderen Stufe weggelassen werden.

(8) Als Verbesserung der vierunddreißigsten bis sechsunddreißigsten Ausführungsform ist es geeignet, all die Funktionen entsprechend **Fig.** 42(a), (b), (c) wie in **Fig.** 42(d) dargestellt vorzusehen und einen Wähler **109** zur Wahl dieser Funktionen hinzuzufügen.

(9) Während die vierzigste Ausführungsform als Konstruktion unter Verwendung der Vergleichseinrichtung **106** der vierunddreißigsten Ausführungsform (**Fig.** 42(a)) oder der sechunddreißigsten Ausführungsform (**Fig.** 42(b)) als Bauelement **110** von **Fig.** 48 erklärt wurde, erscheint eine Konstruktion unter Verwendung der Vergleichseinrichtung **106** von **Fig.** 42(d) ebenso als geeignet.

(10) Während bei der in **Fig.** 50(a) dargestellten zweiundvierzigsten Ausführungsform eine Erklä-

rung bezüglich eines Beispiels unter Verwendung einer Schaltung mit einem 2-Bit-Eingang und einem 4-Bit-Ausgang in Übereinstimmung mit der Speicherschaltung, welche vier äußere Wortleitungen OWL1 bis OWL4 aufweist, ist die Erfindung nicht darauf beschränkt, und es erscheint ebenso als geeignet, einen Dekoder eines Typs mit vier Eingängen und sechszehn Ausgängen in Übereinstimmung mit der Speicherschaltung zu verwenden, welche beispielsweise 16 äußere Wortleitungen OWL1 bis OWL16 aufweist. Beispielsweise wird der Wert "0001001101011110000" als Serie eines vollständigen Zyklus verwendet.

[0424] Während die Adressen, welche durch ein Einschieben dieser Serie eines vollständigen Zyklus in ein 4-Bit-Schieberegister gebildet wurden, sich in der Reihenfolge "0000" – "1000" – "1100" – "1110" – "1111" – "0111" – "1011" – "0101" – "1010" – "1101" – "0110" – "0011" – "1001" – "0100" – "0010" – "0001" ändern, sind die Ausgangsanschlüsse des Dekoders **116** in der Reihenfolge X0, X8, X12, X14, X15, X7, X11, X5, X10, X13, X6, X3, X9, X4, X2, X1 von links in Übereinstimmung mit der Reihenfolge der Adressen angeordnet, wodurch es möglich ist, leicht Inkrementierungs- und Dekrementierungsaktionen durchzuführen.

[0425] Vorstehend wurde eine Speicherschaltung, eine Datensteuerschschaltung der Speicherschaltung und eine Adressenzuweisungsschaltung der Speicherschaltung offenbart. In Übereinstimmung mit der vorliegenden Erfindung wird eine Redundanzschaltung unter Durchführung von Tests mit einer Einrichtung wie einer Halbleitereinheit oder einem Computer, welcher die Halbleitereinheit enthält, usw. ohne Verwendung einer aufwendigen Lasereinheit geeignet geschaltet. Es wird einem Fehler durch Steuern von Wählern SEL1 bis SEL4 mit Steuerspeicherzellen C11 bis C14, welche jeweils mit einer Mehrzahl von äußeren Bitleitungen OBL1 bis OBL4 verbunden sind, und durch Schalten der Beziehung der Verbindung bzw. Zuordnung zwischen den äußeren Bitleitungen OBL1 bis OBL4 und den inneren Bitleitungen BL1 bis BL5 abgeholfen. Die Daten für die Steuerspeicherzellen C11 bis C14 werden von den äußeren Bitleitungen OBL1 bis OBL4 ausgegeben.

Patentansprüche

1. Speicherschaltung mit:
einer Speicherzellenanordnung, welche eine Mehrzahl von Speicherzellen enthält, die in Form einer Matrix angeordnet sind;
einer Mehrzahl von äußeren Verbindungsleitungen, welche an eine Mehrzahl von inneren Verbindungsleitungen wenigstens in einer Richtung der Richtung einer Reihe und der Richtung einer Spalte der Speicherzellenanordnung angeschlossen sind, zum Austausch von Daten für die Speicherzellenanordnung von außen; und
einer Reihenredundanzsteuerschaltung, welche zwischen der Speicherzellenanordnung und den äußeren Verbindungsleitungen eingesetzt ist, zum Steuern derart, daß wenigstens ein Fehlerdatenwert in dem Fall des Auftretens eines Fehlers in der Speicherzellenanordnung kompensiert wird,
wobei die Anzahl von Leitungen der äußeren Verbindungsleitungen kleiner als die Anzahl von Leitungen der inneren Verbindungsleitungen ist, und
wobei die Reihenredundanzsteuerschaltung
eine Gruppe von Steuerspeicherzellen, welche Steuerspeicherzellen in derselben Anzahl wie derjenigen der äußeren Verbindungsleitungen aufweist, einen Binärwert bezüglich der äußeren Verbindungsleitungen speichert, welche an der Seite einer Richtung von der inneren Verbindungsleitung mit dem Fehlerdatenwert angeordnet sind, und den anderen Binärwert bezüglich der äußeren Verbindungsleitungen speichert, welche an der Seite der anderen Richtung bezüglich der inneren Verbindungsleitung mit dem Fehlerdatenwert als Grenze angeordnet sind; und
eine Gruppe von Wählern aufweist, welche eine Mehrzahl von Wählern enthält, die den jeweiligen Steuerspeicherzellen der Gruppe der Steuerspeicherzellen zugeordnet sind, in Abhängigkeit des in der Gruppe der Steuerspeicherzellen gespeicherten Werts die Verbindung zwischen der inneren Verbindungsleitung mit dem Fehlerdatenwert und der äußeren Verbindungsleitung, welche der betreffenden inneren Verbindungsleitung zugeordnet ist, abtrennt, die äußeren Verbindungsleitungen, welche an der Seite einer Richtung bezüglich der inneren Verbindungsleitung mit dem Fehlerdatenwert als Grenze angeordnet sind, mit den inneren Verbindungsleitungen verbindet, welche in den betreffenden äußeren Verbindungsleitungen zugeordnet sind, und die äußeren Verbindungsleitungen, welche an der Seite der anderen Richtung bezüglich der inneren Verbindungsleitung mit dem Fehlerdatenwert als Grenze angeordnet sind, mit den anderen inneren Verbindungsleitungen benachbart an der Seite der anderen Richtung zu den inneren Verbindungsleitungen aufeinanderfolgend verbindet, welche den betreffenden äußeren Verbindungsleitungen zugeordnet sind.

2. Speicherschaltung nach Anspruch 1, dadurch gekennzeichnet, daß der Dateneingangsanschluß der Steuerspeicherzellen der Gruppe von Steuerspeicherzellen entweder mit den äußeren Verbindungsleitungen oder den inneren Verbindungsleitungen verbunden ist, welchen sie jeweils zugeordnet sind.

3. Speicherschaltung nach Anspruch 1, dadurch gekennzeichnet, daß
der Dateneingangsanschluß der Steuerspeicherzellen der Gruppe von Steuerspeicherzellen jeweils mit den inneren Verbindungsleitungen verbunden ist,

welche den äußeren Verbindungsleitungen zugeordnet sind, mit welchen die jeweiligen Wähler der Gruppe von zu steuernden Wählern verbunden, sind, und Schaltvorrichtungen zur Wahl der Möglichkeit des Steuerns durch die Gruppe von Steuerspeicherzellen jeweils zwischen den jeweiligen Steuerspeicherzellen der Gruppe von Steuerspeicherzellen und den jeweiligen Wählern der Gruppe von Wählern eingesetzt sind.

4. Speicherschaltung mit:
einer Speicherzellenanordnung, welche eine Mehrzahl von Speicherzellen aufweist, die in Form einer Matrix angeordnet sind;
einer Mehrzahl von äußeren Verbindungsleitungen, welche an eine Mehrzahl von inneren Verbindungsleitungen wenigstens in einer Richtung der Richtung der Reihe und der Richtung der Spalte der Speicherzellenanordnung angeschlossen sind, zum Austausch von Daten für die Speicherzellenanordnung von außen; und
einer Reihenredundanzsteuerschaltung, welche zwischen der Speicherzellenanordnung und den äußeren Verbindungsleitungen eingesetzt ist, zum Steuern derart, daß zwei Fehlerdatenwerte in dem Fall des Auftretens eines Fehlers in der Speicherzellenanordnung kompensiert werden,
wobei die Anzahl von Leitungen der äußeren Verbindungsleitungen um zwei kleiner als die Anzahl von Leitungen der inneren Verbindungsleitungen ist, und
wobei die Reihenredundanzsteuerschaltung
eine Gruppe von Wählern, welche eine Mehrzahl von Wählern aufweist, zum selektiven Schalten jeweils dreier aufeinanderfolgend benachbarter innerer Verbindungsleitungen, welche den entsprechenden äußeren Verbindungsleitungen zugeordnet sind; und
eine Gruppe von Steuerspeicherzellen enthält, welche eine Mehrzahl von Steuerspeicherzellen zum jeweiligen Speichern eines ternären Werts für jede der inneren Verbindungsleitungen derart enthält, so daß eine Schaltsteuerung der jeweiligen Wähler der Gruppe von Wählern durchgeführt wird.

5. Speicherschaltung nach Anspruch 4, dadurch gekennzeichnet, daß der Dateneingangsanschluß der Steuerspeicherzellen der Gruppe von Steuerspeicherzellen entweder mit den äußeren Verbindungsleitungen oder den inneren Verbindungsleitungen verbunden sind, welchen sie jeweils zugeordnet sind.

6. Speicherschaltung nach Anspruch 1, dadurch gekennzeichnet, daß die Steuerspeicherzellen der Gruppe von Steuerspeicherzellen mit einer Setzfunktion und einem Setzanschluß oder einer Rücksetzfunktion mit einem Rücksetzanschluß versehen sind; und
der Setzanschluß oder der Rücksetzanschluß der Steuerspeicherzellen mit einem überflüssigen Anschluß eines Dekoders verbunden ist, welcher andere innere Verbindungsleitungen in Richtung der Reihe und in Richtung der Spalte der Speicherzellenanordnung steuert.

7. Speicherschaltung nach Anspruch 4, dadurch gekennzeichnet, daß
die Steuerspeicherzellen der Gruppe von Steuerspeicherzellen mit einer Rücksetzfunktion mit einem Setzanschluß oder einer Rücksetzfunktion mit einem Rücksetzanschluß versehen sind; und
der Setzanschluß oder der Rücksetzanschluß der Steuerspeicherzellen mit einem überflüssigen Anschluß eines Dekoders verbunden ist, welcher andere innere Verbindungsleitungen in Richtung der Reihe und in Richtung der Spalten der Speicherzellenanordnung steuert.

8. Speicherschaltung nach Anspruch 4, dadurch gekennzeichnet,
daß die Steuerspeicherzellen der Gruppe von Steuerspeicherzellen mit einer Setzfunktion mit einem Setzanschluß oder einer Rücksetzfunktion mit einem Rücksetzanschluß versehen sind; und
der Setzanschluß oder der Rücksetzanschluß, der Steuerspeicherzellen mit dem Steueranschluß eines besonderen Dekoders verbunden ist.

9. Datensteuerschaltung der Speicherschaltung nach Anspruch 2, welche für jede der äußeren Verbindungsleitungen der Speicherschaltung vorgesehen ist, mit:
einer Einrichtung zum Vergleichen eines erwarteten Werts zum Beurteilen durch Vergleich, ob die ausgelesenen Daten an wenigstens einem Ausgangsport der Speicherzellenanordnung mit einem vorgeschriebenen erwarteten Wert nicht übereinstimmen, und zum Erzeugen auf der Grundlage des Vergleichserlebnisses eines Werts zur Steuerung, welcher dem Dateneingangsanschluß der Steuerspeicherzellen der Gruppe von Steuerspeicherzellen auszugeben ist.

10. Datensteuerschaltung der Speicherschaltung nach Anspruch 9, gekennzeichnet durch eine erste Wahleinrichtung zum Wählen wenigstens zweier unterschiedlicher Arten von Information d.h. des Werts zur Steuerung, welcher von der Einrichtung zum Vergleichen des erwarteten Werts erzeugt wird, und der Schreibdaten von außerhalb, welche in die Speicherzellen der Speicherzellenanordnung zu schreiben sind.

11. Datensteuerschaltung der Speicherschaltung nach Anspruch 10, gekennzeichnet durch ein Register zum Speichern einer von der ersten Wahleinrichtung gewählten Informationsart.

12. Datensteuerschaltung der Speicherschaltung nach Anspruch 11, dadurch gekennzeichnet, daß die erste Wahleinrichtung derart angeschlossen ist, daß

sie wenigstens drei unterschiedliche Informationsarten wählt, d.h. den von der Einrichtung zum Vergleichen des erwarteten Werts gebildeten Wert zur Steuerung, die Schreibdaten von außerhalb für die Speicherzellen der Speicherzellenanordnung und die Ausgangsinformation von der anderen Datensteuerschaltung benachbart zu der betreffenden Datensteuerschaltung.

13. Datensteuerschaltung der Speicherschaltung nach Anspruch 8, gekennzeichnet durch eine zweite Wahleinrichtung zum Wählen von wenigstens zwei unterschiedlichen Informationsarten, d.h. der Ausgangsinformation von dem Register der betreffenden Datensteuerschaltung und der Testdaten von außerhalb.

14. Datensteuerschaltung der Speicherschaltung, nach Anspruch 2 welche für jede der äußeren Verbindungsleitungen der Speicherschaltung vorgesehen ist, mit:
einer Einrichtung zum Vergleichen eines erwarteten Werts zum Beurteilen durch Vergleich, ob die ausgelesenen Daten an wenigstens einem Ausgangsport der Speicherzellenanordnung mit dem vorgeschriebenen erwarteten Wert nicht übereinstimmen, und zum Erzeugen auf der Grundlage des Vergleichsergebnisses eines Werts zur Steuerung, welcher dem Dateneingangsanschluß der Steuerspeicherzellen der Gruppe von Steuerspeicherzellen auszugeben ist;
einer ersten Einrichtung zum Wählen wenigstens zweier unterschiedlicher Informationsarten, d.h. des von der Einrichtung zum Vergleichen des erwarteten Werts gebildeten Werts für die Steuerung und der ausgelesenen Daten von den Speicherzellen der Speicherzellenanordnung;
einem Register zum Speichern der von der ersten Wahleinrichtung gewählten Information; und
einer zweiten Wahleinrichtung zum Wählen wenigstens zweier unterschiedlicher Informationsarten, d.h. der Ausgangsinformation von dem Register und der Schreibdaten von außerhalb, welche in die Speicherzellen der Speicherzellenanordnung zu schreiben sind.

15. Datensteuerschaltung der Speicherschaltung nach Anspruch 14, dadurch gekennzeichnet, daß die erste Wahleinrichtung derart angeschlossen ist, daß wenigstens drei unterschiedliche Informationsarten gewählt werden, d.h. der von der Einrichtung zum Vergleichen des erwarteten Werts gebildete Wert für die Steuerung, die ausgelesenen Daten aus den Speicherzellen der Speicherzellenanordnung und die Ausgangsinformation von der anderen Datensteuerschaltung benachbart der betreffenden Datensteuerschaltung.

16. Datensteuerschaltung der Speicherschaltung, nach Anspruch 2 welche für jede der äußeren Verbindungsleitungen der Speicherschaltung vorgesehen ist, mit:
einer Einrichtung zum Vergleichen eines erwarteten Werts zum Beurteilen durch Vergleich, ob die ausgelesenen Daten an wenigstens einem Ausgangsport der Speicherzellenanordnung mit dem vorgeschriebenen erwarteten Wert nicht übereinstimmen, und zum Erzeugen auf der Grundlage des Vergleichsergebnisses eines Werts zur Steuerung, welcher dem Dateneingangsanschluß der Steuerspeicherzellen der Gruppe von Steuerspeicherzellen auszugeben ist;
einer ersten Wahleinrichtung zum Wählen wenigstens zweier unterschiedlicher Informationsarten, d.h. des von der Einrichtung zum Vergleichen des erwarteten Werts erzeugten Werts für die Steuerung und der ausgelesenen Daten von den Speicherzellen der Speicherzellenanordnung;
einem ersten Register zum Speichern der von der ersten Wahleinrichtung gewählten Information; und
einer zweiten Wahleinrichtung zum Wählen wenigstens zweier unterschiedlicher Informationsarten, d.h. der Information von dem ersten Register und den Schreibdaten von außerhalb, welche den Speicherzellen der Speicherzellenanordnung auszugeben sind; und
einem zweiten Register zum Speichern der von der zweiten Wahleinrichtung gewählten Information.

17. Datensteuerschaltung der Speicherschaltung nach Anspruch 16, dadurch gekennzeichnet, daß die zweite Wahleinrichtung derart konstruiert ist, daß wenigstens drei unterschiedliche Informationsarten gewählt werden, d.h. die Schreibdaten von außerhalb, welche in die Speicherzellen der Speicherzellenanordnung zu schreiben sind, die Ausgangsinformation von dem ersten Register und die Testdaten.

18. Datensteuerschaltung der Speicherschaltung nach Anspruch 16, dadurch gekennzeichnet, daß die zweite Wahleinrichtung derart konstruiert ist, daß wenigstens drei unterschiedliche Informationsarten gewählt werden, d.h. die Ausgangsinformation von dem ersten Register in der betreffenden Datensteuerschaltung, die Ausgangsinformation von der anderen Datensteuerschaltung benachbart der betreffenden Datensteuerschaltung und die Schreibdaten von außerhalb, welche in die Speicherzellen der Speicherzellenanordnung zu schreiben sind.

19. Datensteuerschaltung der Speicherschaltung nach Anspruch 5, welche für jede der äußeren Verbindungsleitungen der Speicherschaltung vorgesehen ist:
einer Einrichtung zum Vergleichen eines erwarteten Werts zum Beurteilen durch Vergleich, ob die ausgelesenen Daten an wenigstens einem Ausgangsport der Speicherzellenanordnung mit dem vorgeschriebenen erwarteten Wert nicht übereinstimmen, und zum Erzeugen auf der Grundlage des Vergleichser-

gebnisses eines Werts für die Steuerung, welcher dem Dateneingangsanschluß der Steuerspeicherzellen der Gruppe von Steuerspeicherzellen auszugeben ist; und
einer Steuerdatenerzeugungseinrichtung zum Ausgeben eines ersten Werts der ternären Daten an die Steuerspeicherzellen der Gruppe von Steuerspeicherzellen, wenn die Einrichtung zum Vergleichen des erwarteten Werts ein Resultat erzielt, daß die ausgelesen Daten von den Speicherzellen der Speicherzellenanordnung identisch zu dem vorgeschriebenen erwarteten Werts sind, zum Ausgeben des zweiten Werts der ternären Daten an die Steuerspeicherzellen der Gruppe von Steuerspeicherzellen, wenn die Einrichtung zum Vergleichen des erwarteten Werts zum ersten Mal ein Ergebnis erzielt, daß die ausgelesenen Daten von den Speicherzellen der Speicherzellenanordnung mit dem vorgeschriebenen erwarteten Wert nicht übereinstimmen, und zum Ausgeben des dritten Werts der ternären Daten an die Steuerspeicherzellen der Gruppe von Steuerspeicherzellen, wenn die Einrichtung zum Vergleichen des erwarteten Werts zum zweiten Mal ein Ergebnis erzielt, daß die ausgelesenen Daten von den Speicherzellen der Speicherzellenanordnung mit dem vorgeschriebenen erwarteten Wert nicht übereinstimmen.

20. Datensteuerschaltung der Speicherschaltung nach Anspruch 19, dadurch gekennzeichnet, daß die Steuerdatenerzeugungseinrichtung
ein erstes Register zum Speichern von Ausgangsinformation von der Einrichtung zum Vergleichen des erwarteten Werts;
eine Einrichtung zur Ausgabe eines Nichtübereinstimmungswerts zum Ausgeben eines eine Nichtübereinstimmung anzeigenden Werts, wenn sowohl die in dem ersten Register gespeicherte Information als auch die Ausgangsinformation von der Einrichtung zum Vergleichen des erwarteten Werts einen Wert anzeigen, welcher darstellt, daß die ausgelesenen Daten von den Speicherzellen der Speicherzellenanordnung mit dem vorgeschriebenen erwarteten Wert nicht übereinstimmen; und
ein zweites Register zum Speichern der Ausgangsinformation von der Einrichtung zur Ausgabe des Nichtübereinstimmungswerts enthält.

21. Datensteuerschaltung der Speicherschaltung, nach Anspruch 19, gekennzeichnet durch eine Wahleinrichtung zum Wählen wenigstens zweier unterschiedlicher Informationsarten, d.h. von außerhalb ausgegebener oder innen erzeugter Testdaten und Ausgangsinformation von der Steuerdatenerzeugungseinrichtung.

22. Datensteuerschaltung der Speicherschaltung nach Anspruch 2, welche für jede der äußeren Verbindungsleitungen der Speicherschaltung vorgesehen ist, mit einer Einrichtung zum Vergleichen eines erwarteten Werts zum Beurteilen durch Vergleich in dem Fall, bei welchem die Speicherschaltung zur Ausgabe einer Mehrzahl von ausgelesenen Daten konstruiert ist, ob die ausgelesenen Daten von den Speicherzellen der Speicherzellenanordnung mit dem vorgeschriebenen erwarteten Wert nicht übereinstimmen, und zum Erzeugen auf der Grundlage des Vergleichsergebnisses eines Werts für die Steuerung, welcher dem Dateneinangsanschluß der Steuerspeicherzellen der Gruppe von Steuerspeicherzellen auszugeben ist.

23. Datensteuerschaltung der Speicherschaltung nach Anspruch 5, welche für jede der äußeren Verbindungsleitungen der Speicherschaltung vorgesehen ist, des weiteren mit einer Einrichtung zum Vergleichen eines erwarteten Werts zur Beurteilung durch Vergleich in dem Fall, bei welchem die Speicherschaltung zur Ausgabe einer Mehrzahl von ausgelesenen Daten konstruiert ist, ob jede der ausgelesenen Daten von den Speicherzellen der Speicherzellenanordnung mit dem vorgeschriebenen erwarteten Wert nicht übereinstimmen, und zum Erzeugen auf der Grundlage des Vergleichsergebnisses eines Werts zur Steuerung, welcher dem Dateneingangsanschluß der Steuerspeicherzellen der Gruppe von Steuerspeicherzellen auszugeben ist.

24. Datensteuerschaltung der Speicherschaltung nach Anspruch 2, welche mit den äußeren Verbindungsleitungen in Richtung der Reihe und in Richtung der Spalte der Speicherzellen der Speicherzellenanordnung der Speicherschaltung verbunden ist, mit:
einer ersten Steuereinheit, welche mit den äußeren Verbindungsleitungen in einer Richtung der Richtung der Reihe und der Richtung der Spalte der Speicherzellenanordnung verbunden ist; und
einer zweiten Steuereinheit, welche mit den äußeren Verbindungsleitungen in der anderen Richtung der Richtung der Reihe und der Richtung der Spalte der Speicherzellenanordnung verbunden ist,
wobei die erste Steuereinheit
eine Einrichtung zum Vergleichen eines erwarteten Werts zum Beurteilen durch Vergleich, ob die ausgelesenen Daten an wenigstens einem Ausgangsanschluß der Speicherzellenanordnung mit dem vorgeschriebenen erwarteten Wert nicht übereinstimmen, und zum Erzeugen auf der Grundlage des Vergleichsergebnisses eines Werts für die Steuerung, welcher dem Dateneinangsanschluß der Steuerspeicherzellen der Gruppe von Steuerspeicherzellen auszugeben ist; und
ein erstes Register zum Speichern der Ausgangsinformation von der Einrichtung zum Vergleichen des erwarteten Werts und zu deren Ausgabe an die äußere Verbindungsleitung an einer Seite enthält, und
wobei die zweite Steuereinheit ein zweites Register zum Speichern der Ausgangsinformation von der Einrichtung zum Vergleichen des erwarteten Werts

der ersten Steuereinheit und zu deren Ausgabe an die äußere Verbindungsleitung an der anderen Seite enthält.

25. Datensteuerschaltung der Speicherschaltung nach Anspruch 5, welche mit den äußeren Verbindungsleitungen in Richtung der Reihe und in Richtung der Spalte der Speicherzellen der Speicherzellenanordnung der Speicherschaltung verbunden ist, mit:
einer ersten Steuereinheit, welche mit den äußeren Verbindungsleitungen in einer Richtung der Richtung der Reihe und der Richtung der Spalte der Speicherzellenanordnung verbunden ist; und
einer zweiten Steuereinheit, welche mit den äußeren Verbindungsleitungen in der anderen Richtung der Richtung der Reihe und der Richtung der Spalte der Speicherzellenanordnung verbunden ist,
wobei die erste Steuereinheit
eine Einrichtung zum Vergleichen eines erwarteten Werts zum Beurteilen durch Vergleich, ob die ausgelesenen Daten an wenigstens einem Ausgangsport der Speicherzellenanordnung mit dem vorgeschriebenen erwarteten Wert nicht übereinstimmen, und zum Erzeugen auf der Grundlage des Vergleichsergebnisses eines Werts für die Steuerung, welcher dem Dateneingangsanschluß der Steuerspeicherzellen der Gruppe von Steuerspeicherzellen auszugeben ist; und
ein erstes Register zum Speichern der Ausgangsinformation von der Einrichtung zum Vergleichen des erwarteten Werts und zu deren Ausgabe an die äußere Verbindungsleitung an einer Seite enthält; und
wobei die zweite Steuereinheit ein erstes Register zum Speichern der Ausgangsinformation von der Einrichtung zum Vergleichen des erwarteten Werts der ersten Steuereinheit und zu deren Ausgabe an die äußere Verbindungsleitung an der anderen Seite enthält.

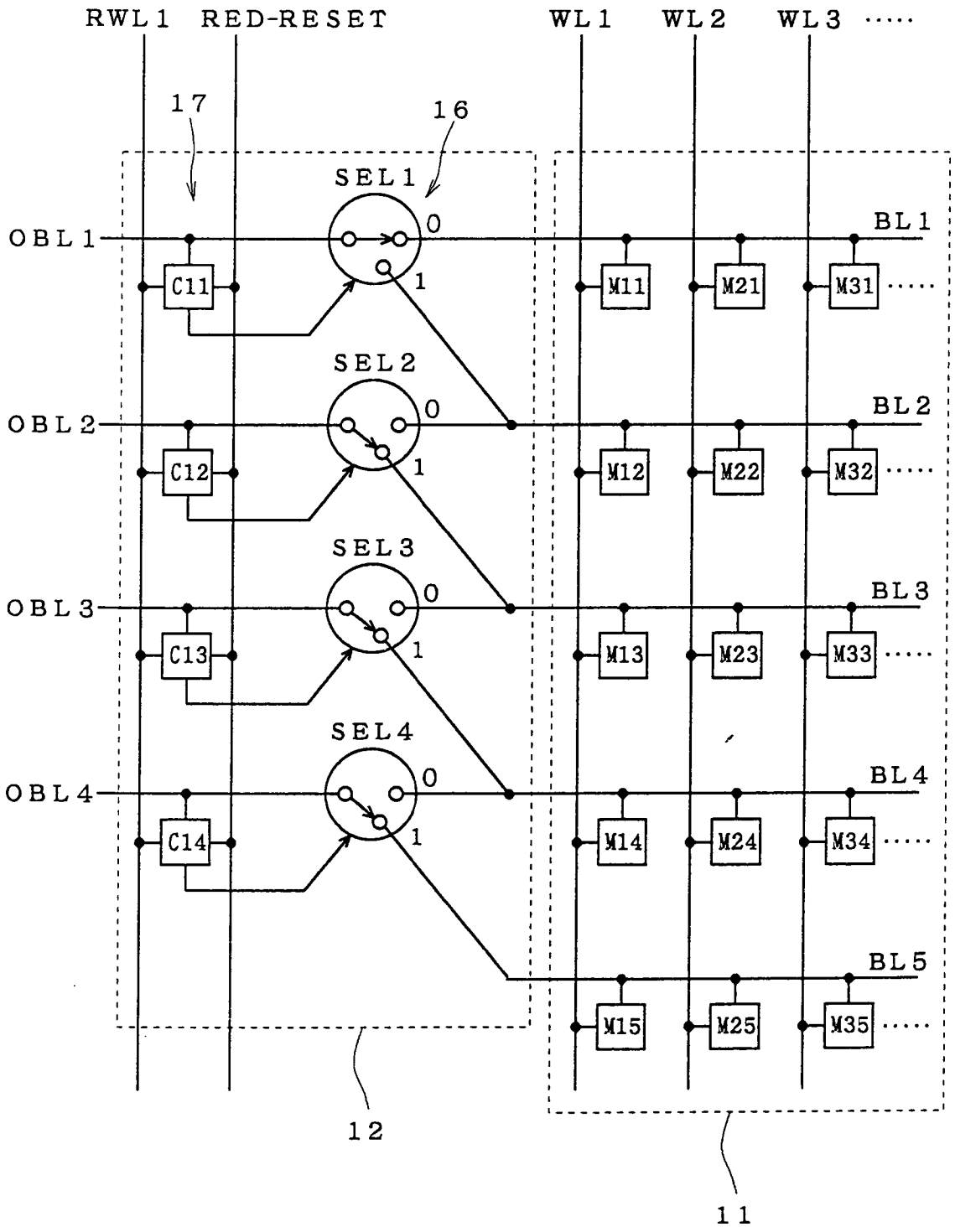
26. Adressenzuweisungsschaltung, welche mit der Mehrzahl von äußeren Verbindungsleitungen der Speicherschaltung nach Anspruch 1 verbunden ist, zum sequentiellen Zuweisen der äußeren Verbindungsleitungen in die Richtung von einem Ende zu dem anderen Ende der Speicherschaltung, mit:
einer Ausgangsschaltung für serielle Daten eines vollständigen Zyklus zum Ausgeben auf der Grundlage einer vorgeschriebenen Betriebsformel von seriellen Daten eines vollständigen Zyklus als Pseudozufallszahlen mit einem bestimmten Zyklus; und
einem Dekoder für ein sequentielles Zuweisen der äußeren Verbindungsleitungen auf der Grundlage einer Ausgangsinformation von der Ausgangsschaltung für serielle Daten eines vollständigen Zyklus,
wobei der Dekoder
Ausgangsanschlüsse einer vorgeschriebenen Ausgangsbitzahl, welche sequentiell in die Richtung von einem Ende zu dem anderen Ende in Übereinstimmung mit der Reihenfolge des Ausgangs serieller Daten eines vollständigen Zyklus von der Ausgangsschaltung für serielle Daten eines vollständigen Zyklus angeordnet sind;
eine Logikschaltungseinheit zum Umwandeln des Werts der Eingangsbitzahl der Eingangsanschlüsse in einen Wert der Ausgangsbitzahlen der Ausgangsanschlüsse; und
eine Einrichtung zum Ändern der Bitreihenfolge aufweist, welche zwischen der Logikschaltungseinheit und dem Ausgangsanschluß zum Umordnen des Signals der vorgeschriebenen Ausgangsbitzahl von der Logikschaltungseinheit in der Reihenfolge der Ausgangsanschlüsse angeschlossen ist.

27. Adressenzuweisungsschaltung, welche mit der Mehrzahl von externen Verbindungsleitungen der Speicherschaltung nach Anspruch 4 verbunden ist, zum sequentiellen Zuweisen der äußeren Verbindungsleitungen in Richtung von einem Ende zu dem anderen Ende der Speicherschaltung, mit:
einer Ausgangsangsschaltung für serielle Daten eines vollständigen Zyklus zum Ausgeben auf der Grundlage einer vorgeschriebenen Betriebsformel von seriellen Daten eines vollständigen Zyklus als Pseudozufallszahlen mit einem bestimmten Zyklus; und
einem Dekoder für ein sequentielles Zuweisen der äußeren Verbindungsleitungen auf der Grundlage einer Ausgangsinformation von der Ausgangsschaltung für serielle Daten eines vollständigen Zyklus;
wobei der Dekoder
Ausgangsanschlüssse von vorgeschriebenen Ausgangsbitzahlen, welche sequentiell in die Richtung von einem Ende zu dem anderen Ende in Übereinstimmung mit der Reihenfolge der von der Ausgangseinrichtung für serielle Daten eines vollständigen Zyklus ausgegebenen seriellen Daten eines vollständigen Zyklus angeordnet sind;
eine Logikschaltungseinheit zum Umwandeln des Werts der Eingangsbitzahl der Eingangsanschlüsse in einen Wert der Ausgangsbitzahlen der Ausgangsanschlüsse; und
eine Einrichtung zum Verändern der Bitreihenfolge aufweist, welche zwischen der Logikschaltungseinheit und dem Ausgangsanschluß zum Umordnen des Signals der vorgeschriebenen Ausgangsbitzahl von der Logikschaltungseinheit in der Reihenfolge der Ausgangsanschlüsse angeschlossen ist.

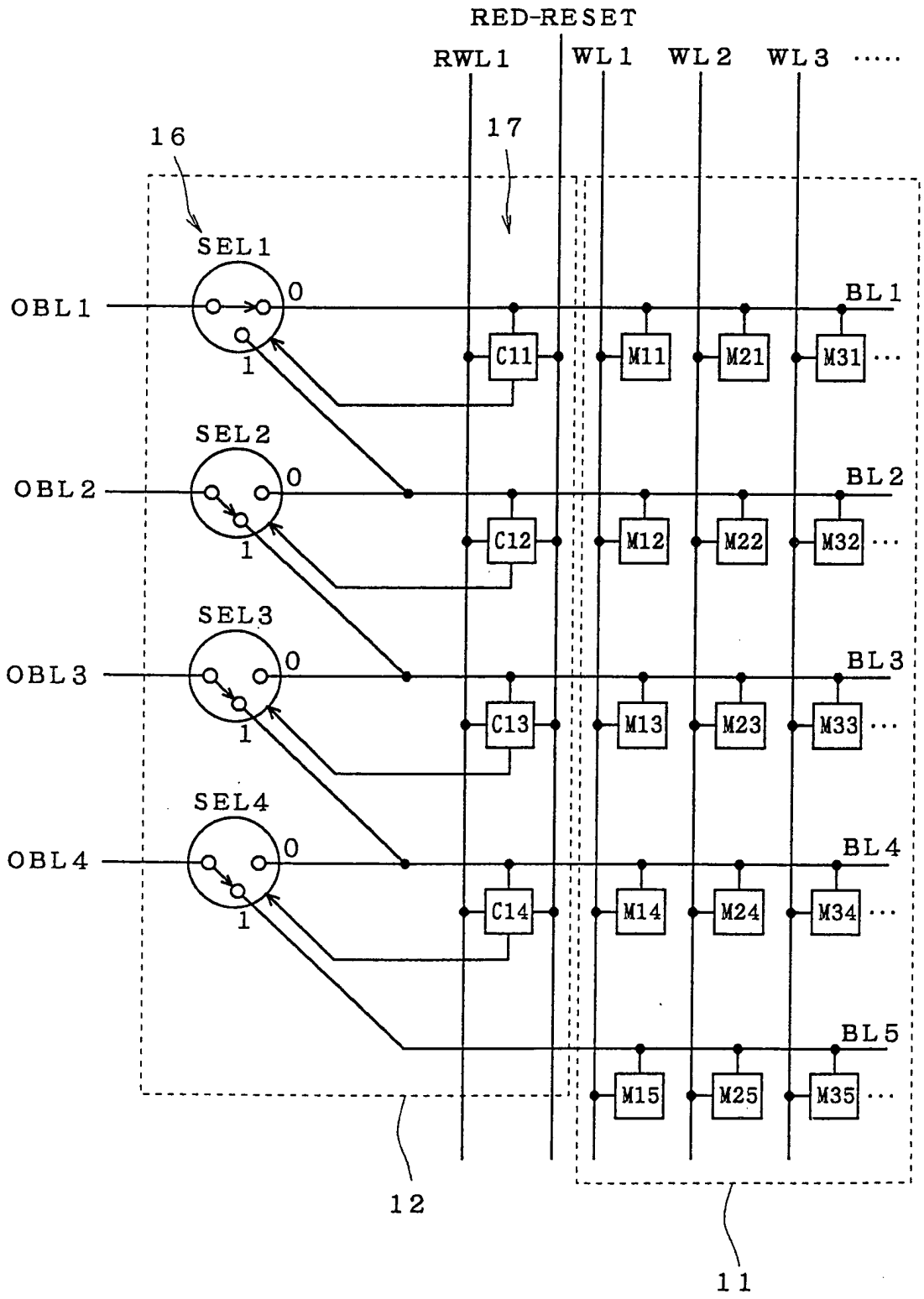
Es folgen 55 Blatt Zeichnungen

Anhängende Zeichnungen

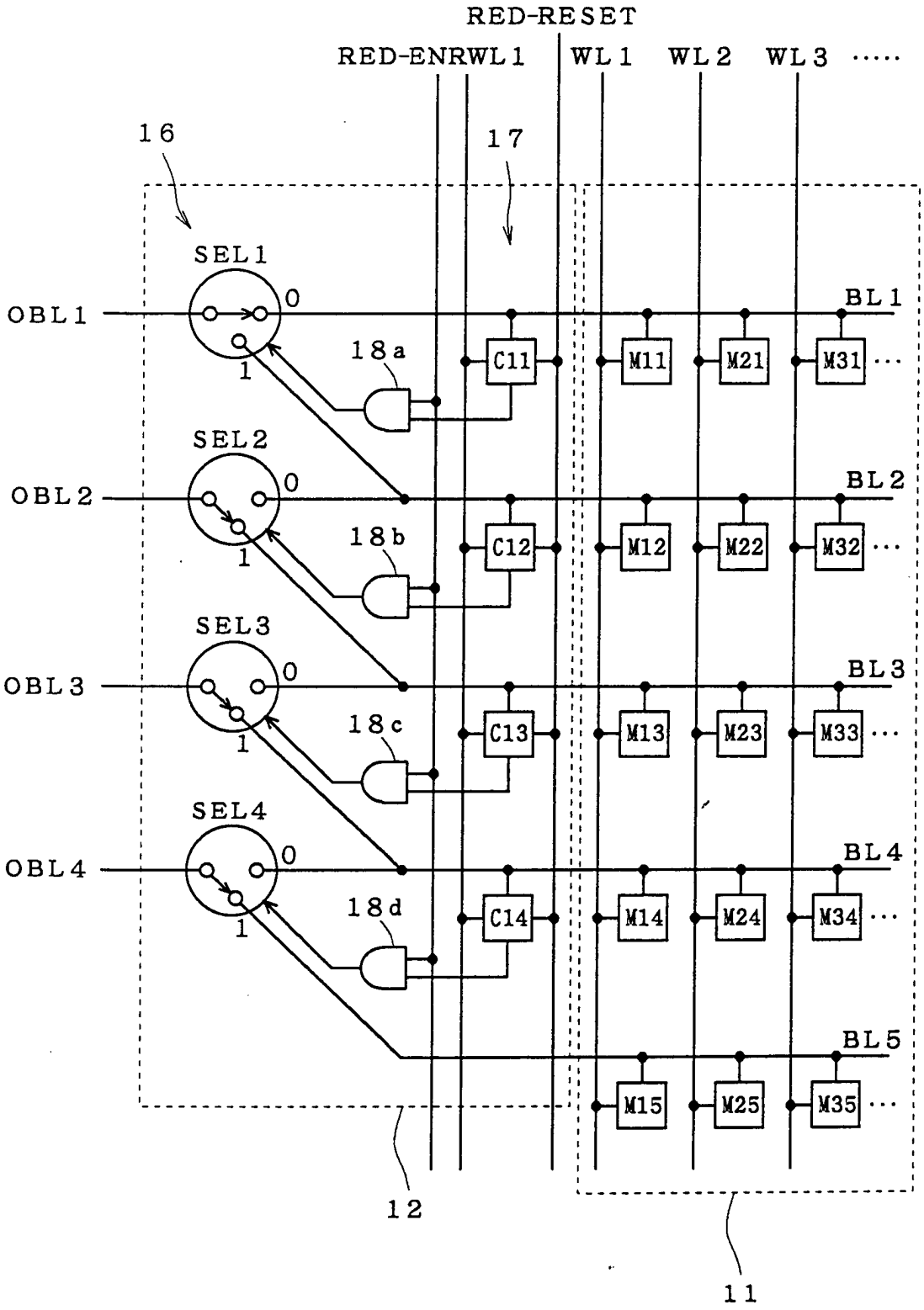
F I G. 1



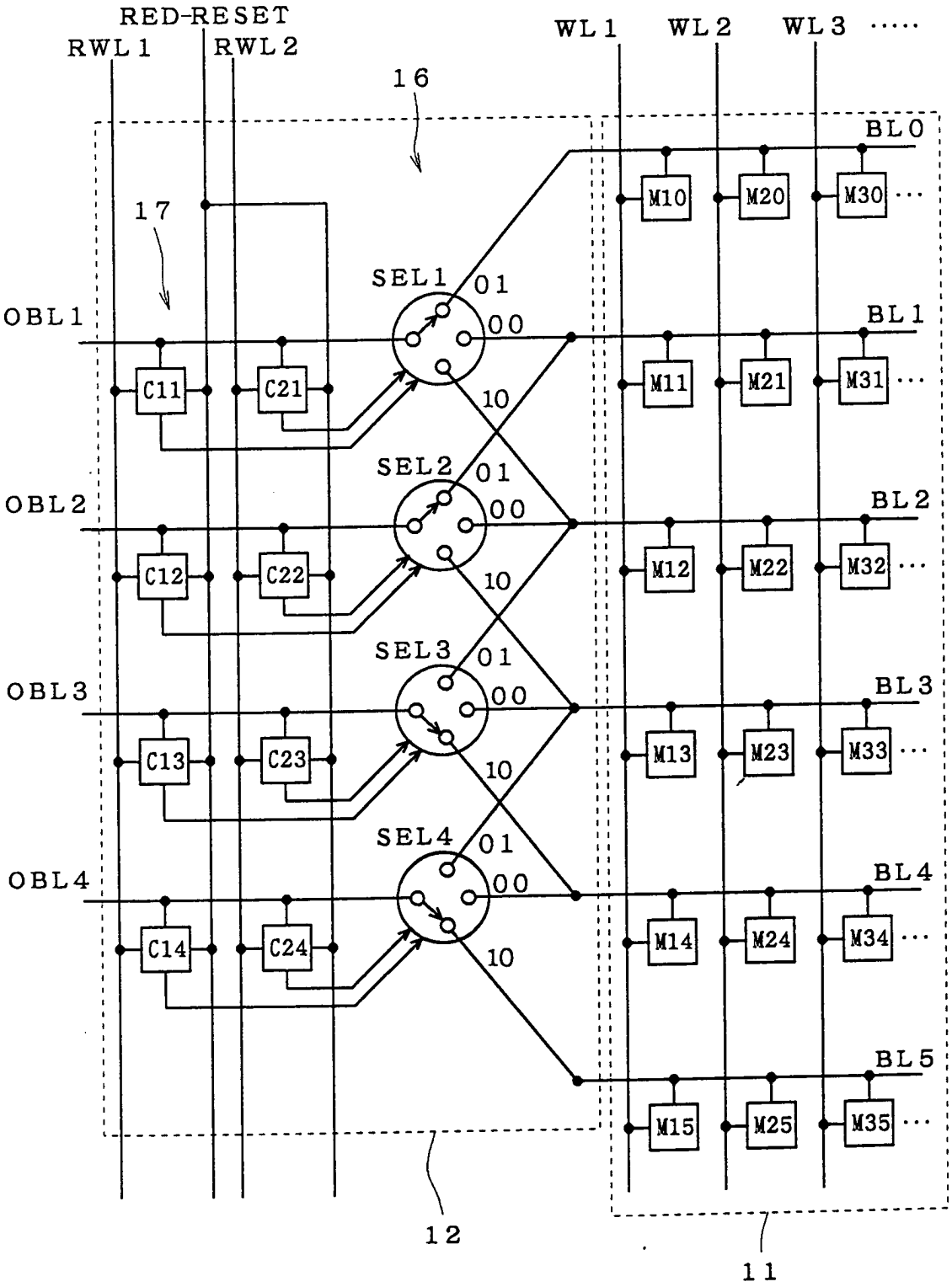
F I G. 2


RED-RESET
RWL1
WL1
WL2
WL3
16
17
SEL1
SEL2
SEL3
SEL4
OBL1
OBL2
OBL3
OBL4
0
1
BL1
BL2
BL3
BL4
BL5
C11
C12
C13
C14
M11
M12
M13
M14
M15
M21
M22
M23
M24
M25
M31
M32
M33
M34
M35
12
11

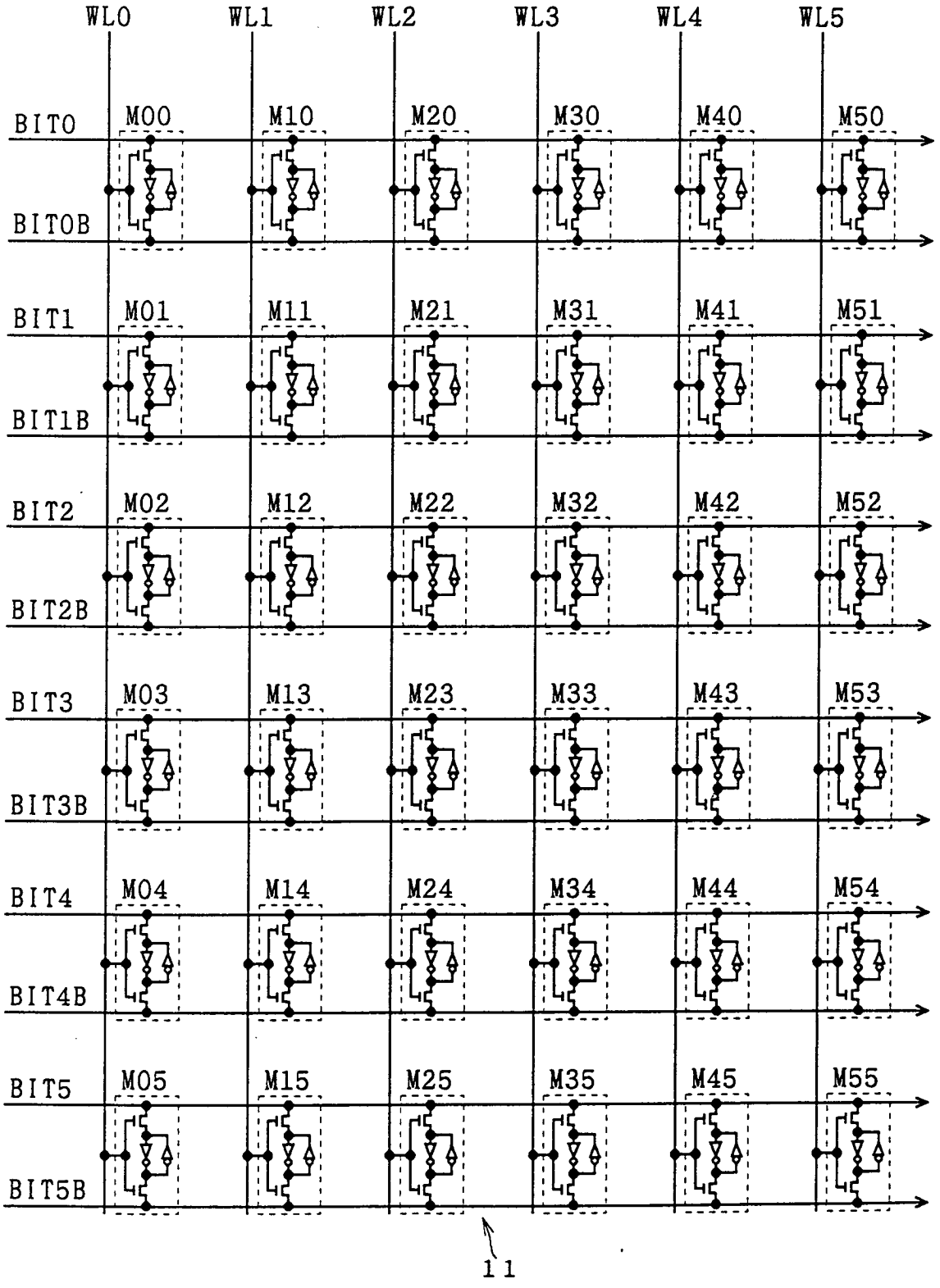
F I G. 3


RED-RESET
RED-ENRWL1
WL1
WL2
WL3
16
17
SEL1
SEL2
SEL3
SEL4
OBL1
OBL2
OBL3
OBL4
0
1
18a
18b
18c
18d
BL1
BL2
BL3
BL4
BL5
C11
C12
C13
C14
M11
M12
M13
M14
M15
M21
M22
M23
M24
M25
M31
M32
M33
M34
M35
12
11

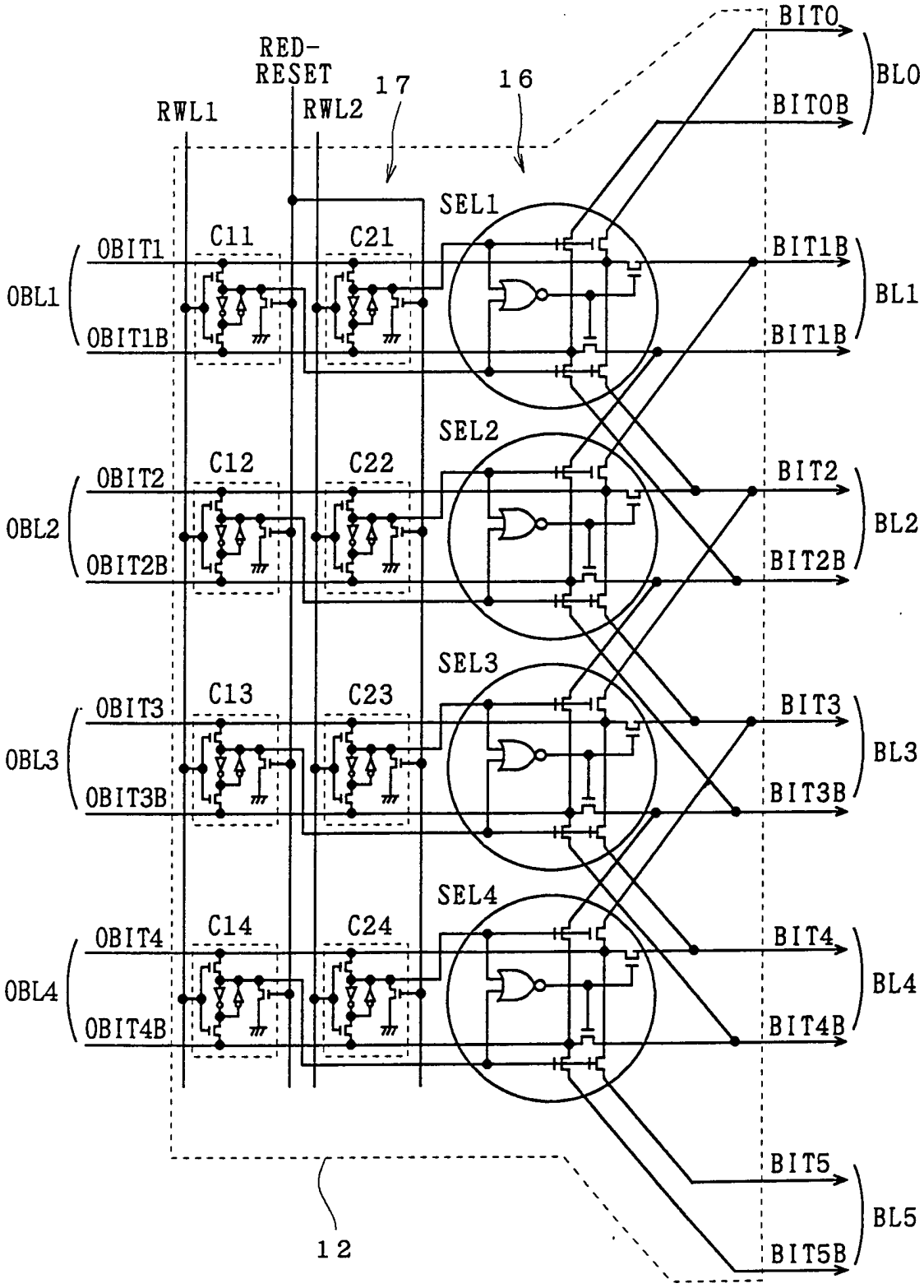
F I G. 4


RED-RESET
RWL1
RWL2
WL1
WL2
WL3
16
17
BL0
BL1
BL2
BL3
BL4
BL5
OBL1
OBL2
OBL3
OBL4
SEL1
SEL2
SEL3
SEL4
01
00
10
C11
C21
C12
C22
C13
C23
C14
C24
M10
M20
M30
M11
M21
M31
M12
M22
M32
M13
M23
M33
M14
M24
M34
M15
M25
M35
12
11

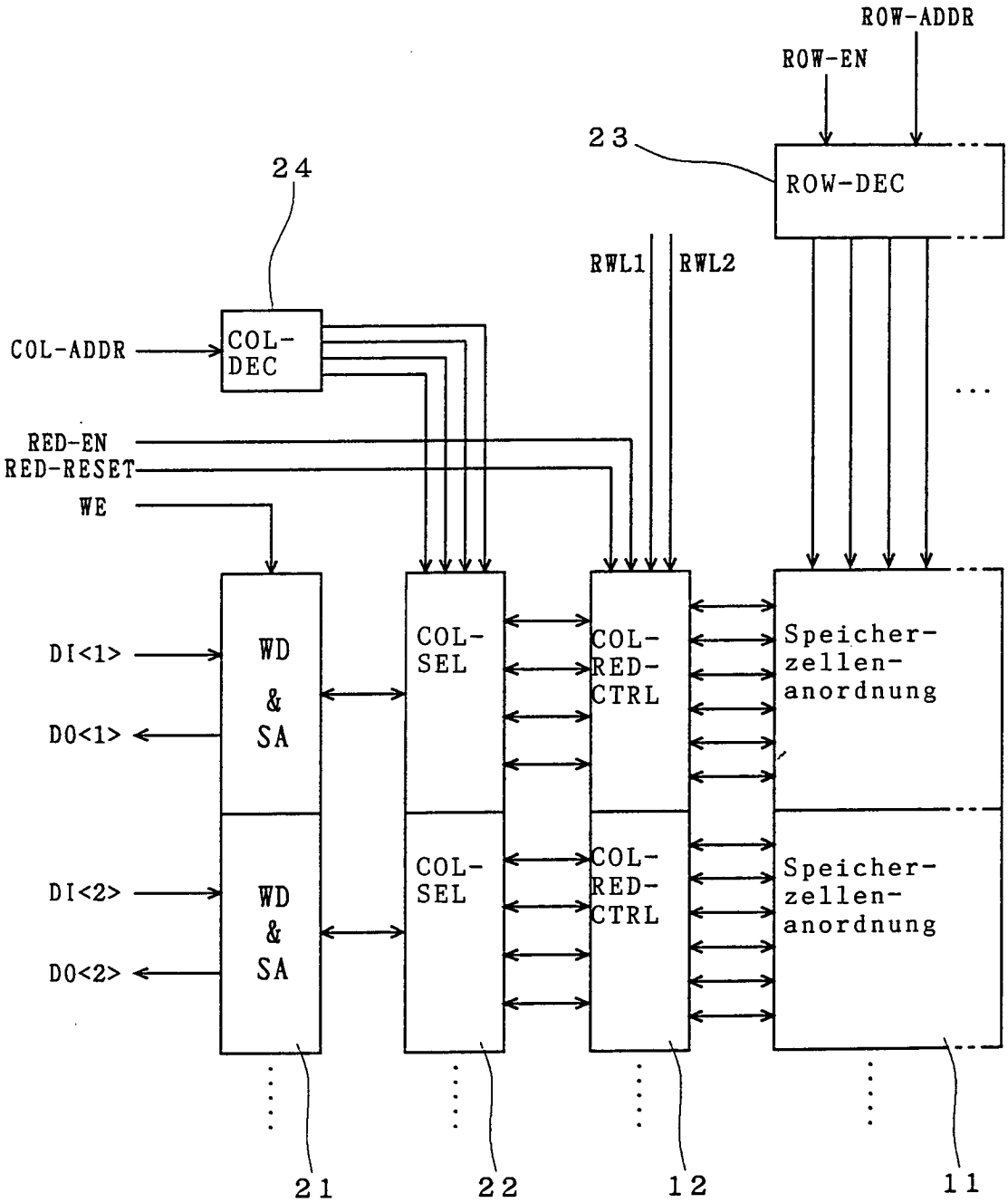
F I G. 5


WL0
WL1
WL2
WL3
WL4
WL5
BIT0
BIT0B
BIT1
BIT1B
BIT2
BIT2B
BIT3
BIT3B
BIT4
BIT4B
BIT5
BIT5B
M00
M10
M20
M30
M40
M50
M01
M11
M21
M31
M41
M51
M02
M12
M22
M32
M42
M52
M03
M13
M23
M33
M43
M53
M04
M14
M24
M34
M44
M54
M05
M15
M25
M35
M45
M55
11

F I G. 6


BIT0
BL0
BIT0B
RED-
RESET
RWL1
RWL2
17
16
SEL1
C11
C21
0BIT1
0BL1
0BIT1B
BIT1B
BL1
BIT1B
SEL2
C12
C22
0BIT2
0BL2
0BIT2B
BIT2
BL2
BIT2B
SEL3
C13
C23
0BIT3
0BL3
0BIT3B
BIT3
BL3
BIT3B
SEL4
C14
C24
0BIT4
0BL4
0BIT4B
BIT4
BL4
BIT4B
BIT5
BL5
BIT5B
12

F I G. 7


ROW-ADDR
ROW-EN
23
ROW-DEC
24
RWL1
RWL2
COL-ADDR
COL-DEC
RED-EN
RED-RESET
WE
DI<1>
DO<1>
DI<2>
DO<2>
WD & SA
WD & SA
COL-SEL
COL-SEL
COL-RED-CTRL
COL-RED-CTRL
Speicher-zellen-anordnung
Speicher-zellen-anordnung
21
22
12
11

F I G. 8

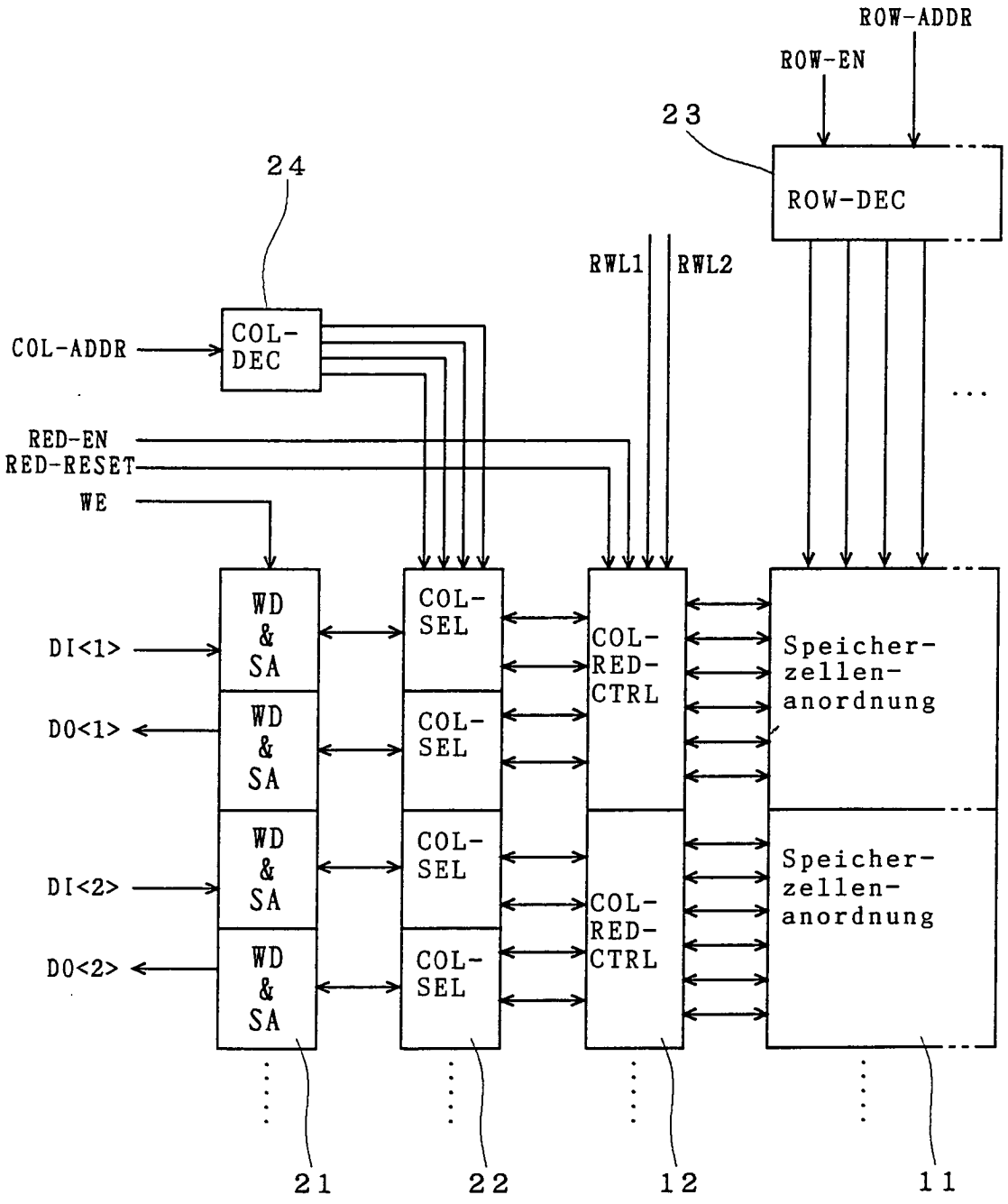

ROW-ADDR
ROW-EN
23
24
ROW-DEC
RWL1
RWL2
COL-ADDR
COL-DEC
RED-EN
RED-RESET
WE
DI<1>
DO<1>
DI<2>
DO<2>
WD & SA
COL-SEL
COL-RED-CTRL
Speicher-zellen-anordnung
21
22
12
11

FIG. 9

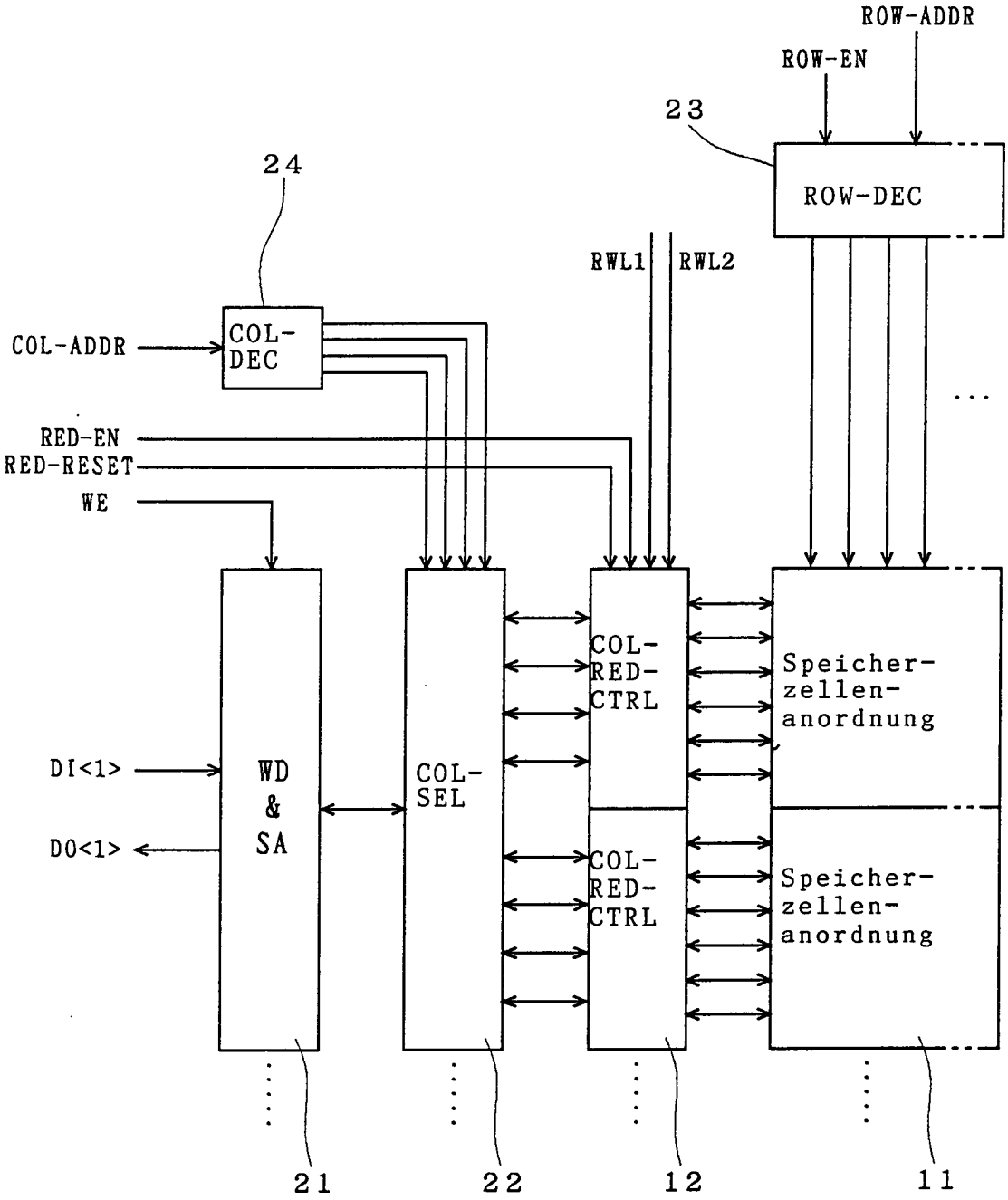
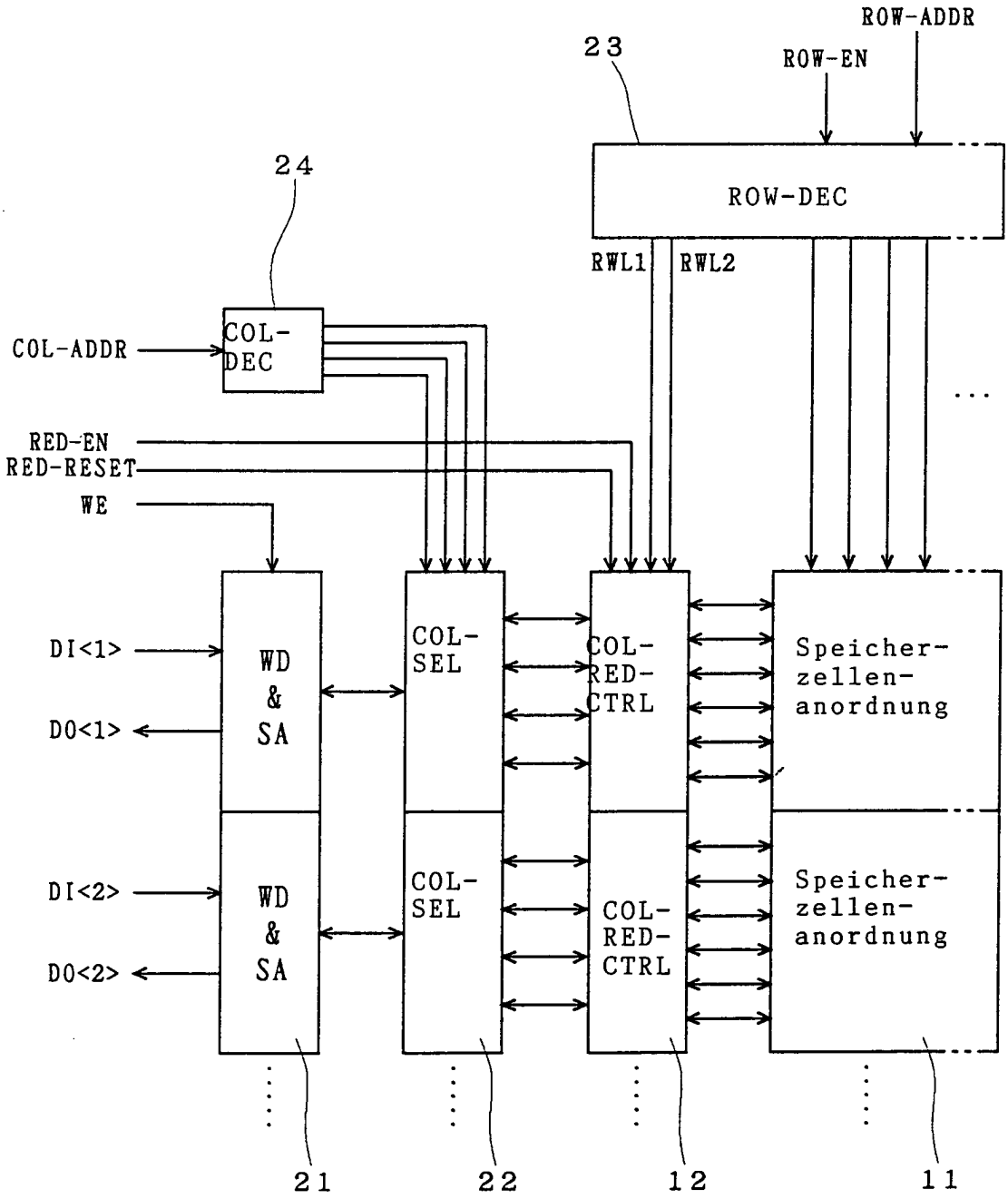

ROW-ADDR
ROW-EN
23
ROW-DEC
24
RWL1
RWL2
COL-ADDR
COL-DEC
RED-EN
RED-RESET
WE
DI<1>
DO<1>
WD & SA
COL-SEL
COL-RED-CTRL
COL-RED-CTRL
Speicher-zellen-anordnung
Speicher-zellen-anordnung
21
22
12
11

FIG. 10


ROW-ADDR
23
ROW-EN
24
ROW-DEC
RWL1
RWL2
COL-ADDR
COL-DEC
RED-EN
RED-RESET
WE
DI<1>
DO<1>
DI<2>
DO<2>
WD & SA
WD & SA
COL-SEL
COL-SEL
COL-RED-CTRL
COL-RED-CTRL
Speicher-zellen-anordnung
Speicher-zellen-anordnung
21
22
12
11

F I G. 1 1

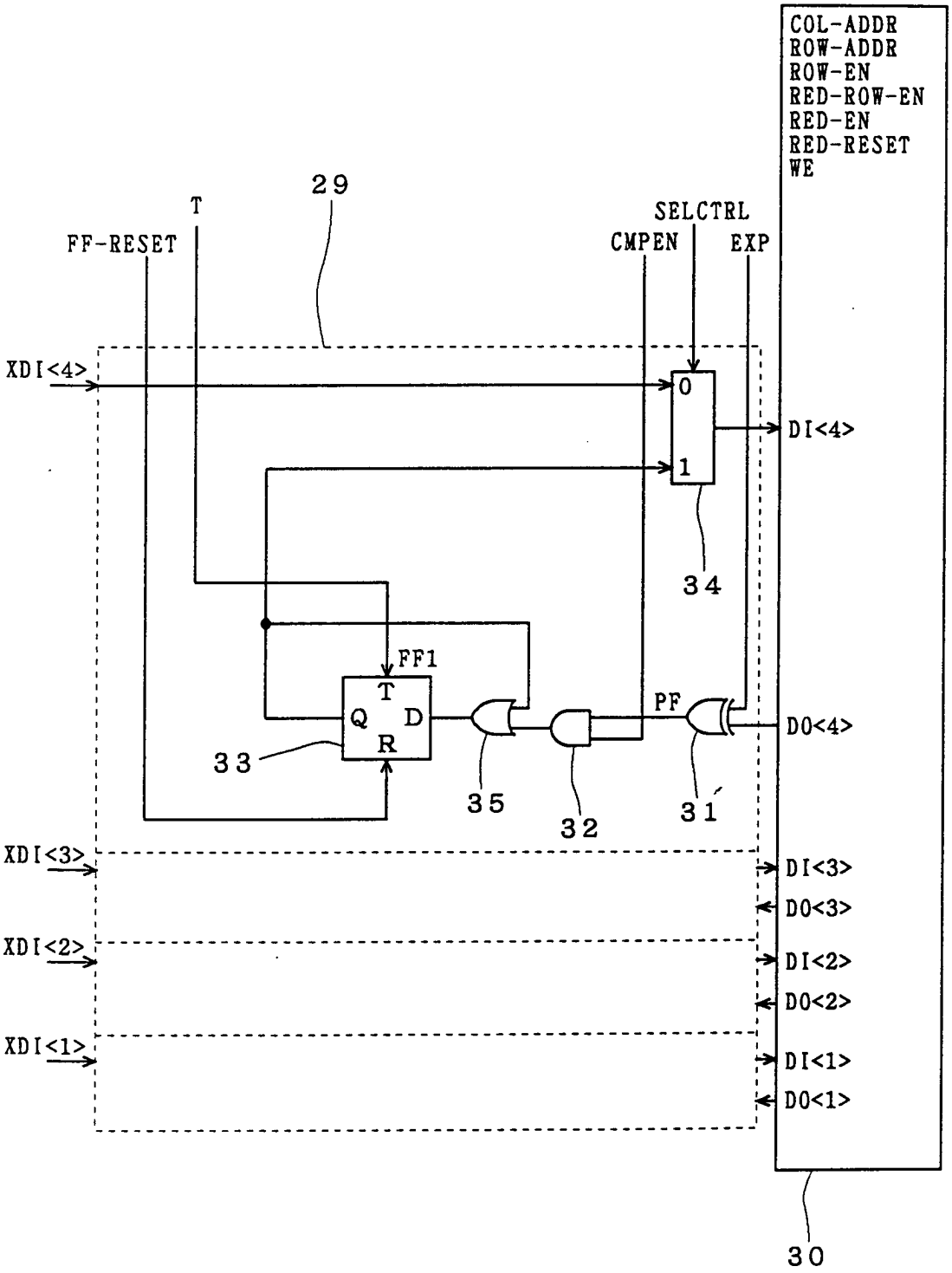

COL-ADDR
ROW-ADDR
ROW-EN
RED-ROW-EN
RED-EN
RED-RESET
WE
29
T
FF-RESET
SELCTRL
CMPEN
EXP
XDI<4>
0
1
DI<4>
34
FF1
T
Q
D
R
PF
DO<4>
33
35
32
31
XDI<3>
DI<3>
DO<3>
XDI<2>
DI<2>
DO<2>
XDI<1>
DI<1>
DO<1>
30

FIG. 12

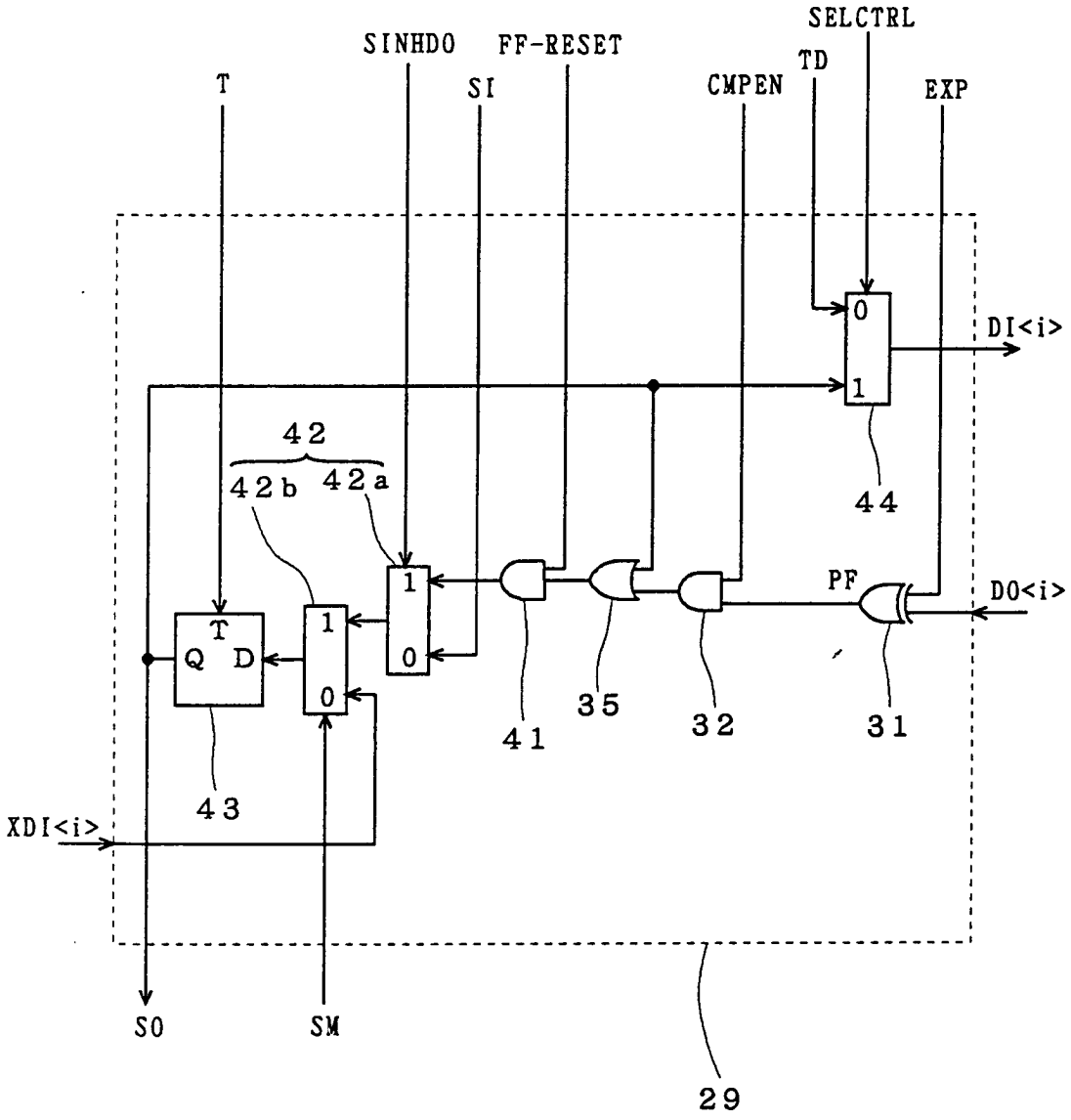

SELCTRL
SINHDO
FF-RESET
TD
T
SI
CMPEN
EXP
DI<i>
0
1
44
42
42b
42a
1
0
T
Q D
1
0
PF
DO<i>
41
35
32
31
43
XDI<i>
SO
SM
29

FIG. 13

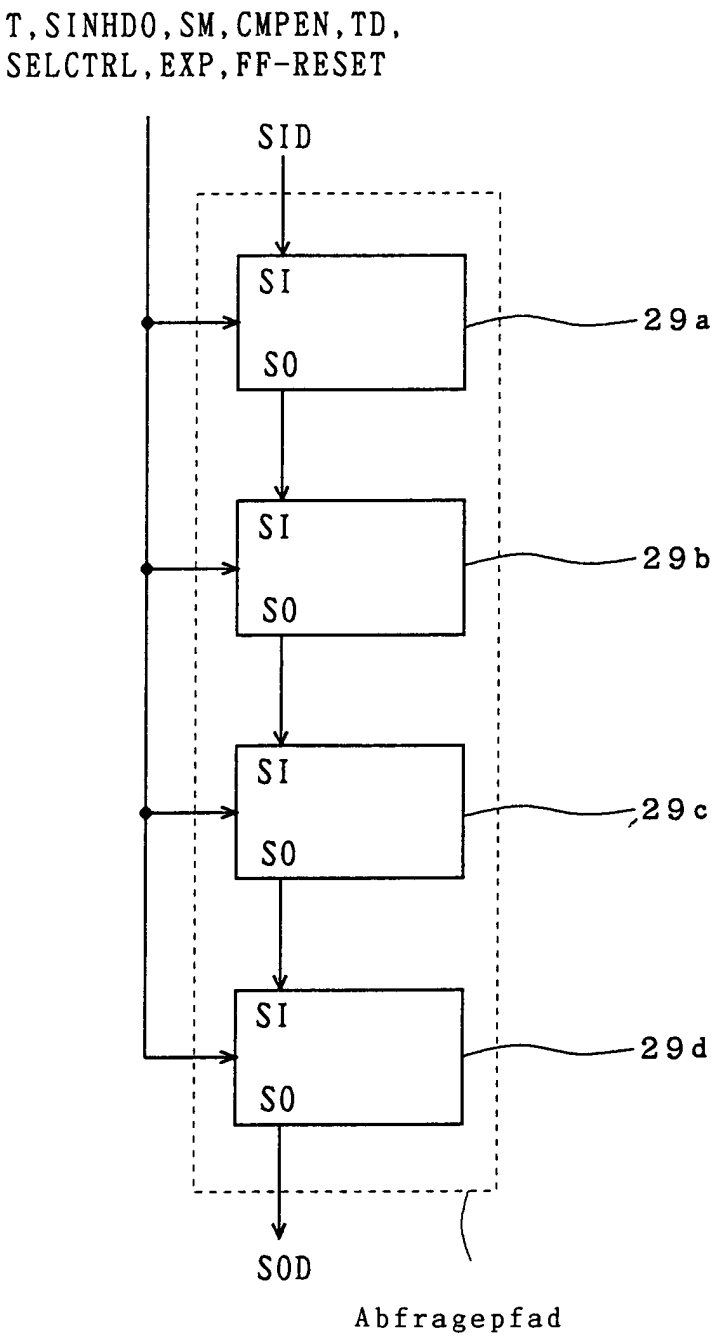

T,SINHDO,SM,CMPEN,TD,
SELCTRL,EXP,FF-RESET
SID
SI
SO
29a
SI
SO
29b
SI
SO
29c
SI
SO
29d
SOD
Abfragepfad

FIG. 14

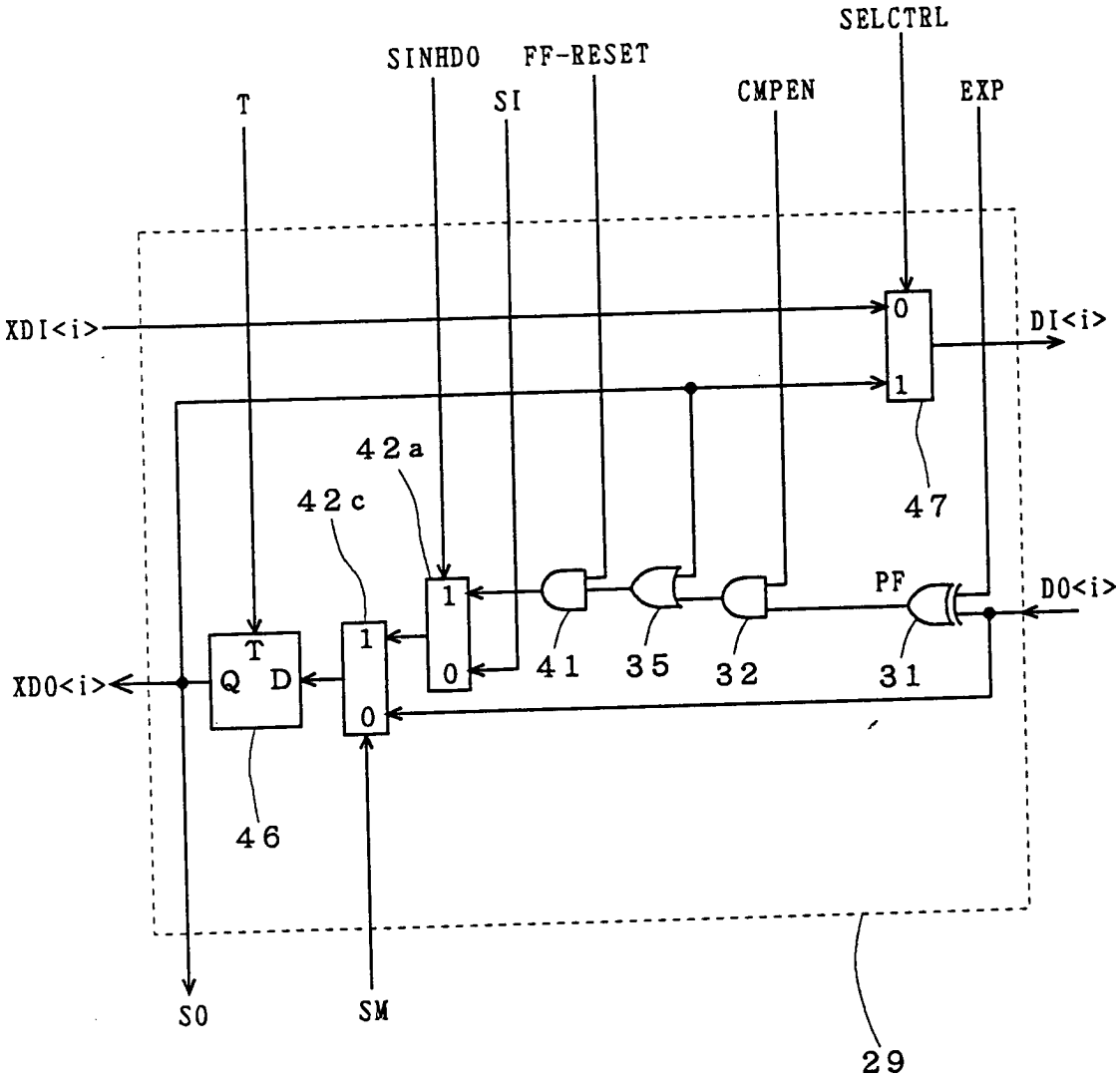

SELCTRL
SINHDO
FF-RESET
T
SI
CMPEN
EXP
XDI<i>
DI<i>
0
1
42a
42c
47
1
PF
DO<i>
T
1
XDO<i>
Q
D
0
0
41
35
32
31
46
SO
SM
29

FIG. 15

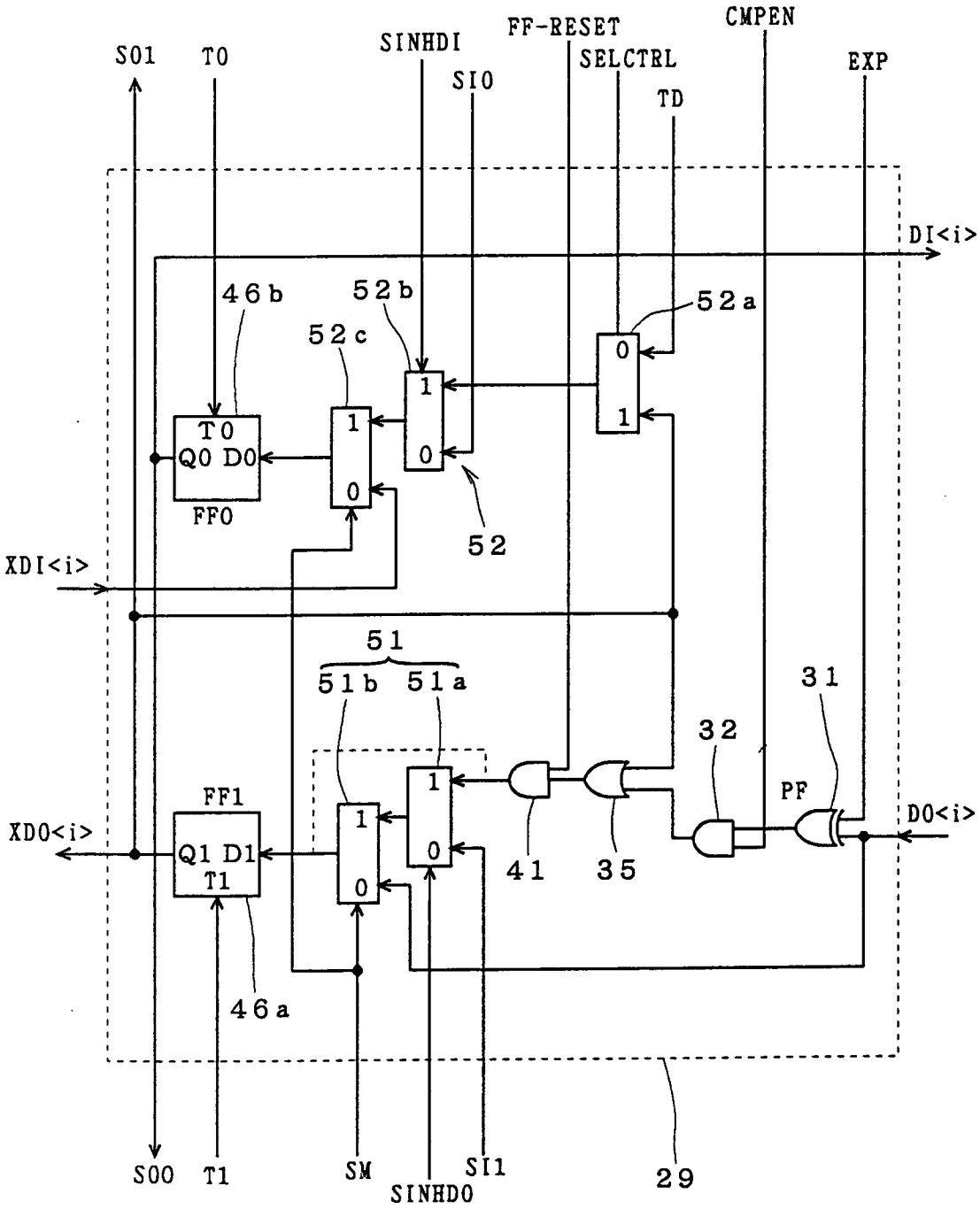
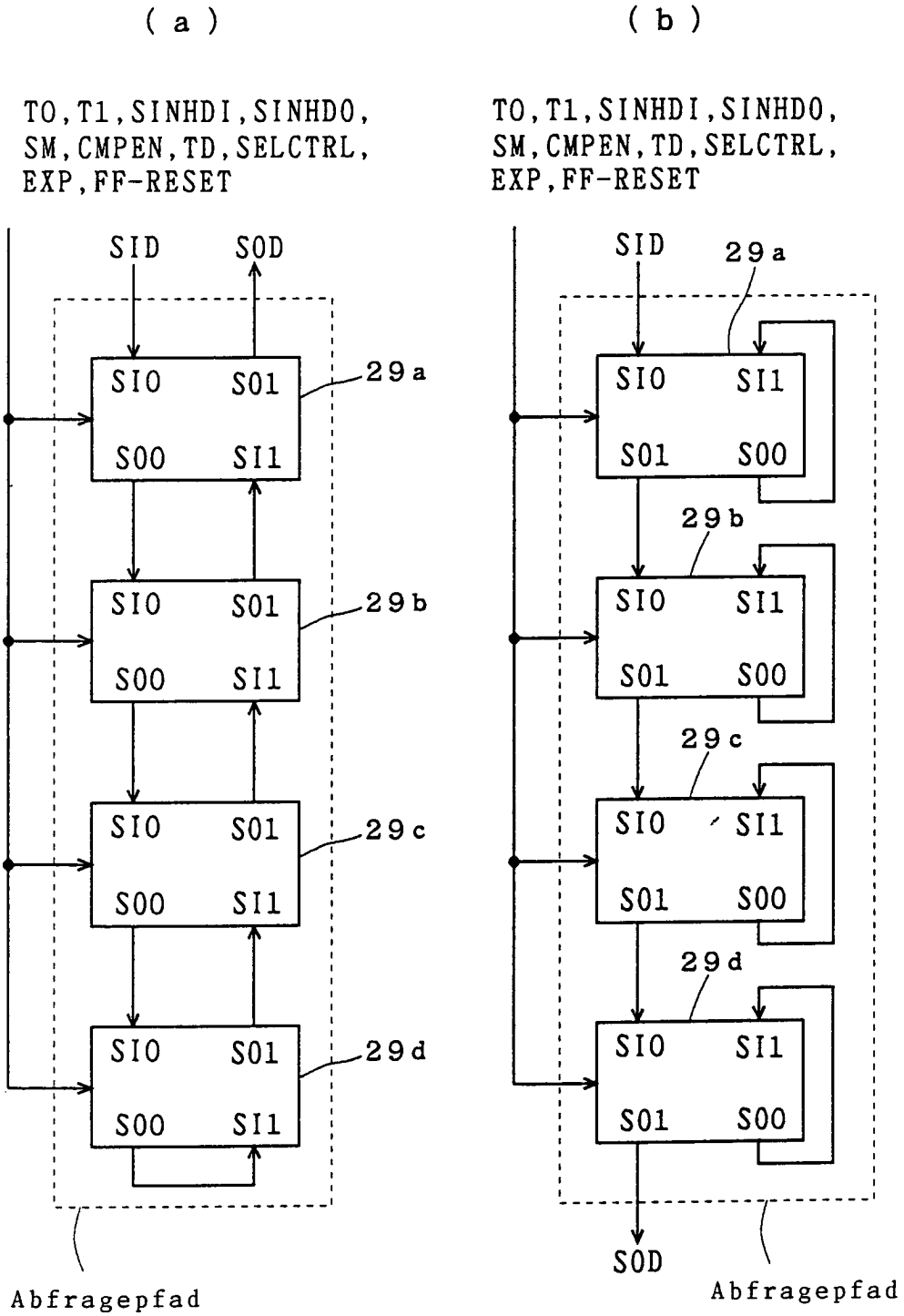
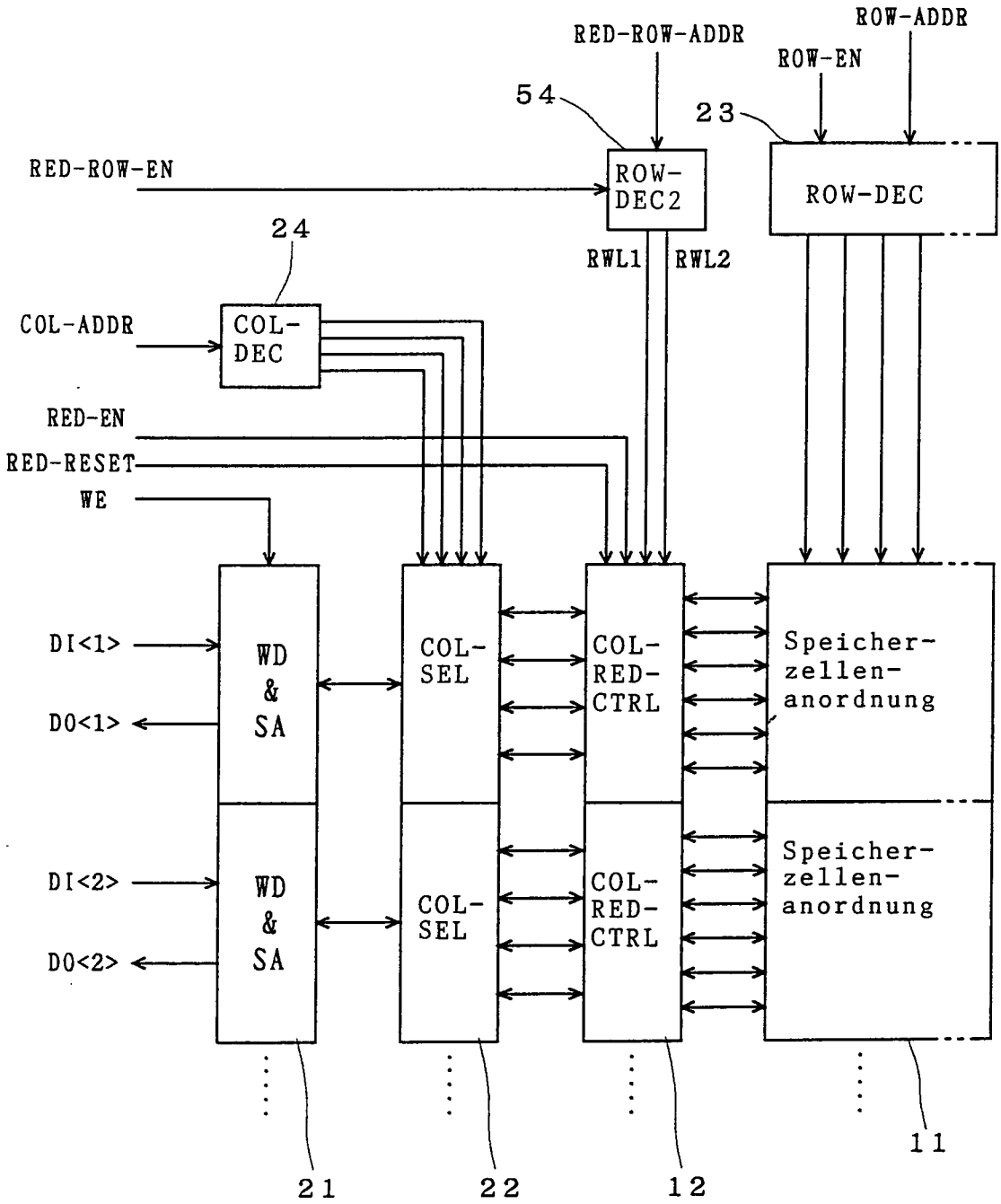

SO1
T0
SINHDI
SI0
FF-RESET
SELCTRL
TD
CMPEN
EXP
DI<i>
46b
52b
52c
52a
T0
Q0 D0
FF0
52
XDI<i>
51
51b
51a
31
32
PF
DO<i>
FF1
XDO<i>
Q1 D1
T1
41
35
46a
SO0
T1
SM
SINHDO
SI1
29

FIG. 16


(a)
TO,T1,SINHDI,SINHDO,
SM,CMPEN,TD,SELCTRL,
EXP,FF-RESET
SID
SOD
SI0
SO1
SO0
SI1
29a
29b
29c
29d
Abfragepfad
(b)
TO,T1,SINHDI,SINHDO,
SM,CMPEN,TD,SELCTRL,
EXP,FF-RESET
SID
29a
SI0
SI1
SO1
SO0
29b
29c
29d
SOD
Abfragepfad

F I G. 1 7


RED-ROW-ADDR
ROW-ADDR
ROW-EN
54
23
RED-ROW-EN
ROW-DEC2
ROW-DEC
24
RWL1
RWL2
COL-ADDR
COL-DEC
RED-EN
RED-RESET
WE
DI<1>
DO<1>
WD & SA
COL-SEL
COL-RED-CTRL
Speicher-zellen-anordnung
DI<2>
DO<2>
WD & SA
COL-SEL
COL-RED-CTRL
Speicher-zellen-anordnung
21
22
12
11

F I G. 1 8

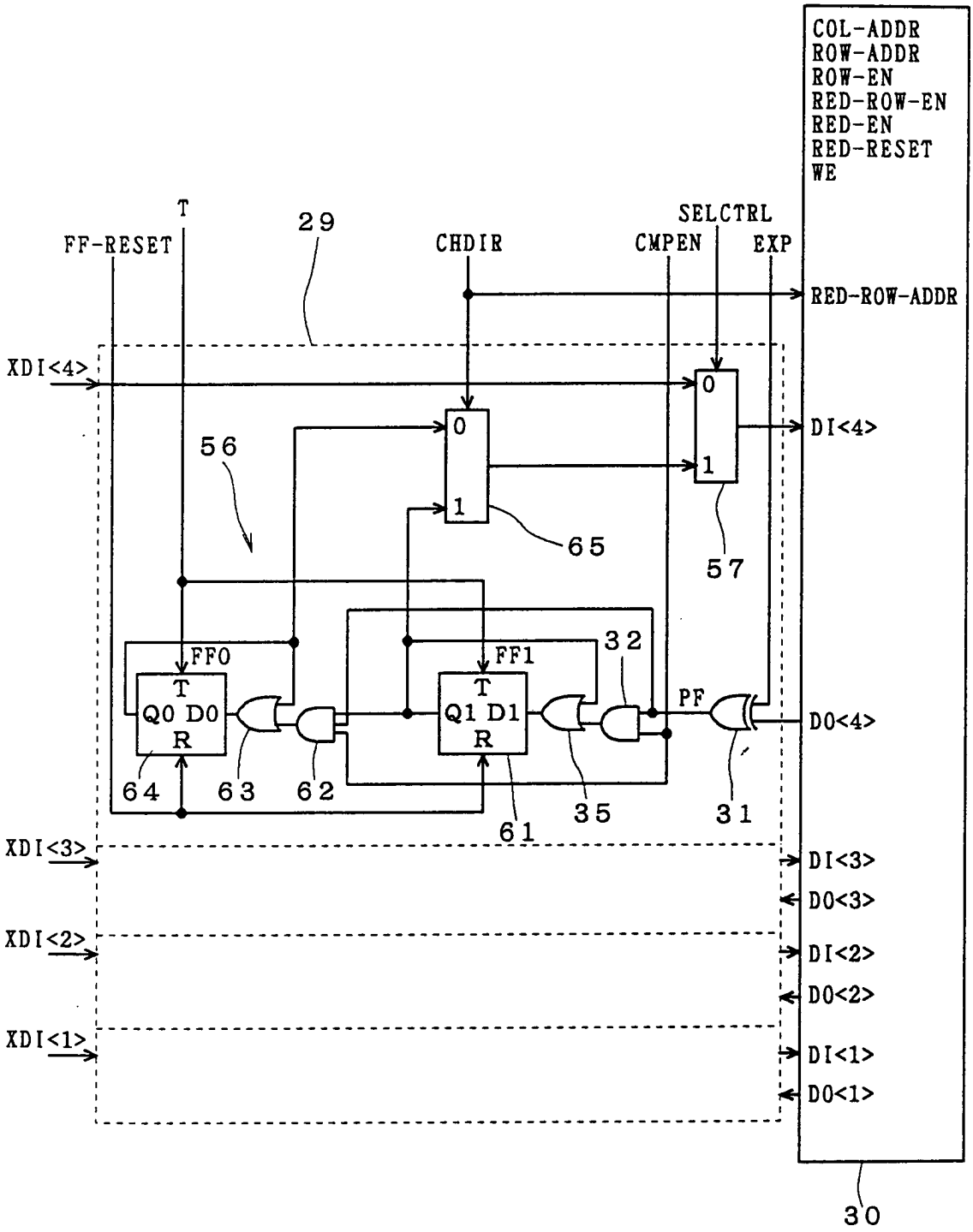

COL-ADDR
ROW-ADDR
ROW-EN
RED-ROW-EN
RED-EN
RED-RESET
WE
T
FF-RESET
29
CHDIR
SELCTRL
CMPEN
EXP
RED-ROW-ADDR
XDI<4>
0
1
DI<4>
56
0
1
65
57
FF0
FF1
32
T
Q0 D0
R
T
Q1 D1
R
PF
DO<4>
64
63
62
61
35
31
XDI<3>
DI<3>
DO<3>
XDI<2>
DI<2>
DO<2>
XDI<1>
DI<1>
DO<1>
30

FIG. 19

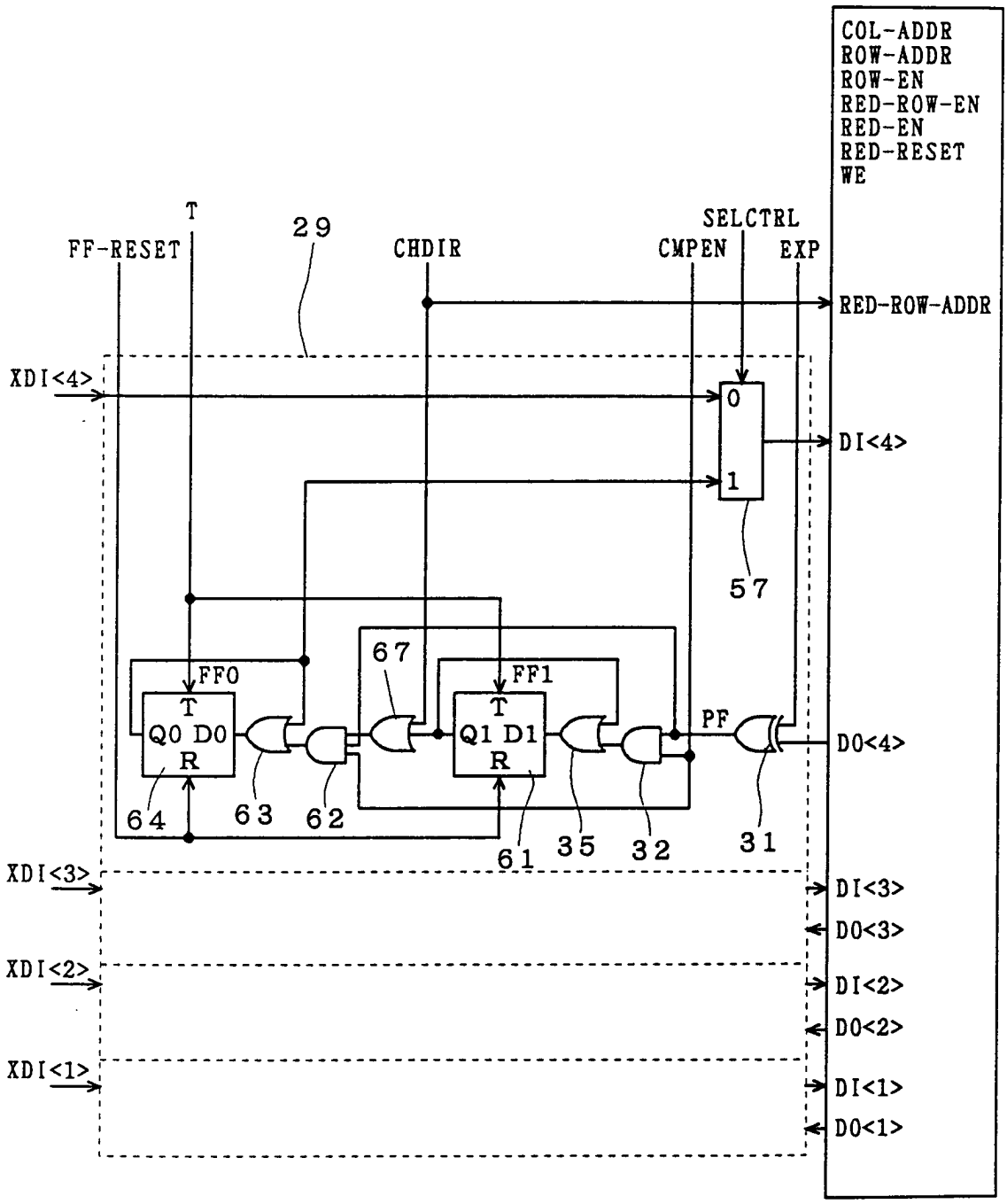

COL-ADDR
ROW-ADDR
ROW-EN
RED-ROW-EN
RED-EN
RED-RESET
WE
T
FF-RESET
29
CHDIR
SELCTRL
CMPEN
EXP
RED-ROW-ADDR
XDI<4>
0
1
DI<4>
57
67
FF0
FF1
T
Q0 D0
R
Q1 D1
PF
DO<4>
64
63
62
61
35
32
31
XDI<3>
DI<3>
DO<3>
XDI<2>
DI<2>
DO<2>
XDI<1>
DI<1>
DO<1>

FIG. 20

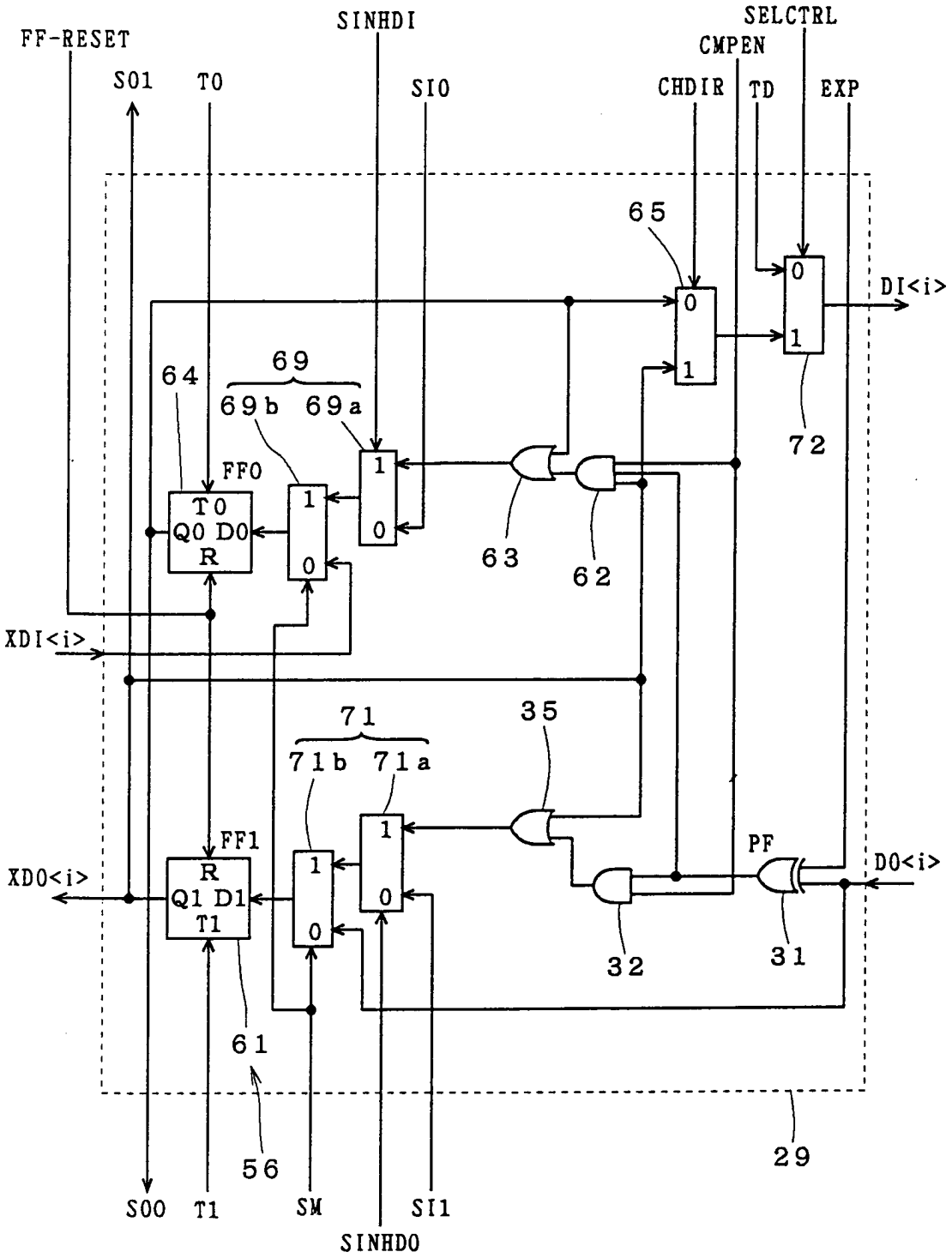

FF-RESET
S01
T0
SINHDI
SI0
SELCTRL
CMPEN
CHDIR
TD
EXP
65
DI<i>
64
69
69b
69a
FF0
T0
Q0 D0
R
72
63
62
XDI<i>
71
71b
71a
35
FF1
R
Q1 D1
T1
PF
DO<i>
XDO<i>
32
31
61
56
29
S00
T1
SM
SINHDO
SI1

FIG. 21

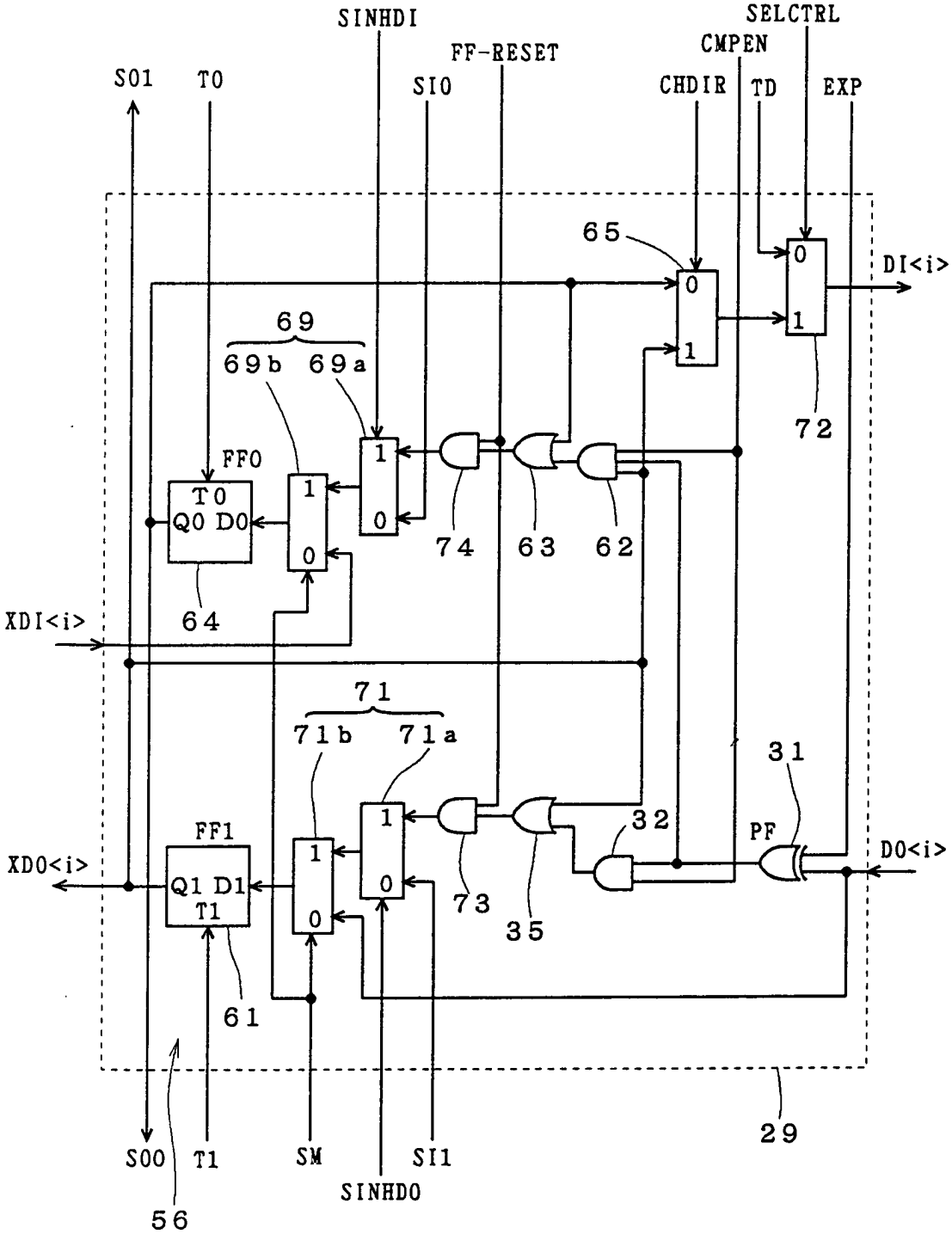

SINHDI
SELCTRL
CMPEN
FF-RESET
S01
T0
SI0
CHDIR
TD
EXP
65
DI<i>
69
69b
69a
72
FF0
T0
Q0 D0
74
63
62
64
XDI<i>
71
71b
71a
31
32
PF
FF1
XDO<i>
Q1 D1
T1
DO<i>
73
35
61
29
S00
T1
SM
SI1
SINHDO
56

FIG. 22

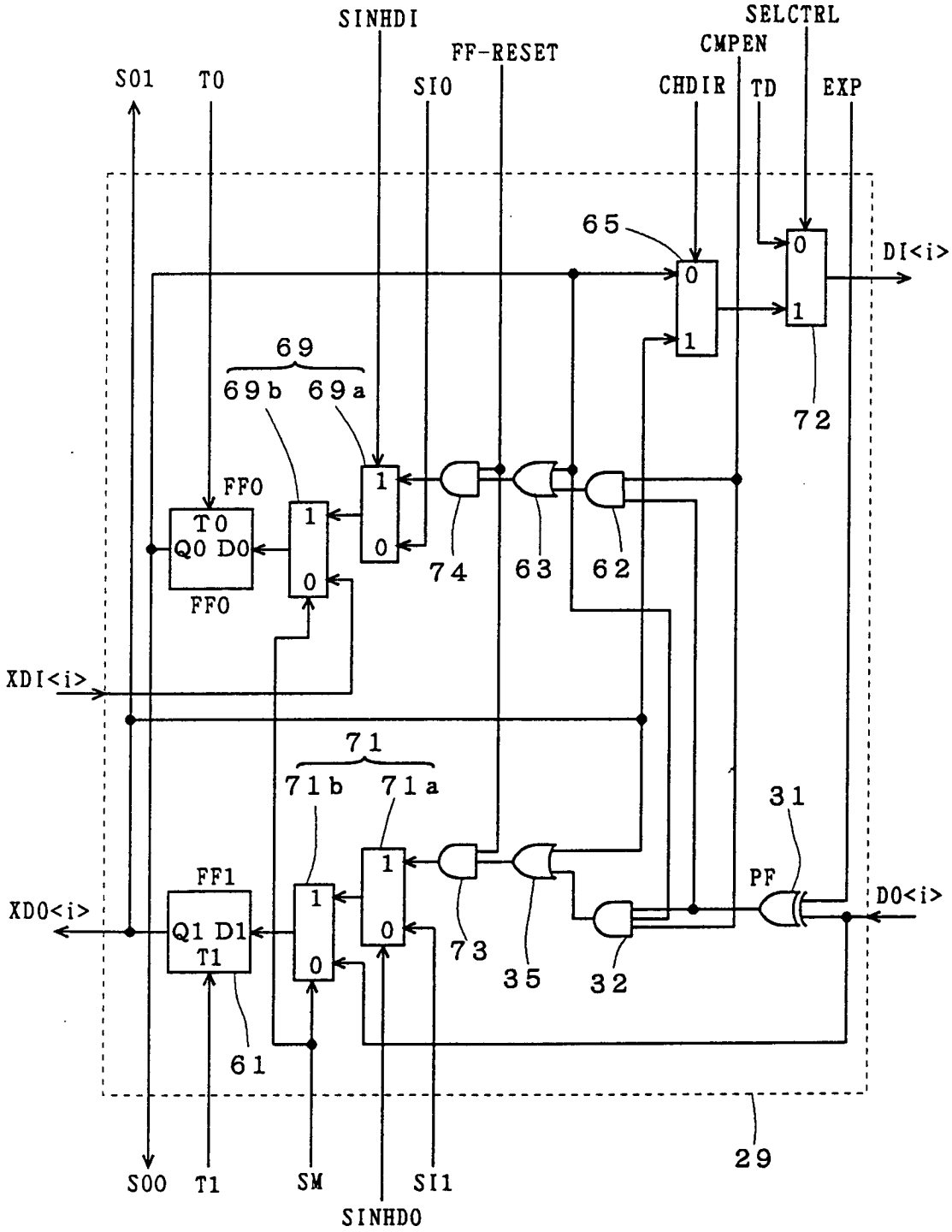

SINHDI
SELCTRL
FF-RESET
CMPEN
SO1
T0
SI0
CHDIR
TD
EXP
65
DI<i>
69
69b
69a
72
FF0
T0
Q0 D0
FF0
74
63
62
XDI<i>
71
71b
71a
31
FF1
PF
XDO<i>
Q1 D1
T1
DO<i>
73
35
32
61
29
SO0
T1
SM
SI1
SINHDO

FIG. 23

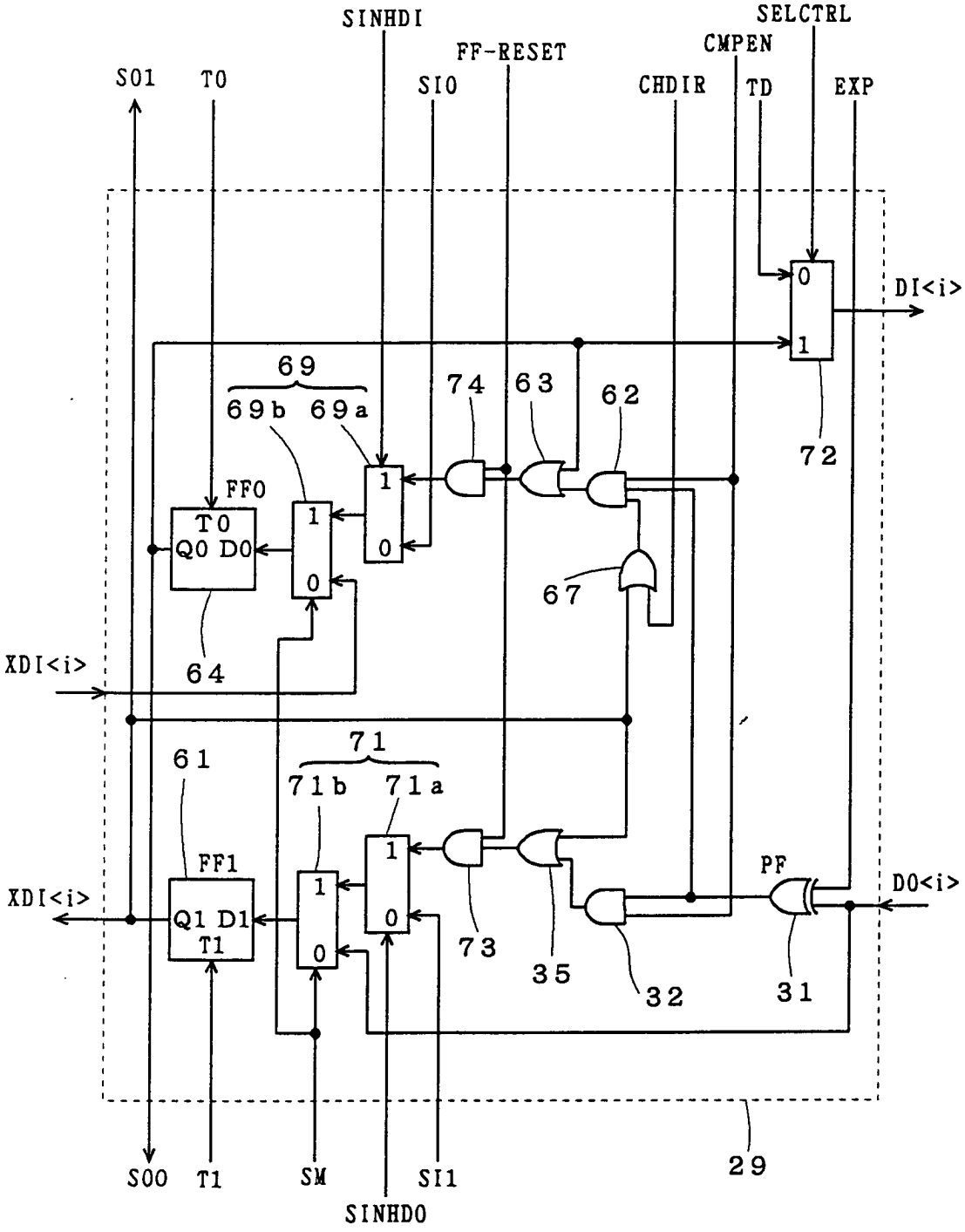

SINHDI
SELCTRL
FF-RESET
CMPEN
SO1
T0
SI0
CHDIR
TD
EXP
DI<i>
69
69b
69a
74
63
62
72
FF0
T0
Q0 D0
64
67
XDI<i>
71
61
71b
71a
FF1
Q1 D1
T1
XDI<i>
PF
DO<i>
73
35
32
31
29
SO0
T1
SM
SI1
SINHDO

FIG. 24

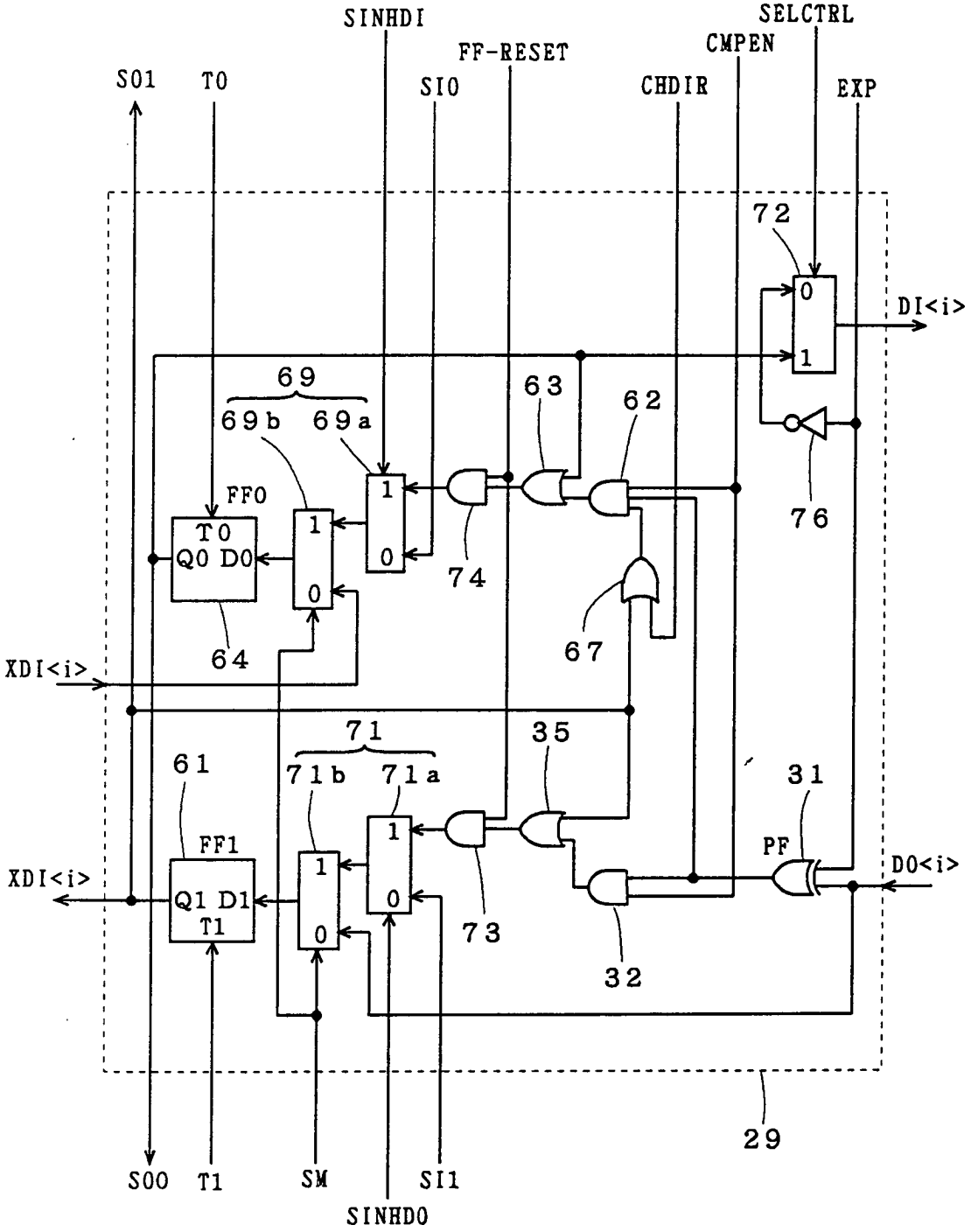

SINHDI
SELCTRL
CMPEN
FF-RESET
SO1
T0
SI0
CHDIR
EXP
72
DI<i>
69
69b
69a
63
62
FF0
T0
Q0 D0
64
74
67
76
XDI<i>
71
35
61
71b
71a
31
FF1
PF
XDI<i>
Q1 D1
T1
DO<i>
73
32
29
SO0
T1
SM
SI1
SINHDO

FIG. 25

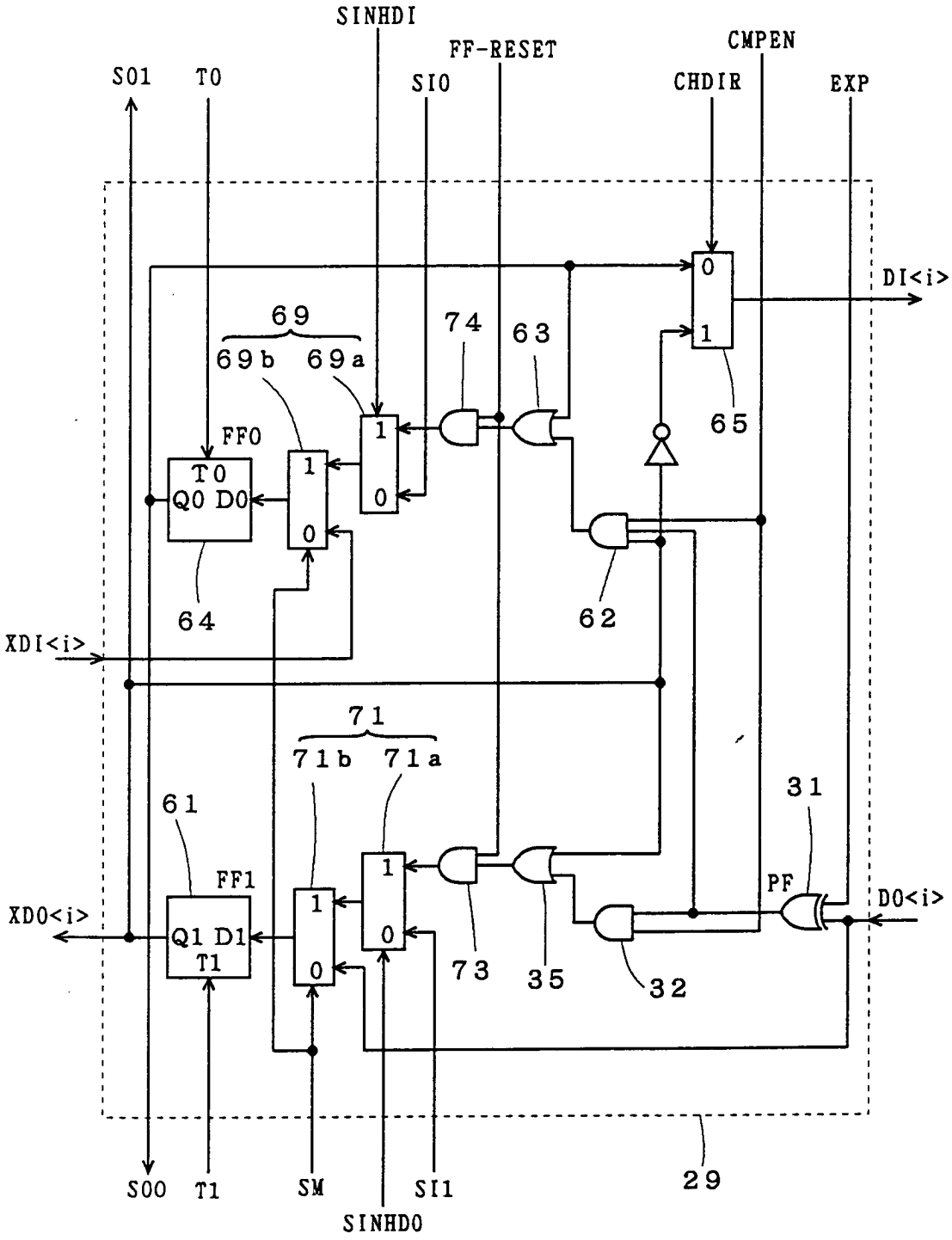
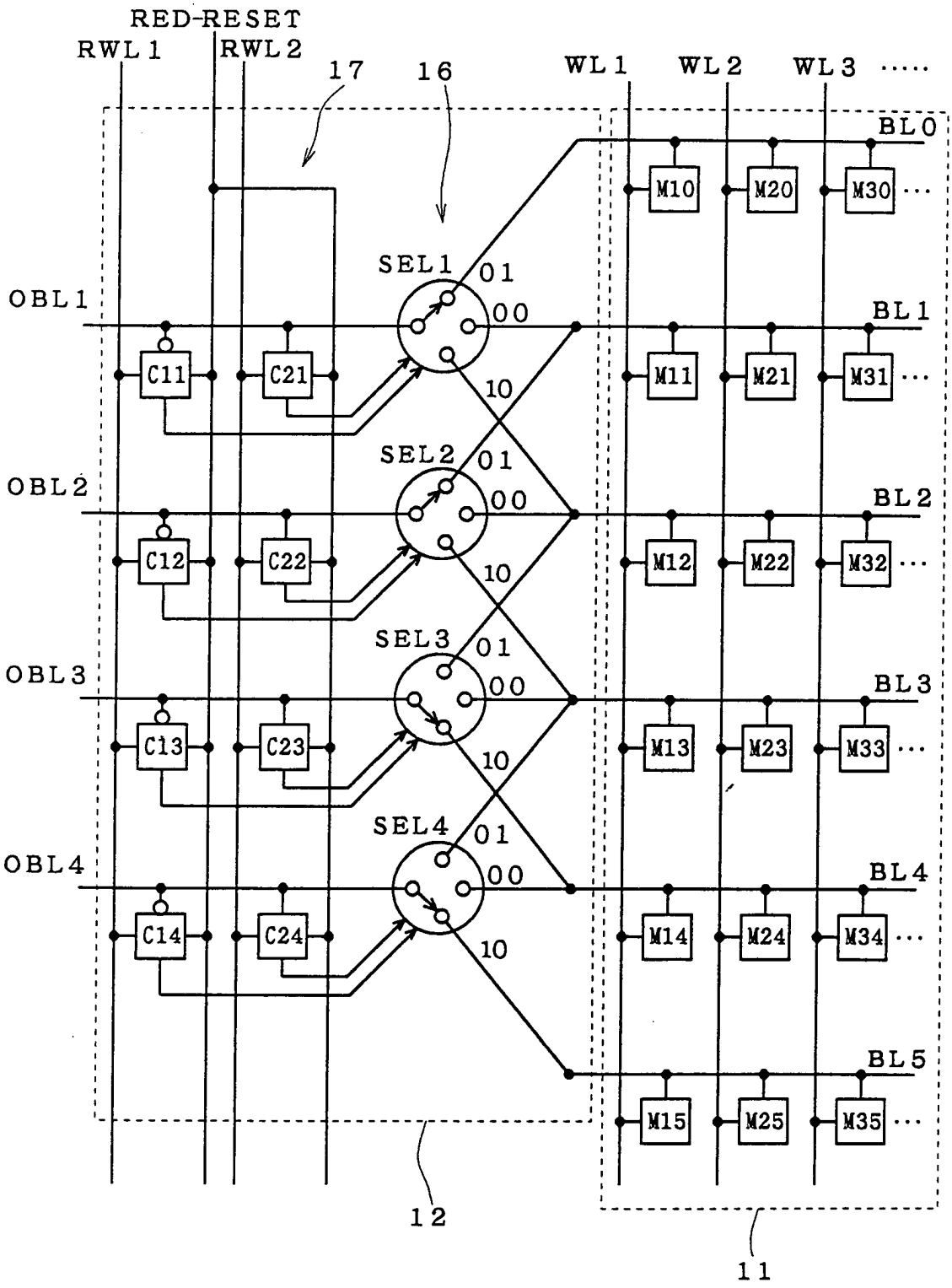

SINHDI
FF-RESET
CMPEN
SO1
T0
SI0
CHDIR
EXP
DI<i>
69
69b
69a
74
63
65
FF0
T0
Q0 D0
64
62
XDI<i>
71
71b
71a
61
31
FF1
XDO<i>
Q1 D1
T1
PF
DO<i>
73
35
32
29
SO0
T1
SM
SI1
SINHDO

FIG. 26


RED-RESET
RWL1
RWL2
17
16
WL1
WL2
WL3
BL0
BL1
BL2
BL3
BL4
BL5
OBL1
OBL2
OBL3
OBL4
SEL1
SEL2
SEL3
SEL4
01
00
10
C11
C21
C12
C22
C13
C23
C14
C24
M10
M20
M30
M11
M21
M31
M12
M22
M32
M13
M23
M33
M14
M24
M34
M15
M25
M35
12
11

F I G. 2 7

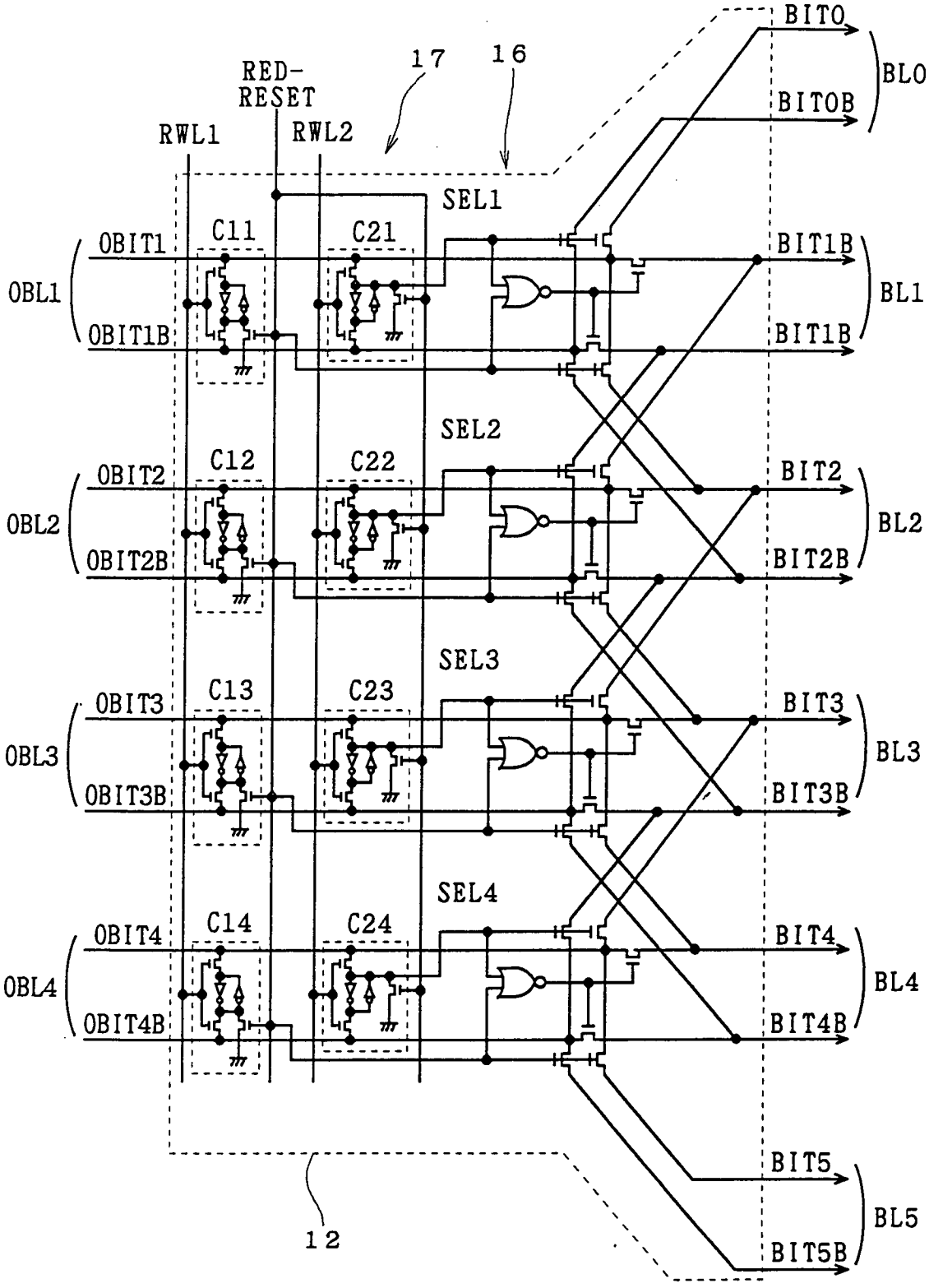

BIT0
BIT0B
BL0
17
16
RED-
RESET
RWL1
RWL2
SEL1
C11
C21
OBIT1
OBL1
OBIT1B
BIT1B
BL1
BIT1B
SEL2
C12
C22
OBIT2
OBL2
OBIT2B
BIT2
BL2
BIT2B
SEL3
C13
C23
OBIT3
OBL3
OBIT3B
BIT3
BL3
BIT3B
SEL4
C14
C24
OBIT4
OBL4
OBIT4B
BIT4
BL4
BIT4B
BIT5
BL5
BIT5B
12

FIG. 28

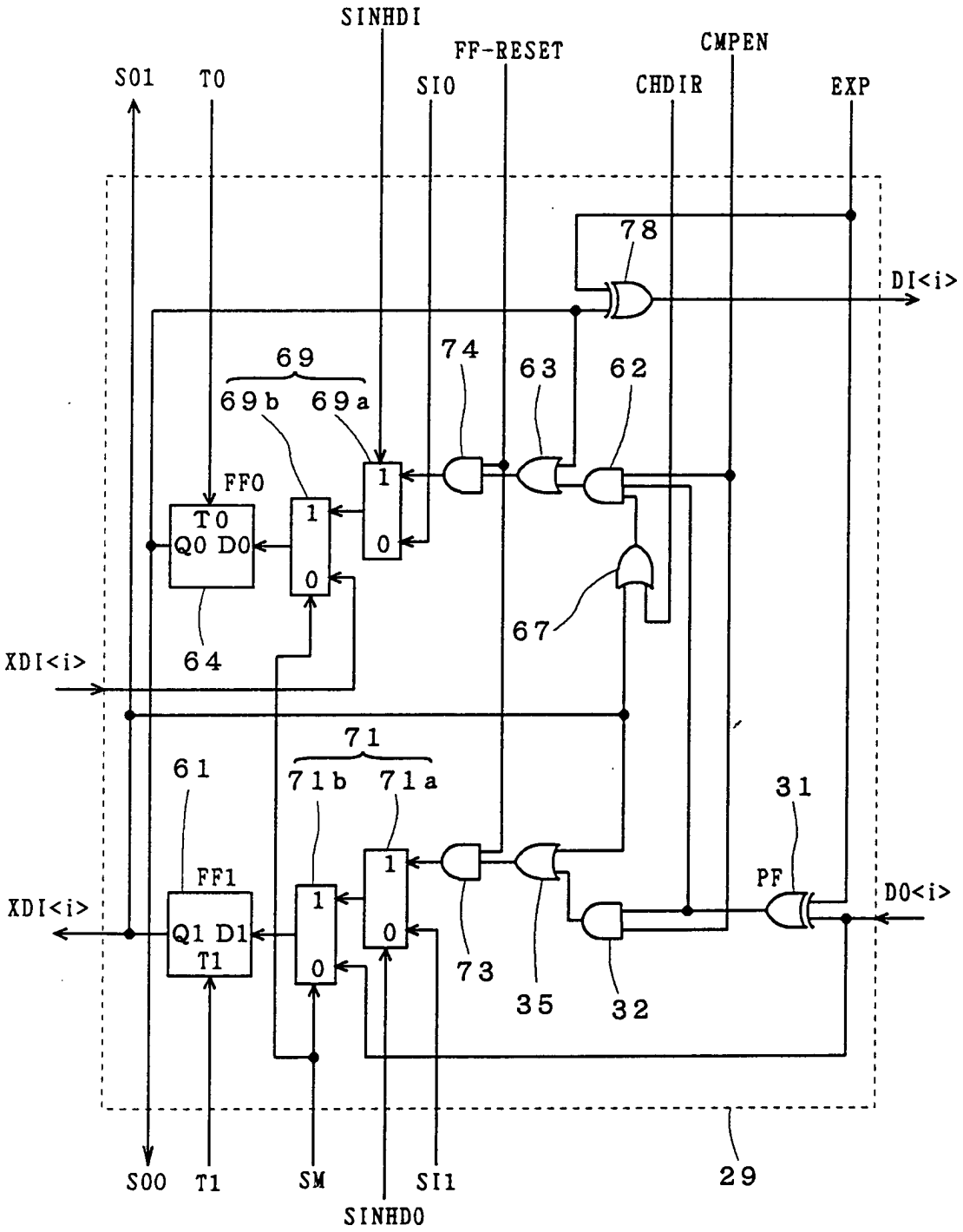

SINHDI
FF-RESET
CMPEN
SO1
T0
SIO
CHDIR
EXP
78
DI<i>
69
74
63
62
69b
69a
FF0
T0
Q0 D0
64
67
XDI<i>
71
61
71b
71a
31
FF1
PF
XDI<i>
Q1 D1
T1
DO<i>
73
35
32
SO0
T1
SM
SI1
29
SINHDO

FIG. 29

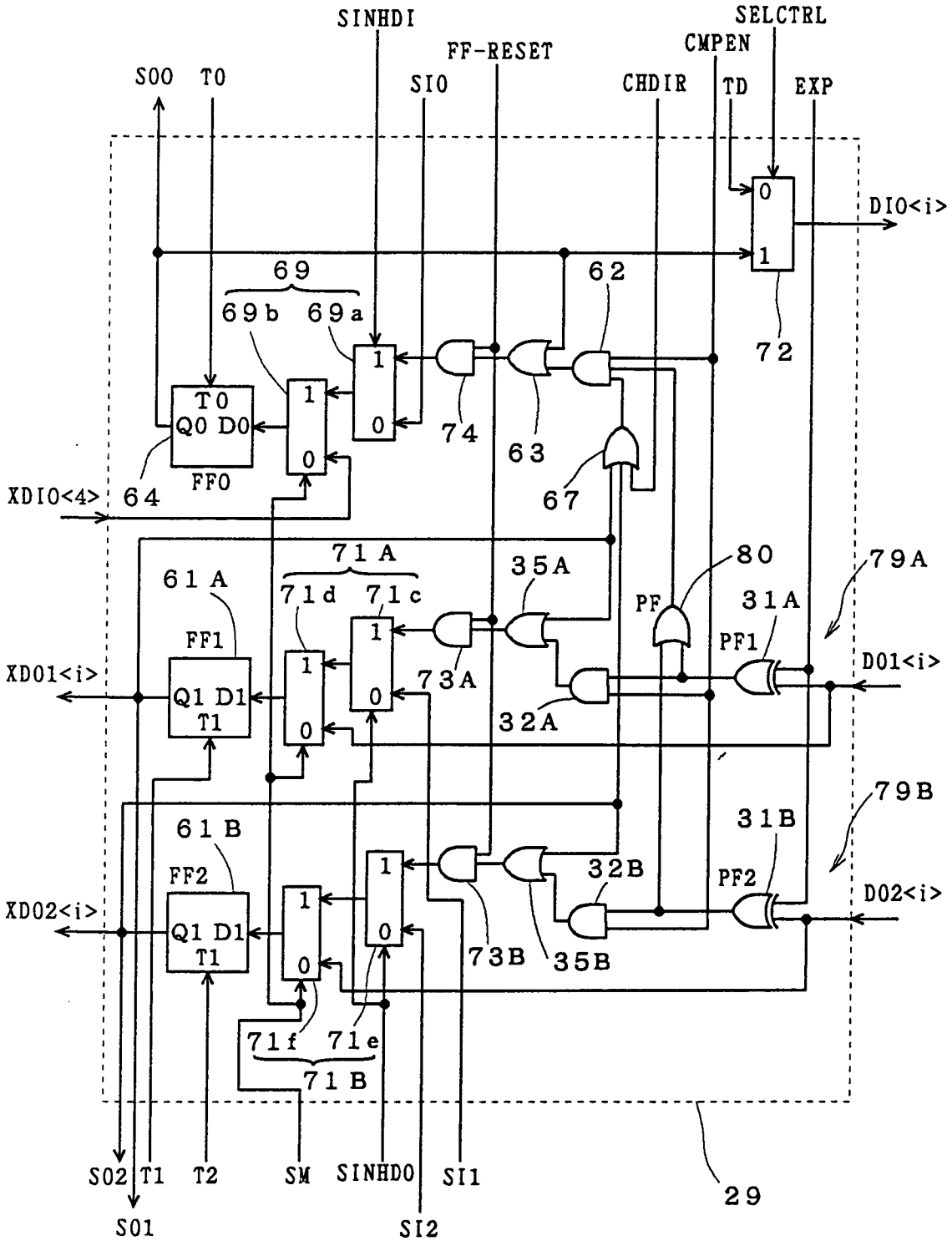

SINHDI
SELCTRL
CMPEN
FF-RESET
SOO
TO
SIO
CHDIR
TD
EXP
DIO<i>
69
69b
69a
62
72
TO
QO DO
FFO
64
74
63
67
XDIO<4>
71A
61A
71d
71c
35A
80
79A
PF
31A
FF1
PF1
XDO1<i>
Q1 D1
T1
73A
32A
DO1<i>
79B
61B
31B
FF2
32B
PF2
XDO2<i>
73B
35B
71f
71e
71B
SO2
T1
T2
SM
SINHDO
SI1
29
SO1
SI2

FIG. 30

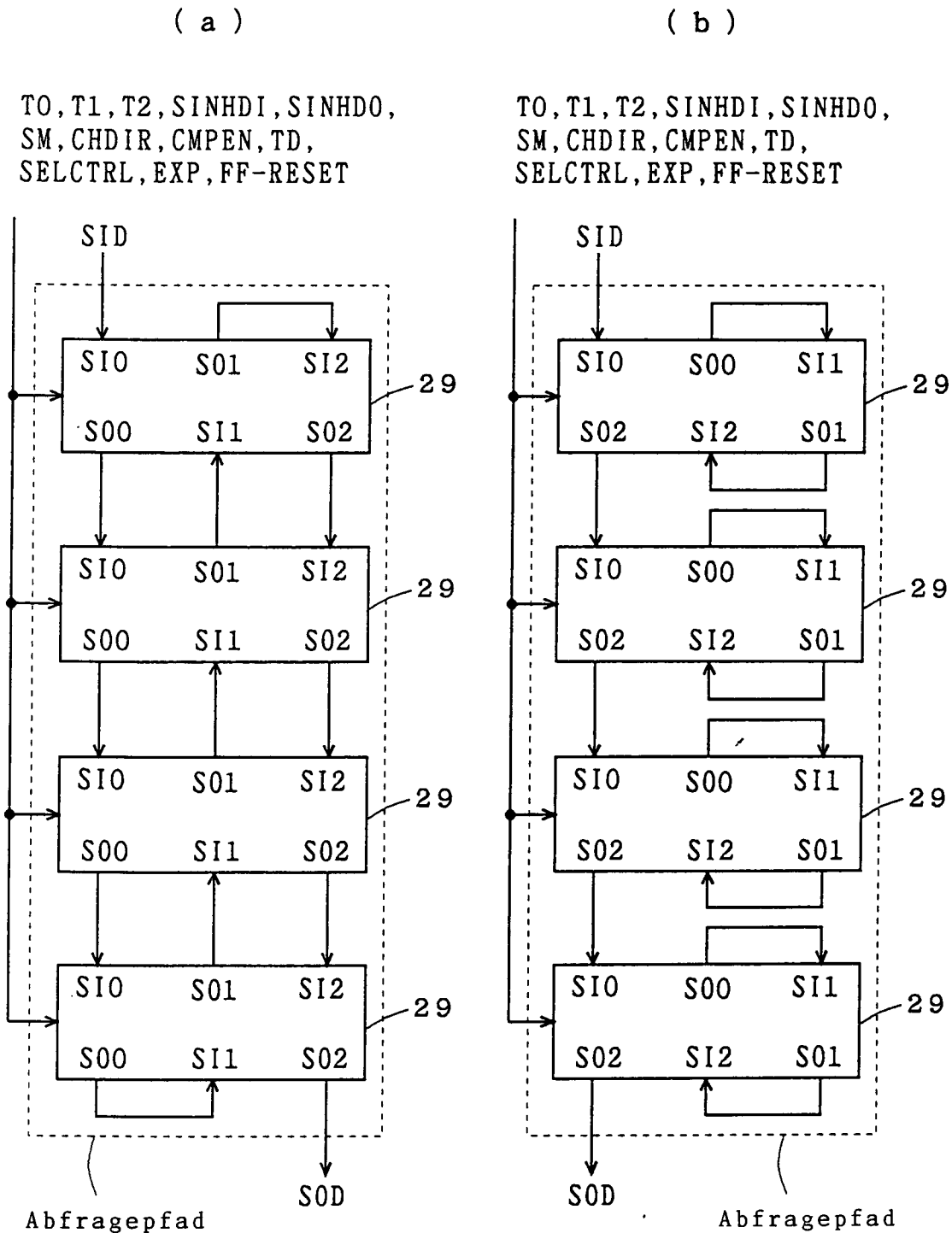

(a)
(b)
TO,T1,T2,SINHDI,SINHDO,
SM,CHDIR,CMPEN,TD,
SELCTRL,EXP,FF-RESET
SID
SI0
S01
SI2
S00
SI1
S02
29
SOD
Abfragepfad

FIG. 31

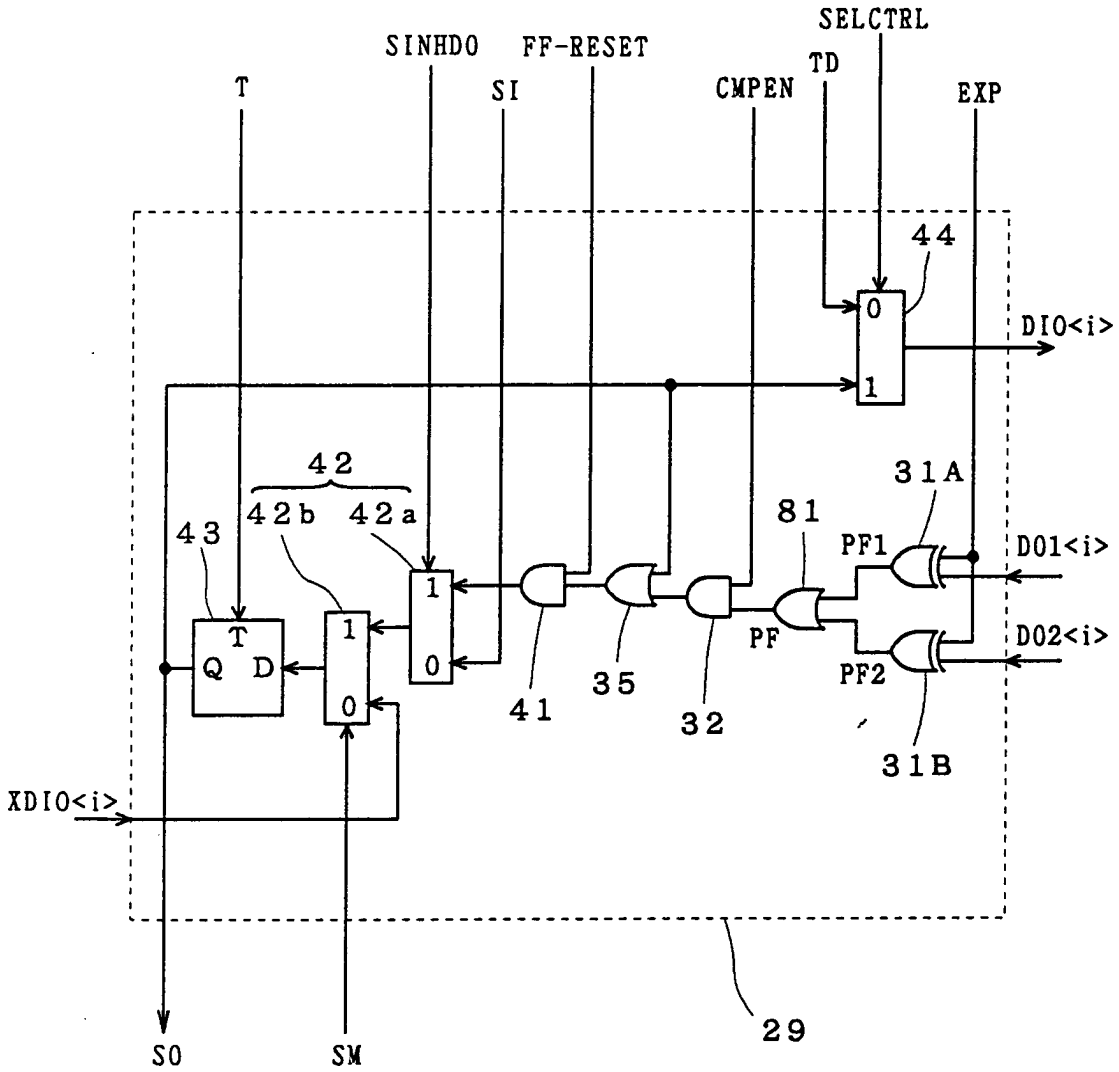

SELCTRL
SINHDO
FF-RESET
TD
T
SI
CMPEN
EXP
44
0
1
DIO<i>
42
42b
42a
31A
81
43
PF1
DO1<i>
T
Q
D
1
0
PF
DO2<i>
PF2
41
35
32
31B
XDIO<i>
29
SO
SM

FIG. 32

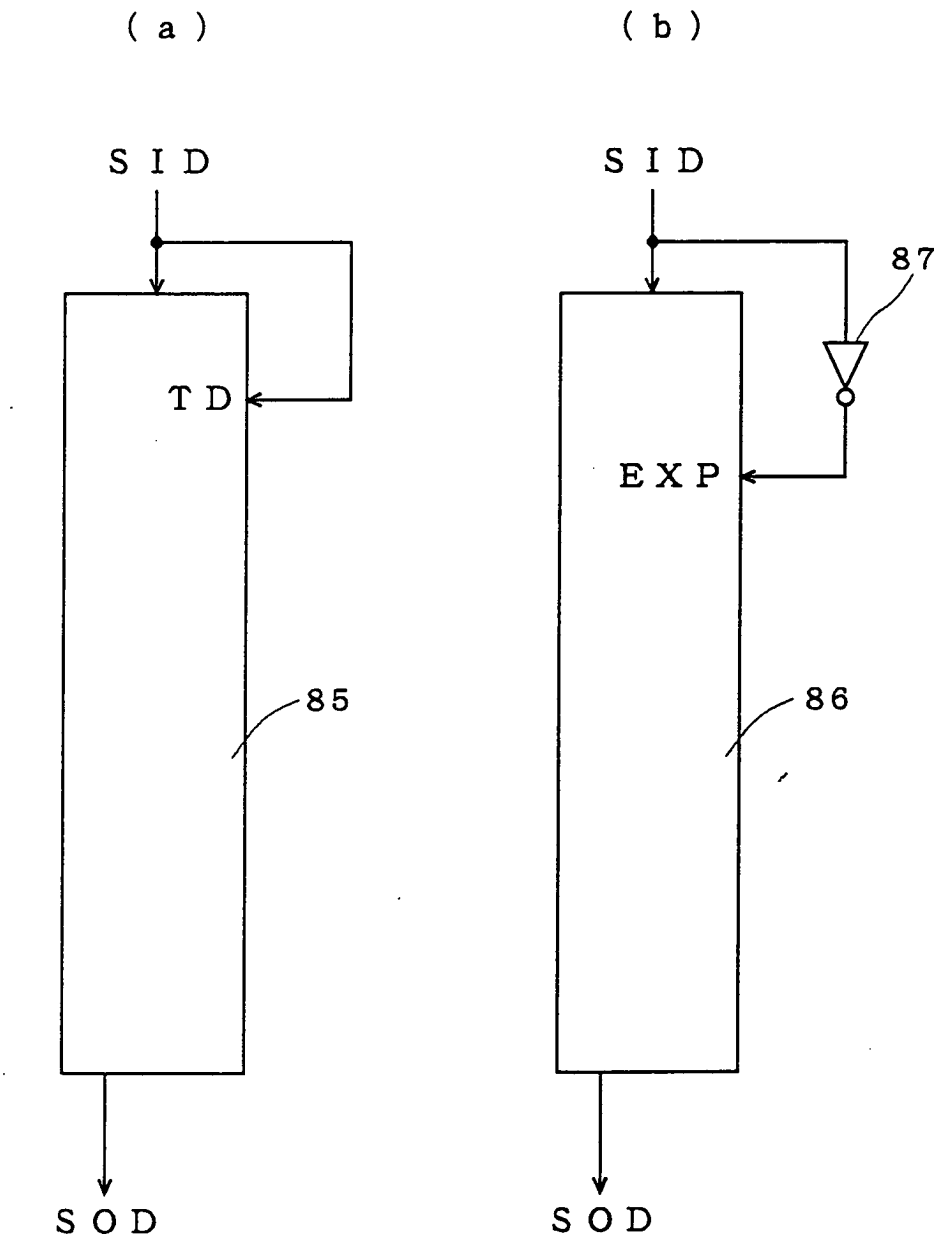
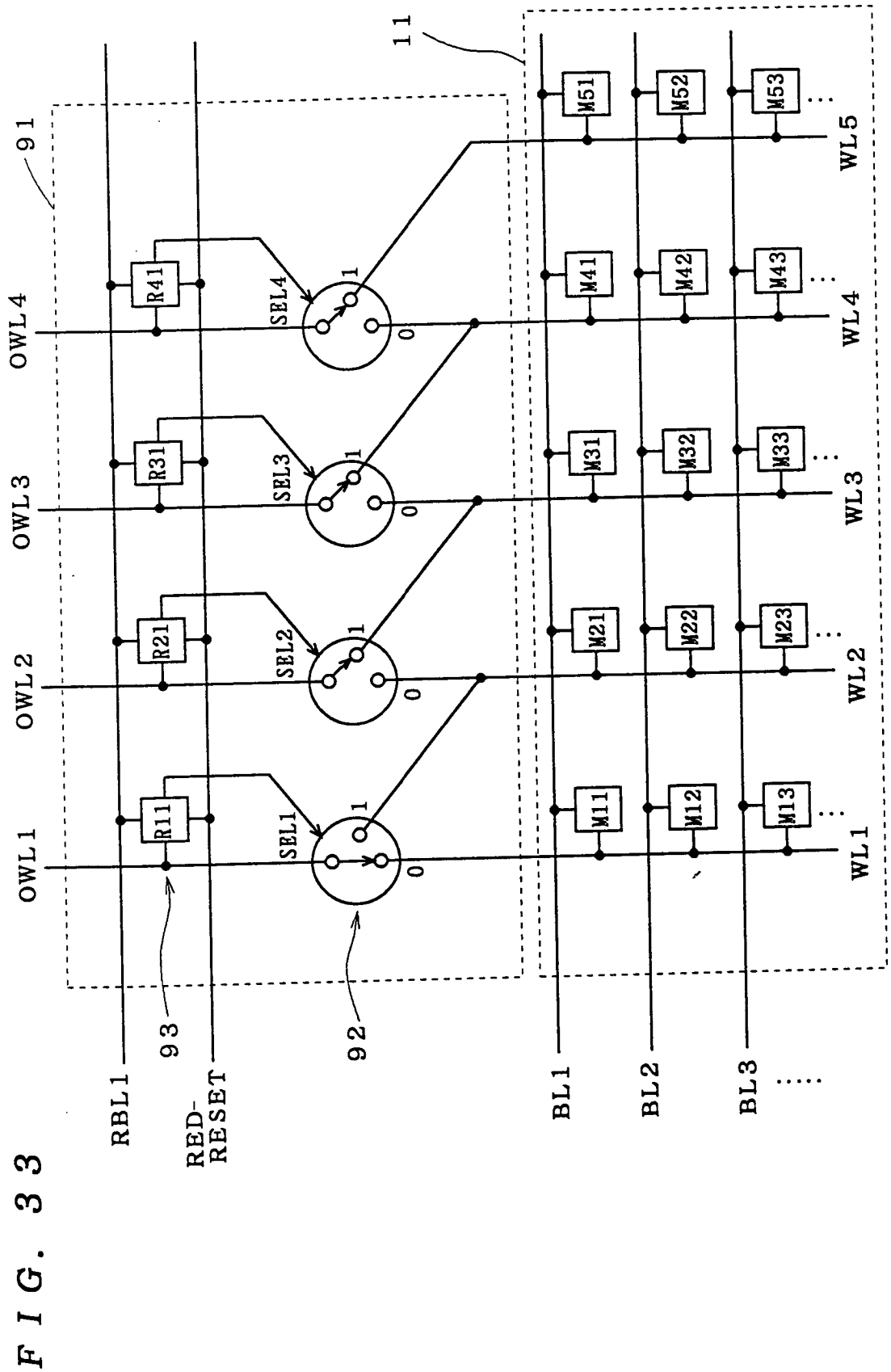


FIG. 33


11
91
OWL4
OWL3
OWL2
OWL1
R41
R31
R21
R11
SEL4
SEL3
SEL2
SEL1
1
0
M51
M52
M53
M41
M42
M43
M31
M32
M33
M21
M22
M23
M11
M12
M13
WL5
WL4
WL3
WL2
WL1
RBL1
RED-
RESET
93
92
BL1
BL2
BL3

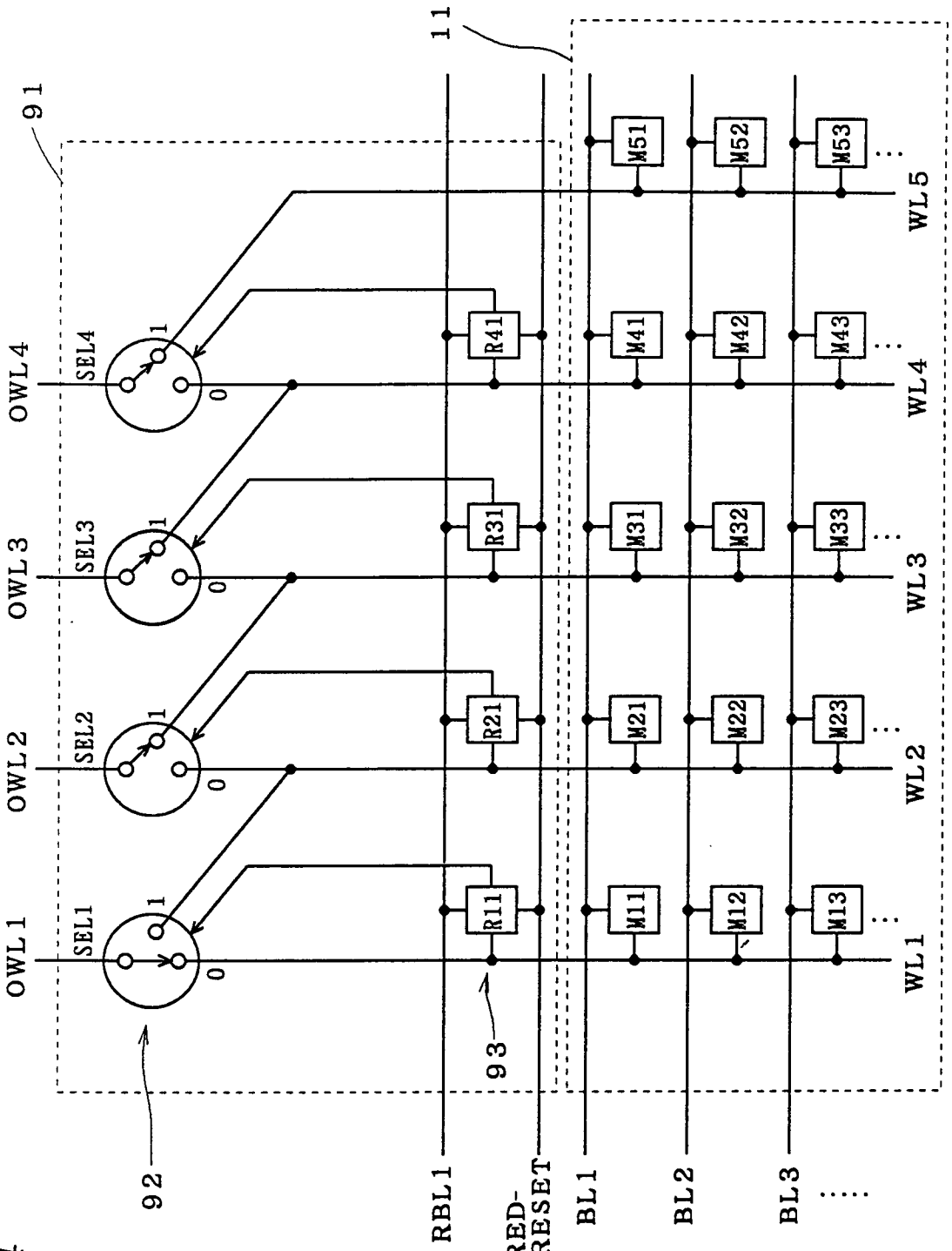
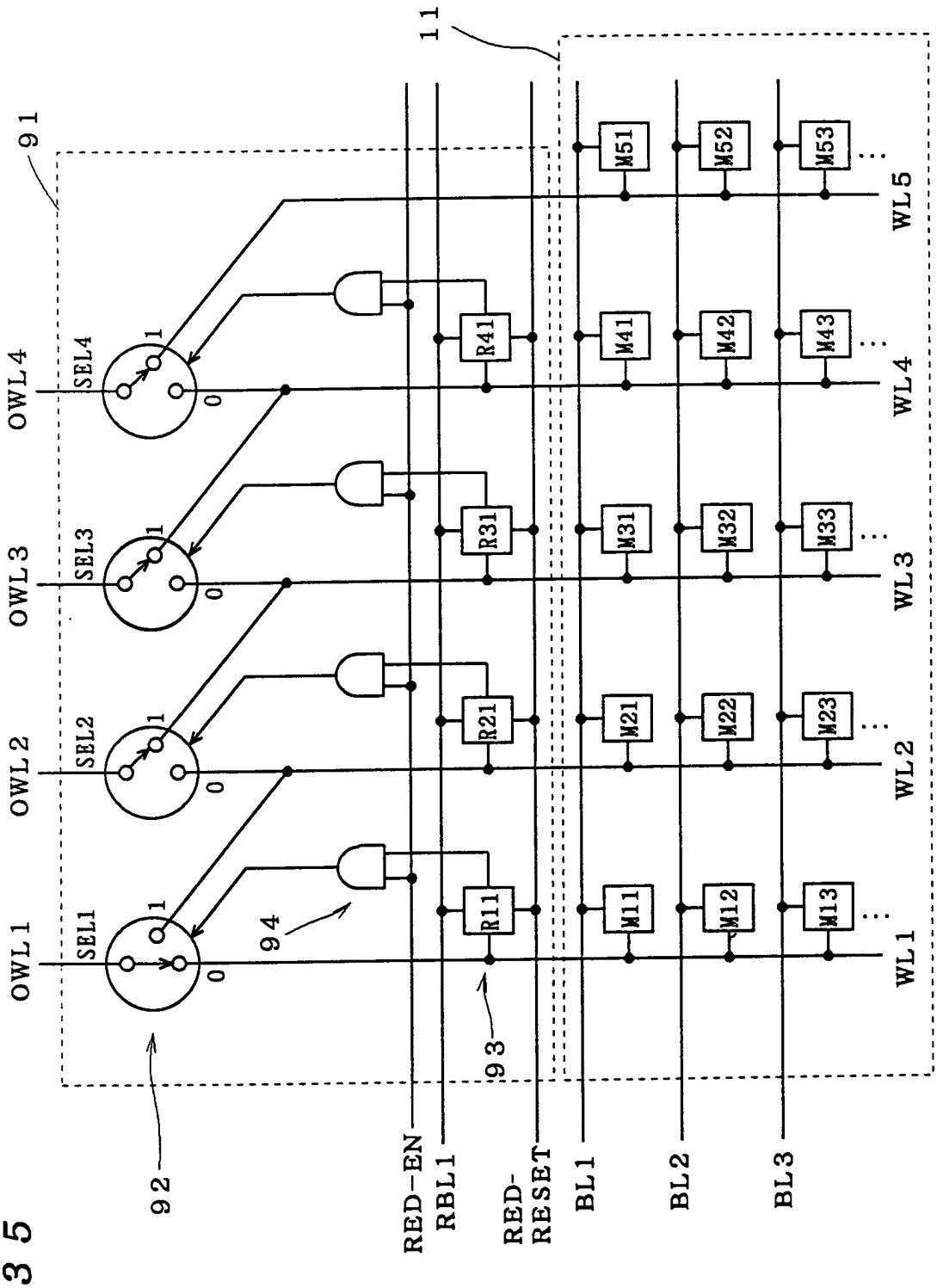

11
91
OWL4
OWL3
OWL2
OWL1
SEL4
SEL3
SEL2
SEL1
1
0
R41
R31
R21
R11
M51
M52
M53
M41
M42
M43
M31
M32
M33
M21
M22
M23
M11
M12
M13
WL5
WL4
WL3
WL2
WL1
92
93
RBL1
RED-
RESET
BL1
BL2
BL3

FIG. 34

FIG. 35


11
91
OWL4
OWL3
OWL2
OWL1
SEL4
SEL3
SEL2
SEL1
1
0
94
92
93
R41
R31
R21
R11
M51
M52
M53
M41
M42
M43
M31
M32
M33
M21
M22
M23
M11
M12
M13
WL5
WL4
WL3
WL2
WL1
RED-EN
RBL1
RED-RESET
BL1
BL2
BL3

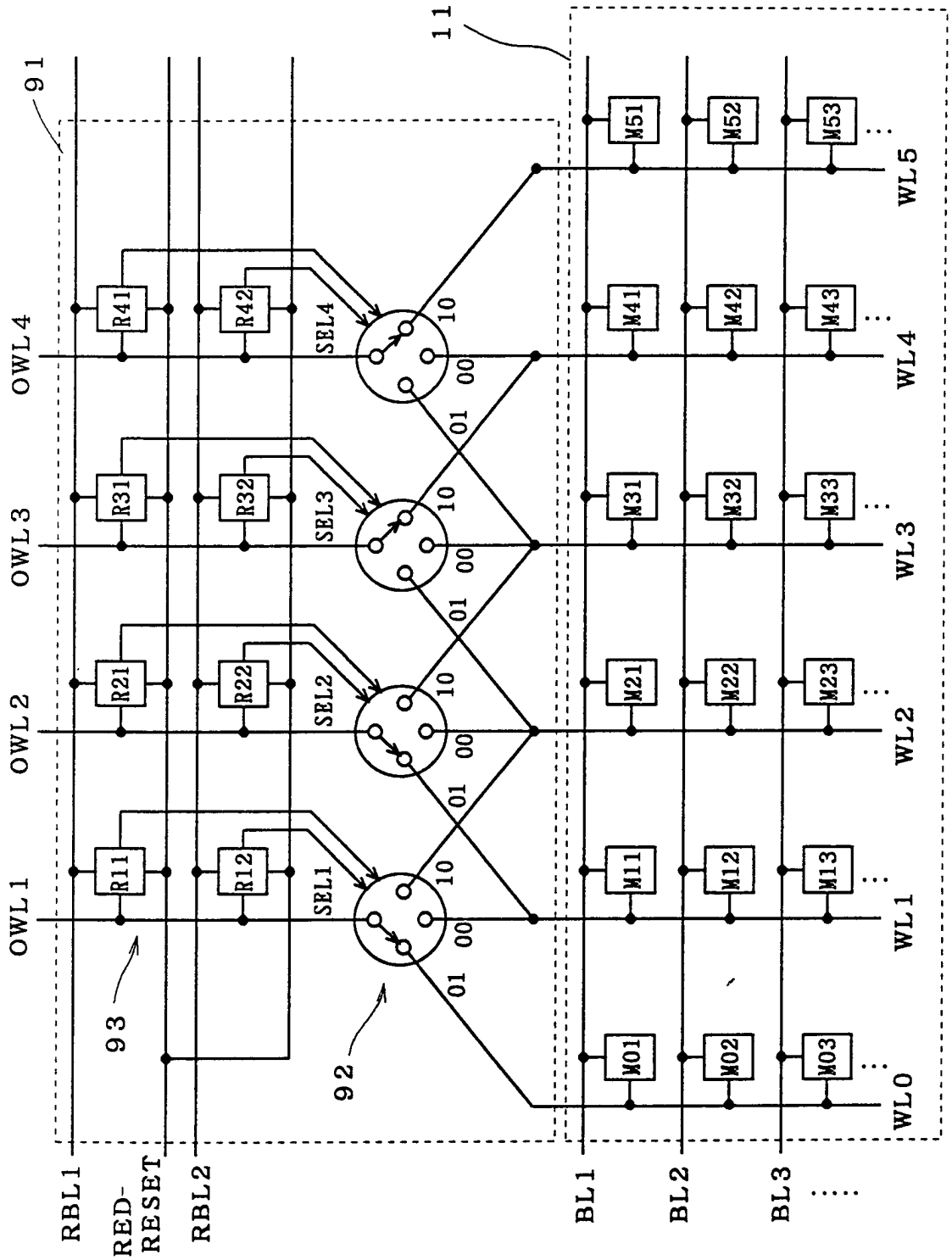

91
11
OWL4
OWL3
OWL2
OWL1
R41
R42
R31
R32
R21
R22
R11
R12
SEL4
SEL3
SEL2
SEL1
10
00
01
93
92
M51
M52
M53
M41
M42
M43
M31
M32
M33
M21
M22
M23
M11
M12
M13
M01
M02
M03
WL5
WL4
WL3
WL2
WL1
WL0
RBL1
RED-
RESET
RBL2
BL1
BL2
BL3

FIG. 36

FIG. 37

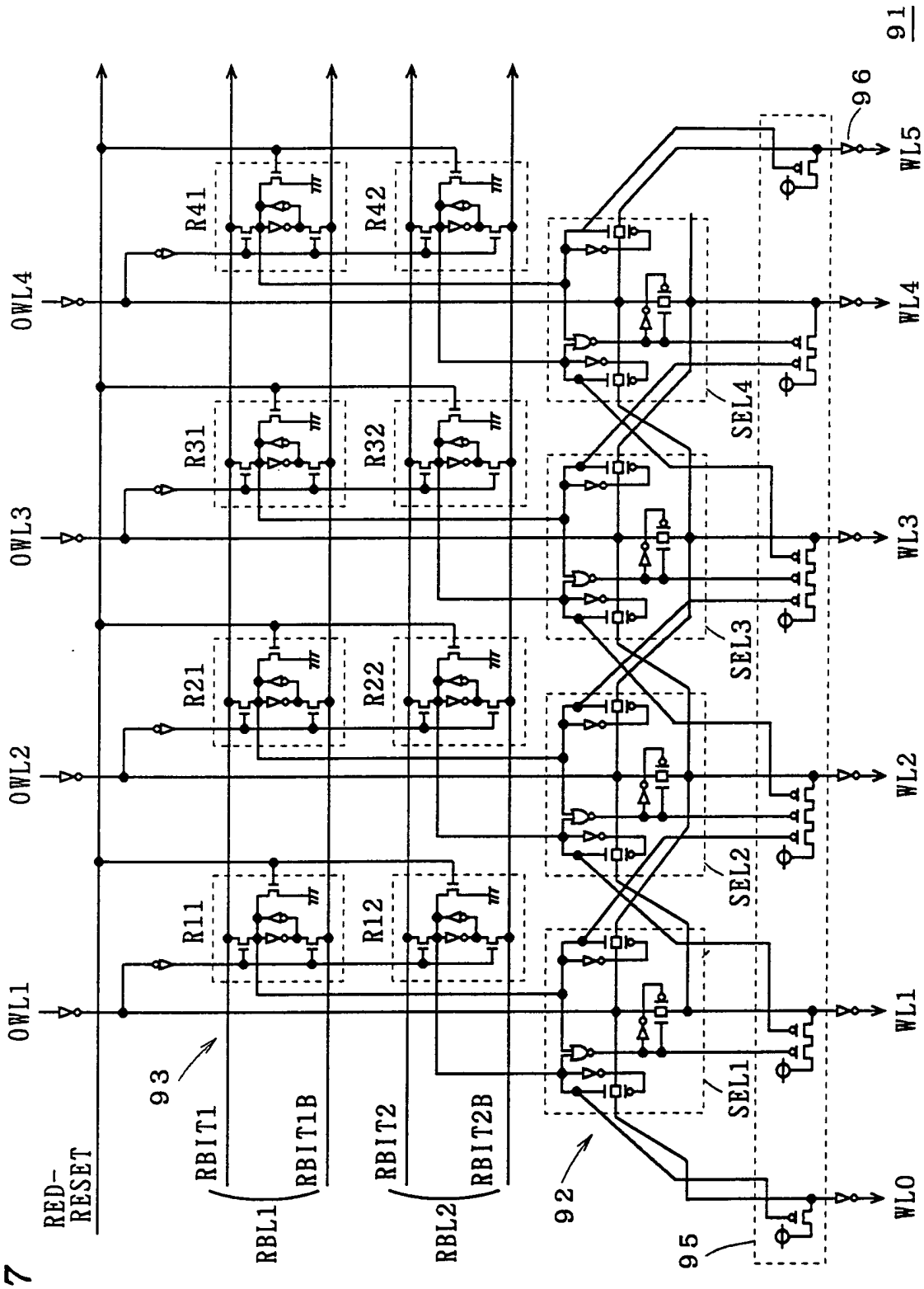

91
96
WL5
WL4
WL3
WL2
WL1
WL0
OWL4
OWL3
OWL2
OWL1
R41
R42
R31
R32
R21
R22
R11
R12
SEL4
SEL3
SEL2
SEL1
RED-
RESET
93
RBIT1
RBIT1B
RBIT2
RBIT2B
RBL1
RBL2
92
95

FIG. 38

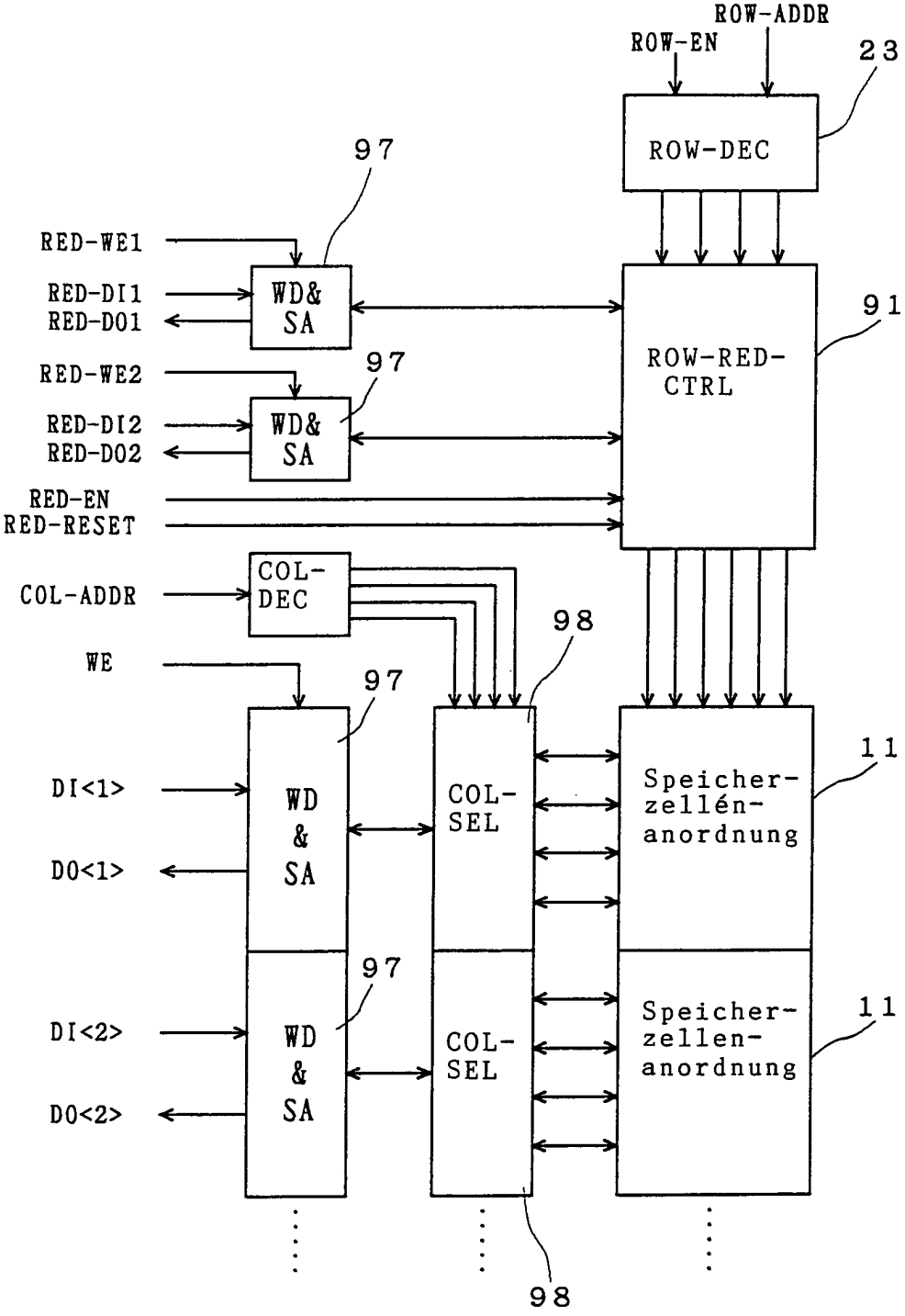
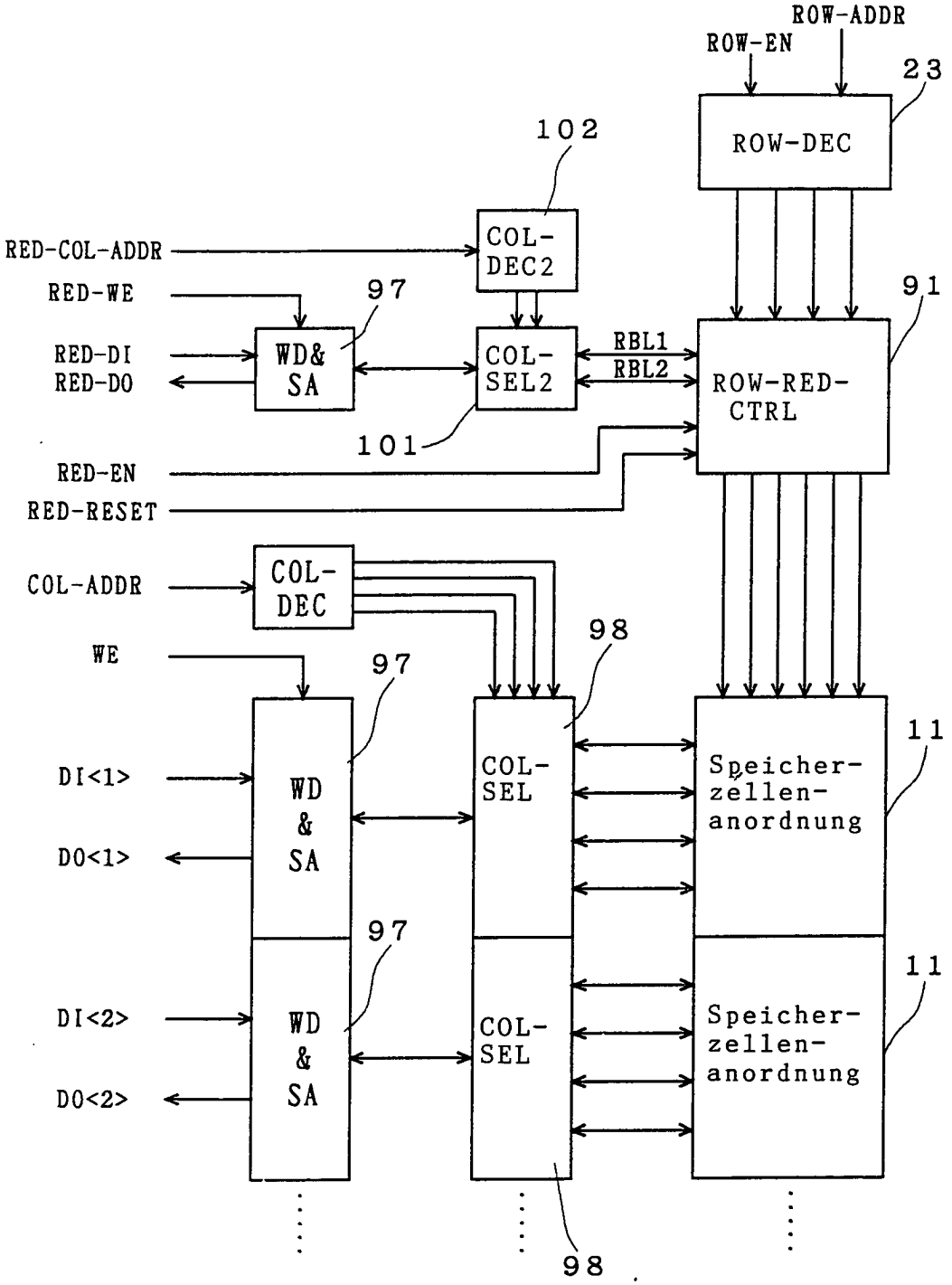
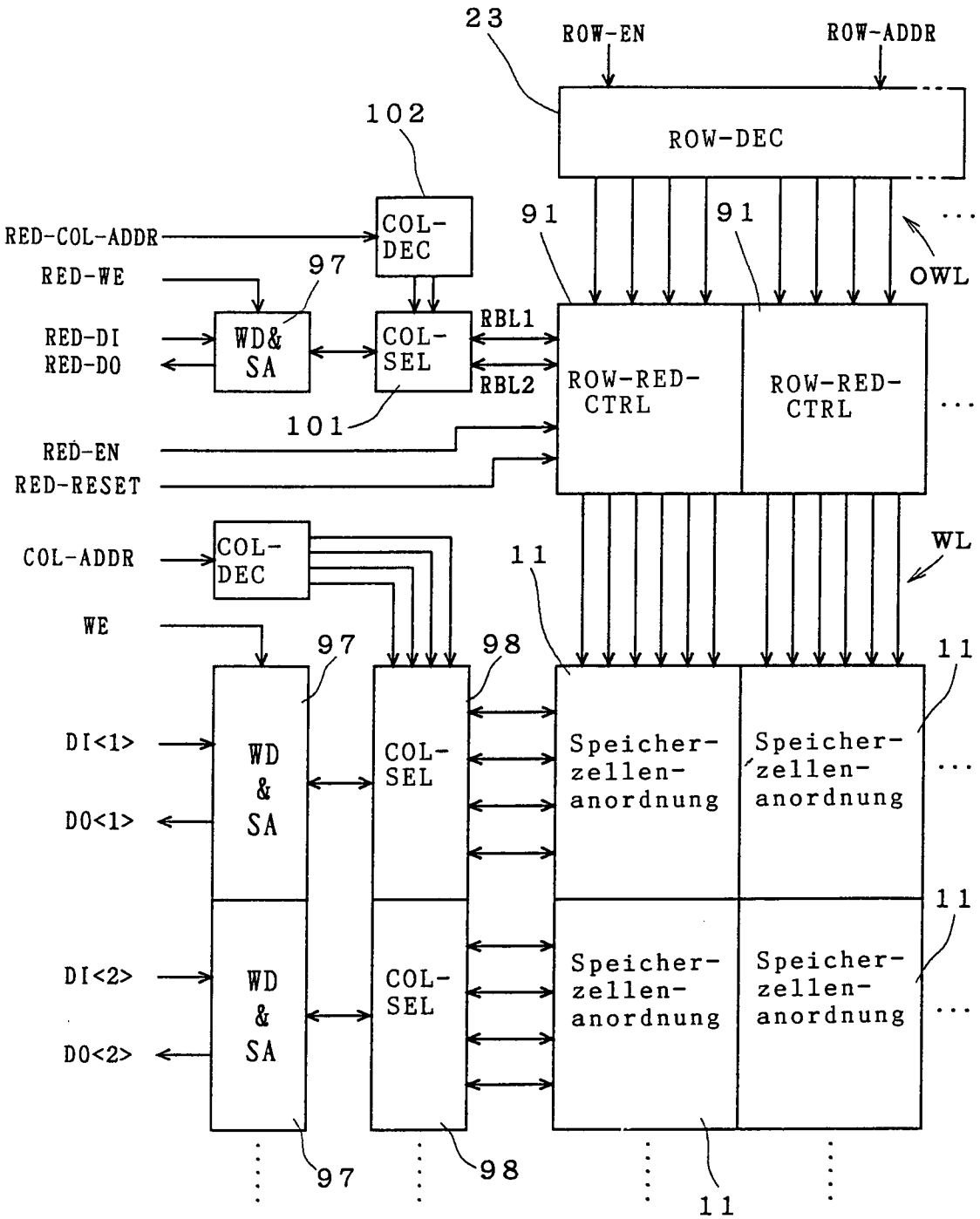

ROW-ADDR
ROW-EN
23
ROW-DEC
97
RED-WE1
RED-DI1
RED-DO1
WD&
SA
91
ROW-RED-
CTRL
RED-WE2
RED-DI2
RED-DO2
RED-EN
RED-RESET
COL-
DEC
COL-ADDR
98
WE
DI<1>
DO<1>
WD
&
SA
COL-
SEL
Speicher-
zellén-
anordnung
11
DI<2>
DO<2>
Speicher-
zellen-
anordnung

FIG. 39


ROW-ADDR
ROW-EN
23
ROW-DEC
102
COL-DEC2
RED-COL-ADDR
RED-WE
97
91
RED-DI
RED-DO
WD& SA
COL-SEL2
RBL1
RBL2
ROW-RED-CTRL
101
RED-EN
RED-RESET
COL-ADDR
COL-DEC
98
WE
97
11
DI<1>
DO<1>
WD & SA
COL-SEL
Speicher-zellen-anordnung
97
11
DI<2>
DO<2>
WD & SA
COL-SEL
Speicher-zellen-anordnung
98

F I G. 4 0


23
ROW-EN
ROW-ADDR
ROW-DEC
102
COL-DEC
RED-COL-ADDR
RED-WE
97
91
91
OWL
RED-DI
RED-DO
WD& SA
COL-SEL
RBL1
RBL2
ROW-RED-CTRL
ROW-RED-CTRL
101
RED-EN
RED-RESET
COL-ADDR
COL-DEC
WL
11
WE
97
98
11
DI<1>
DO<1>
WD & SA
COL-SEL
Speicher-zellen-anordnung
Speicher-zellen-anordnung
11
DI<2>
DO<2>
WD & SA
COL-SEL
Speicher-zellen-anordnung
Speicher-zellen-anordnung
11
97
98
11

F I G. 4 1

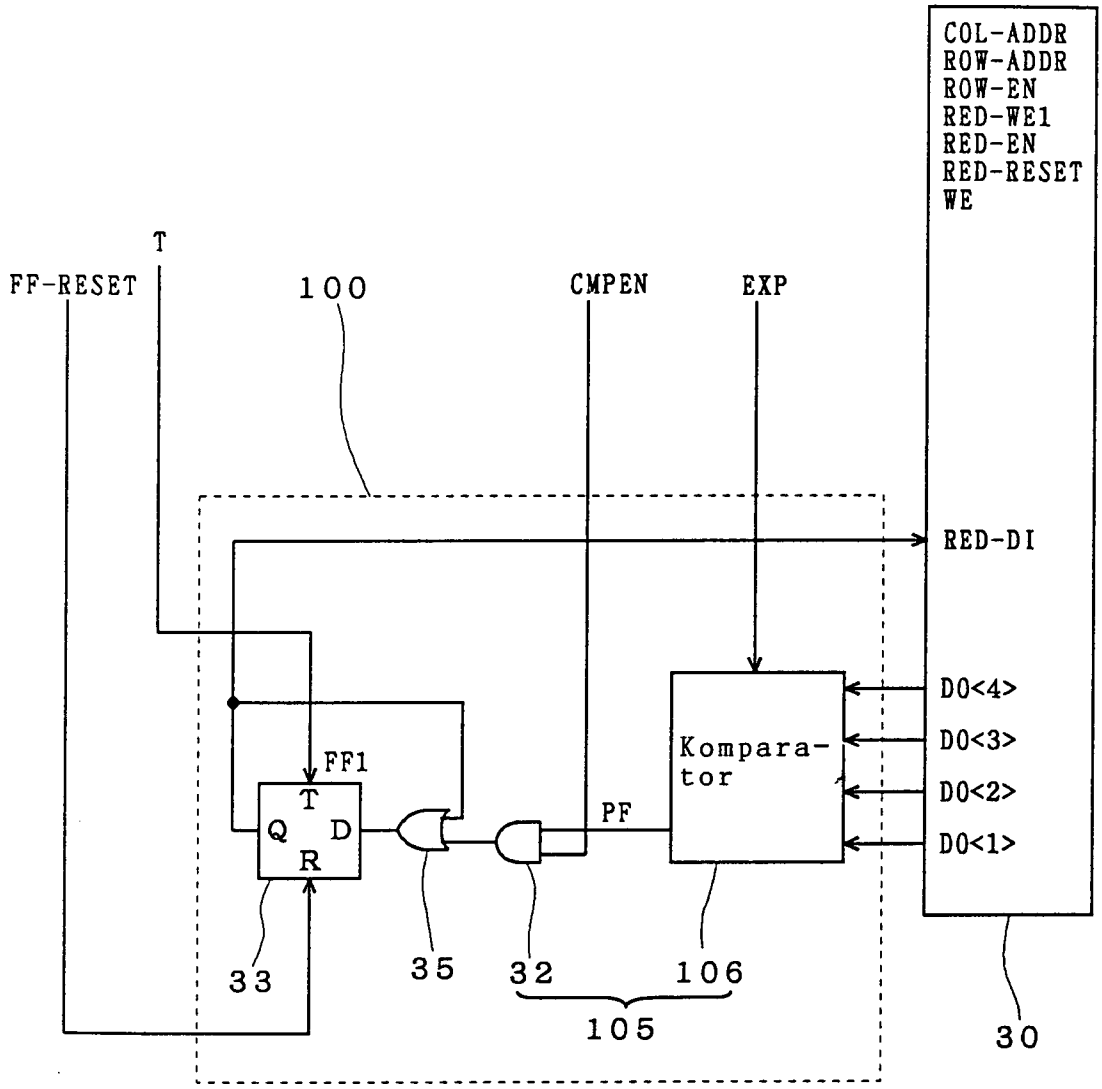

COL-ADDR
ROW-ADDR
ROW-EN
RED-WE1
RED-EN
RED-RESET
WE
T
FF-RESET
100
CMPEN
EXP
RED-DI
D0<4>
D0<3>
D0<2>
D0<1>
Kompara-
tor
FF1
T
Q
D
R
PF
33
35
32
106
105
30

FIG. 42A

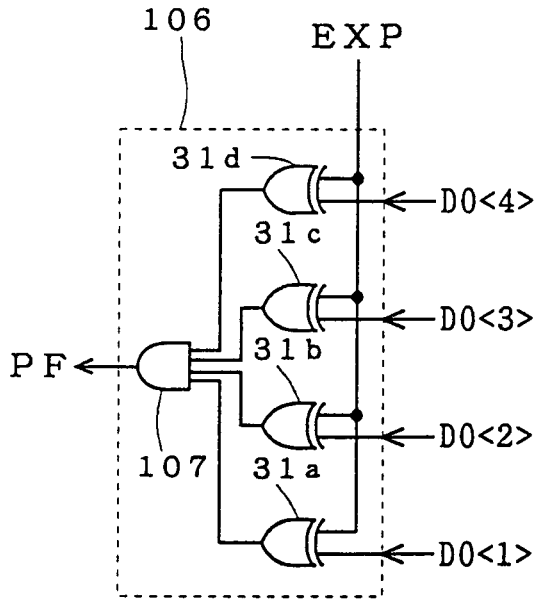


FIG. 42B

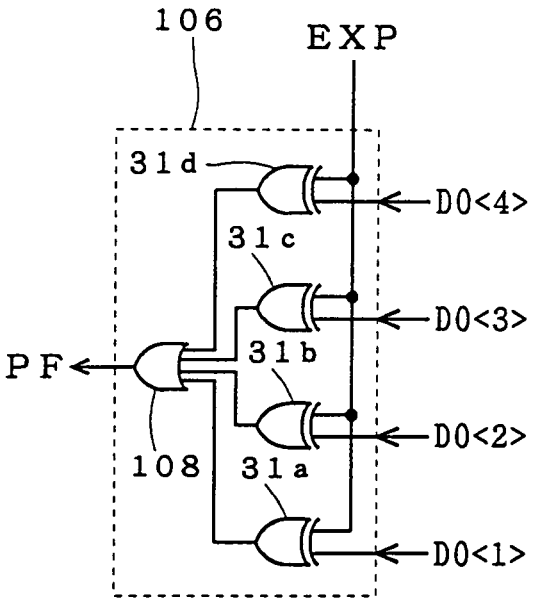


FIG. 42C

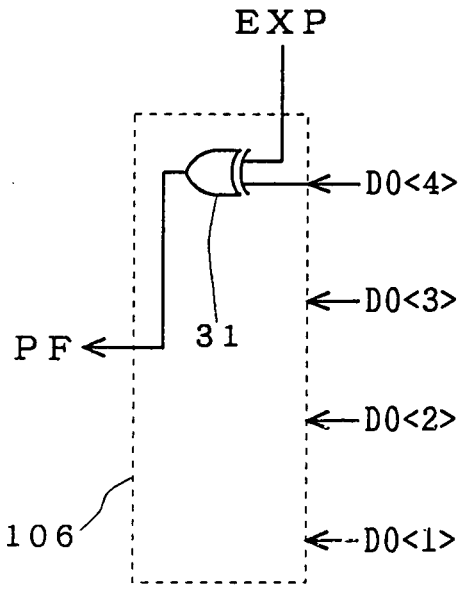
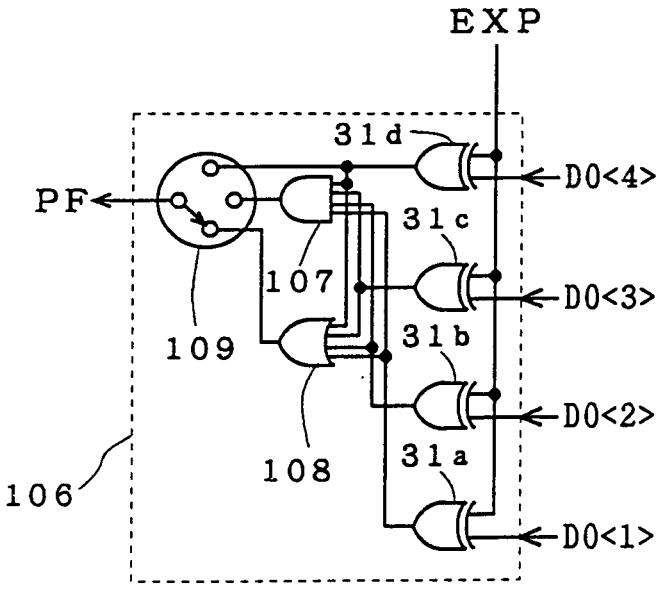


FIG. 42D



F I G. 4 3

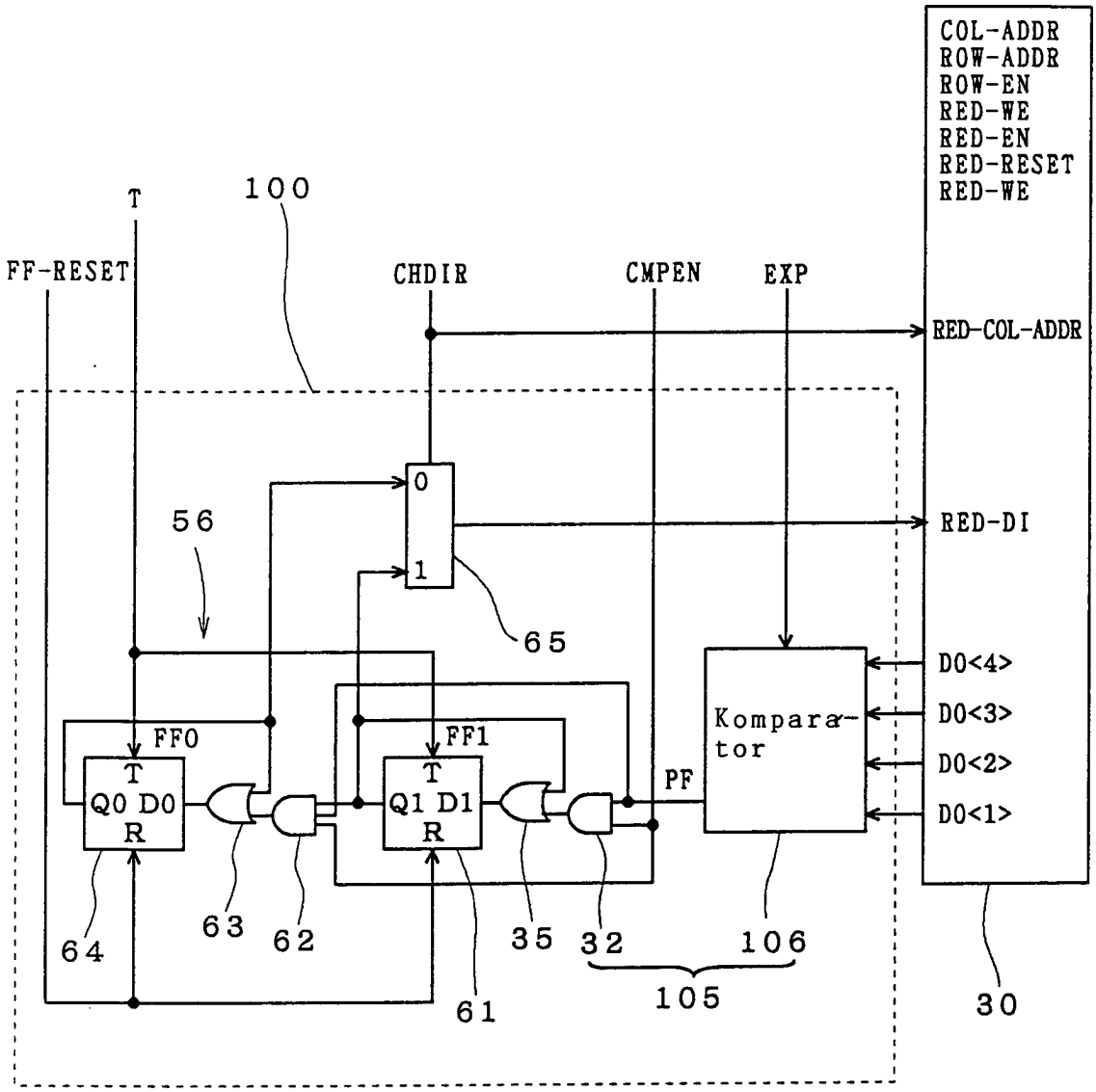

COL-ADDR
ROW-ADDR
ROW-EN
RED-WE
RED-EN
RED-RESET
RED-WE
T
100
FF-RESET
CHDIR
CMPEN
EXP
RED-COL-ADDR
0
1
56
RED-DI
65
D0<4>
D0<3>
D0<2>
D0<1>
FF0
FF1
T
Q0 D0
R
T
Q1 D1
R
Kompara-
tor
PF
64
63
62
35
32
106
105
61
30

FIG. 44

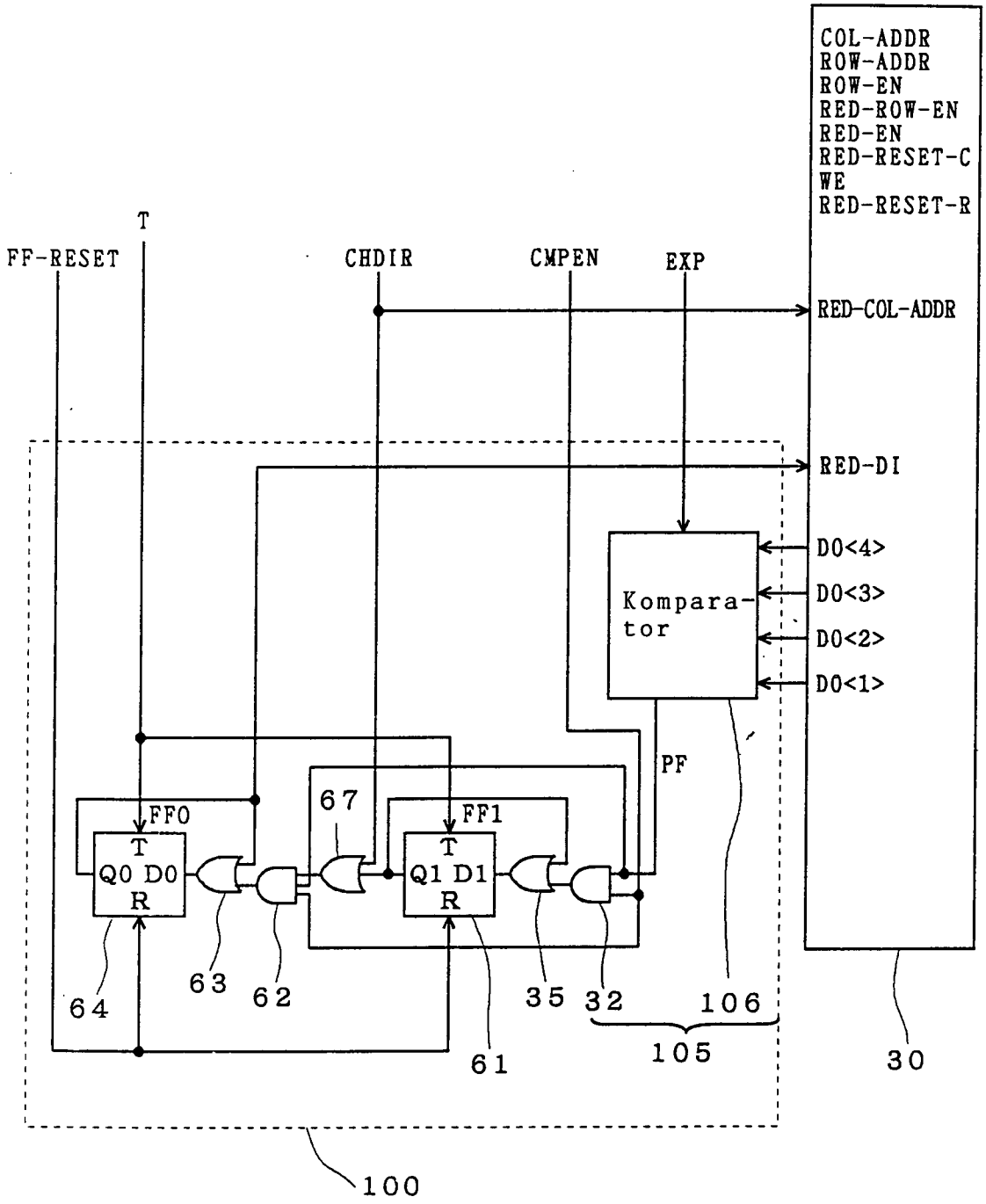

COL-ADDR
ROW-ADDR
ROW-EN
RED-ROW-EN
RED-EN
RED-RESET-CWE
RED-RESET-R
RED-COL-ADDR
RED-DI
DO<4>
DO<3>
DO<2>
DO<1>
T
FF-RESET
CHDIR
CMPEN
EXP
Kompara-tor
PF
FF0
FF1
T
Q0 D0
R
Q1 D1
R
67
64
63
62
61
35
32
106
105
30
100

FIG. 45

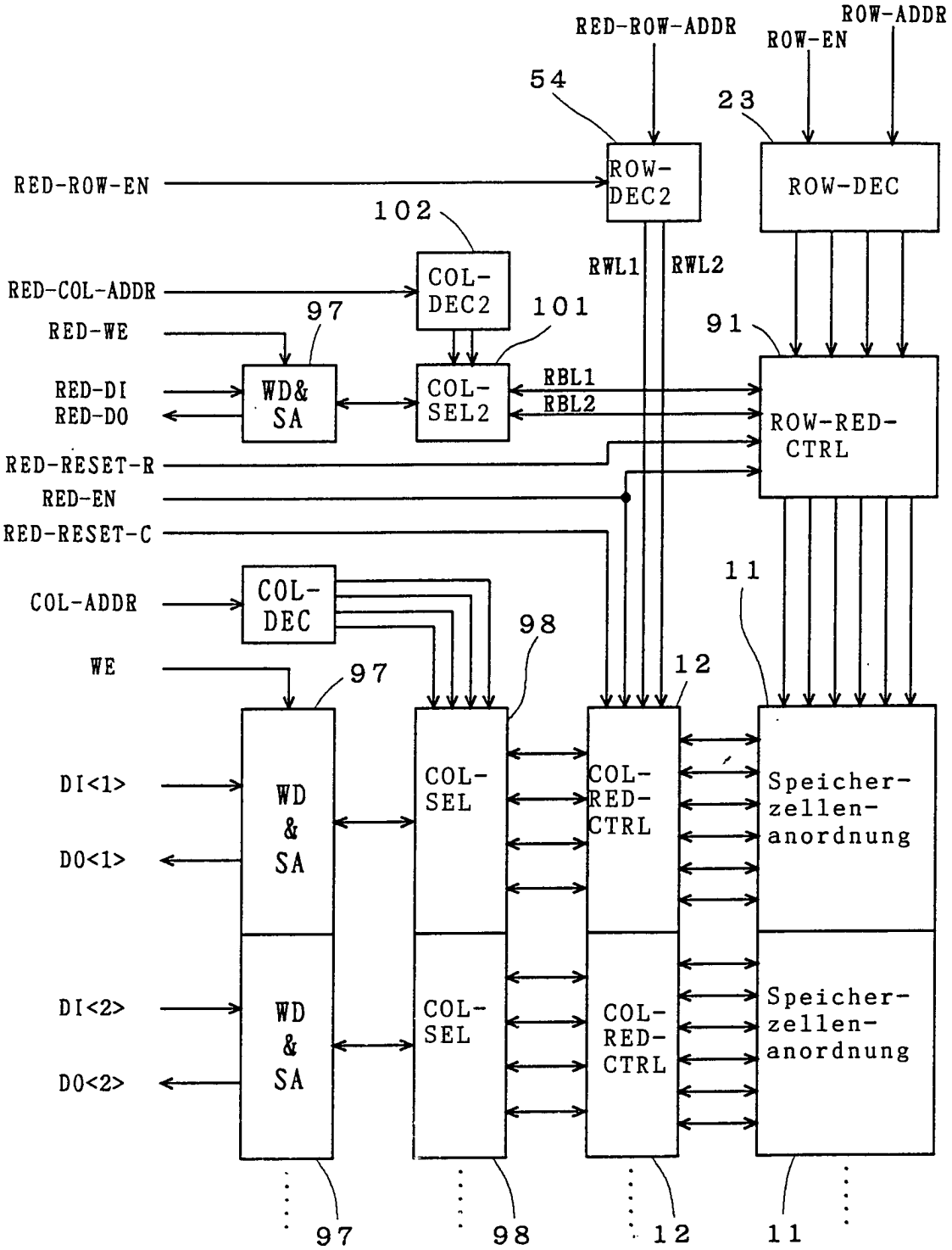

RED-ROW-ADDR
ROW-EN
ROW-ADDR
54
23
ROW-DEC2
ROW-DEC
RED-ROW-EN
102
COL-DEC2
RWL1
RWL2
RED-COL-ADDR
97
101
91
RED-WE
WD& SA
COL-SEL2
RBL1
RBL2
RED-DI
RED-DO
ROW-RED-CTRL
RED-RESET-R
RED-EN
RED-RESET-C
11
COL-ADDR
COL-DEC
98
WE
97
12
DI<1>
DO<1>
WD & SA
COL-SEL
COL-RED-CTRL
Speicher-zellen-anordnung
DI<2>
DO<2>
WD & SA
COL-SEL
COL-RED-CTRL
Speicher-zellen-anordnung
97
98
12
11

FIG. 46

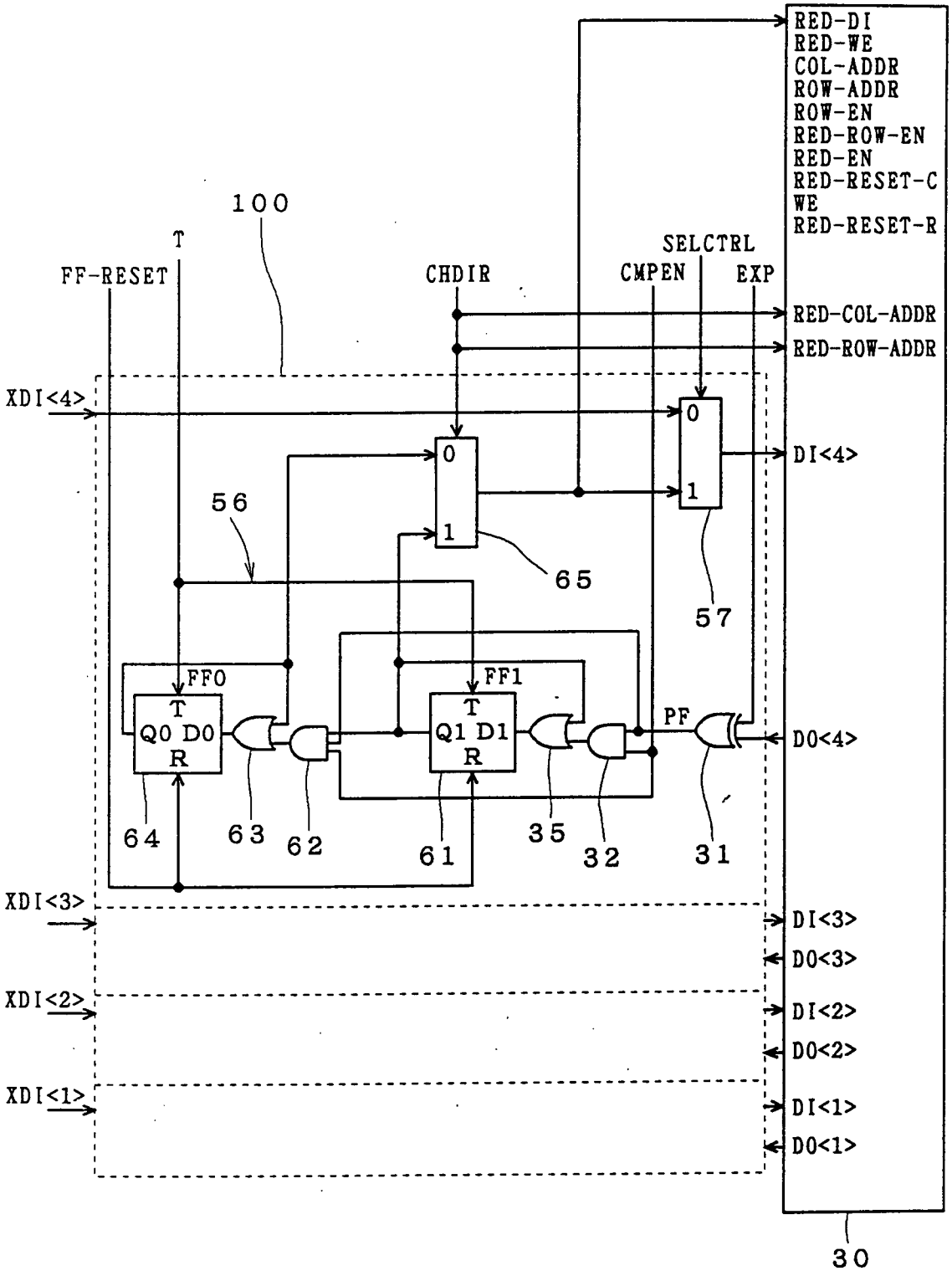

RED-DI
RED-WE
COL-ADDR
ROW-ADDR
ROW-EN
RED-ROW-EN
RED-EN
RED-RESET-CWE
RED-RESET-R
100
T
FF-RESET
CHDIR
SELCTRL
CMPEN
EXP
RED-COL-ADDR
RED-ROW-ADDR
XDI<4>
0
1
DI<4>
56
65
57
FF0
FF1
T
Q0 D0
R
T
Q1 D1
R
PF
DO<4>
64
63
62
61
35
32
31
XDI<3>
DI<3>
DO<3>
XDI<2>
DI<2>
DO<2>
XDI<1>
DI<1>
DO<1>
30

FIG. 47

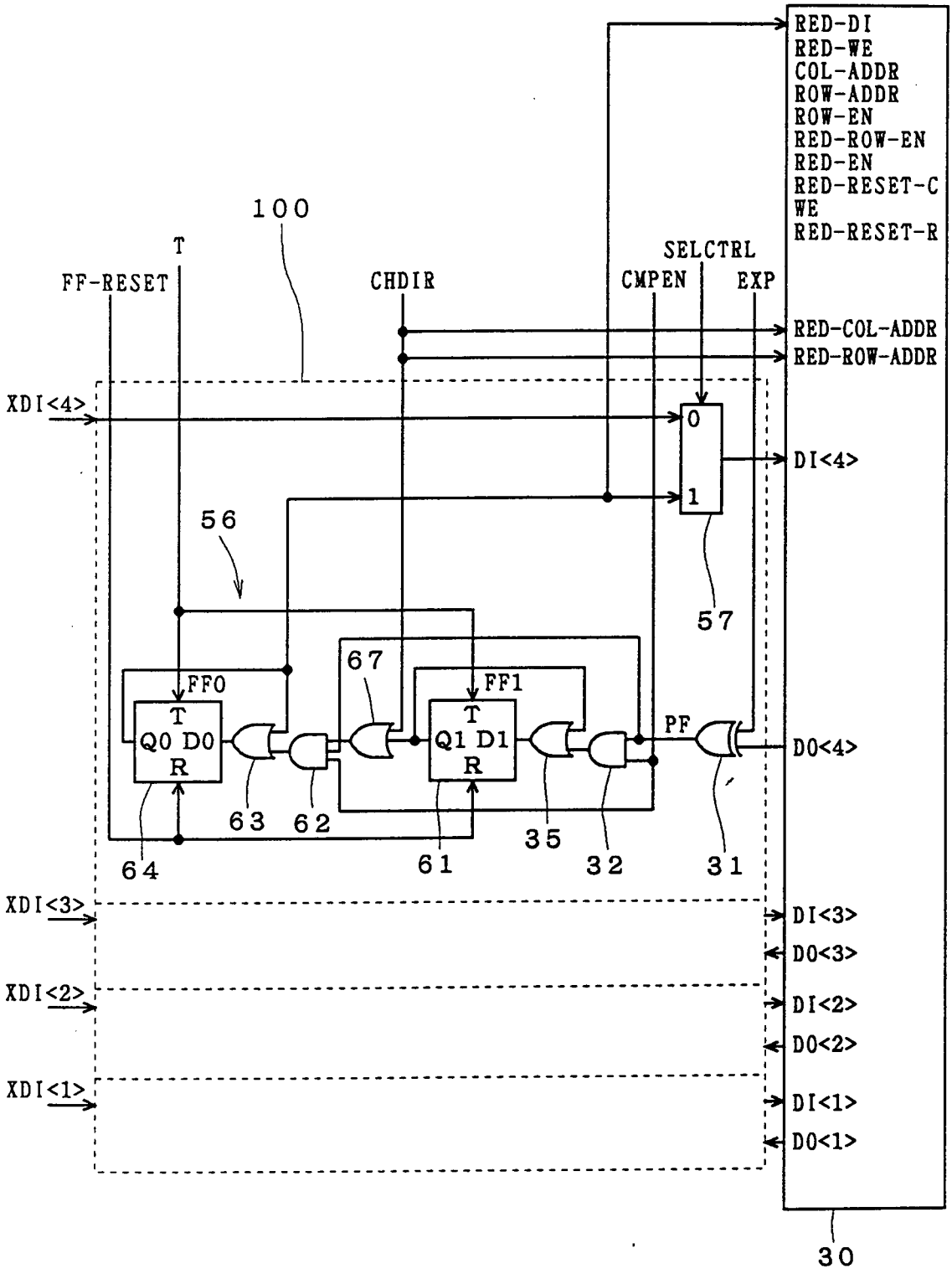

RED-DI
RED-WE
COL-ADDR
ROW-ADDR
ROW-EN
RED-ROW-EN
RED-EN
RED-RESET-CWE
RED-RESET-R
100
T
FF-RESET
CHDIR
SELCTRL
CMPEN
EXP
RED-COL-ADDR
RED-ROW-ADDR
XDI<4>
0
1
DI<4>
56
57
67
FF0
FF1
T
Q0 D0
R
T
Q1 D1
R
PF
DO<4>
63
62
35
32
31
64
61
XDI<3>
DI<3>
DO<3>
XDI<2>
DI<2>
DO<2>
XDI<1>
DI<1>
DO<1>
30

FIG. 48

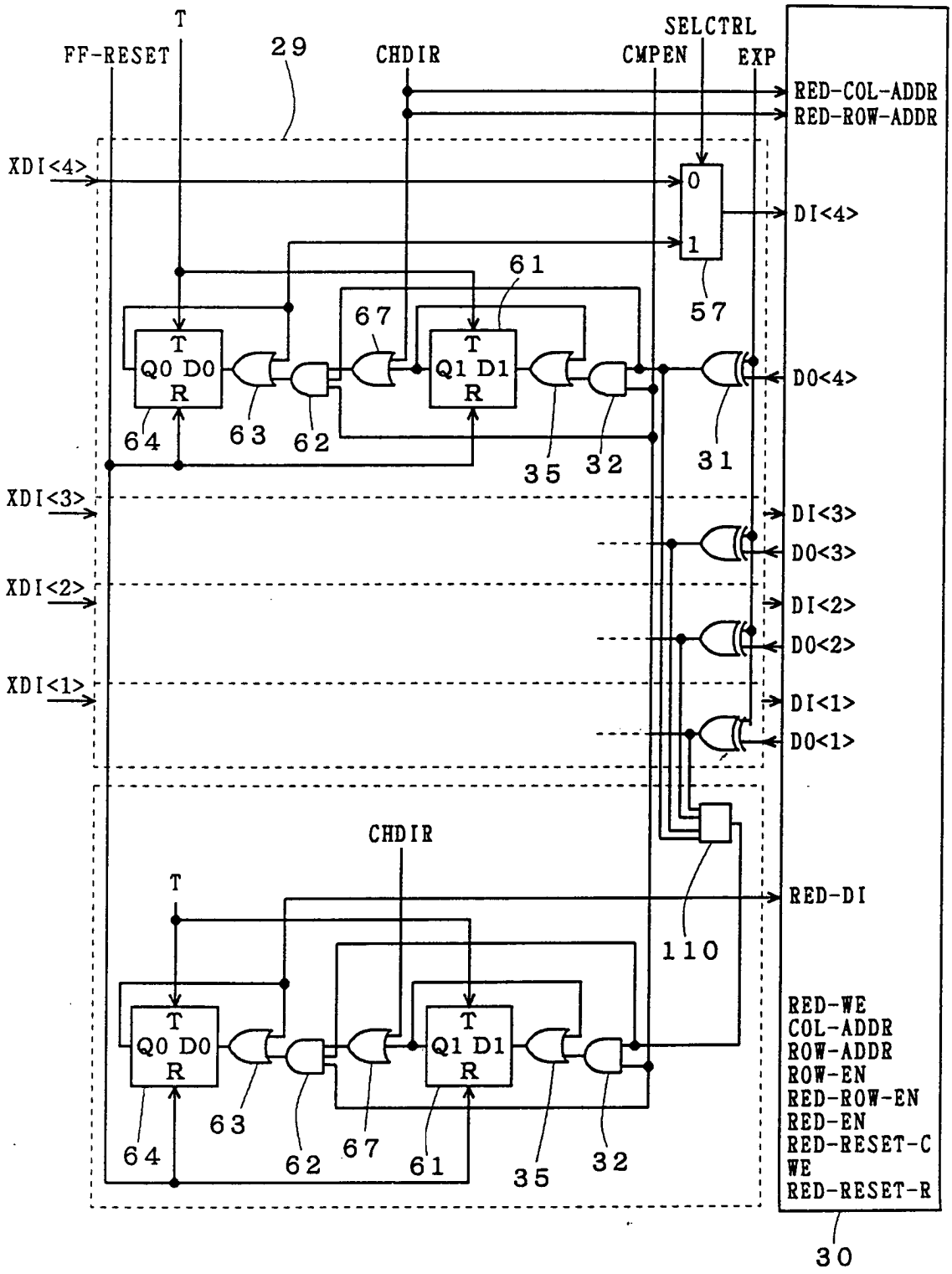

T
FF-RESET
29
CHDIR
SELCTRL
CMPEN
EXP
RED-COL-ADDR
RED-ROW-ADDR
XDI<4>
0
1
DI<4>
57
61
67
T
Q0 D0
R
T
Q1 D1
R
DO<4>
64
63
62
35
32
31
XDI<3>
DI<3>
DO<3>
XDI<2>
DI<2>
DO<2>
XDI<1>
DI<1>
DO<1>
CHDIR
T
RED-DI
110
RED-WE
COL-ADDR
ROW-ADDR
ROW-EN
RED-ROW-EN
RED-EN
RED-RESET-C
WE
RED-RESET-R
30

FIG. 49

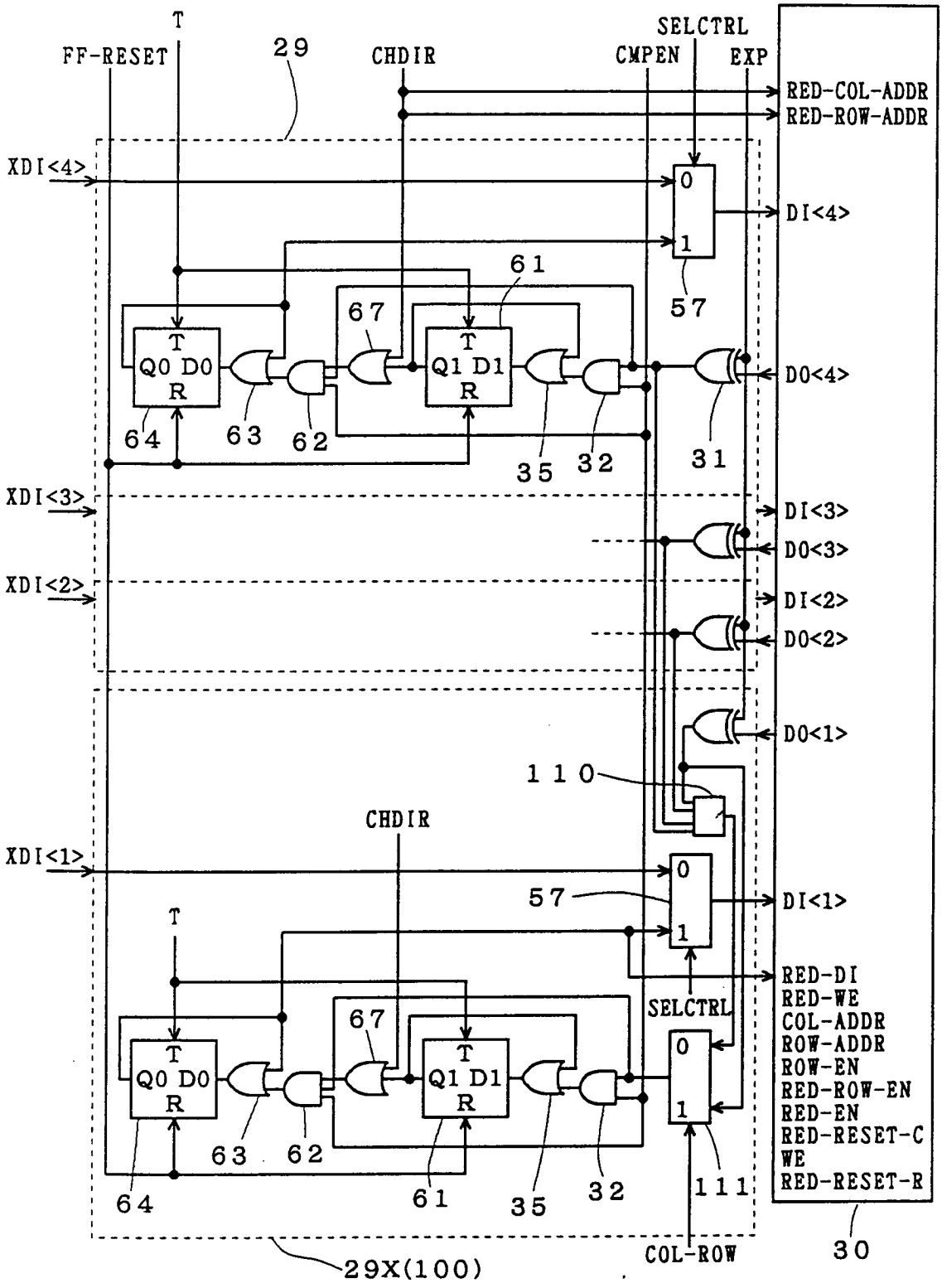

T
FF-RESET
29
CHDIR
SELCTRL
CMPEN
EXP
RED-COL-ADDR
RED-ROW-ADDR
XDI<4>
0
1
DI<4>
57
61
67
T
Q0 D0
R
T
Q1 D1
R
DO<4>
64
63
62
35
32
31
XDI<3>
DI<3>
DO<3>
XDI<2>
DI<2>
DO<2>
DO<1>
110
CHDIR
XDI<1>
57
DI<1>
T
RED-DI
RED-WE
COL-ADDR
ROW-ADDR
ROW-EN
RED-ROW-EN
RED-EN
RED-RESET-C
WE
RED-RESET-R
SELCTRL
67
T
Q0 D0
R
T
Q1 D1
R
63
62
64
61
35
32
111
COL-ROW
29X(100)
30

FIG. 50A

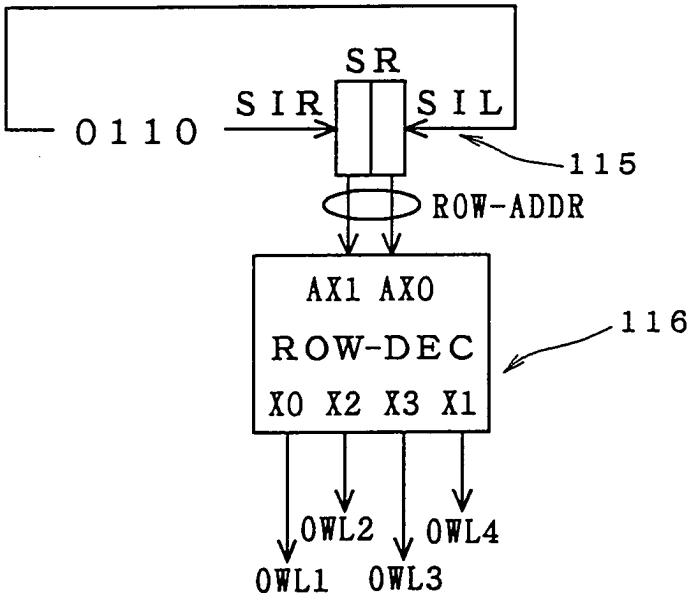


FIG. 50B

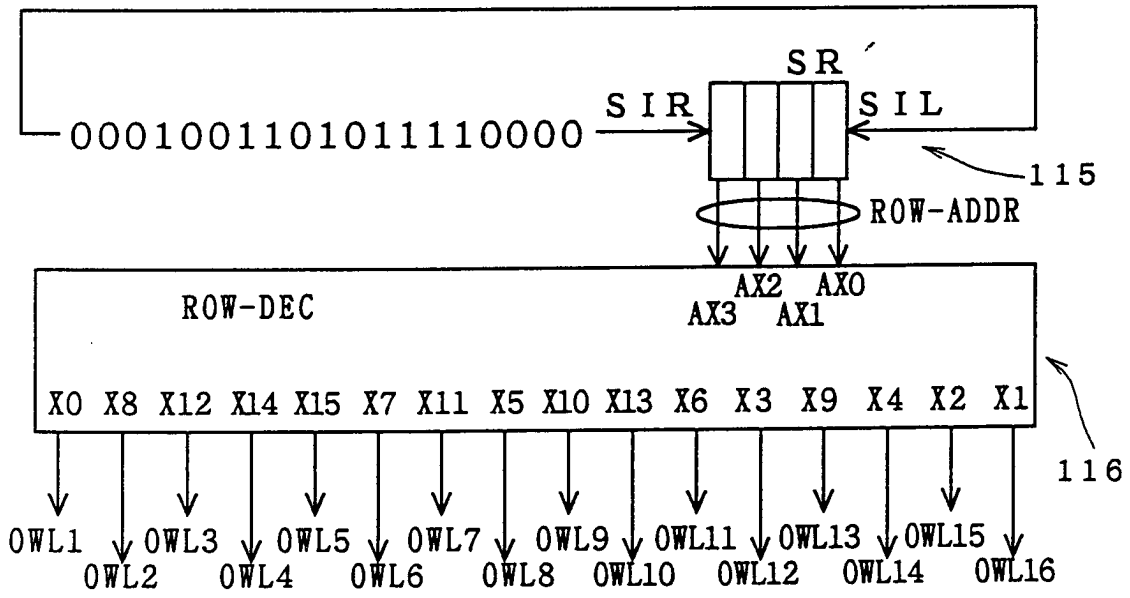


FIG. 51

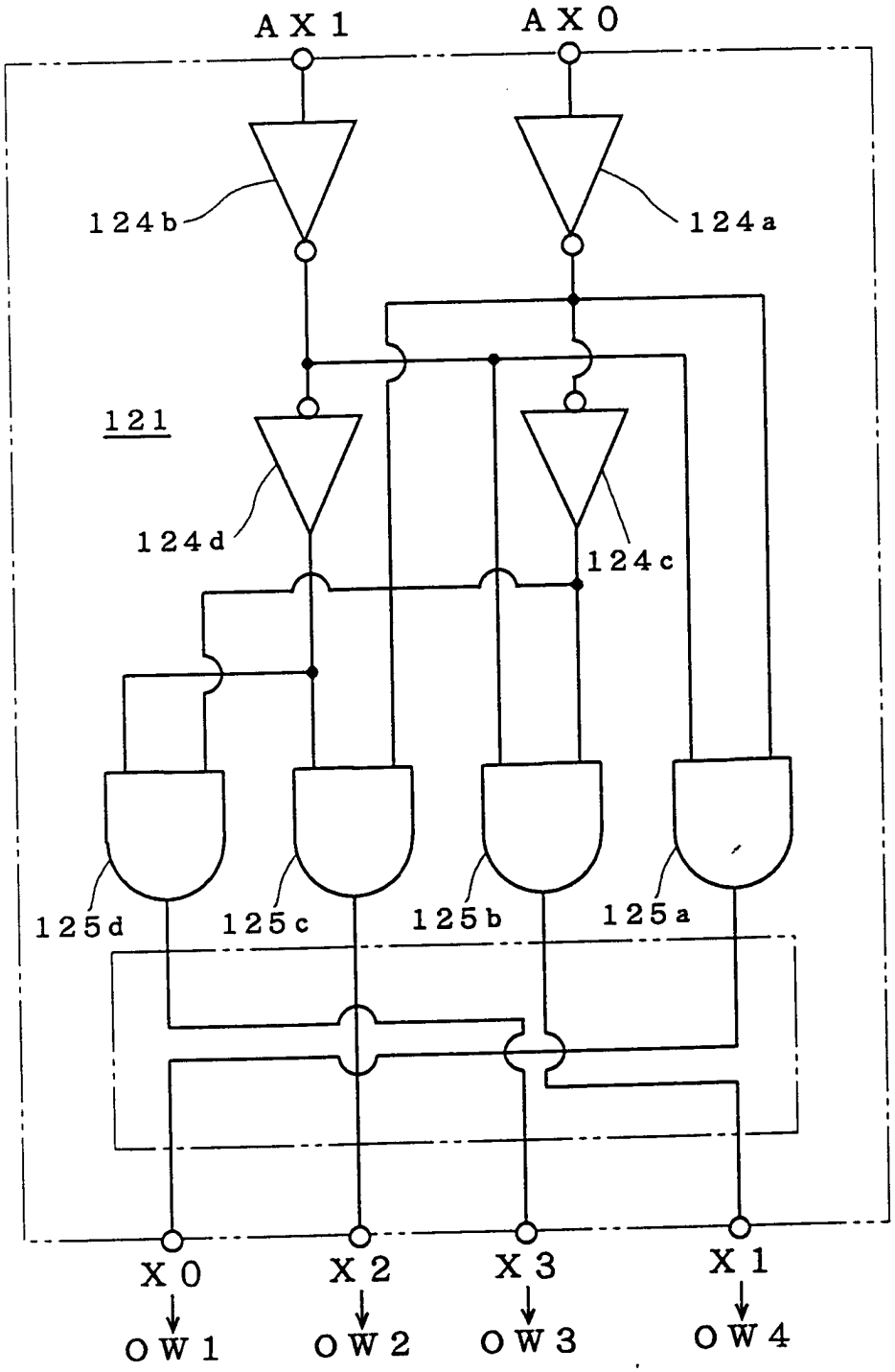

AX1
AX0
124b
124a
121
124d
124c
125d
125c
125b
125a
X0
X2
X3
X1
OW1
OW2
OW3
OW4

FIG. 52

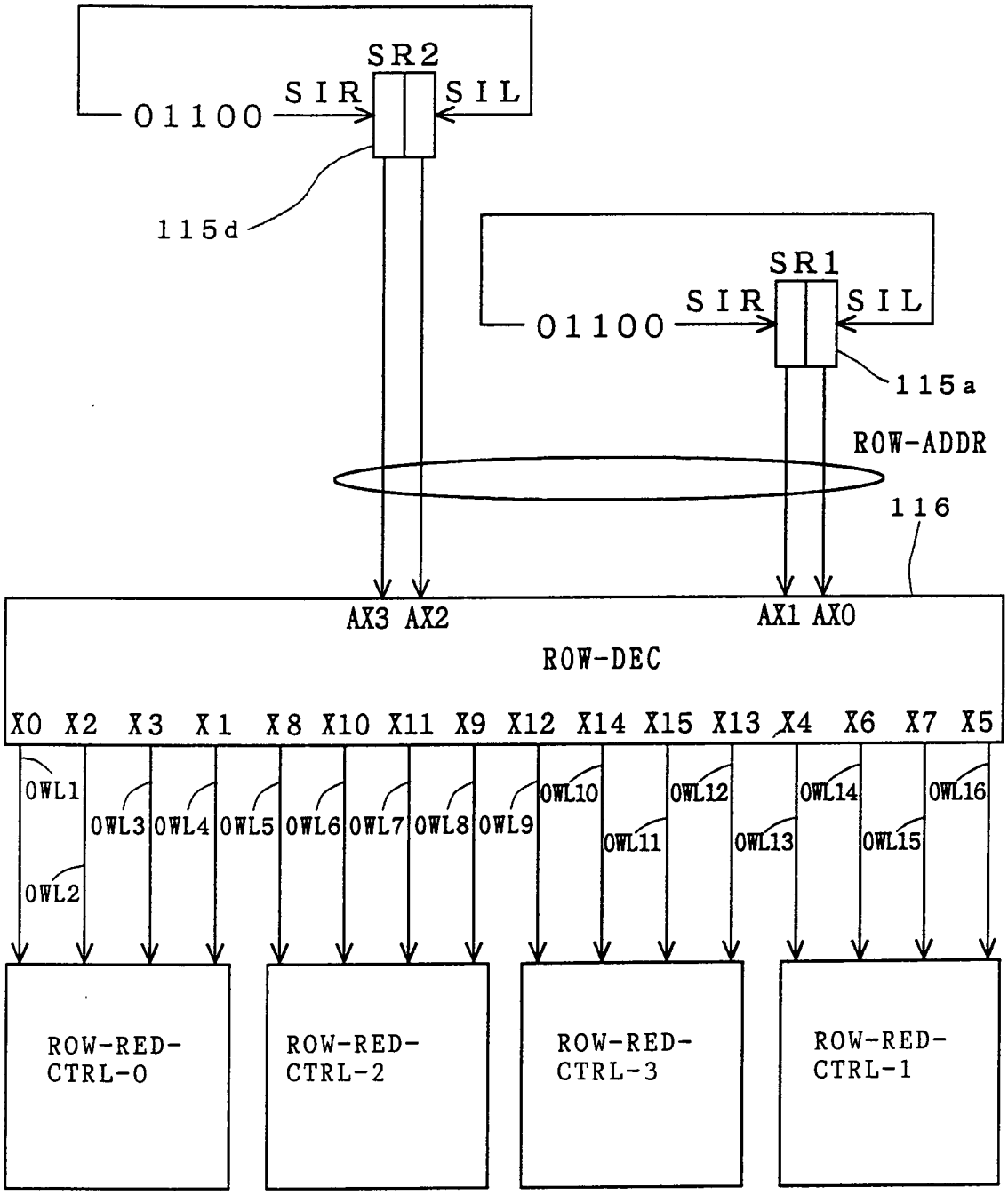

SR2
SIR
SIL
01100
115d
SR1
SIR
SIL
01100
115a
ROW-ADDR
116
AX3 AX2
AX1 AX0
ROW-DEC
X0 X2 X3 X1 X8 X10 X11 X9 X12 X14 X15 X13 X4 X6 X7 X5
0WL1
0WL2
0WL3
0WL4
0WL5
0WL6
0WL7
0WL8
0WL9
0WL10
0WL11
0WL12
0WL13
0WL14
0WL15
0WL16
ROW-RED-CTRL-0
ROW-RED-CTRL-2
ROW-RED-CTRL-3
ROW-RED-CTRL-1

FIG. 53

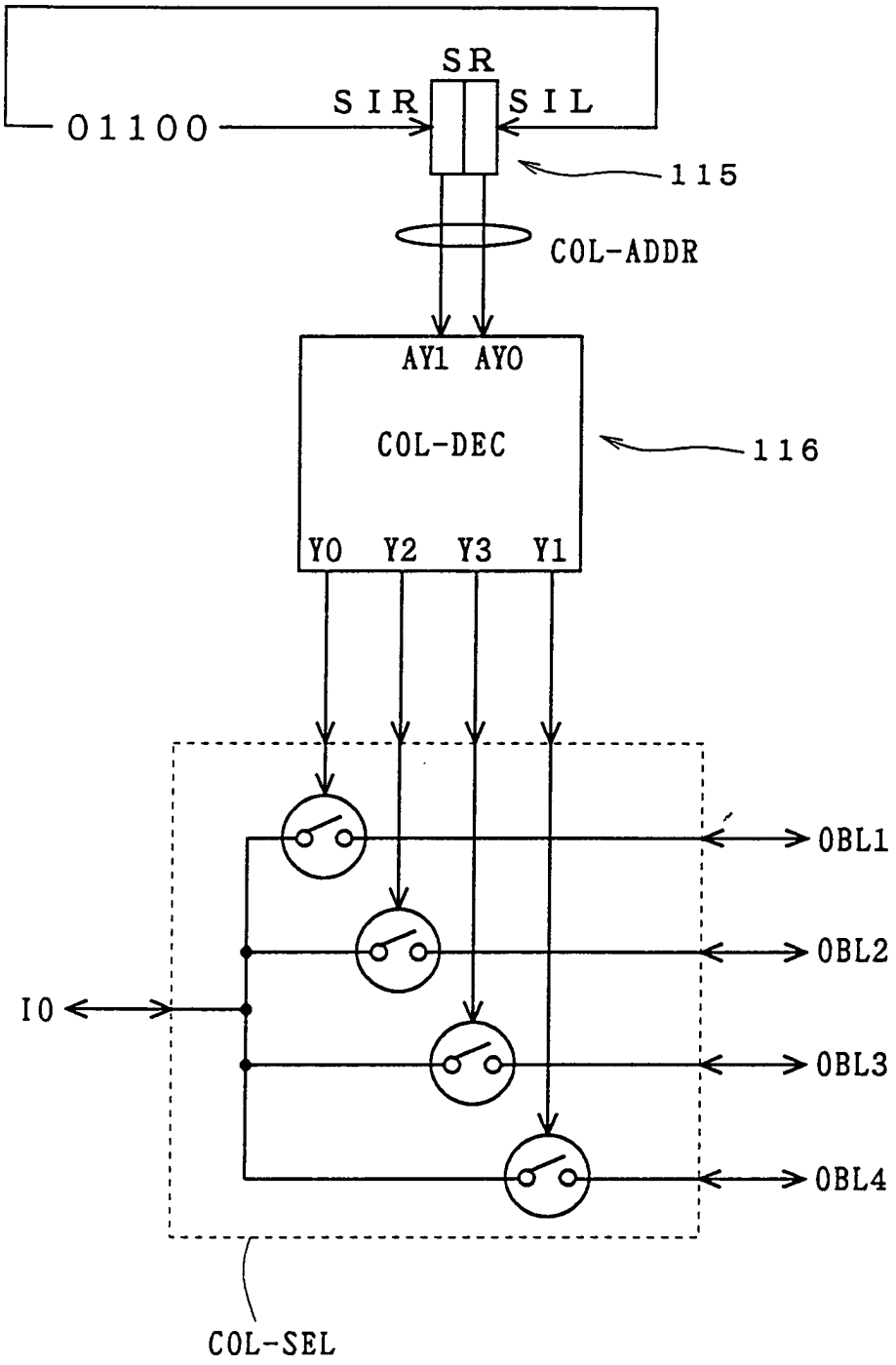
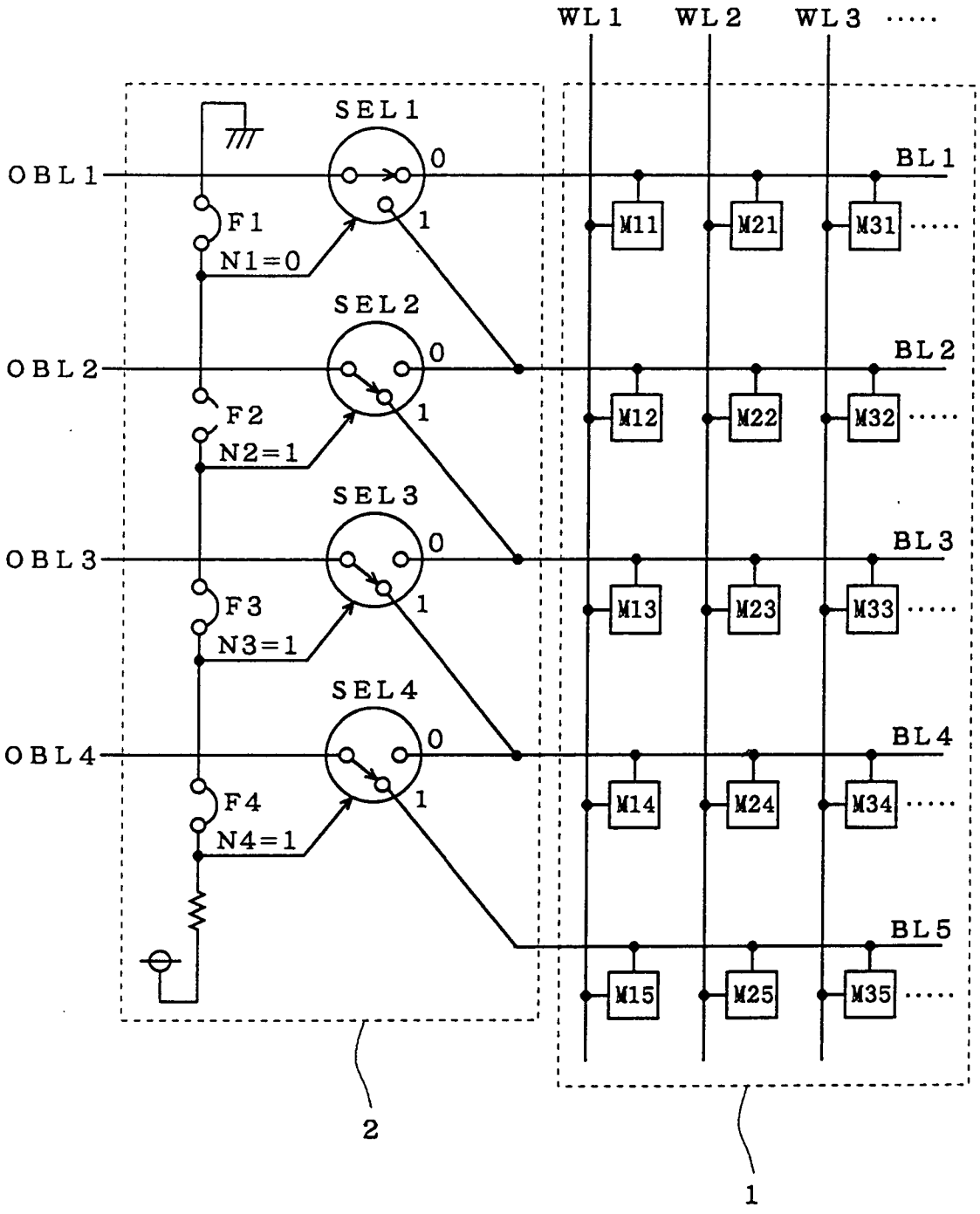

SR
SIR
SIL
01100
115
COL-ADDR
AY1 AY0
COL-DEC
116
Y0 Y2 Y3 Y1
OBL1
OBL2
OBL3
OBL4
IO
COL-SEL

FIG. 54


WL1
WL2
WL3
SEL1
SEL2
SEL3
SEL4
OBL1
OBL2
OBL3
OBL4
F1
F2
F3
F4
N1=0
N2=1
N3=1
N4=1
0
1
BL1
BL2
BL3
BL4
BL5
M11
M21
M31
M12
M22
M32
M13
M23
M33
M14
M24
M34
M15
M25
M35
2
1

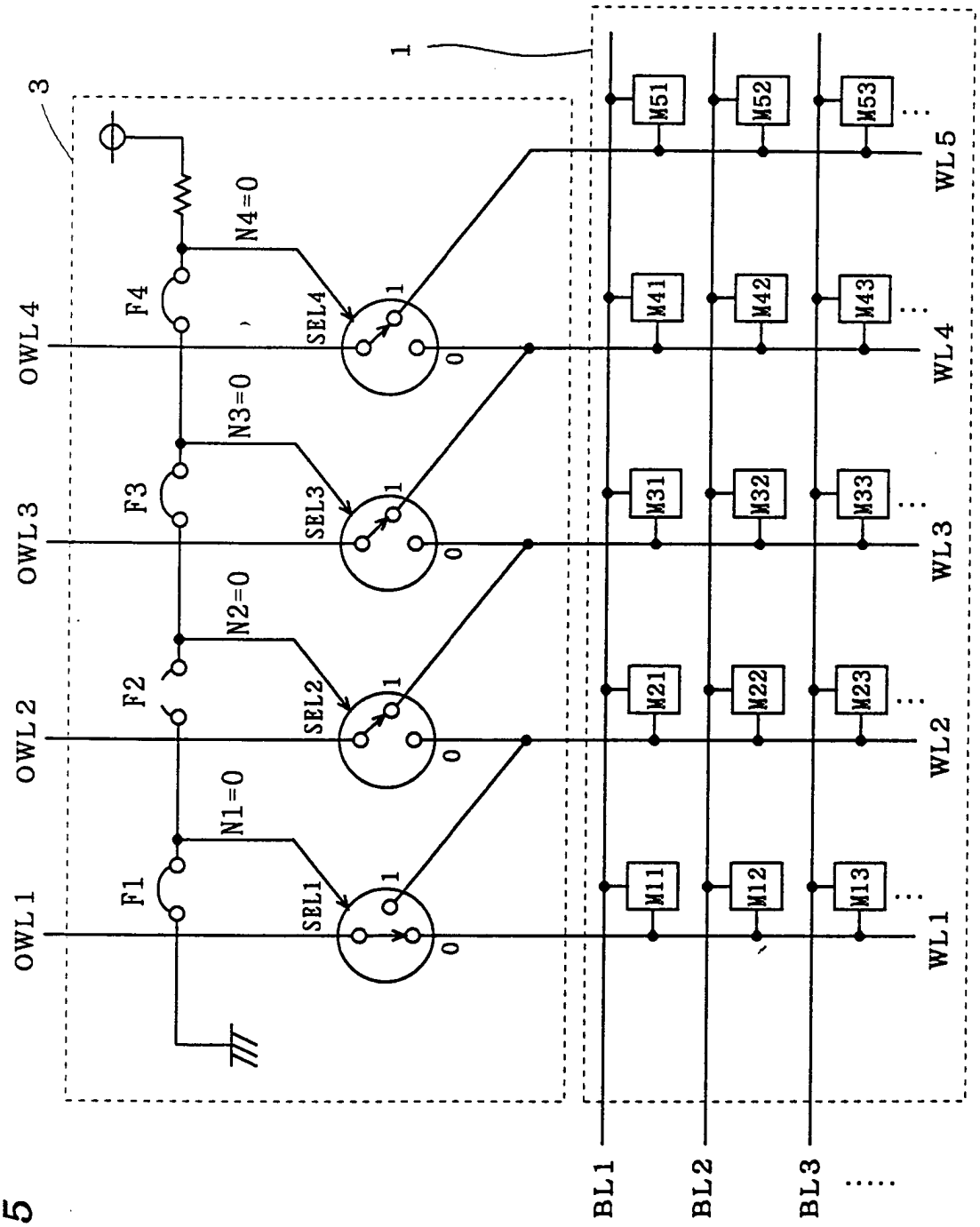

1
3
OWL1
OWL2
OWL3
OWL4
F1
F2
F3
F4
N1=0
N2=0
N3=0
N4=0
SEL1
SEL2
SEL3
SEL4
1
0
M11
M12
M13
M21
M22
M23
M31
M32
M33
M41
M42
M43
M51
M52
M53
WL1
WL2
WL3
WL4
WL5
BL1
BL2
BL3

FIG. 55