



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I632541 B

(45) 公告日：中華民國 107 (2018) 年 08 月 11 日

(21) 申請案號：105141608

(22) 申請日：中華民國 105 (2016) 年 12 月 15 日

(51) Int. Cl. : G09G3/3225 (2016.01)

(30) 優先權：2015/12/30 南韓

10-2015-0189958

(71) 申請人：南韓商 L G 顯示器股份有限公司 (南韓) LG DISPLAY CO., LTD. (KR)  
南韓

(72) 發明人：盧石 NOH, SEOK (KR) ; 韓仁孝 HAN, INHYO (KR)

(74) 代理人：侯德銘

(56) 參考文獻：

TW I493872

TW I500012

TW 201110095A

CN 103714789A

US 2013/0106677A1

審查人員：葉月芬

申請專利範圍項數：14 項 圖式數：6 共 30 頁

(54) 名稱

閘極驅動模組及閘極內嵌面板

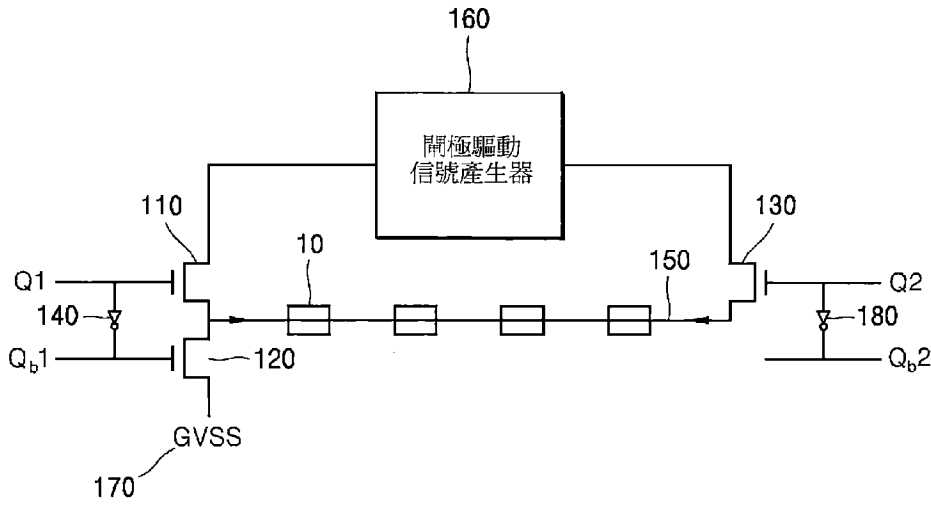
GATE DRIVING MODULE AND GATE-IN-PANEL

(57) 摘要

一種閘極驅動模組及一種閘極內嵌面板，包括：第一上拉薄膜電晶體，其一端子連接至一閘極驅動信號產生器及另一端子連接至第一閘極線之一末端；第一下拉薄膜電晶體，其一端子連接至該第一閘極線的該末端及另一端子連接至一低位準電壓端；及第二上拉薄膜電晶體，其一端子連接至該閘極驅動信號產生器及另一端子連接至相對於該第一閘極線之該末端的另一末端，其中，當該第一上拉薄膜電晶體及該第二上拉薄膜電晶體被開啟時，該第一下拉薄膜電晶體被關閉，及當該第一上拉薄膜電晶體和該第二上拉薄膜電晶體被關閉時，該第一下拉薄膜電晶體被開啟。

A gate driving module and a gate-in-panel comprising a first pull-up TFT having a terminal connected to a gate driving signal generator and another terminal connected to an end of a first gate line, a first pull-down TFT having a terminal connected to the end of the first gate line and another terminal connected to a low-level voltage terminal, and a second pull-up TFT having a terminal connected to the gate driving signal generator and another terminal connected to another end opposite to the end of the first gate line, wherein the first pull-down TFT is turned off when the first pull-up TFT and the second pull-up TFT are turned on, and the first pull-down TFT is turned on when the first pull-up TFT and the second pull-up TFT are turned off.

指定代表圖：



符號簡單說明：

- 10 . . . 像素結構
- 110 . . . 第一上拉薄膜電晶體
- 120 . . . 第一下拉薄膜電晶體
- 130 . . . 第二上拉薄膜電晶體
- 140 . . . 第一反向器
- 150 . . . 第一閘極線
- 160 . . . 閘極驅動信號產生器
- 170 . . . 低位準電壓端
- 180 . . . 第二反向器

第1圖

# 【發明說明書】

## 【中文發明名稱】

閘極驅動模組及閘極內嵌面板

## 【英文發明名稱】

GATE DRIVING MODULE AND GATE-IN-PANEL

## 【技術領域】

【0001】 本發明涉及一種閘極驅動模組及一種閘極內嵌面板，尤其涉及可藉由共享下拉薄膜電晶體（Thin Film Transistor, TFT）降低 TFT 的數量，以藉此降低邊框厚度的一種閘極驅動模組及一種閘極內嵌面板。

## 【先前技術】

【0002】 在今日之資訊技術時代，與平面顯示裝置相關之技術（例如，以可視影像之形式包含於電子信號中之資訊）正在快速地發展。尤其，用於發展出具有更低功耗之更薄與更輕量的平面顯示裝置的研究在持續中。

【0003】 平面顯示裝置包括液晶顯示裝置(LCD)、電漿顯示平板裝置(PDP)、場發射顯示裝置(FED)、電致發光顯示裝置(ELD)、電濕顯示裝置(EWD)及有機發光顯示裝置(OLED)。

【0004】 在這些裝置中，有機發光顯示裝置藉由使用自發光之有機發光二極體而產生影像。這樣的有機發光顯示裝置包括兩個或更多之以不同顏色發光之有機發光二極體，以可在不使用如其他裝置（例如，液晶顯示裝置）之額外的色彩濾光層而顯示有色影像。此外，既然有機發光顯示裝置不需要另外的光源，相對於液晶顯示裝置，有機發光顯示裝置可更輕量、更薄及具有更寬的視角。此外，有機發光顯示裝置的反應速度比液晶顯示裝置的反應速度快了至少一千倍，以使其幾乎不遺留殘像。

【0005】 這樣的有機發光顯示裝置藉由施加電壓至閘極線來開啓掃描電晶體以顯示影像。當掃描電晶體被開啓時，該電壓藉由資料線而施加，以開啓驅動電晶體。當驅動電晶體被開啓時，電流流過驅動電晶體，以開啓有機發光二極體。爲了執行這些功能，需要用於施加電壓至閘極線的閘

極驅動模組。

【0006】 傳統的閘極驅動模組具有包括用於驅動閘極線之大數量 TFT 的缺陷，因此，閘極驅動模組的邊框是較厚的。此外，既然，傳統的閘極驅動模組具有較厚邊框，對於使用者來說，要融入螢幕上所顯示的內容是困難的，以及面板的整體體積是增加的。此外，目前的閘極驅動模組具有用於驅動閘極線之大數量的  $Q_b$  節點及逆變器的問題。

#### 【發明內容】

【0007】 本發明的一目標在於提供一種閘極驅動模組及一種閘極內嵌面板，其藉由共享下拉薄膜電晶體降低薄膜電晶體的數量。

【0008】 本發明的另一目標在於提供一種閘極驅動模組及一種閘極內嵌面板，其藉由降低薄膜電晶體的數量降低邊框厚度。

【0009】 本發明的另一目標在於提供一種閘極驅動模組及一種閘極內嵌面板，其藉由降低邊框厚度讓使用者有更融入的視覺體驗。

【0010】 本發明的另一目標在於提供一種閘極驅動模組及一種閘極內嵌面板，其藉由降低邊框厚度降低面板的整體體積。

【0011】 本發明的另一目標在於提供一種閘極驅動模組及一種閘極內嵌面板，其藉由共享一  $Q_b$  節點降低  $Q_b$  節點的數量。

【0012】 本發明的另一目標在於提供一種閘極驅動模組及一種閘極內嵌面板，其藉由共享一  $Q_b$  節點降低反向器的數量。

【0013】 本發明的另一目標在於提供一種閘極驅動模組及一種閘極內嵌面板，其控制一掃描電晶體的開啓及關閉操作。

【0014】 本發明的另一目標在於提供一種閘極驅動模組及一種閘極內嵌面板，其藉由控制一掃描電晶體的開啓及關閉操作控制一有機發光二極體的開啓及關閉時序。

【0015】 本發明的另一目標在於提供一種閘極驅動模組及一種閘極內嵌面板，其可同時地將一閘極驅動信號施加至一第一上拉薄膜電晶體以及一第二上拉薄膜電晶體。

【0016】 本發明的另一目標在於提供一種閘極驅動模組及一種閘極內嵌面板，其同時地將一閘極驅動信號施加至一第一上拉薄膜電晶體以及一第二上拉薄膜電晶體，以藉此降低施加至一主動區域之電壓信號之間的

延遲。

【0017】 依據發明的一態樣，提供一種閘極驅動模組，其可藉由共享一下拉薄膜電晶體降低薄膜電晶體的數量，以及藉此降低邊框厚度。

【0018】 更特別地，當一第一上拉薄膜電晶體及一第二上拉薄膜電晶體被開啓時，一第一下拉薄膜電晶體被關閉。當該第一上拉薄膜電晶體及該第二上拉薄膜電晶體被關閉時，該第一下拉薄膜電晶體被開啓。當該第一上拉薄膜電晶體及該第二上拉薄膜電晶體被開啓時，一閘極驅動信號藉由該第一上拉薄膜電晶體及該第二上拉薄膜電晶體施加至該閘極線。接著，當該第一下拉薄膜電晶體被開啓時，一低位準電壓信號藉由該第一下拉薄膜電晶體施加至該閘極線。如上所述，僅藉由使用該第一上拉薄膜電晶體、該第二上拉薄膜電晶體及該第一下拉薄膜電晶體，施加該閘極驅動信號及該低位準電壓信號，以藉此降低薄膜電晶體的數量以及降低邊框厚度。

【0019】 該閘極驅動模組可進一步包括：一第一反向器，其一端子連接至該第一上拉薄膜電晶體的閘極端以及另一端子連接至該第一下拉薄膜電晶體的閘極端。

【0020】 藉由一第三反向器連接至一第三上拉薄膜電晶體的閘極端的一  $Q_{b3}$  節點可連接至一  $Q_{b2}$  節點。該  $Q_{b2}$  節點可藉由一第二反向器連接至該第二上拉薄膜電晶體的閘極端。如上所述，該  $Q_{b3}$  節點連接至該  $Q_{b2}$  節點，以使該  $Q_b$  節點的數量可以降低以及反向器數量可以降低。

【0021】 據此，該閘極驅動模組可共享該下拉薄膜電晶體及該  $Q_b$  節點，以藉此降低薄膜電晶體數量、 $Q_b$  節點數量及反向器數量。

【0022】 依據本說明的另一態樣，提供一種閘極內嵌面板，其可藉由共享一下拉薄膜電晶體降低薄膜電晶體的數量，以及藉此降低邊框厚度。

【0023】 更特別地，當第一上拉薄膜電晶體及第二上拉薄膜電晶體被開啓時，第一下拉薄膜電晶體被關閉。當該第一上拉薄膜電晶體及該第二上拉薄膜電晶體被關閉時，該第一下拉薄膜電晶體被開啓。當該第一上拉薄膜電晶體及該第二上拉薄膜電晶體被開啓時，一閘極驅動信號藉由該第一上拉薄膜電晶體及該第二上拉薄膜電晶體施加至該閘極線。接著，當該第一下拉薄膜電晶體被開啓時，一低位準電壓信號藉由該第一下拉薄膜電

晶體施加至該閘極線。如上所述，僅藉由使用該第一上拉薄膜電晶體、該第二上拉薄膜電晶體及該第一下拉薄膜電晶體，施加該閘極驅動信號及該低位準電壓信號，以藉此降低薄膜電晶體的數量以及降低邊框厚度。

【0024】 該閘極內嵌面板可進一步包括：一主動區域，通過由該第一閘極線所施加的一閘極驅動信號，在該主動區域中實施一掃描操作。

【0025】 該閘極內嵌面板可進一步包括：一第一反向器，其一端子連接至該第一上拉薄膜電晶體的閘極端以及另一端子連接至該第一下拉薄膜電晶體的閘極端。

【0026】 藉由一第三反向器連接至一第三上拉薄膜電晶體的閘極端的一  $Q_b3$  節點可連接至一  $Q_b2$  節點。該  $Q_b2$  節點可藉由一第二反向器連接至該第二上拉薄膜電晶體的閘極端。如上所述，該  $Q_b3$  節點連接至該  $Q_b2$  節點，以使該  $Q_b$  節點的數量可以降低以及反向器數量可以降低。

【0027】 據此，該閘極內嵌面板可共享該下拉薄膜電晶體及該  $Q_b$  節點，以藉此降低薄膜電晶體數量、 $Q_b$  節點數量及反向器數量。

【0028】 依據本發明之一範例實施例，藉由共享一下拉薄膜電晶體，可降低薄膜電晶體的數量。例如，藉由降低邊框的厚度讓使用者有一個更融入的視覺體驗，依據本發明一範例實施例的閘極驅動模組及閘極內嵌面板可被有效地使用。亦即，具有更薄邊框的該顯示裝置提供更多的螢幕空間，以當使用者觀看電影或戲劇時，可融入螢幕上所顯示的內容。

【0029】 此外，依據本發明的一範例實施例，藉由降低邊框厚度，面板的整體體積相對於螢幕尺寸可被降低。例如，藉由降低面板的整體體積以降低多餘的空間，依據本發明一範例實施例的閘極驅動模組及閘極內嵌面板可被有效地使用。

【0030】 此外，依據本發明的一範例實施例，藉由共享一  $Q_b$  節點，該  $Q_b$  節點的數量可被減少。例如，藉由將一  $Q_b$  節點連接至另一  $Q_b$  節點而降低  $Q_b$  節點的數量，依據本發明一範例實施例的閘極驅動模組及閘極內嵌面板可被有效地使用。藉由共享一  $Q_b$  節點，連接至該  $Q_b$  節點的反向器也可被共享，以使邊框厚度降低。

【0031】 此外，依據本發明的一範例實施例，一掃描電晶體的開啓及關閉操作可被控制。例如，藉由控制一上拉薄膜電晶體及一下拉薄膜電晶

體的開啓及關閉操作，控制施加至一閘極線的一電壓信號，依據本發明一範例實施例的閘極驅動模組及閘極內嵌面板可被有效地使用。

【0032】 此外，藉由控制該掃描電晶體的開啓及關閉操作，該有機發光二極體的開啓及關閉時序可被控制。例如，藉由以任意順序開啓或關閉有機發光二極體，依據本發明一範例實施例的閘極驅動模組及閘極內嵌面板可被有效地使用。

【0033】 此外，依據本發明的一範例實施例，施加至主動區域的電壓信號之間的延遲可被降低。例如，當施加至該主動區域的電壓信號為非均勻以使該等有機發光二極體的開啓及關閉的時序成為不穩定時，依據本發明一範例實施例的閘極驅動模組及閘極內嵌面板可被有效地使用。

### 【圖式簡單說明】

#### 【0034】

第 1 圖為說明依據本發明範例實施例的閘極驅動模組的圖式；

第 2 圖 (a) 為顯示依據本發明範例實施例的閘極驅動信號的圖式；

第 2 圖 (b) 為顯示依據本發明範例實施例施加至上拉薄膜電晶體的閘極端的電壓信號的圖式；

第 2 圖 (c) 為顯示依據本發明範例實施例施加至下拉薄膜電晶體的閘極端的電壓信號的圖式；

第 2 圖 (d) 為顯示依據本發明範例實施例施加閘極線的電壓信號的圖式；

第 3 圖為依據本發明範例實施例的像素結構的等效電路圖；

第 4 圖為說明依據本發明另一範例實施例的閘極驅動模組的圖式；

第 5 圖為說明依據本發明範例實施例的閘極內嵌面板的圖式；以及

第 6 圖為說明依據本發明另一範例實施例的閘極內嵌面板的圖式。

### 【實施方式】

【0035】 從參考所附圖式之詳細說明，以清楚說明上述目的、特徵及優勢。本發明將詳細地說明該等實施例，以使熟析本領域的技術人員可輕易地實施本發明的技術思想。將省略對於熟知之功能或配置的描述，以避

免非必要的模糊本發明的焦點。以下，將參考所附圖式，詳細說明本發明之實施例。在該等圖式中，相同的元件符號指的是相同的元件。

【0036】 第 1 圖為說明依據本發明範例實施例的閘極驅動模組的圖式。參考第 1 圖，依據本發明範例實施例的閘極驅動模組可包括：第一上拉薄膜電晶體 110；第一下拉薄膜電晶體 120；以及第二上拉薄膜電晶體 130。第 1 圖中的閘極驅動模組僅為本發明的範例實施例，以及該等元件並不限於第 1 圖所示的元件。如果有需要的話，可增加其他元件，或者修改或刪除該等元件。

【0037】 第 2 圖 (a) 為顯示依據本發明範例實施例的閘極驅動信號的圖式。第 2 圖 (b) 為顯示依據本發明範例實施例施加至上拉薄膜電晶體的閘極端的電壓信號的圖式。

【0038】 第 2 圖 (c) 為顯示依據本發明範例實施例施加至下拉薄膜電晶體的閘極端的電壓信號的圖式。第 2 圖 (d) 為顯示依據本發明範例實施例施加閘極線的電壓信號的圖式。

【0039】 第 3 圖為依據本發明範例實施例的像素結構 10 的等效電路圖。以下，將參考第 1 圖至第 3 圖，詳細描述依據本發明範例實施例的閘極驅動模組。

【0040】 第一上拉薄膜電晶體 110 的一端子可連接至閘極驅動信號產生器 160，以及第一上拉薄膜電晶體 110 的另一端子可連接至第一閘極線 150 的一末端。該第一上拉薄膜電晶體 110 可為金屬氧化物半導體場效電晶體、雙極性電晶體或絕緣閘雙極電晶體，但第一上拉薄膜電晶體 110 的類型並不限於此。閘極驅動信號產生器 160 為產生閘極驅動信號 CLK1、CLK2、CLK3、CLK4 的元件。閘極驅動信號 CLK1、CLK2、CLK3、CLK4 指的是電壓信號，該等電壓信號施加至閘極線以開啓掃描電晶體 Scan\_Tr。例如，閘極驅動信號 CLK1、CLK2、CLK3、CLK4 可為時脈信號，但不限於此。

【0041】 第一下拉薄膜電晶體 120 的一端子可連接至第一閘極線 150 的該末端，以及第一下拉薄膜電晶體 120 的另一端子可連接至低位準電壓端 170。低位準電壓端 170 為將直流電壓信號提供至第一下拉薄膜電晶體 120 之源極端的元件。低位準電壓端 170 可為直流電壓源，但不限於此。第

一下拉薄膜電晶體 120 可為金屬氧化物半導體場效電晶體、雙極性電晶體或絕緣閘雙極電晶體，但第一下拉薄膜電晶體 120 的類型並不限於此。

【0042】 第二上拉薄膜電晶體 130 的一端子可連接至閘極驅動信號產生器 160，以及第二上拉薄膜電晶體 130 的另一端子可連接至第一閘極線 150 的另一末端。第二上拉薄膜電晶體 130 可為金屬氧化物半導體場效電晶體、雙極性電晶體或絕緣閘雙極電晶體，但第二上拉薄膜電晶體 130 的類型並不限於此。第一上拉薄膜電晶體 110、第一下拉薄膜電晶體 120 及第二上拉薄膜電晶體 130 可為相同或不同的類型。設置第一上拉薄膜電晶體 110、第一下拉薄膜電晶體 120 及第二上拉薄膜電晶體 130 的位置可與第 1 圖所示的位置相同或不同。

【0043】 例如，當第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 被開啓時，第一下拉薄膜電晶體 120 被關閉。當第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 被關閉時，第一下拉薄膜電晶體 120 可被開啓。參考第 2 圖 (b)，信號 210 可施加至第一上拉薄膜電晶體 110 的閘極端。當信號 210 施加至第一上拉薄膜電晶體 110 的閘極端時，第一上拉薄膜電晶體 110 可在區間 230 時被開啓。

【0044】 另一方面，參考第 2 圖 (c)，信號 220 可施加至第一下拉薄膜電晶體 120 的閘極端。該信號 220 可為信號 210 的反向信號。當信號 220 施加至第一下拉薄膜電晶體 120 的閘極端時，第一下拉薄膜電晶體 120 可在區間 230 時被關閉。第 2 圖 (b) 至第 2 圖 (c) 所示之反相位 (anti-phase) 的信號可施加至第一上拉薄膜電晶體 110 及第一下拉薄膜電晶體 120 的閘極端，以使該等薄膜電晶體以一重複序列同時且分別地被開啓及關閉，反之亦然。

【0045】 例如，閘極驅動模組可進一步包括第一反向器 140，其具有連接至第一上拉薄膜電晶體 110 的閘極端的一端子以及連接至第一下拉薄膜電晶體 120 的閘極端的另一端子。第一反向器 140 可將提供至 Q1 節點的信號相位反向，以將其輸出至 Q<sub>b</sub>1 節點。例如，第一反向器 140 可將第 2 圖 (b) 所示的信號 210 改變為第 2 圖 (c) 所示的信號 220，以將其輸出且施加至第一下拉薄膜電晶體 120。當第一反向器 140 將第 2 圖 (b) 所示的信號 210 改變為第 2 圖 (c) 所示的信號 220 以將其輸出時，第一上拉薄膜

電晶體 110 及第一下拉薄膜電晶體 120 可依據第 2 圖 (b) 至第 2 圖 (c) 所示的反相位信號 210、220 以一重複序列同時且分別地被開啓及關閉。

【0046】 依據本發明的範例實施例，施加至第一上拉薄膜電晶體 110 之閘極端的信號 210 可施加至 Q1 節點，以及施加至第一下拉薄膜電晶體 120 之閘極端的信號 220 可施加至 Q<sub>b</sub>1 節點。施加至 Q1 節點的信號 210 可由反向器反向，以施加至第一下拉薄膜電晶體 120 的閘極端。該等信號可以與上述方式不同的方式施加至第一上拉薄膜電晶體 110 的閘極端以及第一下拉薄膜電晶體 120 的閘極端。

【0047】 然而，第二上拉薄膜電晶體 130 及第一上拉薄膜電晶體 110 可被同時地開啓。特別地，第 2 圖 (b) 所示的信號 210 也可施加至第二上拉薄膜電晶體 130 的閘極端。當信號 210 施加至第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 的閘極端且信號 220 施加至第一下拉薄膜電晶體 120 的閘極端時，第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 被開啓且第一下拉薄膜電晶體 120 被關閉，反之亦然。藉由同時開啓第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130，可在當像素開啓時，防止時間點之間的延遲。

【0048】 例如，當第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 被開啓且第一下拉薄膜電晶體 120 被關閉時，由閘極驅動信號產生器 160 所產生的閘極驅動信號 CLK1、CLK2、CLK3、CLK4 可藉由第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 被施加至第一閘極線 150。此外，當第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 被關閉且第一下拉薄膜電晶體 120 被開啓時，低位準電壓信號可藉由第一下拉薄膜電晶體 120 被施加至第一閘極線 150。該低位準電壓信號可為直流電壓信號。

【0049】 更特別地，當信號 210 施加至第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 時，第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 在區間 230 時被開啓。當第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 被開啓時，部份的閘極驅動信號 CLK1、CLK2、CLK3、CLK4 可藉由第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 被施加至第一閘極線 150。參考第 2 圖 (a) 至第 2 圖 (d)，閘極驅動信號 CLK1、CLK2、CLK3、CLK4 中之的號 CLK1 可施加至第一上拉薄膜電晶體 110 及第二上

拉薄膜電晶體 130 的至少其中之一。當第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 被開啓時，第一下拉薄膜電晶體 120 可被關閉。在此之後，信號 220 可施加至第一下拉薄膜電晶體 120 的閘極端以將其開啓，在此同時，第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 被關閉。當第一下拉薄膜電晶體 120 被開啓時，低位準電壓信號可施加至第一閘極線 150。當第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 被關閉時，閘極驅動信號 CLK1、CLK2、CLK3、CLK4 無法繼續被施加至第一閘極線 150。因此，第 2 圖 (d) 所示的信號 330 可施加至第一閘極線 150，以及信號 330 可開啓第 3 圖所示的掃描電晶體 Scan\_Tr。

【0050】 參考第 3 圖，當信號 330 施加至第一閘極線 150 時，掃描電晶體 Scan\_Tr 被開啓。當掃描電晶體 Scan\_Tr 開啓時，資料電壓信號 Vdata 施加至資料線 13。施加資料電壓信號至資料線 13 的元件可為資料驅動器。施加至資料線 13 的資料電壓信號 Vdata 藉由掃描電晶體 Scan\_Tr 施加至電容 Cst 或驅動電晶體 Dr\_Tr 的閘極端。當資料電壓信號施加至驅動電晶體 Dr\_Tr 的閘極端時，驅動電晶體 Dr\_Tr 被開啓。當驅動電晶體 Dr\_Tr 開啓時，電流流經驅動電晶體 Dr\_Tr。流經驅動電晶體 Dr\_Tr 之電流可將有機發光二極體開啓。

【0051】 以上述的方式，依據本發明範例實施例的閘極驅動模組可控制掃描電晶體 Scan\_Tr 的開啓及關閉操作。此外，藉由控制掃描電晶體 Scan\_Tr 的開啓及關閉操作，有機發光二極體的開啓及關閉時序可被控制。

【0052】 第 4 圖為說明依據本發明另一範例實施例之閘極驅動模組的圖式。參考第 4 圖，依據本發明另一範例實施例的閘極驅動模組進一步包括：第三上拉薄膜電晶體 510；第二下拉薄膜電晶體 520；第四上拉薄膜電晶體 540；Q3 節點；以及 Q<sub>b</sub>3 節點。

【0053】 第三上拉薄膜電晶體 510 的一端子可連接至第二閘極線的閘極驅動信號產生器 160，以及第三上拉薄膜電晶體 510 的另一端子可連接至第二閘極線 550 的一末端。第一閘極線的閘極驅動信號產生器可與第二閘極線的閘極驅動信號產生器類型相同或類型不同。第三上拉薄膜電晶體 510 可與第一上拉薄膜電晶體 110 類型相同或類型不同。此外，第三上拉薄膜電晶體 510 可以與上述第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體

130 的相同方式來驅動。

【0054】  $Q_{b3}$  節點可連接至第二下拉薄膜電晶體 520 的閘極端，以及可藉由第三反向器 530 可連接至第三上拉薄膜電晶體 510 的閘極端。第三上拉薄膜電晶體 510、第二下拉薄膜電晶體 520、 $Q_3$  節點、 $Q_{b3}$  節點以及第三反向器 530 的結構、功能、及操作可以類似於第 1 圖中那些類似的元件。此外， $Q_{b3}$  節點可連接至  $Q_{b2}$  節點， $Q_{b2}$  節點藉由第二反向器 180 連接至第二上拉薄膜電晶體 130 的閘極端。 $Q_{b3}$  節點可具有與上述  $Q_{b1}$  節點相同的結構及功能。

【0055】  $Q_{b3}$  節點依據本發明的該範例實施例連接至  $Q_{b2}$  節點，以使  $Q_{b3}$  節點也可執行  $Q_{b2}$  節點的功能。當  $Q_{b3}$  節點執行  $Q_{b2}$  節點的功能時，可省略  $Q_{b2}$  節點。此外，反向器 530 執行反向器 180 的功能，因此，可省略反向器 180。依據本發明的再一範例實施例，藉由省略  $Q_{b2}$  節點及反向器 180，閘極驅動模組可降低邊框的厚度。

【0056】 在第 4 圖中，依據本發明另一範例實施例的閘極驅動模組可進一步包括第四上拉薄膜電晶體 540 以及  $Q_{b4}$  節點。

【0057】 第四上拉薄膜電晶體 540 的一端子可連接至閘極驅動信號產生器 160，以及第四上拉薄膜電晶體 540 的另一端子可連接至第二閘極線的另一末端。第四上拉薄膜電晶體 540 可為金屬氧化物半導體場效電晶體、雙極性電晶體或絕緣閘雙極電晶體，但第四上拉薄膜電晶體 540 的類型並不限於此。設置第三上拉薄膜電晶體 510、第一下拉薄膜電晶體 120 及第四上拉薄膜電晶體 540 的位置可以與第 4 圖所示的位置相同或不同。另一方面，第四上拉薄膜電晶體 540 及第三上拉薄膜電晶體 510 可以同時地被開啓。更特別地，第 2 圖 (b) 所示的信號 210 也可施加至第四上拉薄膜電晶體 540 的閘極端。當信號 210 施加至第三上拉薄膜電晶體 510 及第四上拉薄膜電晶體 540 的閘極端且信號 220 施加至第二下拉薄膜電晶體 520 的閘極端時，第三上拉薄膜電晶體 510 及第四上拉薄膜電晶體 540 被開啓且第二下拉薄膜電晶體 520 被關閉，反之亦然。藉由同時開啓第三上拉薄膜電晶體 510 及第四上拉薄膜電晶體 540，可在當像素開啓時，防止時間點之間的延遲。

【0058】 閘極驅動模組可進一步包括反向器 560，其一端子連接至第

四上拉薄膜電晶體 540 的閘極端以及另一端子連接至  $Q_{b4}$  節點。該  $Q_{b4}$  節點可連接至  $Q_{b1}$  節點。該  $Q_{b4}$  節點可具有與上述  $Q_{b3}$  節點相同的結構及功能。

【0059】 當  $Q_{b4}$  節點執行  $Q_{b1}$  節點的功能時，可省略  $Q_{b1}$  節點。此外，反向器 560 執行反向器 140 的功能，因此，可省略反向器 140。

【0060】 第 5 圖為說明依據本發明範例實施例的閘極內嵌面板的圖式。參考第 5 圖，依據本發明範例實施例的閘極內嵌面板可包括：第一上拉薄膜電晶體 110；第一下拉薄膜電晶體 120；第二上拉薄膜電晶體 130；以及主動區域 1100。第 5 圖所示的閘極內嵌面板僅為本發明的一範例實施例，而該等元件並不受限於第 5 圖所示的該等元件。如果有需要的話，可增加其他元件，或者修改或刪除該等元件。

【0061】 第一上拉薄膜電晶體 110 的一端子可連接至第一閘極線 150 的閘極驅動信號產生器 160，以及第一上拉薄膜電晶體 110 的另一端子可連接至第一閘極線 150 的一末端。第一上拉薄膜電晶體 110 可為金屬氧化物半導體場效電晶體、雙極性電晶體或絕緣閘雙極電晶體，但第一上拉薄膜電晶體 110 的類型並不限於此。閘極驅動信號產生器 160 為產生閘極驅動信號 CLK1、CLK2、CLK3、CLK4 的元件。閘極驅動信號 CLK1、CLK2、CLK3、CLK4 指的是電壓信號，該等電壓信號施加至閘極線以開啓掃描電晶體 Scan\_Tr。例如，閘極驅動信號 CLK1、CLK2、CLK3、CLK4 可為時脈信號，但不限於此。

【0062】 第一下拉薄膜電晶體 120 的一端子可連接至第一閘極線 150 的末端，以及第一下拉薄膜電晶體 120 的另一端子可連接至低位準電壓端 170。低位準電壓端 170 為將直流電壓信號提供至第一下拉薄膜電晶體 120 之源極端的元件。低位準電壓端 170 可為直流電壓源，但不限於此。第一下拉薄膜電晶體 120 可為金屬氧化物半導體場效電晶體、雙極性電晶體或絕緣閘雙極電晶體，但第一下拉薄膜電晶體 120 的類型並不限於此。

【0063】 第二上拉薄膜電晶體 130 的一端子可連接至閘極驅動信號產生器 160，以及第二上拉薄膜電晶體 130 的另一端子可連接至第一閘極線 150 的另一末端。第二上拉薄膜電晶體 130 可為金屬氧化物半導體場效電晶體、雙極性電晶體或絕緣閘雙極電晶體，但第二上拉薄膜電晶體 130 的類

型並不限於此。第一上拉薄膜電晶體 110、第一下拉薄膜電晶體 120 及第二上拉薄膜電晶體 130 可為相同或不同的類型。設置第一上拉薄膜電晶體 110、第一下拉薄膜電晶體 120 及第二上拉薄膜電晶體 130 的位置可與第 1 圖所示的位置相同或不同。

【0064】 例如，當第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 被開啓時，第一下拉薄膜電晶體 120 可被關閉。當第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 被關閉時，第一下拉薄膜電晶體 120 可被開啓。參考第 2 圖 (b)，一信號 210 可施加至第一上拉薄膜電晶體 110 的閘極端。當信號 210 施加至第一上拉薄膜電晶體 110 的閘極端時，第一上拉薄膜電晶體 110 可在區間 230 時被開啓。

【0065】 另一方面，參考第 2 圖 (c)，信號 220 可施加至第一下拉薄膜電晶體 120 的閘極端。當信號 220 施加至第一下拉薄膜電晶體 120 的閘極端時，第一下拉薄膜電晶體 120 可在區間 230 時被關閉。依據第 2 圖 (b) 及第 2 圖 (c) 所示之反相位的信號 210、220，第 2 圖 (a) 至第 2 圖 (d) 所示的反相位信號可施加至第一上拉薄膜電晶體及第一下拉薄膜電晶體的閘極端，以使該等薄膜電晶體以一重複序列同時且分別地被開啓及關閉。

【0066】 例如，閘極驅動模組可進一步包括第一反向器 140，其具有連接至第一上拉薄膜電晶體 110 的閘極端的一端子以及連接至第一下拉薄膜電晶體 120 之閘極端的另一端子。第一反向器 140 可將提供至 Q1 節點的信號相位反向，以將其輸出至 Q<sub>b1</sub> 節點。例如，第一反向器 140 可將第 2 圖 (b) 所示的信號 210 改變為第 2 圖 (c) 所示的信號 220，以將其輸出。當第一反向器 140 將第 2 圖 (b) 所示的信號 210 改變為第 2 圖 (c) 所示的信號 220 以將其輸出時，第一上拉薄膜電晶體 110 及第一下拉薄膜電晶體 120 被重複地開啓及關閉。

【0067】 依據本發明的範例實施例，施加至第一上拉薄膜電晶體 110 的閘極端的信號 210 可施加至 Q1 節點，以及施加至第一下拉薄膜電晶體 120 的閘極端的信號 220 可施加至 Q<sub>b1</sub> 節點。施加至第一上拉薄膜電晶體 110 的閘極端的信號 210 可施加至 Q1 節點且被反向器反向為信號 220 而被施加至第一下拉薄膜電晶體 120 的閘極端，反之亦然。因此，第一上拉薄膜電晶體 110 及第一下拉薄膜電晶體 120 可同時且分別地被開啓及關閉，反之

亦然。該等信號可以與上述方式不同之方式施加至第一上拉薄膜電晶體 110 之閘極端以及第一下拉薄膜電晶體 120 的閘極端。

**【0068】** 另一方面，第二上拉薄膜電晶體 130 及第一上拉薄膜電晶體 110 可同時地被開啓。特別地，第 2 圖 (b) 所示的信號 210 也可施加至第二上拉薄膜電晶體 130 的閘極端。當信號 210 施加至第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 的閘極端且信號 220 施加至第一下拉薄膜電晶體 120 的閘極端時，第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 被開啓且第一下拉薄膜電晶體 120 被關閉，反之亦然。藉由同時開啓第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130，可在當像素開啓時，防止時間點之間的延遲。

**【0069】** 例如，當第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 被開啓且第一下拉薄膜電晶體 120 被關閉時，由閘極驅動信號產生器 160 所產生的閘極驅動信號 CLK1、CLK2、CLK3、CLK4 可藉由第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 被施加至第一閘極線 150。此外，當第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 被關閉且第一下拉薄膜電晶體 120 被開啓時，低位準電壓信號可藉由第一下拉薄膜電晶體 120 被施加至第一閘極線 150。該低位準電壓信號可為直流電壓信號。

**【0070】** 更特別地，當信號 210 施加至第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 時，第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 在區間 230 時被開啓，在這期間，第一下拉薄膜電晶體 120 可被關閉。當第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 被開啓時，部份的閘極驅動信號 CLK1、CLK2、CLK3、CLK4 可藉由第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 被施加至第一閘極線 150。參考第 2 圖 (a) 至第 2 圖 (d)，閘極驅動信號 CLK1、CLK2、CLK3、CLK4 中的信號 CLK1 可施加至上拉薄膜電晶體。在此之後，信號 220 可施加至第一下拉薄膜電晶體 120 的閘極端以將其開啓，在此同時，第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 被關閉。當第一下拉薄膜電晶體 120 被開啓時，低位準電壓信號可施加至第一閘極線 150。當第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 被關閉時，閘極驅動信號 CLK1、CLK2、CLK3、CLK4 無法繼續被施加至第一閘極線 150。因此，第 2 圖 (d) 所示的信號 330 可

施加至閘極線，以及信號 330 可開啓第 3 圖所示的掃描電晶體 Scan\_Tr。

【0071】 在主動區域 1100 中，藉由通過第一閘極線 150 施加閘極驅動信號 CLK1、CLK2、CLK3、CLK4，可實現部分的操作。主動區域 1100 可包括一個或多個像素結構 10。各個像素結構 10 可具有與第 3 圖所示之等效電路相同的配置。白、紅、綠、藍有機發光二極體可以在主動區域 1100 中的順序配置。具有相同顏色的有機發光二極體也可以一排的方式配置。

【0072】 將參考第 3 圖至第 5 圖，描述驅動主動區域 1100 的方法。當信號施加至第一閘極線 150 時，掃描電晶體 Scan\_Tr 被開啓。當掃描電晶體 Scan\_Tr 被開啓時，資料電壓信號被施加至資料線 13。施加資料電壓信號至資料線 13 的元件可為資料驅動器。施加至資料線 13 的資料電壓信號 Vdata 藉由掃描電晶體 Scan\_Tr 施加至電容 Cst 或驅動電晶體 Dr\_Tr 的閘極端。當資料電壓信號施加至驅動電晶體 Dr\_Tr 的閘極端時，驅動電晶體 Dr\_Tr 被開啓。當驅動電晶體 Dr\_Tr 開啓時，電流流經驅動電晶體 Dr\_Tr。流經驅動電晶體 Dr\_Tr 的電流可將有機發光二極體開啓。

【0073】 以上述之方式，依據本說明說範例實施例的閘極內嵌面板可控制掃描電晶體 Scan\_Tr 的開啓及關閉操作。此外，藉由控制該掃描電晶體 Scan\_Tr 的開啓及關閉操作，有機發光二極體的開啓及關閉時序可被控制。

【0074】 第 6 圖為說明依據本發明另一範例實施例之閘極內嵌面板的圖式。參考第 6 圖，依據本發明另一範例實施例的閘極內嵌面板進一步包括：第三上拉薄膜電晶體 510；以及 Q<sub>b3</sub> 節點。

【0075】 第三上拉薄膜電晶體 510 的一端子可連接至第二閘極線的閘極驅動信號產生器 160，以及第三上拉薄膜電晶體 510 的另一端子可連接至第二閘極線的一末端。第一閘極線的閘極驅動信號產生器可與第二閘極線的閘極驅動信號產生器類型相同或類型不同。第三上拉薄膜電晶體 510 可與第一上拉薄膜電晶體 110 類型相同或類型不同。此外，第三上拉薄膜電晶體 510 可以與上述第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 的相同方式來驅動。

【0076】 Q<sub>b3</sub> 節點可藉由第三反向器 530 連接至第三上拉薄膜電晶體 510 的閘極端。此外，該 Q<sub>b3</sub> 節點可連接至 Q<sub>b2</sub> 節點，該 Q<sub>b2</sub> 節點藉由第二反向器 180 連接至第二上拉薄膜電晶體 130 的閘極端。該 Q<sub>b3</sub> 節點可具有

與上述  $Q_{b1}$  節點相同的結構及功能。

【0077】  $Q_{b3}$  節點可依據本發明的該範例實施例連接至  $Q_{b2}$  節點，以使  $Q_{b3}$  節點也可執行  $Q_{b2}$  節點的功能。當  $Q_{b3}$  節點執行  $Q_{b2}$  節點的功能時，可省略  $Q_{b2}$  節點。此外，反向器 530 執行反向器 180 的功能，因此，可省略反向器 180。依據本發明的另一範例實施例，藉由省略  $Q_{b2}$  節點及反向器 180，閘極內嵌面板可降低邊框的厚度。

【0078】 在第 6 圖中，依據本發明另一範例實施例的閘極內嵌面板可進一步包括第四上拉薄膜電晶體 540 以及  $Q_{b4}$  節點。

【0079】 第四上拉薄膜電晶體 540 的一端子可連接至閘極驅動信號產生器 160，以及第四上拉薄膜電晶體 540 的另一端子可連接至第二閘極線的另一末端。第四上拉薄膜電晶體 540 可為金屬氧化物半導體場效電晶體、雙極性電晶體或絕緣閘雙極電晶體，但第四上拉薄膜電晶體 540 的類型並不限於此。第三上拉薄膜電晶體 510、第一下拉薄膜電晶體 120 及第四上拉薄膜電晶體 540 的類型可以彼此相同或不同。設置第三上拉薄膜電晶體 510、第一下拉薄膜電晶體 120 及第四上拉薄膜電晶體 540 的位置可以與第 6 圖所示的位置相同或不同。

【0080】 另一方面，第四上拉薄膜電晶體 540 及第三上拉薄膜電晶體 510 可以同時地被開啓。更特別地，第 2 圖 (b) 所示的信號 210 也可施加至第四上拉薄膜電晶體 540 的閘極端。當信號 210 施加至第三上拉薄膜電晶體 510 及第四上拉薄膜電晶體 540 的閘極端且信號 220 施加至第二下拉薄膜電晶體 520 的閘極端時，第三上拉薄膜電晶體 510 及第四上拉薄膜電晶體 540 被開啓且第二下拉薄膜電晶體 520 被關閉，反之亦然。藉由同時開啓第三上拉薄膜電晶體 510 及第四上拉薄膜電晶體 540，可在當像素開啓時，防止時間點之間的延遲。

【0081】 閘極驅動模組可進一步包括反向器 560，其一端子連接至第四上拉薄膜電晶體 540 的閘極端以及另一端子連接至  $Q_{b4}$  節點。該  $Q_{b4}$  節點可連接至  $Q_{b1}$  節點。該  $Q_{b4}$  節點可具有與上述  $Q_{b3}$  節點相同的結構及功能。

【0082】 當  $Q_{b4}$  節點執行  $Q_{b1}$  節點的功能時，可省略  $Q_{b1}$  節點。此外，反向器 560 執行反向器 140 的功能，因此，可省略反向器 140。

【0083】 依據本發明的再一範例實施例，一種驅動閘極的方法包括：開啓一第一上拉薄膜電晶體及一第二上拉薄膜電晶體；藉由該第一上拉薄膜電晶體及該第二上拉薄膜電晶體施加一閘極驅動信號至一第一閘極線；關閉該第一上拉薄膜電晶體及該第二上拉薄膜電晶體；開啓一第一下拉薄膜電晶體；以及藉由該第一下拉薄膜電晶體施加一低位準電壓信號至該第一閘極線。

【0084】 初始時，本發明之依據該範例實施例的方法以開啓該第一上拉薄膜電晶體及該第二上拉薄膜電晶體作開始。爲了開啓該第一上拉薄膜電晶體及該第二上拉薄膜電晶體，第 2 圖 (b) 所示的信號可施加至該第一上拉薄膜電晶體及該第二上拉薄膜電晶體的該等閘極端。

【0085】 接著，該閘極驅動信號可藉由該第一上拉薄膜電晶體及該第二上拉薄膜電晶體施加至該第一閘極線。該閘極驅動信號可爲第 2 圖 (a) 所示的時脈信號，但不限於此。

【0086】 接著，該第一上拉薄膜電晶體及該第二上拉薄膜電晶體被關閉以及該第一下拉薄膜電晶體被開啓。該第一上拉薄膜電晶體及該第二上拉薄膜電晶體的開啓以及該第一下拉薄膜電晶體的關閉可同時地實施。

【0087】 當該第一下拉薄膜電晶體被開啓時，一低位準電壓信號藉由該第一下拉薄膜電晶體施加至該第一閘極線。該低位準電壓信號可爲直流電壓信號，但不限於此。藉由該第一下拉薄膜電晶體對該第一閘極線施加該低位準電壓信號可實施在藉由該第一上拉薄膜電晶體及該第二上拉薄膜電晶體對該第一閘極線施加該閘極驅動信號之前。此外，藉由該第一下拉薄膜電晶體對該第一閘極線施加該低位準電壓信號可實施在藉由該第一上拉薄膜電晶體及該第二上拉薄膜電晶體對該第一閘極線施加該閘極驅動信號之後。

【0088】 更特別地，當信號 210 施加至第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 時，第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 在區間 230 時被開啓。當第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 被開啓時，閘極驅動信號 CLK1、CLK2、CLK3、CLK4 可藉由第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 被施加至第一閘極線 150。接著，信號 220 被施加至第一下拉薄膜電晶體 120 的閘極端以將其開

啓，在此同時，第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 被關閉。當第一下拉薄膜電晶體 120 被開啓時，低位準電壓信號被施加至第一閘極線 150。當第一上拉薄膜電晶體 110 及第二上拉薄膜電晶體 130 被關閉時，閘極驅動信號 CLK1、CLK2、CLK3、CLK4 無法繼續被施加至第一閘極線 150。因此，第 2 圖 (d) 所示的信號 330 被施加至第一閘極線 150，以及信號 330 開啓第 3 圖所示的掃描電晶體 Scan\_Tr。

**【0089】** 參考第 3 圖，當信號 330 施加至第一閘極線 150 時，掃描電晶體 Scan\_Tr 被開啓。當掃描電晶體 Scan\_Tr 開啓時，資料電壓信號被施加至資料線 13。施加該資料電壓信號至資料線 13 的元件可為資料驅動器。施加至資料線 1 的資料電壓信號藉由掃描電晶體 Scan\_Tr 施加至電容 Cst 或驅動電晶體 Dr\_Tr 的閘極端。當資料電壓信號施加至驅動電晶體 Dr\_Tr 的閘極端時，驅動電晶體 Dr\_Tr 被開啓。當驅動電晶體 Dr\_Tr 開啓時，電流流經該驅動電晶體 Dr\_Tr。流經驅動電晶體 Dr\_Tr 的電流可將有機發光二極體開啓。

**【0090】** 以上述之的式，依據本發明範例實施例的該方法可控制掃描電晶體 Scan\_Tr 的開啓及關閉操作。此外，藉由控制掃描電晶體 Scan\_Tr 的開啓及關閉操作，有機發光二極體的開啓及關閉時序可被控制。

**【0091】** 依據本發明的一範例實施例，藉由共享下拉薄膜電晶體，可降低薄膜電晶體的數量。例如，藉由降低邊框的厚度讓使用者有一個更融入的視覺體驗，依據本發明一範例實施例的閘極驅動模組及閘極內嵌面板可被有效地使用。亦即，具有更薄邊框的顯示裝置提供更多的螢幕空間，以當使用者觀看電影或戲劇時，可融入螢幕上所顯示之內容。

**【0092】** 此外，依據本發明的一範例實施例，藉由降低邊框厚度，面板的整體體積相對於螢幕尺寸可被降低。例如，藉由降低面板的整體體積降低多餘的空間，依據本發明一範例實施例的閘極驅動模組及閘極內嵌面板可被有效地使用。

**【0093】** 此外，依據本發明的一範例實施例，藉由共享  $Q_b$  節點， $Q_b$  節點的數量可被減少。例如，藉由將一  $Q_b$  節點連接至另一  $Q_b$  節點降低  $Q_b$  節點的數量，依據本發明一範例實施例的閘極驅動模組及閘極內嵌面板可被有效地使用。藉由共享  $Q_b$  節點，連接至  $Q_b$  節點的反向器也可被共享，以

使邊框厚度降低。

【0094】 此外，依據本發明的一範例實施例，掃描電晶體的開啓及關閉操作可被控制。例如，藉由控制上拉薄膜電晶體及下拉薄膜電晶體的開啓及關閉操作，以控制施加至閘極線的電壓信號，依據本發明一範例實施例的閘極驅動模組及閘極內嵌面板可被有效地使用。

【0095】 此外，藉由控制掃描電晶體的開啓及關閉操作，有機發光二極體的開啓及關閉時序可被控制。例如，藉由以任意順序開啓或關閉有機發光二極體，依據本發明一範例實施例的閘極驅動模組及閘極內嵌面板可被有效地使用。

【0096】 此外，依據本發明的一範例實施例，施加至主動區域的電壓信號之間的延遲可被降低。例如，當施加至主動區域的電壓信號為非均勻以使有機發光二極體的開啓及關閉的時序成為不穩定時，依據本發明一範例實施例的閘極驅動模組及閘極內嵌面板可被有效地使用。熟悉本領域的技術人員可在不脫離本發明的範圍及精神下，對上述的本發明做各樣的替換、改變及修飾。因此，本發明不限於上述的範例實施例及該等所附圖式。

#### 【符號說明】

【0097】	
10	像素結構
13	資料線
110	第一上拉薄膜電晶體
120	第一下拉薄膜電晶體
130	第二上拉薄膜電晶體
140	第一反向器
150	第一閘極線
160	閘極驅動信號產生器
170	低位準電壓端
180	第二反向器
210、220、330	信號
230	區間

510	第三上拉薄膜電晶體
520	第二下拉薄膜電晶體
530	第三反向器
540	第四上拉薄膜電晶體
550	第二閘極線
560	反向器
1100	主動區域
CLK1、CLK2、CLK3、CLK4	閘極驅動信號
Cst	電容
Dr_Tr	驅動電晶體
Scan_Tr	掃描電晶體
Vdata	資料電壓信號

【發明摘要】

【中文發明名稱】

閘極驅動模組及閘極內嵌面板

【英文發明名稱】

GATE DRIVING MODULE AND GATE-IN-PANEL

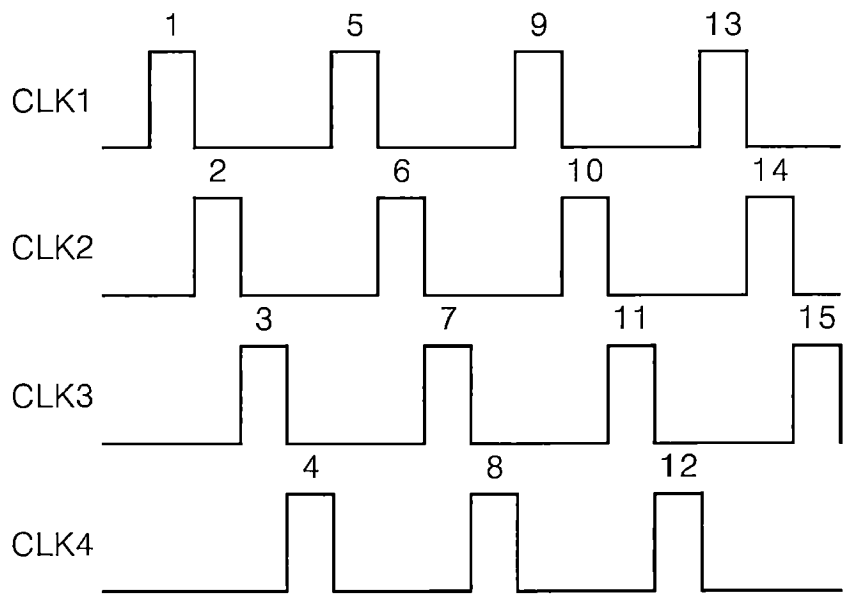
【中文】

一種閘極驅動模組及一種閘極內嵌面板，包括：第一上拉薄膜電晶體，其一端子連接至一閘極驅動信號產生器及另一端子連接至第一閘極線的一末端；第一下拉薄膜電晶體，其一端子連接至該第一閘極線的該末端及另一端子連接至一低位準電壓端；及第二上拉薄膜電晶體，其一端子連接至該閘極驅動信號產生器及另一端子連接至相對於該第一閘極線之該末端的另一末端，其中，當該第一上拉薄膜電晶體及該第二上拉薄膜電晶體被開啓時，該第一下拉薄膜電晶體被關閉，及當該第一上拉薄膜電晶體和該第二上拉薄膜電晶體被關閉時，該第一下拉薄膜電晶體被開啓。

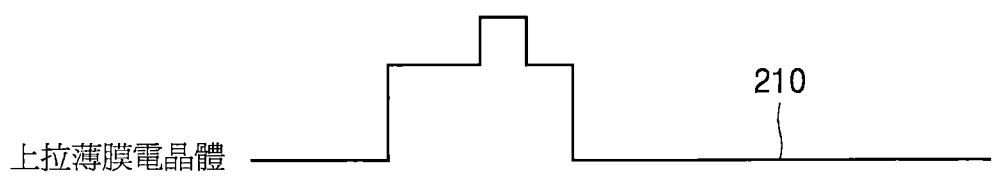
【英文】

A gate driving module and a gate-in-panel comprising a first pull-up TFT having a terminal connected to a gate driving signal generator and another terminal connected to an end of a first gate line, a first pull-down TFT having a terminal connected to the end of the first gate line and another terminal connected to a low-level voltage terminal, and a second pull-up TFT having a terminal connected to the gate driving signal generator and another terminal connected to another end opposite to the end of the first gate line, wherein the first pull-down TFT is turned off when the first pull-up TFT and the second pull-up TFT are turned on, and the first pull-down TFT is turned on when the first pull-up TFT and the second pull-up TFT are turned off.

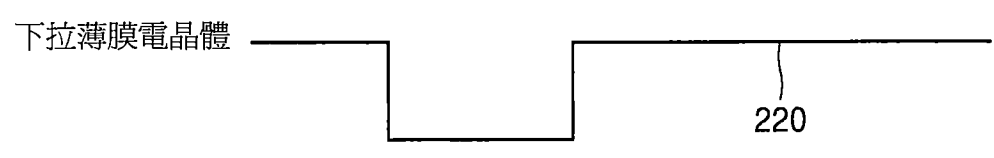




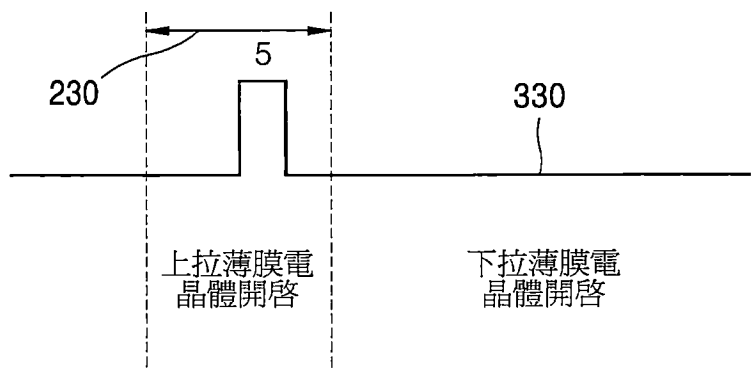
第2圖(a)



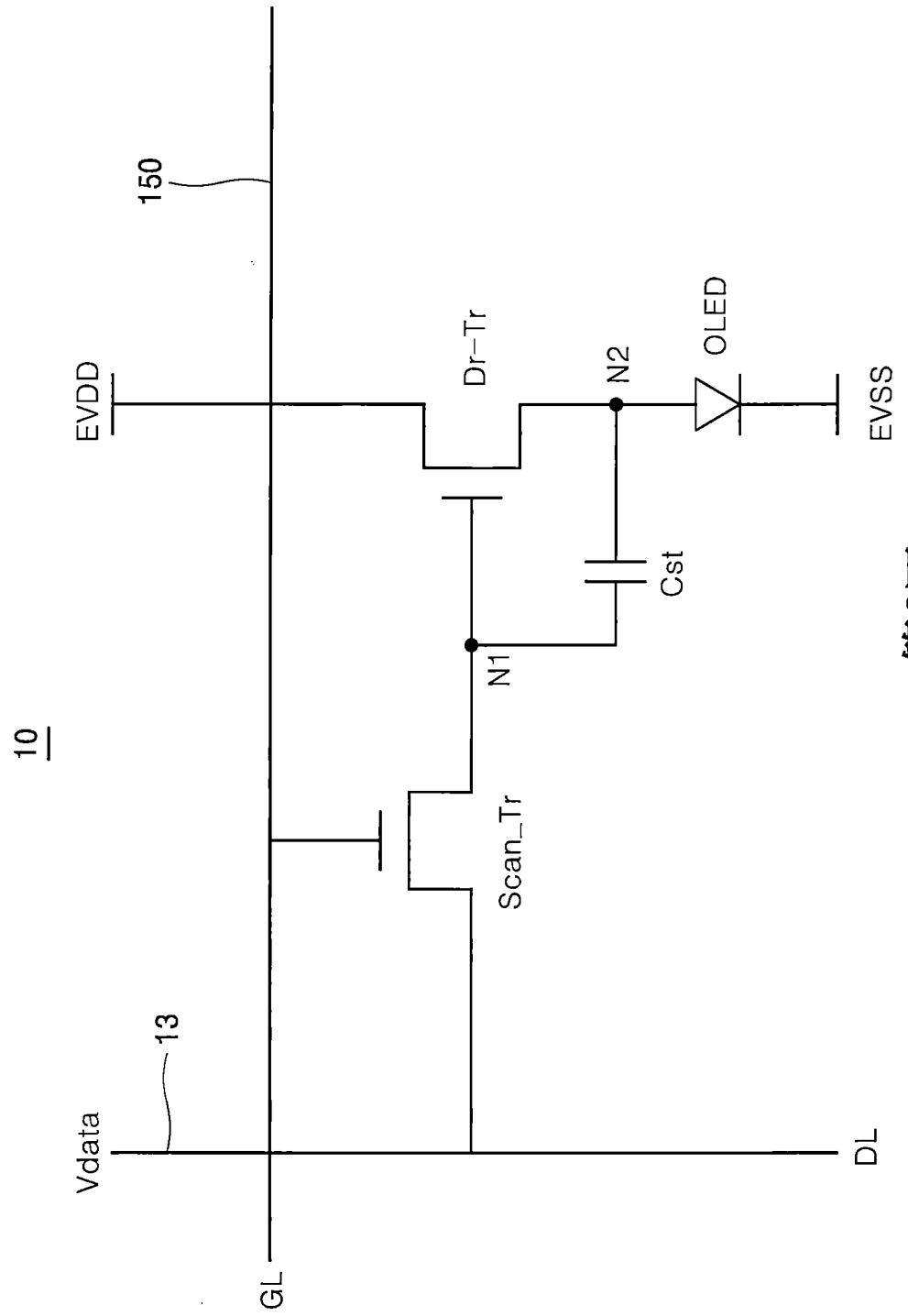
第2圖(b)



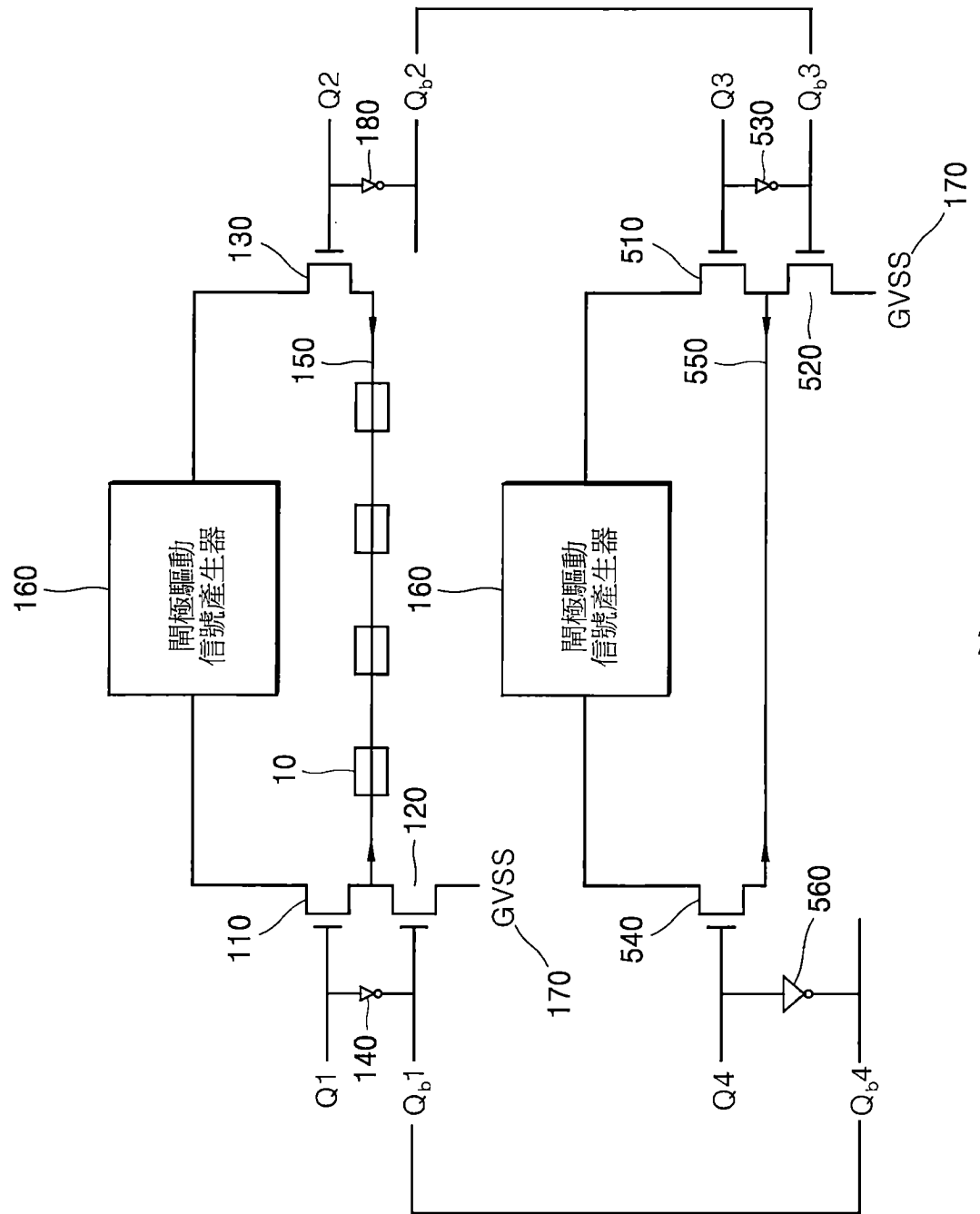
第2圖(c)



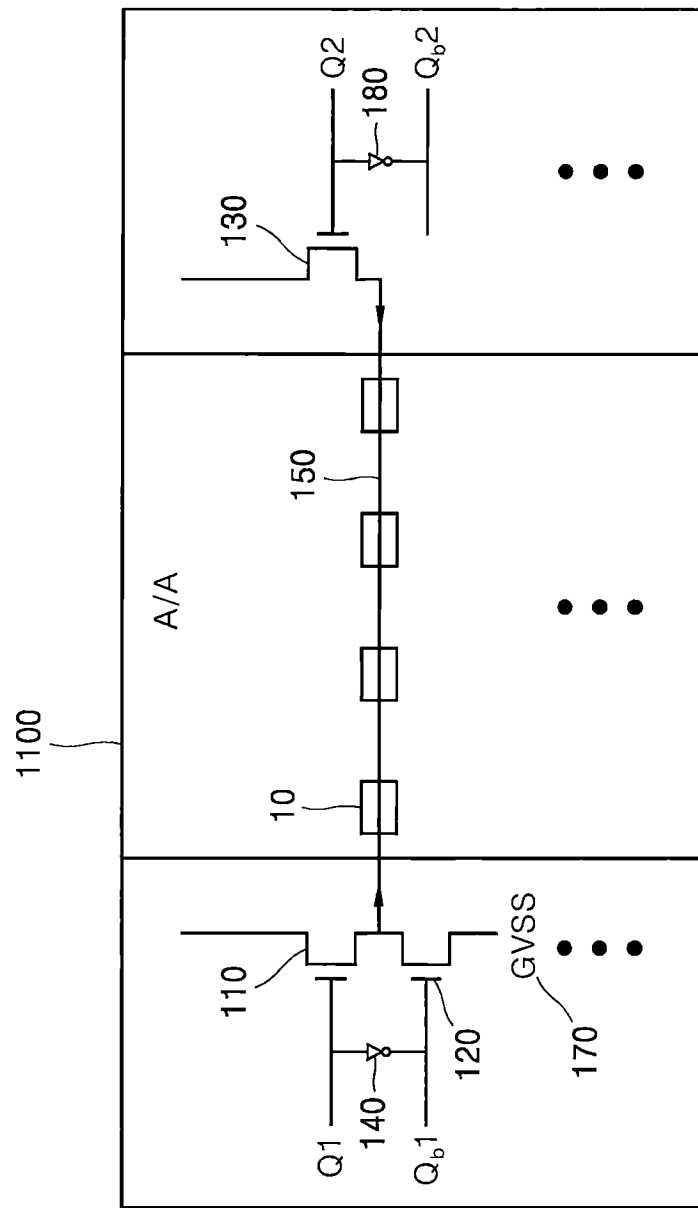
第2圖(d)



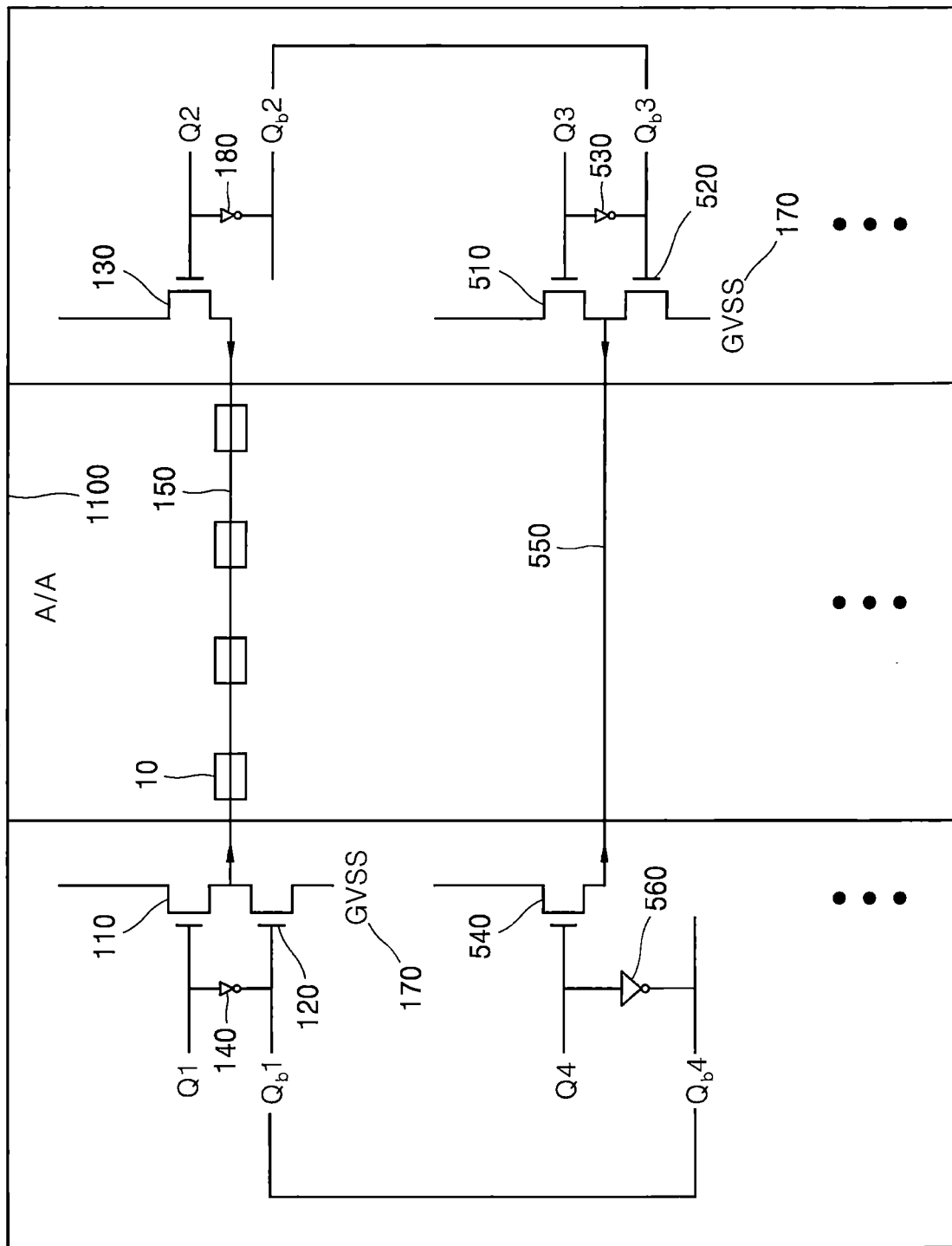
第3圖



第4圖



第5圖



第6圖

【指定代表圖】

第(1)圖

【代表圖之符號簡單說明】

10	像素結構
110	第一上拉薄膜電晶體
120	第一下拉薄膜電晶體
130	第二上拉薄膜電晶體
140	第一反向器
150	第一閘極線
160	閘極驅動信號產生器
170	低位準電壓端
180	第二反向器

【特徵化學式】

無

## 【發明申請專利範圍】

【第1項】 一種閘極驅動模組，包括：

一第一上拉薄膜電晶體，其一端子連接至一閘極驅動信號產生器以及另一端子連接至一第一閘極線的一末端；

一第一下拉薄膜電晶體，其一端子連接至該第一閘極線的該末端以及另一端子連接至一低位準電壓端；

一第二上拉薄膜電晶體，其一端子連接至該閘極驅動信號產生器以及另一端子連接至相對於該第一閘極線之該末端之另一末端；

一第三上拉薄膜電晶體，其一端子連接至該閘極驅動信號產生器以及另一端子連接至一第二閘極線的一末端；以及

一 $Q_b3$ 節點，藉由一第三反向器連接至該第三上拉薄膜電晶體的一閘極端，其中，當該第一上拉薄膜電晶體及該第二上拉薄膜電晶體被開啟時，該第一下拉薄膜電晶體被關閉，以及當該第一上拉薄膜電晶體及該第二上拉薄膜電晶體被關閉時，該第一下拉薄膜電晶體被開啟，以及

其中，該 $Q_b3$ 節點連接至一 $Q_b2$ 節點，該 $Q_b2$ 節點藉由一第二反向器連接至該第二上拉薄膜電晶體的一閘極端。

【第2項】 依據申請專利範圍第1項所述的閘極驅動模組，其中，當該第一上拉薄膜電晶體及該第二上拉薄膜電晶體被開啟且該第一下拉薄膜電晶體被關閉時，由該閘極驅動信號產生器所產生的一閘極驅動信號藉由該第一上拉薄膜電晶體及該第二上拉薄膜電晶體被施加至該第一閘極線。

【第3項】 依據申請專利範圍第2項所述的閘極驅動模組，其中，該第一閘極線係連接至一像素結構，該像素結構包括一資料線、一掃描電晶體、一電容以及一驅動電晶體，

其中，當該閘極驅動信號施加至該第一閘極線時，該掃描電晶體被開啟，以及一資料電壓藉由該掃描電晶體順序地被施加至該資料線以及該驅動電晶體的一閘極端，以開啟連接至該驅動電晶體的一有機發光二極體。

【第4項】 依據申請專利範圍第1項所述的閘極驅動模組，其中，當該第一上拉薄膜電晶體及該第二上拉薄膜電晶體被關閉且該第一下拉薄膜電晶體被開啟時，一低位準電壓信號藉由該第一下拉薄膜電晶體被施加至該第一閘極線。

【第5項】 依據申請專利範圍第1項所述的閘極驅動模組，進一步包括：一第一反向器，其一端子連接至該第一上拉薄膜電晶體的一閘極端以及另一端子連接至該第一下拉薄膜電晶體的一閘極端。

【第6項】 依據申請專利範圍第5項所述的閘極驅動模組，其中，該第一反向器將施加至該第一上拉薄膜電晶體及該第二上拉薄膜電晶體的信號反向，以及將該反向後的信號輸出至該第一下拉薄膜電晶體。

【第7項】 一種閘極內嵌面板，包括：

一第一上拉薄膜電晶體，其一端子連接至一閘極驅動信號產生器以及另一端子連接至一第一閘極線的一末端；

一第一下拉薄膜電晶體，其一端子連接至該第一閘極線的該末端以及另一端子連接至一低位準電壓端；

一第二上拉薄膜電晶體，其一端子連接至該閘極驅動信號產生器以及另一端子連接至相對於該第一閘極線之該末端的另一末端；

一主動區域，通過由該閘極驅動信號產生器所產生以及由該第一閘極線所施加的一閘極驅動信號，在該主動區域中實施一掃描操作；

一第三上拉薄膜電晶體，其一端子連接至該閘極驅動信號產生器以及另一端子連接至一第二閘極線的一末端；以及

一 $Q_b3$ 節點，藉由一第三反向器連接至該第三上拉薄膜電晶體的一閘極端，其中，當該第一上拉薄膜電晶體及該第二上拉薄膜電晶體被開啟時，該第一下拉薄膜電晶體被關閉，以及當該第一上拉薄膜電晶體及該第二上拉薄膜電晶體被關閉時，該第一下拉薄膜電晶體被開啟，以及

其中，該 $Q_b3$ 節點連接至一 $Q_b2$ 節點，該 $Q_b2$ 節點藉由一第二反向器連接至該第二上拉薄膜電晶體的一閘極端。

【第8項】 依據申請專利範圍第7項所述的閘極內嵌面板，其中，當該第一上拉薄膜電晶體及該第二上拉薄膜電晶體被開啟且該第一下拉薄膜電晶體被關閉時，該閘極驅動信號藉由該第一上拉薄膜電晶體及該第二上拉薄膜電晶體施加至該第一閘極線。

【第9項】 依據申請專利範圍第8項所述的閘極內嵌面板，其中，該第一閘極線係連接至一像素結構，該像素結構包括一資料線、一掃描電晶體、一電容以及一驅動電晶體，

其中，當該閘極驅動信號施加至該第一閘極線時，該掃描電晶體被開啟，以及一資料電壓藉由該掃描電晶體順序地被施加至該資料線以及該驅動電晶體的一閘極端，以開啟連接至該驅動電晶體的一有機發光二極體。

【第10項】 依據申請專利範圍第7項所述的閘極內嵌面板，其中，當該第一上拉薄膜電晶體及該第二上拉薄膜電晶體被關閉且該第一下拉薄膜電晶體被開啟時，一低位準電壓信號藉由該第一下拉薄膜電晶體被施加至該第一閘極線。

【第11項】 依據申請專利範圍第7項所述的閘極內嵌面板，進一步包括：一第一反向器，其一端子連接至該第一上拉薄膜電晶體的一閘極端以及另一端子連接至該第一下拉薄膜電晶體的一閘極端。

【第12項】 依據申請專利範圍第11項所述的閘極內嵌面板，其中，該第一反向器將施加至該第一上拉薄膜電晶體及該第二上拉薄膜電晶體的信號反向，以及將該反向後之信號輸出至該第一下拉薄膜電晶體。

【第13項】 一種有機發光裝置，包括依據申請專利範圍第1項所述的閘極驅動模組。

【第14項】 一種有機發光裝置，包括依據申請專利範圍第7項所述的閘極內嵌面板。