(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0076957
(43) 공개일자 2022년06월08일

(51) 국제특허분류(Int. Cl.)
H04L 25/02 (2006.01) *H04L 25/05* (2006.01)
(52) CPC특허분류
H04L 25/0292 (2013.01)
H04L 25/0272 (2013.01)
(21) 출원번호 10-2020-0165969
(22) 출원일자 2020년12월01일
심사청구일자 2020년12월01일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 217(도곡동)
김성철
서울특별시 성북구 안암로9나길 14(안암동3가, 대광아파트)
(뒷면에 계속)
(74) 대리인
이기성

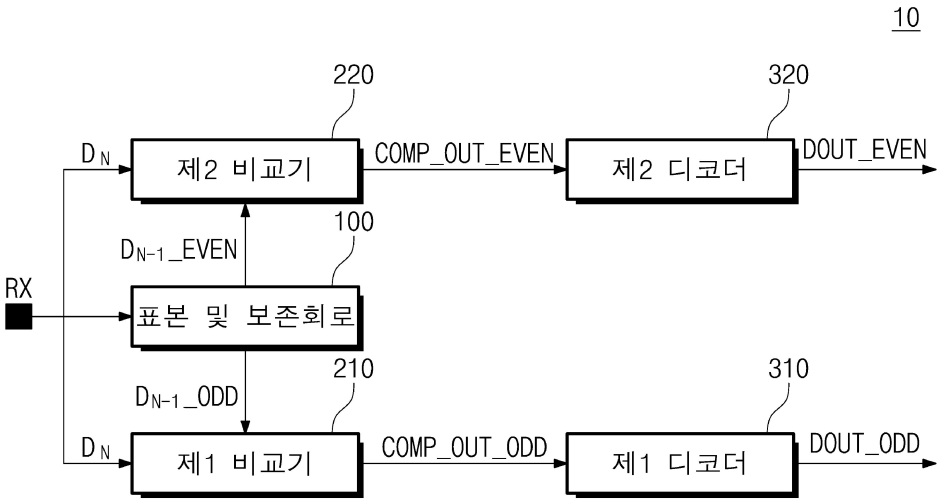
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **표본 및 보존 회로를 이용하는 싱글 엔디드 수신기 및 그 동작 방법**

(57) 요 약

본 출원의 실시예에 따른 싱글 엔디드 수신기는 수신 신호를 클럭에 따라 하프-레이트로 변환하여, 클럭 위상별 제1 및 제2 비교데이터를 제공하는 표본 및 보존회로, 상기 수신 신호의 입력데이터와 상기 제1 및 제2 비교데이터를 각각 비교하고, 각 비교 결과에 기초하여 제1 및 제2 판정 차동 신호를 출력하는 한쌍의 제1 및 제2 비교기 및 상기 제1 및 제2 판정 차동 신호에 기초하여, 반대 위상의 디지털 출력신호를 현재 위상의 디지털 출력신호로 전환하여 출력하는 한쌍의 제1 및 제2 디코더를 포함한다.

대 표 도 - 도1



(52) CPC특허분류
H04L 25/0298 (2013.01)
H04L 25/05 (2013.01)
(72) 발명자
심진철
서울특별시 성북구 보문로30가길 41-1(동선동2가)
박현수
서울특별시 동대문구 한빛로 50-2(용두동)

명 세 서

청구범위

청구항 1

수신 신호를 클럭에 따라 하프-레이트로 변환하여, 클럭 위상별 제1 및 제2 비교데이터를 제공하는 표본 및 보존회로;

상기 수신 신호의 입력데이터와 상기 제1 및 제2 비교데이터를 각각 비교하고, 각 비교 결과에 기초하여 제1 및 제2 판정 차동 신호를 출력하는 한쌍의 제1 및 제2 비교기; 및

상기 제1 및 제2 판정 차동 신호에 기초하여, 반대 위상의 디지털 출력신호를 현재 위상의 디지털 출력신호로 전환하여 출력하는 한쌍의 제1 및 제2 디코더를 포함하는, 싱글 엔디드 수신기.

청구항 2

제1항에 있어서,

상기 한쌍의 비교기는 상기 제1 및 제2 비교데이터와 상기 입력데이터에 기초하여, 상기 제1 및 제2 판정 차동 신호에 대한 출력 차단 여부를 결정하는, 싱글 엔디드 수신기.

청구항 3

제2항에 있어서,

상기 제1 비교기는 상기 제1 비교데이터와 상기 입력데이터가 서로 동일한 레벨인 경우, 상기 제1 판정 차동 신호를 출력하지 않는, 싱글 엔디드 수신기.

청구항 4

제2항에 있어서,

상기 제2 비교기는 상기 제2 비교데이터와 상기 입력데이터가 서로 동일한 레벨인 경우, 상기 제2 판정 차동 신호를 출력하지 않는, 싱글 엔디드 수신기.

청구항 5

제1항에 있어서,

상기 표본 및 보존회로는 상기 제1 비교데이터를 생성하기 위한 제1 스위치;

상기 제1 비교데이터를 제공하기 위한 제1 커패시터;

상기 제2 비교데이터를 생성하기 위한 제2 스위치; 및

상기 제2 비교데이터를 제공하기 위한 제2 커패시터를 포함하는, 싱글 엔디드 수신기.

청구항 6

제1항에 있어서,

상기 제1 비교기는 홀수 클럭을 게이트 측으로 입력받는 제1 내지 제3 클럭 트랜지스터;

상기 입력데이터를 게이트 측으로 입력받는 제1 입력 트랜지스터;

상기 제1 비교데이터를 게이트 측으로 입력받는 제2 입력 트랜지스터; 및

상기 입력데이터를 게이트 측으로 입력받아 상기 제1 판정 차동 신호를 단락시키는 출력단락 트랜지스터를 포함하는, 싱글 엔디드 수신기.

청구항 7

제1항에 있어서,

상기 제2 비교기는 짝수 클럭을 게이트 측으로 입력받는 제1 내지 제3 클럭 트랜지스터;

상기 입력데이터를 게이트 측으로 입력받는 제1 입력 트랜지스터;

상기 제2 비교데이터를 게이트 측으로 입력받는 제2 입력 트랜지스터; 및

상기 입력데이터를 게이트 측으로 입력받아 상기 제2 판정 차동 신호를 단락시키는 출력단락 트랜지스터를 포함하는, 싱글 엔디드 수신기.

청구항 8

제6항 및 제7항 중 어느 한 항에 있어서,

상기 제1 및 제2 클럭 트랜지스터는 PMOS 트랜지스터이고, 상기 제3 클럭 트랜지스터, 상기 제1 및 제2 입력 트랜지스터 및 상기 출력단락 트랜지스터는 NMOS 트랜지스터인, 싱글 엔디드 수신기.

청구항 9

제1항에 있어서,

상기 제1 디코더는 상기 제1 판정 차동 신호를 입력받아 저장하는 제1 SR 래치;

상기 제1 판정 차동 신호에 기초하여, 하이 신호와 로우 신호 중 어느 하나를 출력하는 제1 낸드 게이트;

상기 제1 낸드 게이트를 통해 출력받는 상기 로우 신호에 기초하여, 제1 비트 선택 신호를 생성하는 제1 플립플롭; 및

상기 제1 비트 선택 신호에 응답하여, 상기 제2 디지털 출력신호를 상기 제1 디지털 출력신호로 교차 전환시켜 출력하는 제1 멀티플렉서를 포함하는, 싱글 엔디드 수신기.

청구항 10

제9항에 있어서,

상기 제1 멀티플렉서는 TSPC D Flip-Flop으로부터 변형된 상승 엣지 트리거 2:1 멀티플렉서인, 싱글 엔디드 수신기.

청구항 11

제1항에 있어서,

상기 제2 디코더는 상기 제1 판정 차동 신호를 입력받아 저장하는 제2 SR 래치;

상기 제2 판정 차동 신호에 기초하여, 하이 신호와 로우 신호 중 어느 하나를 출력하는 제2 낸드 게이트;

상기 제2 낸드 게이트를 통해 출력받는 상기 로우 신호에 기초하여, 제2 비트 선택 신호를 생성하는 제2 플립플롭; 및

상기 제2 비트 선택 신호에 응답하여, 상기 제1 디지털 출력신호를 상기 제2 디지털 출력신호로 교차 전환시켜 출력하는 제2 멀티플렉서를 포함하는, 싱글 엔디드 수신기.

청구항 12

제11항에 있어서,

상기 제2 멀티플렉서는 TSPC D Flip-Flop으로부터 변형된 상승 엣지 트리거 2:1 멀티플렉서인, 싱글 엔디드 수신기.

청구항 13

제1항에 있어서,

상기 입력데이터와 상기 제1 및 제2 비교데이터 중 어느 하나 간의 동일 여부에 기초하여, 판정 궤환 동작을 수

행하는 판정 궤환 등화기; 및

상기 수신 신호를 보상하기 위한 판정 궤환 가중치를 상기 판정 궤환 등화기로부터 피드백받고, 상기 수신 신호에 합산하는 합산기를 더 포함하는, 싱글 엔디드 수신기.

청구항 14

제9항에 있어서,

상기 판정 궤환 등화기는 상기 제1 및 제2 판정 차동 신호에 기초하여, 상기 한쌍의 비교기에 대한 출력 차단 여부를 나타내는 래치 신호를 생성하는 래치신호 생성회로;

상기 래치 신호에 기초하여, 게이트 스위칭 신호를 출력하는 래치 회로;

상기 판정 궤환 가중치를 제공하는 보상 회로; 및

상기 게이트 스위칭 신호에 기초하여, 상기 판정 궤환 가중치를 상기 합산기에 피드백시키는 합산기 트랜지스터를 포함하는, 싱글 엔디드 수신기.

청구항 15

제12항에 있어서,

상기 래치 회로는 상기 래치 신호를 반전시키는 제1 인버터; 및

상기 제1 인버터의 출력을 입력으로 피드백 반전시키는 제2 인버터를 포함하고,

상기 제1 및 제2 인버터는 서로 다른 크기로 형성되는, 싱글 엔디드 수신기.

청구항 16

싱글 엔디드 수신기의 동작 방법으로서,

표본 및 보존회로가 수신 신호를 클럭에 따라 하프-레이트로 변환하여 클럭 위상별 제1 및 제2 비교데이터를 제공하는 단계;

한쌍의 제1 및 제2 비교기가 상기 수신 신호의 입력데이터와 상기 제1 및 제2 비교데이터를 비교하고, 각 비교결과에 기초하여 제1 및 제2 판정 차동 신호를 출력하는 단계; 및

한쌍의 제1 및 제2 디코더가 상기 제1 및 제2 판정 차동 신호에 기초하여, 반대 위상의 디지털 출력신호를 현재 위상의 디지털 출력신호로 교차 전환시켜 출력하는 단계를 포함하는, 싱글 엔디드 수신기의 동작 방법.

청구항 17

제16항에 있어서,

상기 제1 및 제2 판정 차동 신호를 출력하는 단계는 상기 한쌍의 비교기가 상기 제1 및 제2 비교데이터와 상기 입력데이터 간의 레벨 차이에 기초하여, 상기 제1 및 제2 판정 차동 신호에 대한 출력 차단 여부를 결정하는 단계를 포함하는, 싱글 엔디드 수신기의 동작 방법.

청구항 18

제16항에 있어서,

상기 교차 전환시켜 출력하는 단계는, 제1 SR 래치가 상기 제1 판정 차동 신호를 입력받아 저장하는 단계;

제1 낸드 게이트가 상기 제1 판정 차동 신호에 기초하여, 하이 신호와 로우 신호 중 어느 하나를 출력하는 단계;

제1 플립플롭이 상기 제1 낸드 게이트를 통해 출력받는 상기 로우 신호에 기초하여, 제1 비트 선택 신호를 생성하는 단계; 및

제1 멀티플렉서가 상기 제1 비트 선택 신호에 응답하여, 상기 제2 디지털 출력신호를 상기 제1 디지털 출력신호로 교차 전환시키는 단계를 포함하는, 싱글 엔디드 수신기의 동작 방법.

청구항 19

제16항에 있어서,

상기 현재 위상의 디지털 출력신호로 교차 전환시키는 단계는, 제2 SR 래치가 상기 제2 판정 차동 신호를 입력받아 저장하는 단계;

제2 낸드 게이트가 상기 제2 판정 차동 신호에 기초하여, 하이 신호와 로우 신호 중 어느 하나를 출력하는 단계;

제2 플립플롭이 상기 제2 낸드 게이트를 통해 출력받는 상기 로우 신호에 기초하여, 제2 비트 선택 신호를 생성하는 단계; 및

제2 멀티플렉서가 상기 제2 비트 선택 신호에 응답하여, 상기 제1 디지털 출력신호를 상기 제2 디지털 출력신호로 교차 전환시키는 단계를 포함하는, 싱글 엔디드 수신기의 동작 방법.

청구항 20

제16항에 있어서,

판정 궤환 등화기가 상기 입력데이터와 상기 제1 및 제2 비교데이터 중 어느 하나 간의 동일 여부에 기초하여, 판정 궤환 동작을 수행하는 단계; 및

합산기가 상기 판정 궤환 동작에 따라 상기 판정 궤환 등화기로부터 피드백받는 판정 궤환 가중치를 상기 수신신호에 합산하는 단계를 포함하고,

상기 판정 궤환 등화기는 상기 판정 궤환 가중치가 상기 합산기에 피드백되지 않는 특정 UI에서, 상기 판정 궤환 동작을 정상적으로 수행할 수 있는, 싱글 엔디드 수신기의 동작 방법.

발명의 설명

기 술 분 야

[0001] 본 출원은 싱글 엔디드 수신기 및 그 동작 방법에 관한 것이다.

배 경 기 술

[0002] 데이터의 통신 방식에는 단일 종단 방식(Single-Ended)과 차동 방식(Differential)이 있다.

[0003] 구체적으로, 단일 종단 방식은 100%의 pin 효율을 가지고, 차동 방식은 50%의 pin 효율을 가지기 때문에, 여러 채널을 가지는 메모리 인터페이스 특성 상 단일 종단 방식이 주로 이용된다.

[0004] 이러한 단일 종단 방식 기반의 수신기는 데이터를 0 혹은 1로 판정하기 위하여, 기준 전압(Reference votlage)을 필요로 한다. 이러한 기준 전압은 BER(Bit Error Rate)에 직결되기 때문에, 단일 종단 방식 기반의 수신기는 적절한 기준 전압을 생성하고 유지해야 한다.

[0005] 그러나, 단일 종단 방식 기반의 수신기는 적절한 기준 전압을 제공하기 위하여 큰 회로 면적과 많은 전력을 소모하는 문제가 있다.

발명의 내용

해결하려는 과제

[0006] 본 출원의 목적은 수신 신호를 판정하기 위한 종래의 기준 전압의 필요성을 제거시킨 싱글 엔디드 수신기 및 그 동작 방법을 제공하기 위한 것이다.

과제의 해결 수단

[0007] 본 출원의 실시예에 따른 싱글 엔디드 수신기는 수신 신호를 클럭에 따라 하프-레이트로 변환하여, 클럭 위상별 제1 및 제2 비교데이터를 제공하는 표본 및 보존회로, 상기 수신 신호의 입력데이터와 상기 제1 및 제2 비교데

이터를 각각 비교하고, 각 비교 결과에 기초하여 제1 및 제2 판정 차동 신호를 출력하는 한쌍의 제1 및 제2 비교기 및 상기 제1 및 제2 판정 차동 신호에 기초하여, 반대 위상의 디지털 출력신호를 현재 위상의 디지털 출력신호로 전환하여 출력하는 한쌍의 제1 및 제2 디코더를 포함한다.

[0008] 본 출원의 실시예에 따른 싱글 엔디드 수신기의 동작 방법으로서, 표본 및 보존회로가 수신 신호를 클럭에 따라 하프-레이트로 변환하여 클럭 위상별 제1 및 제2 비교데이터를 제공하는 단계, 한쌍의 제1 및 제2 비교기가 상기 수신 신호의 입력데이터와 상기 제1 및 제2 비교데이터를 비교하고, 각 비교 결과에 기초하여 제1 및 제2 판정 차동 신호를 출력하는 단계 및 한쌍의 제1 및 제2 디코더가 상기 제1 및 제2 판정 차동 신호에 기초하여, 반대 위상의 디지털 출력신호를 현재 위상의 디지털 출력신호로 교차 전환시켜 출력하는 단계를 포함한다.

발명의 효과

[0009] 본 출원의 실시예에 따르는 싱글 엔디드 수신기 및 그 동작 방법은 수신 신호를 판정하기 위한 종래의 기준 전압의 필요성을 제거시켜, 회로 설계 면적과 전력 소모를 감소시킬 수 있다.

도면의 간단한 설명

[0010] 도 1은 본 출원의 실시예에 따른 싱글 엔디드 수신기에 대한 블록도이다.

도 2는 도 1의 표본 및 보존회로를 구체적으로 설명하기 위한 도이다.

도 3은 도 1의 제1 비교기를 구체적으로 설명하기 위한 도이다.

도 4는 도 1의 제2 비교기를 구체적으로 설명하기 위한 도이다.

도 4는 도 1의 한쌍의 디코더를 구체적으로 보여주기 위한 도이다.

도 5는 도 4의 제1 및 제2 멀티플렉서 중 어느 하나에 대한 실시 예이다.

도 6은 본 출원의 다른 실시예에 따른 싱글 엔디드 수신기에 대한 블록도이다.

도 7은 도 6의 판정 궤환 등화부를 구체적으로 보여주는 도이다.

도 8은 도 7의 판정 궤환 등화부에 대한 동작 타이밍을 설명하기 위한 도이다.

도 9는 도 1의 싱글 엔디드 수신기에 대한 실시 예이다.

도 10은 도 9의 싱글 엔디드 수신기에 대한 동작 타이밍을 설명하기 위한 도이다.

도 11은 도 1의 싱글 엔디드 수신기의 동작 프로세스이다.

도 12는 도 4의 제1 디코더에 대한 동작 프로세스이다.

도 13은 도 4의 제2 디코더에 대한 동작 프로세스이다.

발명을 실시하기 위한 구체적인 내용

[0011] 이하, 구체적인 실시형태 및 첨부된 도면을 참조하여 본 출원의 실시형태를 설명한다. 그러나, 본 출원의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 출원의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 출원의 실시형태는 통상의 기술자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.

[0012] 그리고 도면에서 본 출원을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하고, 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었으며, 동일한 사상의 범위 내의 기능이 동일한 구성요소는 동일한 참조부호를 사용하여 설명한다. 나아가, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0013] 도 1은 본 출원의 실시예에 따른 싱글 엔디드 수신기(10)에 대한 블록도이다.

[0014] 도 1을 참조하면, 싱글 엔디드 수신기(10)는 표본 및 보존회로(100), 한쌍의 비교기(210, 220) 및 한쌍의 디코더(310, 320)를 포함할 수 있다.

[0015] 먼저, 표본 및 보존회로(100)는 수신 신호(RX)를 클럭 위상에 따라 하프-레이트로 변환하여, 클럭 위상별 제1 및 제2 비교데이터(D_{n-1}_ODD, D_{n-1}_EVEN)를 제공할 수 있다.

[0016] 여기서, 제1 및 제2 비교데이터(D_{n-1}_ODD, D_{n-1}_EVEN)는 수신 신호(RX)의 입력데이터(D_n)와의 레벨 비교가 가능한 데이터일 수 있다. 예를 들면, 제1 비교 데이터(D_{n-1}_ODD)는 홀수번째 클럭 위상에 대응되는 신호이고, 제2 비교 데이터(D_{n-1}_EVEN)는 짝수번째 클럭 위상에 대응되는 신호일 수 있다.

[0017] 다음으로, 한쌍의 비교기(210, 220)는 수신 신호(RX)의 입력데이터(D_n)와 제1 및 제2 비교데이터(D_{n-1}_ODD, D_{n-1}_EVEN)를 비교하고, 비교 결과에 기초하여 제1 및 제2 판정 차동 신호(COMP_OUT_ODD, COMP_OUT_EVEN)를 출력할 수 있다.

[0018] 구체적으로, 제1 비교기(210)는 입력데이터(D_n)와 제1 비교데이터(D_{n-1}_ODD)를 비교하고, 비교 결과에 기초하여 제1 판정 차동 신호(COMP_OUT_ODD)를 출력할 수 있다. 또한, 제2 비교기(220)는 입력데이터(D_n)와 제2 비교데이터(D_{n-1}_EVEN)를 비교하고, 비교 결과에 기초하여 제1 판정 차동 신호(COMP_OUT_ODD)를 출력할 수 있다.

[0019] 일 실시예에 따라, 한쌍의 비교기(210, 220)는 제1 및 제2 비교데이터(D_{n-1})와 입력데이터(D_n) 간의 레벨 차이에 기초하여, 제1 및 제2 판정 차동 신호(COMP_OUT_ODD, COMP_OUT_EVEN)에 대한 출력 차단 여부를 결정할 수 있다.

[0020] 구체적으로, 제1 및 제2 비교데이터(D_{n-1}) 중 어느 하나와 입력데이터(D_n)가 서로 동일한 레벨인 경우, 한쌍의 비교기(210, 220)는 제1 및 제2 판정 차동 신호(COMP_OUT_ODD, COMP_OUT_EVEN) 중 어느 하나를 출력하지 않을 수 있다. 또한, 제1 및 제2 비교데이터(D_{n-1}) 중 어느 하나와 입력데이터(D_n)가 서로 동일하지 않는 레벨인 경우, 한쌍의 비교기(210, 220)는 제1 및 제2 판정 차동 신호(COMP_OUT_ODD, COMP_OUT_EVEN)를 출력할 수 있다.

[0021] 다음으로, 한쌍의 디코더(310, 320)는 제1 및 제2 판정 차동 신호(COMP_OUT_ODD, COMP_OUT_EVEN)에 기초하여, 반대 위상의 디지털 출력신호(예컨대, DOUT_EVEN)를 현재 위상의 디지털 출력신호(예컨대, DOUT_ODD)로 전환하여 출력할 수 있다.

[0022] 본 출원의 실시 예에 따른 싱글 엔디드 수신기(10)는 표본 및 보존회로(100), 한쌍의 비교기(210, 220) 및 한쌍의 디코더(310, 320)를 통해 수신 신호(RX)의 연속된 동일 데이터에 대해 판정하고, 판정 결과에 따른 디지털 출력신호를 출력할 수 있기 때문에, 수신 신호를 판정하기 위한 종래의 기준 전압의 필요성을 제거시켜, 회로 설계 면적과 전력 소모를 감소시킬 수 있다.

[0023] 도 2는 도 1의 표본 및 보존회로(100)를 구체적으로 설명하기 위한 도이다.

[0024] 도 1과 도 2를 참조하면, 표본 및 보존회로(100)는 제1 스위치(110), 제1 커패시터(120), 제2 스위치(130) 및 제2 커패시터(140)를 포함할 수 있다.

[0025] 먼저, 제1 스위치(110)는 제1 비교데이터(D_{n-1}_ODD)를 생성하기 위하여, 채널을 통해 송신기(20)에 연결되고, 송신기(20)로부터 채널을 통해 일측으로 수신 신호(RX)를 입력받을 수 있다.

[0026] 이러한 제1 스위치(110)는 클럭(CK)의 홀수번째 위상(CK_{ODD})마다 스위칭 온 되어, 수신 신호(RX)로부터 하프-레이트로 변환되는 제1 비교데이터(D_{n-1_ODD})를 생성할 수 있다.

[0027] 다음으로, 제1 커패시터(120)는 제1 비교데이터(D_{n-1_ODD})를 제공하기 위하여, 일측이 제1 스위치(110)에 연결되고, 타측이 제1 비교기(210)의 차동 입력단의 제2 입력단(-)에 연결될 수 있다. 이때, 제1 커패시터(120)는 제1 스위치(110)를 통해 생성되는 제1 비교데이터(D_{n-1_ODD})를 제1 비교기(210)의 제2 입력단(-)에 제공할 수 있다.

[0028] 다음으로, 제2 스위치(130)는 제2 비교데이터(D_{n-1}_EVEN)를 생성하기 위하여, 채널을 통해 송신기(20)에 연결되고, 송신기(20)로부터 채널을 통해 일측으로 수신 신호(RX)를 입력받을 수 있다.

[0029] 이러한 제2 스위치(130)는 클럭(CK)의 짝수번째 위상(CK_{EVEN})마다 스위칭 온 되어, 수신 신호(RX)로부터 제2 하

프-레이트로 변환되는 제2 비교데이터(D_{n-1_EVEN})를 생성할 수 있다.

[0030] 다음으로, 제2 커패시터(140)는 제2 비교데이터(D_{n-1_EVEN})를 제공하기 위하여, 일측이 제2 스위치(130)에 연결되고 타측이 제2 비교기(220)의 차동 입력단의 제2 입력단(-)에 연결될 수 있다. 이때, 제2 커패시터(140)는 제2 스위치(110)를 통해 생성되는 제2 비교데이터(D_{n-1_EVEN})를 제2 비교기(220)의 차동 입력단의 제2 입력단(-)에 제공할 수 있다.

[0031] 도 3은 도 1의 제1 비교기(210)를 구체적으로 설명하기 위한 도이고, 도 4는 도 1의 제2 비교기(220)를 구체적으로 설명하기 위한 도이다.

[0032] 도 1 내지 도 4를 참조하면, 한쌍의 제1 및 제2 비교기(210, 220) 각각은 제1 내지 제3 클럭 트랜지스터(211~213), 제1 및 제2 입력 트랜지스터(214, 215) 및 출력단락 트랜지스터(216)를 포함할 수 있다.

[0033] 구체적으로, 제1 비교기(210)의 제1 내지 제3 클럭 트랜지스터(211~213)는 홀수 클럭(CK_ODD)을 게이트 측으로 입력받을 수 있다. 여기서, 제1 및 제2 클럭 트랜지스터(211, 212)는 PMOS 트랜지스터이고, 제3 클럭 트랜지스터(213)는 NMOS 트랜지스터일 수 있다.

[0034] 한편, 제2 비교기(220)의 제1 내지 제3 클럭 트랜지스터(211~213)는 짝수 클럭(CK_EVEN)을 게이트 측으로 입력받을 수 있다.

[0035] 다음으로, 제1 입력 트랜지스터(214)는 제1 입력단(+)을 통해 수신 신호(RX)의 입력데이터(D_n)를 게이트 측으로 입력받을 수 있다.

[0036] 이때, 제1 비교기(210)의 제2 입력 트랜지스터(215)는 제2 입력단(-)을 통해 제1 비교데이터(D_{n-1}_ODD)를 게이트 측으로 입력받을 수 있다. 여기서, 제1 및 제2 입력 트랜지스터(214, 215)는 NMOS 트랜지스터일 수 있다.

[0037] 한편, 제2 비교기(220)의 제2 입력 트랜지스터(215)는 제2 입력단(-)을 통해 제2 비교데이터(D_{n-1}_EVEN)를 게이트 측으로 입력받을 수 있다.

[0038] 다음으로, 출력단락 트랜지스터(216)는 입력데이터(Dn)를 게이트측으로 입력받을 수 있다. 여기서, 출력단락 트랜지스터(216)는 NMOS 트랜지스터일 수 있다.

[0039] 실시예에 따른 출력단락 트랜지스터(216)는 입력데이터(Dn)에 기초하여, 제1 및 제2 판정 차동 신호(COMP_OUT_ODD, COMP_OUT_EVEN)가 출력되는 차동 출력 노드(Nout1, Nout2)를 단락시킬 수 있다. 구체적으로, 입력데이터(Dn)가 기설정된 크기 이상인 경우, 출력단락 트랜지스터(216)는 차동 출력 노드(Nout1, Nout2)를 단락시켜 제1 및 제2 판정 차동 신호(COMP_OUT_ODD, COMP_OUT_EVEN)를 출력하지 않을 수 있다.

[0040] 도 4는 도 1의 한쌍의 디코더(310, 320)를 구체적으로 보여주기 위한 도이고, 도 5는 도 4의 제1 및 제2 멀티플렉서(314, 324) 중 어느 하나에 대한 실시 예이다.

[0041] 도 4를 참조하면, 디코더(300)는 서로의 출력이 교차 연결되는 한쌍의 제1 및 제2 디코더(310, 320)를 포함할 수 있다.

[0042] 제1 디코더(310)는 제1 SR 래치(311), 제1 낸드 게이트(312), 제1 플립플롭(313) 및 제1 멀티플렉서(314)를 포함할 수 있다.

[0043] 먼저, 제1 SR 래치(311)는 제1 비교기(210)로부터 제1 판정 차동 신호(COMP_OUT_ODD)를 입력받아 저장하고, 클럭(CK)에 따라 제1 판정 차동 신호(COMP_OUT_ODD)를 제1 멀티플렉서(314)로 출력할 수 있다.

[0044] 여기서, 제1 판정 차동 신호(COMP_OUT_ODD)는 입력데이터(D_n)와 비교데이터(D_{n-1}) 간의 대소 여부를 나타내는 제1 판정 신호(ODD_HIGH)와 제2 판정 신호(ODD_LOW)를 포함할 수 있다. 예를 들면, 제1 판정 신호(ODD_HIGH)가 1이고, 제2 판정 신호(ODD_LOW)가 0인 경우, 제1 판정 차동 신호(COMP_OUT_ODD)는 입력데이터(D_n)가 비교데이터(D_{n-1})보다 큰 상태를 의미할 수 있다. 또한, 제1 판정 신호(ODD_HIGH)가 0이고, 제2 판정 신호(ODD_LOW)가 1인 경우, 제1 판정 차동 신호(COMP_OUT_ODD)는 입력데이터(D_n)가 비교데이터(D_{n-1})보다 작은 상태를 의미할 수 있다.

[0045] 다음으로, 제1 낸드 게이트(312)는 제1 판정 차동 신호(COMP_OUT_ODD)에 기초하여, 하이 신호와 로우 신호 중

어느 하나를 출력할 수 있다. 여기서, 하이 신호는 서로 다른 레벨 상태를 가진 제1 판정 차동 신호(COMP_OUT_ODD)에 대응되고, 로우 신호는 서로 동일한 HIGH 상태를 가진 제1 판정 차동 신호(COMP_OUT_ODD)에 대응될 수 있다.

[0046] 예를 들면, 제1 판정 차동 신호(COMP_OUT_ODD)가 서로 다른 레벨 상태를 가진 경우 제1 낸드 게이트(312)는 하이 신호를 출력하고, 제1 판정 차동 신호(COMP_OUT_ODD)가 서로 동일한 HIGH 레벨 상태를 가진 경우 로우 신호를 출력할 수 있다. 즉, 제1 낸드 게이트(312)는 수신 신호의 입력데이터와 제1 비교데이터 간의 동일 여부에 기초하여, 하이 신호 및 로우 신호 중 어느 하나를 출력할 수 있다.

[0047] 다음으로, 제1 플립플롭(313)은 제1 낸드 게이트(312)를 통해 출력받는 로우 신호에 기초하여, 제1 비트 선택 신호(SEL_BIT_ODD)를 생성할 수 있다.

[0048] 실시예에 따른 제1 멀티플렉서(314)는 제1 비트 선택 신호(SEL_BIT_ODD)에 기초하여, 반대 위상의 제2 디지털 출력신호(DOUT_EVEN)를 현재 위상의 제1 디지털 출력신호(DOUT_ODD)로 교차 전환시켜 출력할 수 있다.

[0049] 구체적으로, 제1 멀티플렉서(314)는 두개의 입력단(+, -)을 통해 제1 판정 차동 신호(COMP_OUT_ODD)와 제2 디지털 출력신호(DOUT_EVEN)를 입력받을 수 있다. 이때, 제1 멀티플렉서(314)는 제1 플립플롭(313)으로부터 제1 비트 선택 신호(SEL_BIT_EVEN)를 입력받는 경우, 제2 디지털 출력신호(DOUT_EVEN)를 하나의 출력단을 통해 제1 디지털 출력신호(DOUT_ODD)로 출력할 수 있다. 또한, 제1 멀티플렉서(314)는 제1 플립플롭(313)으로부터 제1 비트 선택 신호(SEL_BIT_EVEN)를 입력받지 못한 경우, 제1 판정 차동 신호(COMP_OUT_ODD)를 제1 디지털 출력신호(DOUT_ODD)로 출력할 수 있다.

[0050] 다음으로, 제2 디코더(320)는 제2 SR 래치(321), 제2 낸드 게이트(322), 제2 플립플롭(323) 및 제2 멀티플렉서(324)를 포함할 수 있다.

[0051] 먼저, 제2 SR 래치(321)는 제2 비교기(220)로부터 제2 판정 차동 신호(COMP_OUT_EVEN)를 입력받아 저장하고, 클럭(CK)에 따라 제2 판정 차동 신호(COMP_OUT_EVEN)를 제2 멀티플렉서(324)로 출력할 수 있다.

[0052] 여기서, 제2 판정 차동 신호(COMP_OUT_EVEN)는 입력데이터(D_n)와 비교데이터(D_{n-1}) 간의 대소 여부를 나타내는 제1 판정 신호(EVEN_HIGH)와 제2 판정 신호(EVEN_LOW)를 포함할 수 있다.

[0053] 예를 들면, 제1 판정 신호(EVEN_HIGH)가 1이고, 제2 판정 신호(EVEN_LOW)가 0인 경우, 제2 판정 차동 신호(COMP_OUT_EVEN)는 입력데이터(D_n)가 제2 비교데이터(D_{n-1})보다 큰 상태를 의미할 수 있다. 또한, 제1 판정 신호(EVEN_HIGH)가 0이고, 제2 판정 신호(EVEN_LOW)가 1인 경우, 입력데이터(D_n)가 제2 비교데이터(D_{n-1})보다 작은 상태를 의미할 수 있다.

[0054] 다음으로, 제2 낸드 게이트(322)는 제2 판정 차동 신호(COMP_OUT_EVEN)에 기초하여, 하이 신호와 로우 신호 중 어느 하나를 출력할 수 있다. 여기서, 하이 신호는 서로 다른 레벨 상태를 가진 제2 판정 차동 신호(COMP_OUT_EVEN)에 대응되고, 로우 신호는 서로 동일한 HIGH 상태를 가진 제2 판정 차동 신호(COMP_OUT_EVEN)에 대응될 수 있다.

[0055] 예를 들면, 제2 판정 차동 신호(COMP_OUT_EVEN)가 서로 다른 레벨 상태를 가진 경우 제2 낸드 게이트(322)는 하이 신호를 출력하고, 제2 판정 차동 신호(COMP_OUT_EVEN)가 서로 동일한 HIGH 레벨 상태를 가진 경우 제2 낸드 게이트(322)는 로우 신호를 출력할 수 있다. 즉, 제2 낸드 게이트(322)는 수신 신호의 입력데이터와 제2 비교데이터 간의 동일 여부에 기초하여, 하이 신호 및 로우 신호 중 어느 하나를 출력할 수 있다.

[0056] 다음으로. 제2 플립플롭(323)은 제2 낸드 게이트(322)를 통해 출력받는 로우 신호에 기초하여, 제2 비트 선택 신호(SEL_BIT_EVEN)를 생성할 수 있다.

[0057] 실시예에 따른 제2 멀티플렉서(324)는 제2 비트 선택 신호(SEL_BIT_EVEN)에 기초하여, 반대 위상의 제1 디지털 출력신호(D_{OUT_ODD})를 현재 위상의 제2 디지털 출력신호(D_{OUT_EVEN})로 교차 전환시켜 출력할 수 있다.

[0058] 구체적으로, 제2 멀티플렉서(324)는 두개의 입력단(+, -)을 통해 제2 판정 차동 신호(COMP_OUT_EVEN)와 제1 디지털 출력신호(DOUT_ODD)를 입력받을 수 있다. 이때, 제2 멀티플렉서(324)는 제2 플립플롭(323)으로부터 제2 비트 선택 신호(SEL_BIT_EVEN)를 입력받는 경우, 제1 디지털 출력신호(DOUT_ODD)를 하나의 출력단을 통해 제2 디지털 출력신호(DOUT_EVEN)로 전환시켜 출력할 수 있다. 또한, 제2 멀티플렉서(324)는 제2 플립플롭(323)으로부

터 제2 비트 선택 신호(SEL_BIT_EVEN)를 입력받지 못한 경우, 제2 판정 차동 신호(COMP_OUT_EVEN)를 제2 디지털 출력신호(D_{OUT_EVEN})로 출력할 수 있다.

[0059] 즉, 제1 및 제2 멀티플렉서(314, 324) 각각은 두개의 입력단(+, -)과 하나의 출력단을 포함하고, 클럭(CK)의 상승 엣지에 따라 출력하는 2:1 멀티플렉서일 수 있다. 예를 들면, 제1 및 제2 멀티플렉서(314, 324) 각각은 도 5에 도시된 바와 같이, TSPC D Flip-Flop으로부터 변형된 상승 엣지 트리거 2:1 멀티플렉서일 수 있다.

[0060] 도 6은 본 출원의 다른 실시예에 따른 싱글 엔디드 수신기(11)에 대한 블록도이다.

[0061] 도 6을 참조하면, 싱글 엔디드 수신기(11)는 표본 및 보존회로(100), 한쌍의 비교기(210, 220), 한쌍의 디코더(310, 320), 판정 궤환 등화부(400) 및 합산기(500)를 포함할 수 있다. 이하, 도 1 내지 도 5에서도 설명된 동일한 부재번호의 표본 및 보존회로(100), 한쌍의 비교기(210, 220), 한쌍의 디코더(310, 320)에 대한 중복된 설명은 생략될 것이다.

[0062] 먼저, 판정 궤환 등화부(400)는 입력데이터(D_n)와 비교데이터(D_{n-1}) 간의 동일 여부에 기초하여, 채널 감쇄에 의한 부호 간 간섭(inter symbol interference, ISI) 성분의 제거 및 보상을 위한 판정 궤환 동작을 수행할 수 있다.

[0063] 이때, 합산기(500)는 판정 궤환 등화부(400)의 판정 궤환 동작을 통해 피드백받는 판정 궤환 가중치(DFE_WEIGHT)를 수신 신호(RX)에 합산할 수 있다.

[0064] 실시예에 따른 판정 궤환 등화부(400)는 판정 궤환 가중치(DFE_WEIGHT)가 합산기(500)에 피드백되지 않는 특정 UI 구간에서, 판정 궤환 동작을 정상적으로 수행할 수 있다.

[0065] 이하, 도 7 내지 도 9를 참조하여, 판정 궤환 등화부(400)에 대해 보다 구체적으로 설명될 것이다.

[0066] 도 7은 도 6의 판정 궤환 등화부(400)를 구체적으로 보여주는 도이고, 도 8은 도 7의 판정 궤환 등화부(400)에 대한 동작 타이밍을 설명하기 위한 도이다.

[0067] 도 6 내지 도 8을 참조하면, 판정 궤환 등화부(400)는 래치신호 생성회로(410), 래치 회로(420), 보상회로(430) 및 합산기 트랜지스터(440)를 포함할 수 있다.

[0068] 먼저, 래치신호 생성회로(410)는 제1 및 제2 판정 차동 신호(COMP_OUT_ODD, COMP_OUT_EVEN)에 기초하여, 수신 신호(RX)를 풀-레이트 데이터로 복원하기 위한 래치 신호(LATCH)를 생성할 수 있다.

[0069] 여기서, 래치 신호(LATCH)는 제1 및 제2 판정 차동 신호(COMP_OUT_ODD, COMP_OUT_EVEN)에 대한 한쌍의 비교기(210, 220)의 출력 차단 여부를 나타내므로, 입력데이터(D_n)와 비교데이터(D_{n-1}) 간의 동일 여부를 나타낼 수 있다.

[0070] 구체적으로, 래치신호 생성회로(410)는 제1 판정 차동 신호(COMP_OUT_ODD)의 제1 판정 신호(ODD_HIGH)와 제2 판정 차동 신호(COMP_OUT_EVEN)의 제1 판정 신호(EVEN_HIGH)를 지연시킬 수 있다. 이때, 래치신호 생성회로(410)는 제1 판정 차동 신호(COMP_OUT_ODD)의 제2 판정 신호(ODD_LOW)와 제2 판정 차동 신호(COMP_OUT_EVEN)의 제2 판정 신호(EVEN_LOW)를 반전 지연시킬 수 있다. 그런 다음, 래치신호 생성회로(410)는 지연된 신호 및 반전 지연된 신호에 기초하여, 래치 신호(LATCH)를 생성할 수 있다.

[0071] 예를 들면, 도 8에 도시된 바와 같이, 래치 신호(LATCH)가 HIGH 레벨인 T2~T3 구간, T7~T9 구간 및 T10~T15 구간에서, 입력데이터(D_n)와 비교데이터(D_{n-1})는 서로 동일한 레벨일 수 있다. 또한, 도 8에 도시된 바와 같이, 래치 신호(LATCH)가 LOW 레벨인 T1~T2 구간, T3~T7 구간 및 T9~T10 구간에서, 입력데이터(D_n)와 비교데이터(D_{n-1})는 서로 다른 레벨일 수 있다.

[0072] 다음으로, 래치 회로(420)는 래치 신호(LATCH)에 기초하여, 게이트 스위칭 신호(SUM_ON_GATE)를 출력할 수 있다. 여기서, 게이트 스위칭 신호(SUM_ON_GATE)는 제1 및 제2 판정 차동 신호(COMP_OUT_ODD, COMP_OUT_EVEN)에 대한 풀-레이트 데이터일 수 있다.

[0073] 구체적으로, 래치 신호(LATCH)의 레벨 상태가 LOW인 경우, 래치 회로(420)는 게이트 스위칭 신호(SUM_ON_GATE)를 출력할 수 있다. 예를 들면, 도 8에 도시된 바와 같이, 래치 회로(420)는 T1~T2 구간, T3~T7 구간 및 T9~T10 구간에, 게이트 스위칭 신호(SUM_ON_GATE)를 출력할 수 있다.

[0074] 또한, 래치 신호(LATCH)가 HIGH 레벨인 경우, 래치 회로(420)는 게이트 스위칭 신호(SUM_ON_GATE)를 출력하지 않을 수 있다. 예를 들면, 도 8에 도시된 바와 같이, 래치 회로(420)는 T2~T3 구간, T7~T9 구간 및 T10~T15 구간에, 게이트 스위칭 신호(SUM_ON_GATE)를 출력하지 않을 수 있다.

[0075] 이러한 래치 회로(420)는 제1 인버터(421)와 제2 인버터(422)를 포함할 수 있다.

[0076] 구체적으로, 제1 인버터(421)는 래치 신호(LATCH)를 반전시킬 수 있다.

[0077] 또한, 제2 인버터(422)는 제1 인버터(421)를 통해 반전된 래치 신호(LATCH)를 제1 인버터(421)의 입력으로 피드백 반전 시킬 수 있다.

[0078] 이때, 제1 인버터(421)와 제2 인버터(422)는 래치 Fighting에 따른 1UI의 피드백 지연 시간을 감소시키기 위하여, 서로 다른 크기로 형성될 수 있다. 예를 들면, 제1 인버터(421)는 제2 인버터(422)보다 큰 크기로 형성될 수 있다.

[0079] 다음으로, 보상 회로(430)는 수신 신호(RX)를 보상하기 위한 판정 궤환 가중치(DFE_WEIGHT)를 제공할 수 있다.

[0080] 다음으로, 합산기 트랜지스터(440)는 래치 회로(420)를 통해 게이트측으로 출력받는 게이트 스위칭 신호(SUM_ON_GATE)에 기초하여, 판정 궤환 가중치(DFE_WEIGHT)를 채널에 연결된 합산기(500)로 피드백시킬 수 있다.

[0081] 도 9는 도 1의 싱글 엔디드 수신기(10)에 대한 실시 예이고, 도 10은 도 9의 싱글 엔디드 수신기(10)에 대한 동작 타이밍을 설명하기 위한 도이다.

[0082] 도 1, 도 9 및 도 10을 참조하면, 표본 및 보존회로(100)는 T0, T2, T4,...,T12 구간에, 제1 스위치(110)와 제1 커패시터(120)를 통해 비교데이터($D_{n-1,\ ODD}$)를 제공할 수 있다. 또한, 표본 및 보존회로(100)는 T0, T2, T4,...,T12 구간에, 제2 스위치(130)와 제2 커패시터(140)를 통해 비교데이터($D_{n-1,\ EVEN}$)를 제공할 수 있다.

[0083] 그런 다음, 입력데이터(D_n)와 비교데이터(D_{n-1})가 서로 동일하지 않는 T2~T3 구간, T4~T5 구간, T8~T9 및 T10~T11 구간에, 제1 비교기(210)는 제1 판정 차동 신호(COMP_OUT_ODD)를 출력할 수 있다.

[0084] 한편, 입력데이터(D_n)와 비교데이터(D_{n-1})가 서로 동일한 T6~T7 및 T12~T13 구간에, 제1 비교기(210)는 제1 판정 차동 신호(COMP_OUT_ODD)를 출력하지 않을 수 있다.

[0085] 이러한 제1 판정 차동 신호(COMP_OUT_ODD)는 T2~T3 구간, TT8~T9 및 T10~T11 구간에서, LOW 상태이고, T4~T5 구간에서 HIGH 상태일 수 있다.

[0086] 또한, 입력데이터(D_n)와 비교데이터(D_{n-1})가 서로 동일하지 않는 T1~T2 구간, T3~T4 구간 T7~T8 구간 및 T9~T10 구간에, 제2 비교기(220)는 제2 판정 차동 신호(COMP_OUT_EVEN)를 출력할 수 있다.

[0087] 이러한 제2 판정 차동 신호(COMP_OUT_EVEN)는 T7~T8 구간에서, LOW 상태이고, T1~T2 구간, T3~T4 구간 및 T9~T10 구간에서 HIGH 상태일 수 있다.

[0088] 한편, 입력데이터(D_n)와 비교데이터(D_{n-1})가 서로 동일한 서로 동일한 T5~T6, T11~T12 및 T13~T14 구간에, 제2 비교기(220)는 제2 판정 차동 신호(COMP_OUT_EVEN)를 출력하지 않을 수 있다.

[0089] 그런 다음, 제1 SR 래치(311)는 T4 내지 T8 구간 동안, 제1 비교기(210)를 통해 출력받는 제1 판정 차동 신호(COMP_OUT_ODD)를 제1 멀티플렉서(314)에 출력할 수 있다.

[0090] 이때, 제2 SR 래치(321)는 T1 내지 T6 구간과 T8 내지 T13 구간 동안, 제2 비교기(220)를 통해 출력받는 제2 판정 차동 신호(COMP_OUT_EVEN)를 제2 멀티플렉서(324)에 출력할 수 있다.

[0091] 그런 다음, 제1 멀티플렉서(314)는 T5, T7, 및 T9 시간에, 제1 SR 래치(311)로부터 출력받는 제1 판정 차동 신호(COMP_OUT_ODD)를 제1 디지털 출력신호(예컨대, DO_{UT_ODD})로 출력할 수 있다.

[0092] 또한, 제2 멀티플렉서(324)는 T2, T4 및 T8 시간에, 제2 SR 래치(321)로부터 출력받는 제1 판정 차동 신호(COMP_OUT_ODD)를 제2 디지털 출력신호(예컨대, DO_{UT_EVEN})로 출력할 수 있다.

[0093] 실시예에 따라, 제2 멀티플렉서(324)는 T6 및 T12 시간에, 제2 비트 선택 신호(SEL_BIT_EVEN)에 응답하여, 제1 디지털 출력신호(예컨대, DO_{UT_ODD})를 제2 디지털 출력신호(예컨대, DO_{UT_EVEN})로 전환하여 출력시킬 수 있다.

[0094] 도 11은 도 1의 싱글 엔디드 수신기(10)의 동작 프로세스이다.

[0095] 도 1 내지 도 5 및 도 11을 참조하면, 먼저, S110 단계에서, 표본 및 보존회로(100)는 수신 신호(RX)를 클럭에 따라 하프-레이트로 변환하여, 클럭 위상별 제1 및 제2 비교데이터(D_{n-1}_EVEN, D_{n-1}_ODD)를 제공할 수 있다.

[0096] 이때, S120 단계에서, 한쌍의 비교기(210, 220)는 입력데이터(D_n)와 제1 및 제2 비교데이터(D_{n-1}_EVEN, D_{n-1}_ODD)를 각각 비교하고, 각 비교 결과에 기초하여 제1 및 제2 판정 차동 신호(COMP_OUT_ODD, COMP_OUT_EVEN)를 출력할 수 있다.

[0097] 실시예에 따라, S120 단계에서, 한쌍의 비교기(210, 220)는 제1 및 제2 비교데이터(D_{n-1})와 입력데이터(D_n) 간의 레벨 차이에 기초하여, 제1 및 제2 판정 차동 신호(COMP_OUT_ODD, COMP_OUT_EVEN)에 대한 출력 차단 여부를 결정할 수 있다.

[0098] 그런 다음, S130 단계에서, 한쌍의 디코더(310, 320)는 제1 및 제2 판정 차동 신호(COMP_OUT_ODD, COMP_OUT_EVEN)에 기초하여, 반대 위상의 디지털 출력신호(예컨대, DO_{UT_ODD})를 현재 위상의 디지털 출력신호(예컨대, DO_{UT_EVEN})로 교차 전환시켜 출력할 수 있다.

[0099] 그런 다음, S130 단계 이후에, 판정 궤환 등화기(400)는 제1 및 제2 비교데이터(D_{n-1}_EVEN, D_{n-1}_ODD) 중 어느 하나와 입력데이터(D_n) 간의 동일 여부에 기초하여, 판정 궤환 동작을 수행할 수 있다. 이때, 합산기(500)는 상기 판정 궤환 동작에 따라 판정 궤환 등화기(400)로부터 피드백받는 판정 궤환 가중치를 상기 수신 신호(RX)에 합산할 수 있다.

[0100] 실시예에 따라, 판정 궤환 등화기(400)는 상기 판정 궤환 가중치가 합산기(500)에 피드백되지 않는 특정 UI에서, 상기 판정 궤환 동작을 정상적으로 수행할 수 있다.

[0101] 도 12는 도 4의 제1 디코더(310)에 대한 동작 프로세스이다.

[0102] 도 4, 도 11 및 도 12를 참조하면, S210 단계에서, 제1 SR 래치(311)는 제1 판정 차동 신호(COMP_OUT_ODD)를 입력받아 저장할 수 있다.

[0103] 그런 다음, S220 단계에서, 제1 낸드 게이트(312)는 제1 판정 차동 신호(COMP_OUT_ODD)에 기초하여, 하이 신호와 로우 신호 중 어느 하나를 출력할 수 있다.

[0104] 이때, S230 단계에서, 제1 플립플롭(313)은 제1 낸드 게이트(312)를 통해 출력받는 로우 신호에 기초하여, 제1 비트 선택 신호(SEL_BIT_ODD)를 생성할 수 있다.

[0105] 이후, S240 단계에서, 제1 멀티플렉서(314)는 제1 비트 선택 신호(SEL_BIT_ODD)에 기초하여, 반대 위상의 제2 디지털 출력신호(DOUT_EVEN)를 현재 위상의 제1 디지털 출력신호(DOUT_ODD)로 교차 전환시켜 출력할 수 있다.

[0106] 도 13은 도 4의 제2 디코더(320)에 대한 동작 프로세스이다.

[0107] 도 4, 도 11 및 도 13을 참조하면, S310 단계에서, 제2 SR 래치(321)는 제2 비교기(220)로부터 제2 판정 차동 신호(COMP_OUT_EVEN)를 입력받아 저장할 수 있다.

[0108] 그런 다음, S320 단계에서, 제2 낸드 게이트(322)는 제2 판정 차동 신호(COMP_OUT_EVEN)에 기초하여, 하이 신호와 로우 신호 중 어느 하나를 출력할 수 있다.

[0109] 이때, S330 단계에서, 제2 플립플롭(323)은 제2 낸드 게이트(322)를 통해 출력받는 로우 신호에 기초하여, 제2 비트 선택 신호(SEL_BIT_EVEN)를 생성할 수 있다.

[0110] 이후, S340 단계에서, 제2 멀티플렉서(324)는 제2 비트 선택 신호(SEL_BIT_EVEN)에 기초하여, 반대 위상의 제1 디지털 출력신호(D_{OUT_ODD})를 현재 위상의 제2 디지털 출력신호(D_{OUT_EVEN})로 교차 전환시켜 출력할 수 있다.

[0111] 본 출원은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 출원의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

[0112] 10, 11: 싱글 엔디드 수신기

100: 표본 및 보존 회로

210: 제1 비교기

220: 제2 비교기

310: 제1 디코더

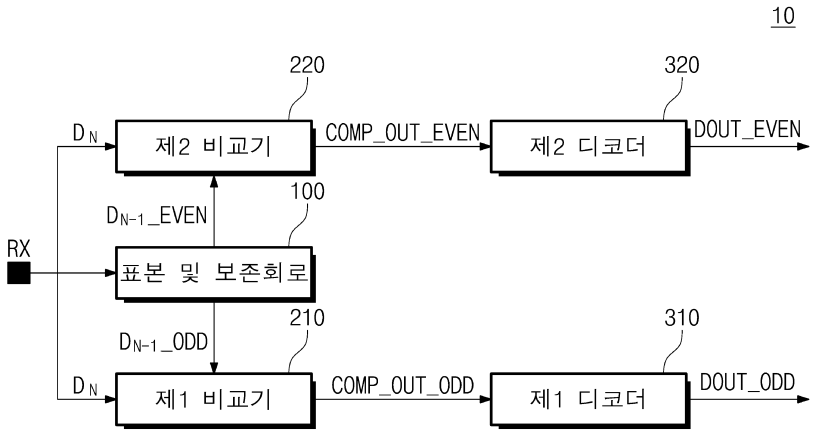
320: 제2 디코더

400: 판정 궤환 등화기

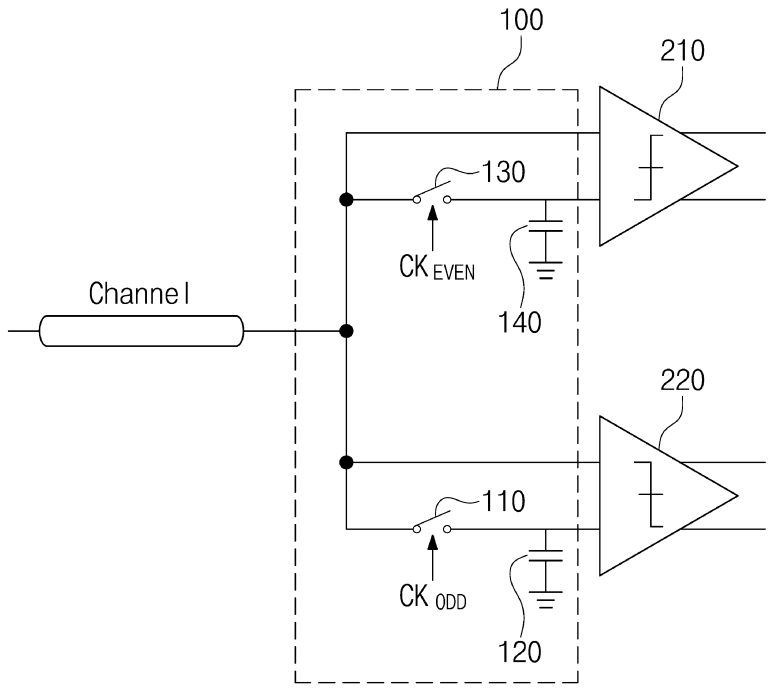
500: 합산기

도면

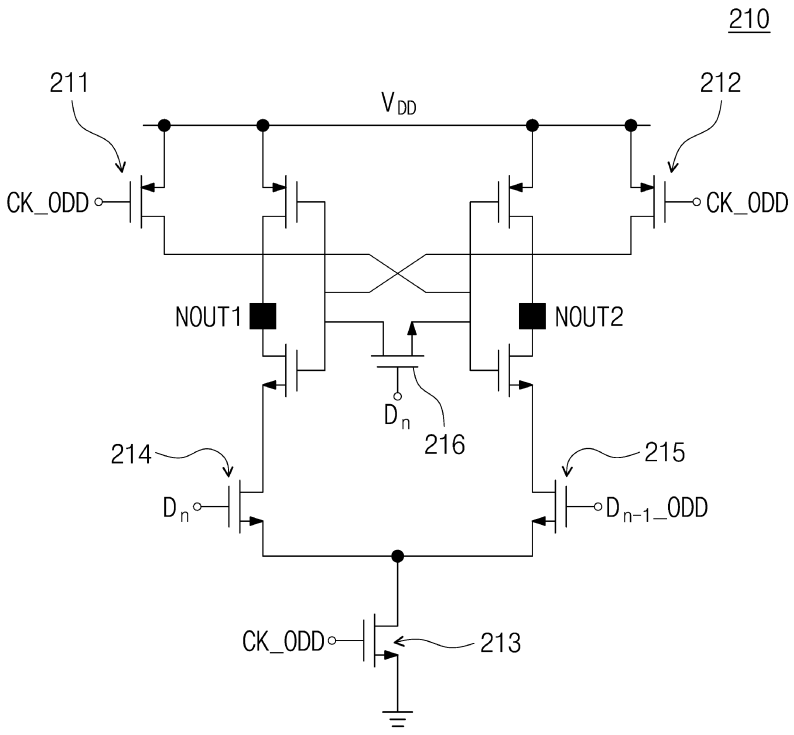
도면1



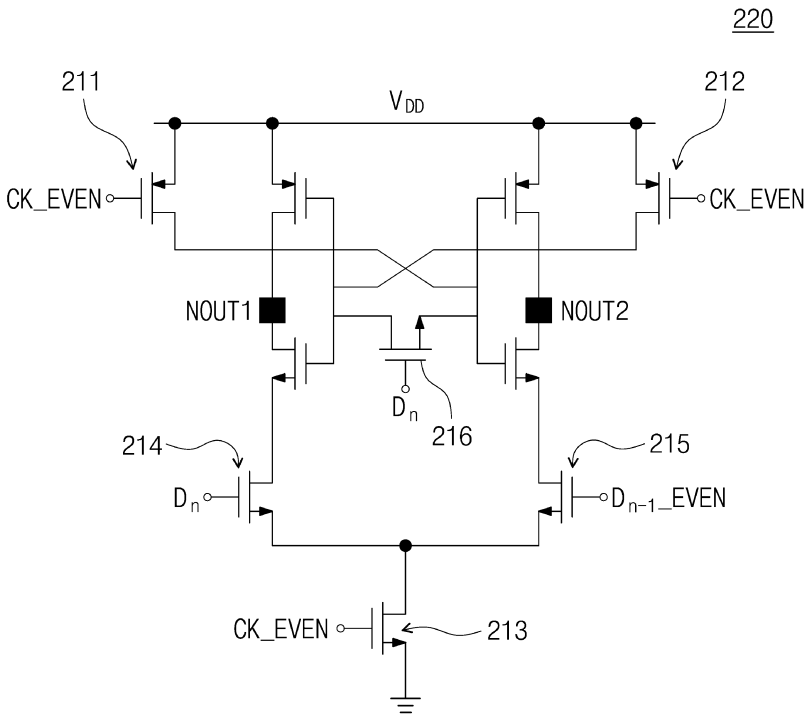
도면2


100
210
130
CK EVEN
140
Channel
220
110
CK ODD
120

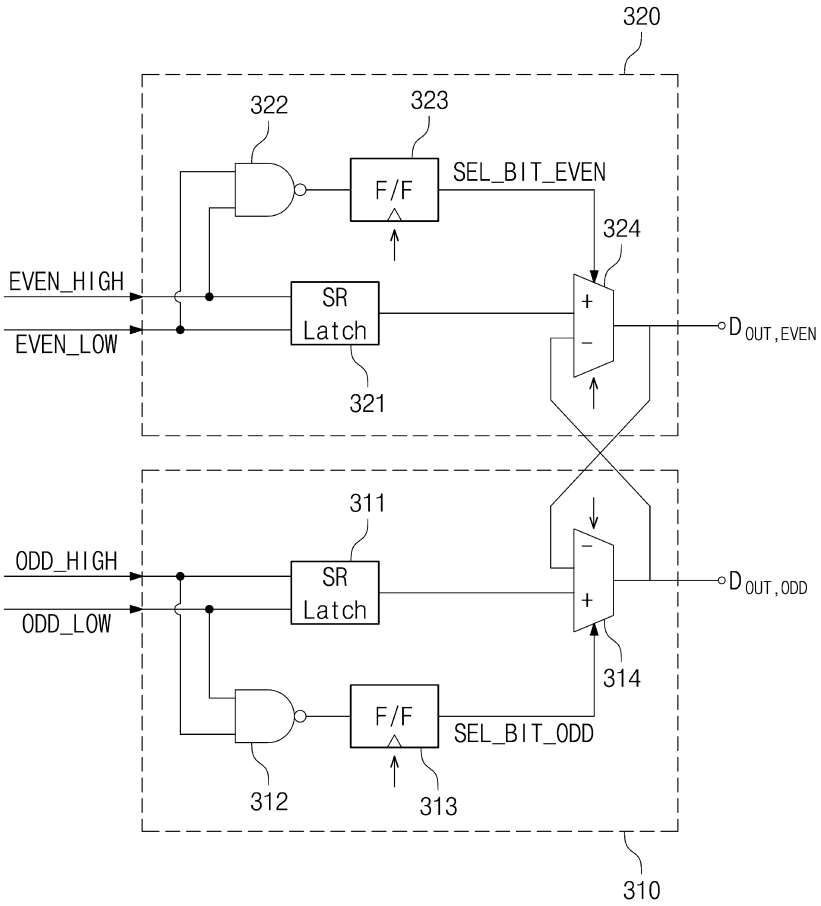
도면3a


210
211
VDD
212
CK_ODD
CK_ODD
NOUT1
NOUT2
Dn
216
214
215
Dn
Dn-1_ODD
CK_ODD
213

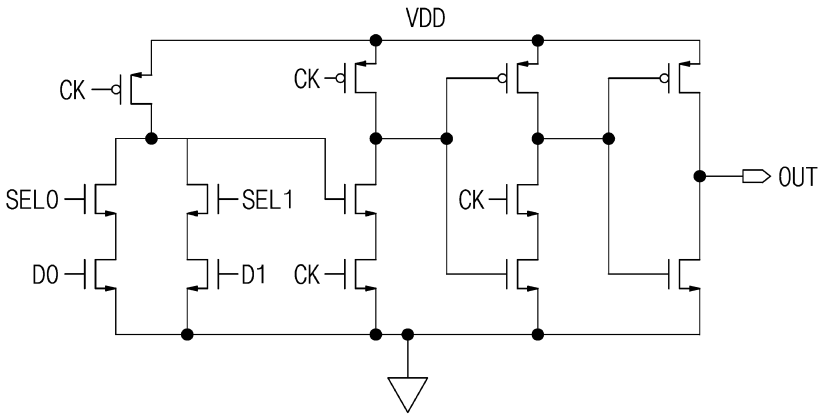
도면3b


220
211
212
V_{DD}
CK_EVEN
CK_EVEN
NOUT1
NOUT2
D_n
216
214
215
D_n
D_{n-1}_EVEN
CK_EVEN
213

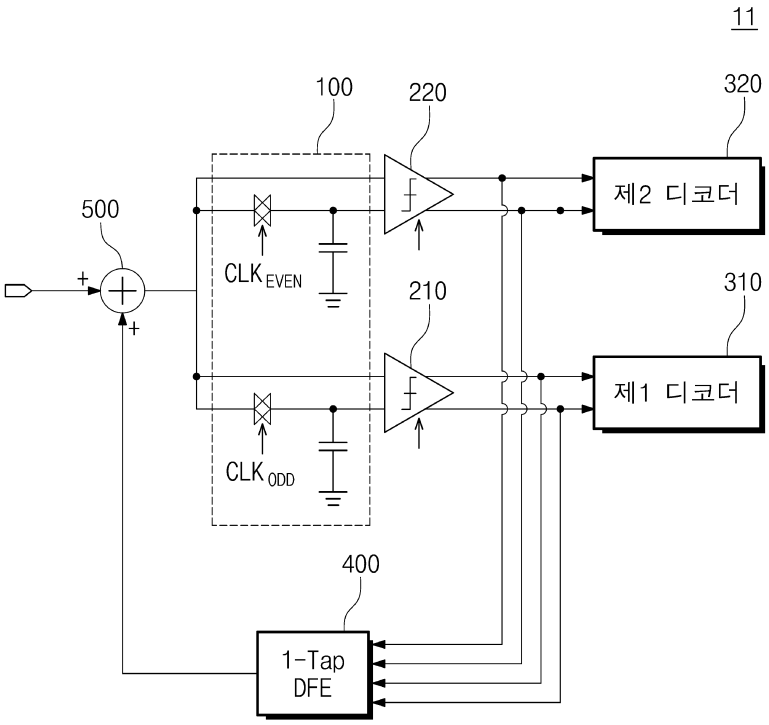
도면4


320
322
323
F/F
SEL_BIT_EVEN
324
EVEN_HIGH
EVEN_LOW
SR
Latch
321
+
−
D OUT,EVEN
311
ODD_HIGH
ODD_LOW
SR
Latch
D OUT,ODD
−
+
314
F/F
SEL_BIT_ODD
312
313
310

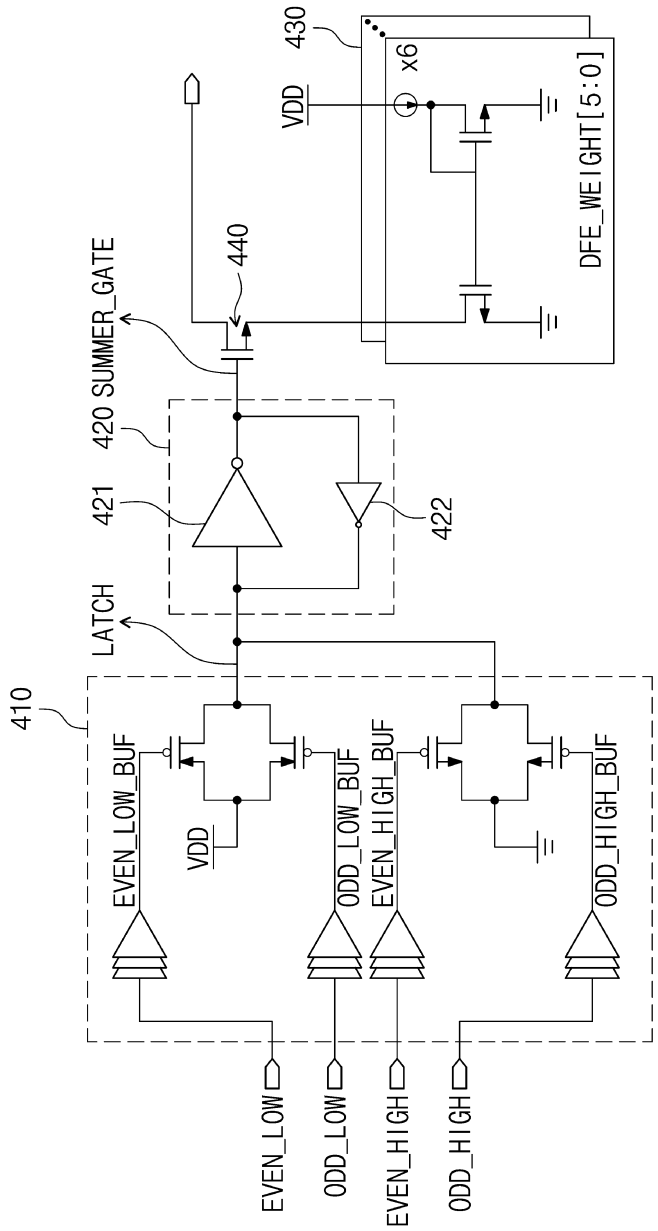
도면5


VDD
CK
CK
SEL0
SEL1
CK
OUT
D0
D1
CK

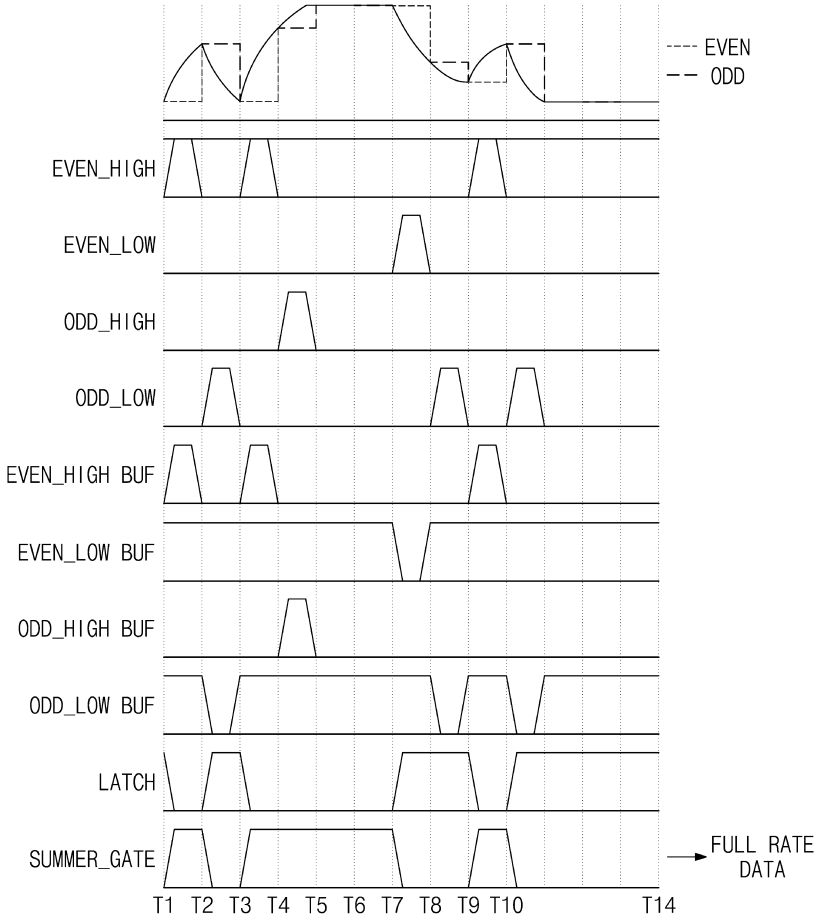
도면6


11
100
220
320
500
제2 디코더
CLK EVEN
210
310
제1 디코더
CLK ODD
400
1-Tap
DFE

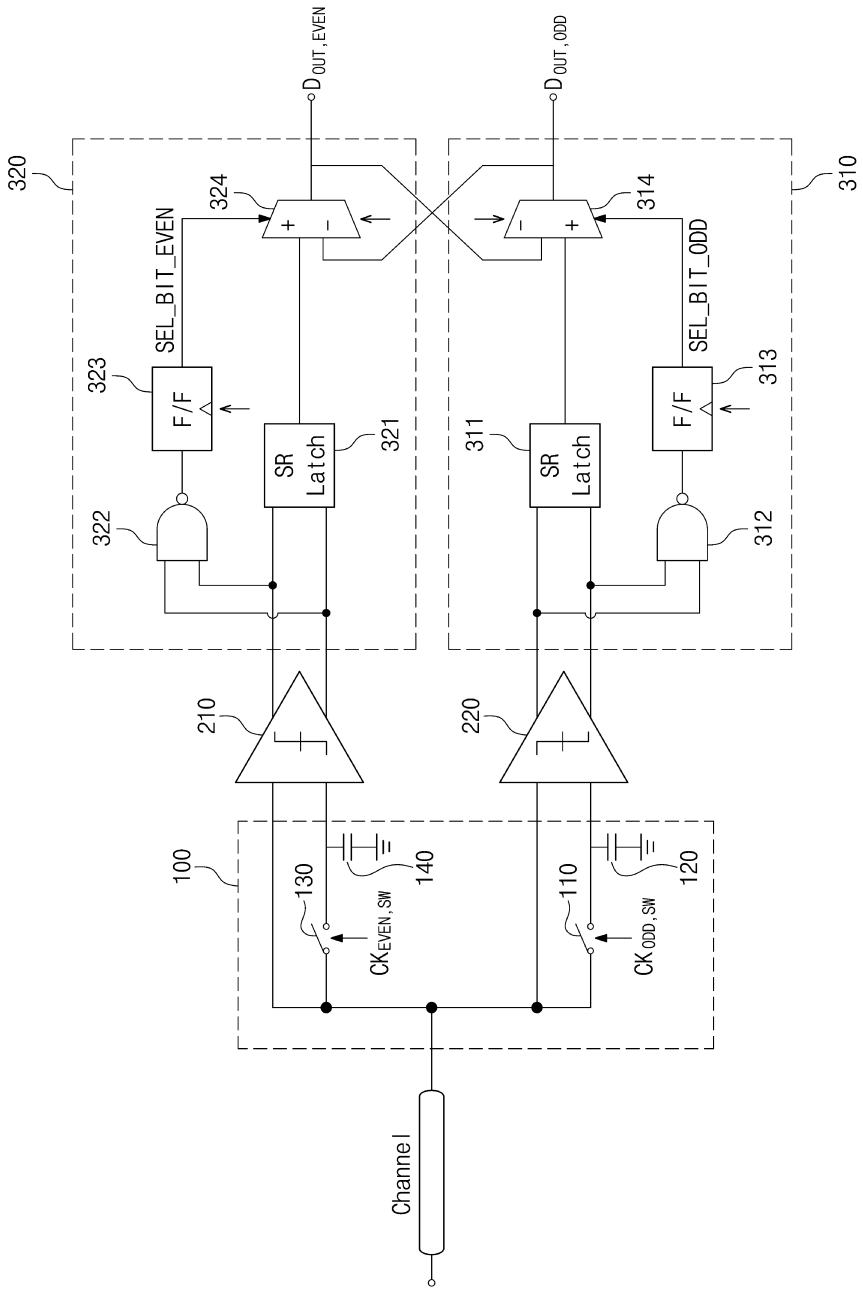
도면7


430
VDD
x6
DFE_WEIGHT[5:0]
440
420 SUMMER_GATE
421
422
LATCH
410
EVEN_LOW_BUF
VDD
ODD_LOW_BUF
EVEN_HIGH_BUF
ODD_HIGH_BUF
EVEN_LOW
ODD_LOW
EVEN_HIGH
ODD_HIGH

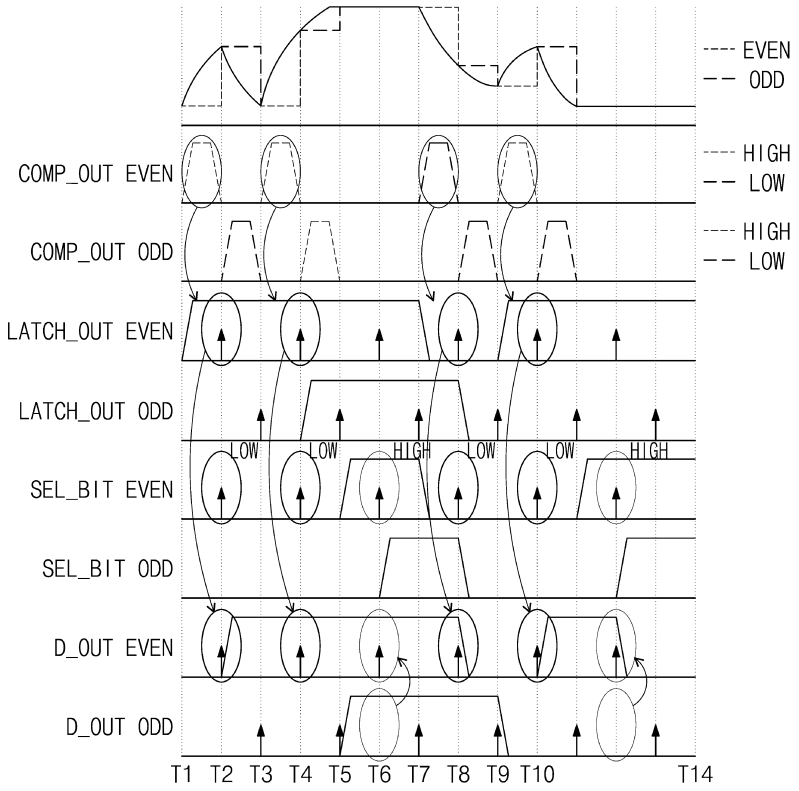
도면8


EVEN
ODD
EVEN_HIGH
EVEN_LOW
ODD_HIGH
ODD_LOW
EVEN_HIGH BUF
EVEN_LOW BUF
ODD_HIGH BUF
ODD_LOW BUF
LATCH
SUMMER_GATE
FULL RATE DATA
T1 T2 T3 T4 T5 T6 T7 T8 T9 T10 T14

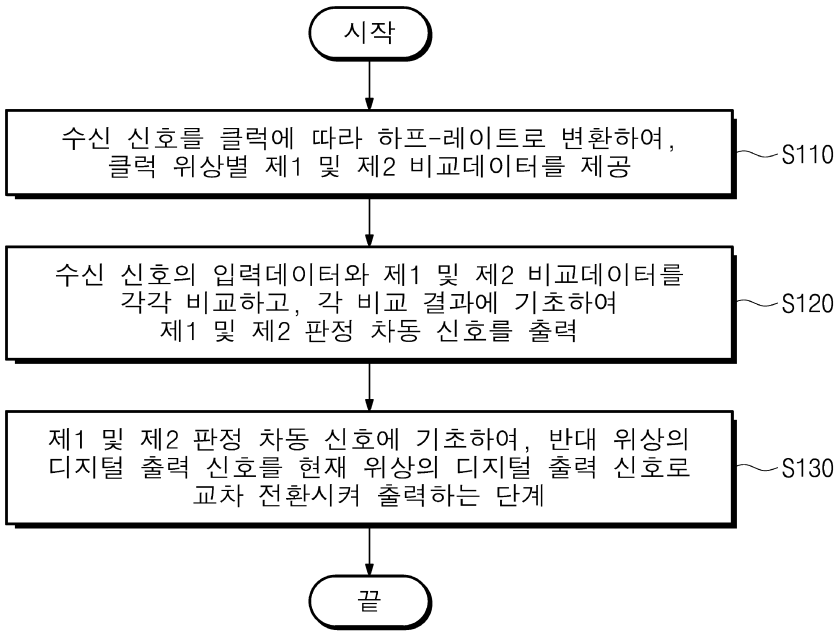
도면9


D OUT, EVEN
D OUT, ODD
320
310
324
314
SEL_BIT_EVEN
SEL_BIT_ODD
323
313
F/F
F/F
SR Latch
SR Latch
321
311
322
312
210
220
100
130
140
110
120
CK EVEN, SW
CK ODD, SW
Channel

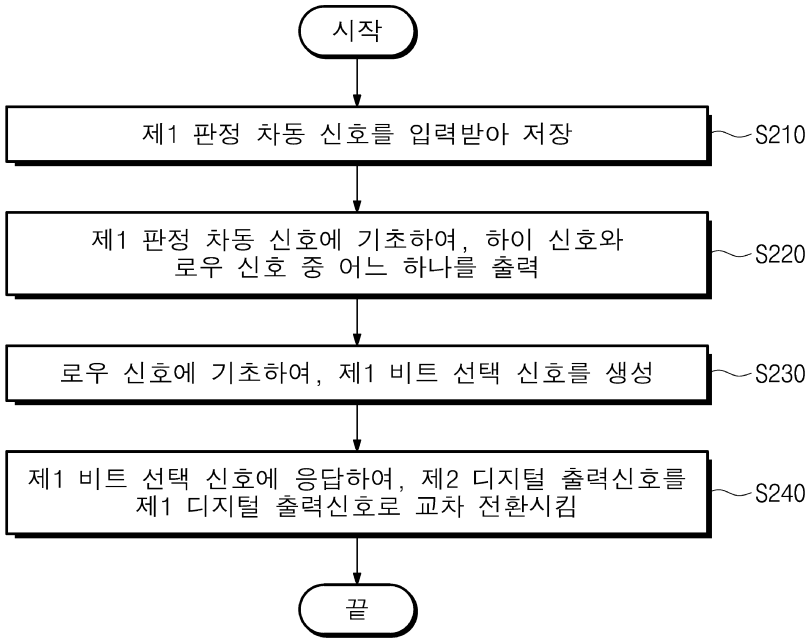
도면10


EVEN
ODD
HIGH
LOW
HIGH
LOW
COMP_OUT EVEN
COMP_OUT ODD
LATCH_OUT EVEN
LATCH_OUT ODD
LOW
LOW
HIGH
LOW
LOW
HIGH
SEL_BIT EVEN
SEL_BIT ODD
D_OUT EVEN
D_OUT ODD
T1 T2 T3 T4 T5 T6 T7 T8 T9 T10 T14

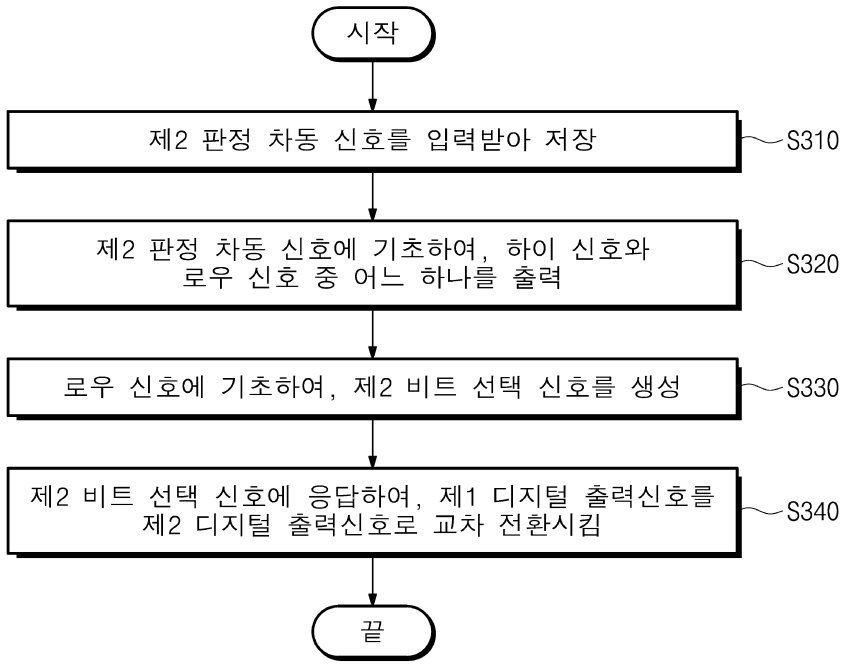
도면11


시작
수신 신호를 클럭에 따라 하프-레이트로 변환하여, 클럭 위상별 제1 및 제2 비교데이터를 제공
S110
수신 신호의 입력데이터와 제1 및 제2 비교데이터를 각각 비교하고, 각 비교 결과에 기초하여 제1 및 제2 판정 차동 신호를 출력
S120
제1 및 제2 판정 차동 신호에 기초하여, 반대 위상의 디지털 출력 신호를 현재 위상의 디지털 출력 신호로 교차 전환시켜 출력하는 단계
S130
끝

도면12


시작
제1 판정 차동 신호를 입력받아 저장
S210
제1 판정 차동 신호에 기초하여, 하이 신호와 로우 신호 중 어느 하나를 출력
S220
로우 신호에 기초하여, 제1 비트 선택 신호를 생성
S230
제1 비트 선택 신호에 응답하여, 제2 디지털 출력신호를 제1 디지털 출력신호로 교차 전환시킴
S240
끝

도면13


시작
제2 판정 차동 신호를 입력받아 저장
S310
제2 판정 차동 신호에 기초하여, 하이 신호와 로우 신호 중 어느 하나를 출력
S320
로우 신호에 기초하여, 제2 비트 선택 신호를 생성
S330
제2 비트 선택 신호에 응답하여, 제1 디지털 출력신호를 제2 디지털 출력신호로 교차 전환시킴
S340
끝