



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

244513

(11) (B1)

(51) Int. Cl.⁴

H 03 K 17/30

- (22) Přihlášeno 02 07 81
(21) (PV 5145-81)
(32) (31)(33) Právo přednosti od 09 10 80
(WP H 03 K/224 417) DD
(89) 154465, DD
(44) Zveřejněno 17 09 85
(45) Vydáno 16 02 87

(75)
Autor vynálezu

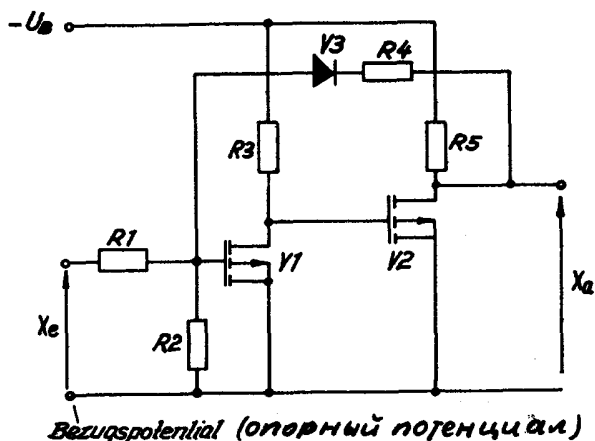
FIEDLER GERHARD; FRITZSCHE WERNER dipl. ing.;
HEROLD FRANK dipl. ing.; TOLKMITT UWE dipl. ing., GREIZ (DD)

(54) Elektronický prahový přepínač se zpožděným zapojením

Řešení se týká elektronického prahového přepínače na změnu elektrického analogového signálu stochastického rozložení na nespojitý elektrický signál při současném jeho uvedení na standardní logickou úroveň.

Úkol se řeší pomocí toho, že napětí signálu se přivádí k děliči napětí, jehož výstup je spojen s uzávěrem prvního tranzistoru obvodu a s anodou diody, přičemž výstup prvního tranzistoru při činnosti prahového přepínače bez zpožděného zapínání je spojen přímo s uzávěrem druhého tranzistoru nebo - při činnosti prahového přepínače se zpožděným zapínáním - mezi výstup prvního tranzistoru a uzávěr druhého tranzistoru se zapojuje dioda v propouštěcím směru a uzávěr druhého tranzistoru se spojuje se srovnávacím potenciálem obvodu, který se skládá z paralelně spojeného kondenzátoru a odporu, přičemž z výstupu druhého tranzistoru se snímá potřebné nespojité napětí signálu a současně přes odpor nebo dělič napětí se přivádí na katodu diody, která je zapojena k uzávěru prvního tranzistoru.

Mezi výstup druhého tranzistoru a uzávěr prvního tranzistoru je zapojen kondenzátor.



Электронный пороговый переключатель с задержкой
включения

Область применения изобретения

Изобретение касается электронного порогового переключателя для преобразования электрического аналогового сигнала со стохастическим распределением в дискретный электрический сигнал при одновременном приведении (его) к стандартизированному логическому уровню.

Характеристика известных технических решений

Известные на сегодня электронные пороговые переключатели выполняются на триггерах Шмитта, токовых триггерах или на операционных усилителях; с их помощью осуществляется возможность переключения при достижении сигналом наперед заданного значения (пороговой величины), принадлежащего к области значений аналогового сигнала, и формирования, таким образом, дискретного сигнала. Если длительность дискретного сигнала должна быть большой и если аналоговый сигнал имеет стохастический или, соответственно, импульсный характер, то пороговому переключателю сообщается задержка (времени) включения посредством включения на его входе RC-цепи, которая интегрирует входной сигнал. При соответствующем выборе постоянной времени RC-цепи гарантируется, что пороговый переключатель при имеющемся аналоговом сиг-

244513

нале выдает продолжительный (по длительности) дискретный сигнал, который исчезает только тогда, когда среднее значение аналогового сигнала в течении длительного промежутка времени не достигает установленного порогового значения.

Выполненным на дискретных элементах триггерам Шмитта обычно свойственен недостаток, заключающийся в том, что вследствие полезной положительной обратной связи, создаваемой эмиттерным или истоковым сопротивлением, выходной сигнал отклоняется в двух требуемых дискретных состояниях от опорного потенциала. Остаточный потенциал вследствие этого должен компенсироваться посредством дополнительного усложнения схемы.

Токовые триггеры выполняются только биполярными, вследствие этого их входное сопротивление относительно невелико и, следовательно, постоянная времени RC-цепи, включенной на входе, сильно ограничена, что также обуславливает дополнительное усложнение схемы.

Кроме названных недостатков токовые триггеры и триггеры Шмитта обладают еще одним недостатком, заключающимся в том, что они не дают возможности независимой регулировки (установки) порога включения и порога выключения.

Пороговые переключатели с задержкой, выполненные на операционных усилителях, имеют очевидный недостаток в плане дальнейшей обработки выходного сигнала. Этот недостаток заключается в том, что невозможен переход к логическим схемам без использования дополнительного каскада сдвига потенциала.

С другой стороны, реализация требуемого времени задержки процесса включения посредством офсетных токов или, соответственно, дрейфа офсетного тока операционного усилителя затруднена.

Цель изобретения.

Целью изобретения является создание посредством простых схемно-технических мероприятий такого порогового переключателя с задержкой (времени) включения, который может использоваться с задержкой включения и без нее и свободен от указанных выше недостатков.

Изложение сущности изобретения.

В основу изобретения положена задача - на базе известных компонентов создать пороговый переключатель с задержкой

ния, который может использоваться с задержкой включения и без нее, который обеспечивает относительно высокое значение входного сопротивления при одновременном приведении (согласовании) уровня и сдвига потенциала, который обеспечивает независимую установку порога включения и выключения, а также регулировку задержки включения в широком диапазоне.

Задача согласно изобретению решается посредством того, что подлежащий преобразованию аналоговый сигнал в форме напряжения подводится к делителю напряжения, отвод которого соединен с затвором первого полевого транзистора истоковой схемы и с анодом диода, при этом сток первого полевого транзистора при работе порогового переключателя без задержки включения соединен непосредственно с затвором второго полевого транзистора истоковой схемы или - при работе порогового переключателя с задержкой включения - между стоком первого полевого транзистора и затвором второго полевого транзистора включается диод в направлении пропускания, а затвор второго полевого транзистора соединяет с опорным потенциалом схемы цепь, состоящая из параллельного соединения конденсатора и сопротивления, причем в обоих вариантах схемы со стока второго полевого транзистора снимается требуемый дискретный сигнал и одно - временно через сопротивление или делитель напряжения подается на катод диода, который (другим выводом) подключен к затвору первого полевого транзистора, кроме того между стоком второго полевого транзистора и затвором первого полевого транзистора может быть включен конденсатор.

Возможно выполнение конденсаторов и сопротивлений в виде смешанных схем.

Благодаря этому можно реализовать пороговый переключатель с задержкой включения и без нее, с согласованием уровня при одновременном сдвиге потенциала, а также с независимой установкой порогового значения и гистерезиса и высоким значением входного сопротивления.

Пример выполнения

Изобретение подробнее поясняется на трех примерах выполнения.

На чертежах показано:

Фиг. I - вариант выполнения схемы, работающей без задержки включения, с положительной обратной связью через сопротивление.

Фиг. 2 - Вариант выполнения схемы, работающей без задержки включения, с положительной обратной связью через выходной делитель напряжения

Фиг. 3 - Вариант выполнения схемы, работающей с задержкой включения

Схемы, представленные на Фиг. 1 и Фиг. 2 работают без задержки включения. Установим, что пороговый переключатель включен, если транзистор V_2 заперт. Пороговый переключатель выключен, если транзистор V_2 находится в состоянии проводимости. При этом для выходного сигнала X_a возможны два дискретных состояния

$$\begin{aligned} X_a &= -U_B && \text{для "ВКЛ"} \\ X_a &= 0 && \text{для "ВЫКЛ"} \end{aligned}$$

Пояснение принципа действия порогового переключателя дается, исходя из состояния переключения "ВЫКЛ". Если транзистор V_1 заперт, а транзистор V_2 находится в состоянии проводимости, то к стоку полевого транзистора V_2 приложен опорный потенциал и ток через R_4 прекращается посредством диода V_3 .

Если аналоговое напряжение X_e растет так, что напряжение на R_2 достигает значения порогового напряжения U_T от V_1 и справедливо следующее выражение:

$$U_T = \frac{R_2 \cdot X_e}{R_1 + R_2} \quad (1)$$

то полевой транзистор V_1 становится проводящим, а полевой транзистор V_2 начинает запирается. При этом возникает дополнительный ток через R_4 , V_3 и R_2 , который постоянно увеличивает падение напряжения на R_2 и ускоряет процесс переключения V_1 и V_2 (положительная обратная связь), т.е. разрешается процесс опрокидывания.

Для напряжения включения справедливо выражение следующее из (1):

$$X_{e \text{ вкл}} = U_T \cdot \frac{R_1 + R_2}{R_2} \quad (2)$$

Из приведенного выражения следует возможность вариации R_1 и R_2 .

Так как полевой транзистор V_1 является высокоомным, сумма сопротивлений $(R_1 + R_2)$ может быть выбрана очень большой. Таким образом, входное сопротивление $(R_1 + R_2)$ порогового переключателя может достигать значительных величин. После окончания релаксационного процесса полевой транзистор V_2 полностью заперт и гарантируется состояние переключения "ВКЛ". Если входное напряжение U_e уменьшается настолько, что падение напряжения на R_2 достигает порогового напряжения U_T от

V_1 или, соответственно, становится меньше последнего, полевой транзистор V_1 переходит из проводящего в запертое состояние, а полевой транзистор V_2 открывается. Одновременно с этим уменьшается ток через R_4 , V_3 и R_2 , или, соответственно, резко прекращается, если падение напряжения на R_2 становится равным выходному напряжению U_a . Возникает новое ускорение устанавливающегося процесса переключения (положительная обратная связь) и V_2 опрокидывается (обратно) в дискретное состояние "Выкл". U_a принимает значение, равное величине опорного потенциала. Величина выходного напряжения может быть произвольно установлена посредством R_4 .

В схеме на Фиг. 2 сопротивление положительной обратной связи R_4 заменено на делитель напряжения R_6 , R_7 , причем принцип действия остается тем же самым, что и в схеме по Фиг. 1.

Делитель напряжения обеспечивает лучшее согласование положительной обратной связи через диод V_3 на R_2 , причем величина напряжения выключения устанавливается выбором соотношения для коэффициента деления:

$$K = \frac{R_7}{R_5 + R_6 + R_7} \quad (3)$$

Устройство порогового переключателя с задержкой включения далее поясняется со ссылкой на Фиг. 3.

Для обеспечения желаемой задержки между полевыми транзисторами V_1 и V_2 включена матрица, состоящая из V_4 , C_1 и R_8 .

Для пояснения принципа действия в качестве исходного состояния принято состояние "ВЫКЛ". В этом случае полевой транзистор V_1 заперт, а транзистор V_2 находится в состоянии проводимости $U_a=0$. Конденсатор C_1 заряжен до напряжения, близкого

к величине напряжения питания $-U_B$, поскольку выполняется условие :

$$R_3 \quad R_8$$

Напряжение на конденсаторе $C1$ одновременно приложено к высокоомному выводу затвора полевого транзистора $V2$. Как только входное напряжение U_e достигает порога включения порогового переключателя, полевой транзистор $V1$ становится проводящим и потенциал на катоде диода $V4$ начинает снижаться, так что конденсатор $C1$ больше не заряжается.

Конденсатор $C1$ разряжается через сопротивление R_3 . Быстрый разряд через низкоомный промежуток сток-исток полевого транзистора $V1$ невозможен из-за наличия $V4$. Это означает, что разряд конденсатора $C1$ происходит с постоянной времени.

$$T = R_3 \cdot C1 \quad (4)$$

Когда во время разряда напряжение на конденсаторе понизится до порогового напряжения полевого транзистора $V2$, этот транзистор $V2$ начинает запирается и уже упоминавшаяся положительная обратная связь порогового переключателя обеспечивает перевод полевого транзистора $V2$ в состояние "ВЫК". Для улучшения параметров (свойств) переключения динамическая, положительная обратная связь посредством конденсатора $C2$ передает выходное напряжение на вход порогового переключателя.

В описанной схеме реализуется временная задержка включения при достижении напряжения включения U_{eIN} :

$$t_v = -T \ln \frac{U_r}{U_B} \quad (5)$$

Если временной характер входного напряжения U_e является стохастическим или импульсным, то с помощью этого порогового переключателя возможно практически осуществить интегрирование и сформировать выходной сигнал с большей длительностью, равной времени, пока длится осциллирующий входной сигнал.

Формула изобретения

I. Электронный пороговый переключатель с задержкой включения, выполненный с возможностью использования с задержкой включения и без нее, отличающийся тем, что аналоговое напряжение сигнала в качестве входного напряжения сигнала (X_e) подводится к делителю напряжения, состоящему из сопротивлений (R_1, R_2), отвод которого соединен с затвором первого полевого транзистора (V_1) истоковой схемы (V_1, R_3) и анодом диода (V_3), при этом сток первого полевого транзистора (V_1, R_3) при работе порогового переключателя без задержки включения соединен непосредственно с затвором второго полевого транзистора (V_2) истоковой схемы (V_2, R_5) или - при работе порогового переключателя с задержкой включения - между стоком первого полевого транзистора (V_1, R_3) и затвором второго полевого транзистора (V_2, R_5) включается диод (V_4) в направлении пропускания, а затвор второго полевого транзистора (V_2, R_5) соединяет с шиной опорного потенциала схемы цепь, состоящая из параллельного соединения конденсатора (C_1) и сопротивления (R_8), причем в обоих вариантах схемы со стока второго полевого транзистора (V_2, R_5) снимается требуемый дискретный выходной сигнал (X_a) и одновременно, через сопротивление (R_4) или делитель напряжения, состоящий из сопротивлений (R_6, R_7), подается на катод диода (V_3), который (другим выводом) подключен к затвору первого полевого транзистора (V_1, R_3), кроме того между стоком второго полевого транзистора (V_2, R_5) и затвором первого полевого транзистора (V_1, R_3) включен конденсатор (C_2).

2. Электронный пороговый переключатель по п. 1, отличающийся тем, что сопротивление (R_4) одновременно соединено с делителем напряжения (R_6, R_7).

3. Электронный пороговый переключатель по п. 1 и 2, отличающийся тем, что сопротивление и конденсаторы реализуются в виде смешанных схем, которые сводятся к схемам, приведенным на Фиг. 1, 2 и 3.

Аннотация

Электронный пороговый переключатель с задержкой включения

Изобретение относится к электронному пороговому переключателю для преобразования электрического аналогового сигнала со стохастическим распределением в дискретный электрический сигнал при одновременном приведении (его) к стандартизованному логическому уровню.

Задача согласно изобретению решается посредством того, что напряжение сигнала подводится к делителю напряжения, отвод которого соединен с затвором первого полевого транзистора истоковой схемы и с анодом диода, при этом сток первого полевого транзистора при работе порогового переключателя без задержки включения соединен непосредственно с затвором второго полевого транзистора или - при работе порогового переключателя с задержкой включения - между стоком первого полевого транзистора и затвором второго полевого транзистора включается диод в направлении пропускания, а затвор второго полевого транзистора соединяет с опорным потенциалом схемы цепь, состоящая из параллельного соединения конденсатора и сопротивления, причем со стока второго полевого транзистора снимается требуемое дискретное напряжение сигнала и одновременно через сопротивление или делитель напряжения подается на катод диода, который подключен к затвору первого полевого транзистора.

Между стоком второго полевого транзистора и затвором первого полевого транзистора включен конденсатор фиг. I.

PŘEDMĚT VYNÁLEZU

1. Elektronický prahový přepínač se zpožděným zapínáním, provedený s možností provedení se zpožděným zapínáním nebo bez něho, vyznačující se tím, že analogové napětí signálu jako vstupní napětí signálu (X_e) se přivádí k děliči napětí, který se skládá z odporů (R_1 , R_2), jehož vývod je spojen s uzávěrem prvního tranzistoru (V_1 , R_3) a s anodou diody (V_3), přičemž výstup prvního tranzistoru (V_1 , R_3) při činnosti prahového přepínače bez zpožděného zapínání je přímo spojen s uzávěrem druhého tranzistoru (V_2) obvodu (V_2 , R_5) nebo - při činnosti prahového přepínače se zpožděným zapínáním - mezi výstupem prvního tranzistoru (V_1 , R_3) a uzávěrem druhého tranzistoru (V_2 , R_5) se zapojuje dioda (V_4) v propouštěcím směru, a uzávěr druhého tranzistoru (V_2 , R_5) se spojuje svorkou srovnávacího potenciálu obvod, který se skládá z paralelně spojeného kondenzátoru (C_1) a odporu (R_3), přičemž v obou variantách obvodu se z výstupu druhého tranzistoru (V_2 , R_5) odebírá potřebný nespojitý výstupní signál (X_a) a současně, přes odpor (R_4) nebo dělič napětí, skládající se z odporů (R_6 , R_7) se přivádí na katodu diody (V_3), které (druhým vývodem) je připojena k uzávěru prvního tranzistoru (V_1 , R_3), kromě toho, mezi výstupem druhého tranzistoru (V_2 , R_5) a výstupem prvního tranzistoru (V_1 , R_3), je zapojen kondenzátor (C_2).

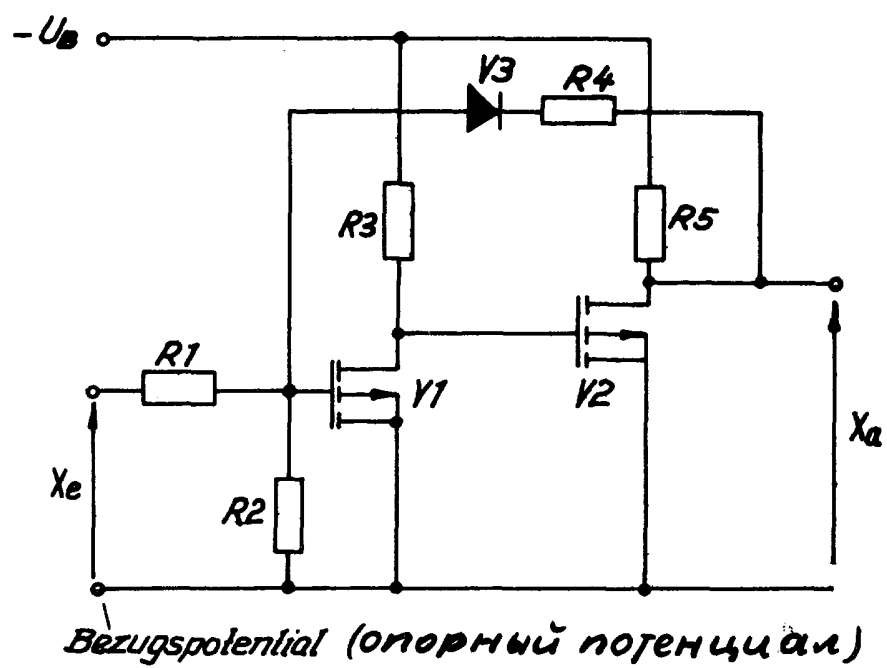
2. Elektronický prahový přepínač podle bodu 1, vyznačující se tím, že odpor (R_4) je současně spojen s děličem napětí (R_6 , R_7).

3. Elektronický prahový přepínač podle bodů 1 a 2, vyznačující se tím, že odpory a kondenzátory se provádí ve tvaru smíšených obvodů, které vedou k zapojení.

Uznáno vynálezem na základě výsledků expertizy, provedené Úřadem pro vynálezectví a patentnictví, Berlín, DD.

3 výkresy

244513



244513

