202407807

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 202407807 A

(43)公開日： 中華民國 113 (2024) 年 02 月 16 日

(21)申請案號：112127104 (22)申請日： 中華民國 112 (2023) 年 07 月 20 日

(51)Int. Cl.： *H01L21/324 (2006.01)* *H01L21/336 (2006.01)*
H01L29/786 (2006.01)

(30)優先權：2022/08/02 日本 2022-123469
2022/09/09 日本 2022-143801

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)
日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP) ；木村肇 KIMURA, HAJIME (JP) ；小林英智 KOBAYASHI, HIDETOMO (JP) ；松嵜德 MATSUZAKI, TAKANORI (JP) ；岡本佑樹 OKAMOTO, YUKI (JP) ；井上広樹 INOUE, HIROKI (JP)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：12 項 圖式數：36 共 212 頁

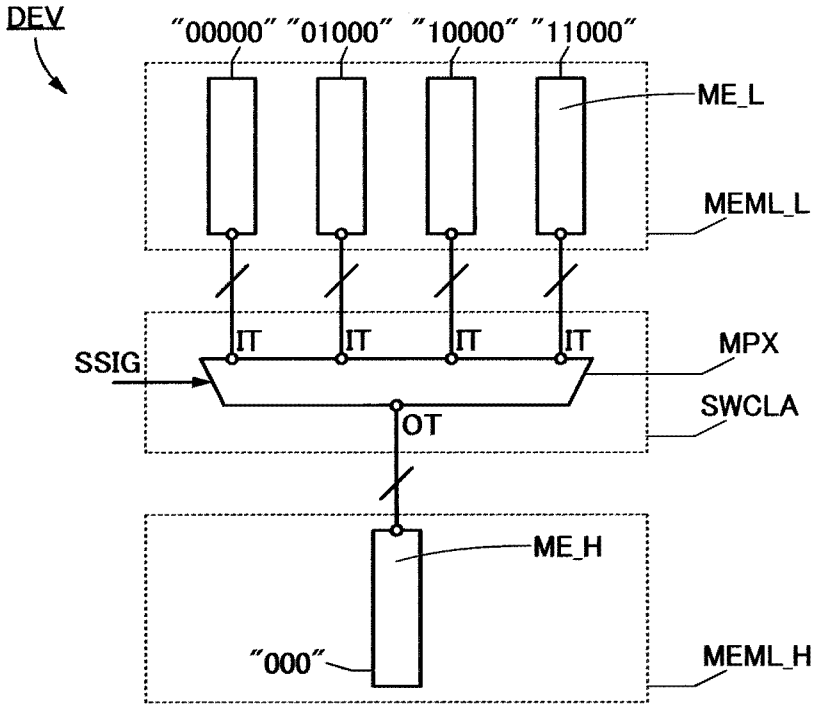
(54)名稱

半導體裝置以及電子裝置

(57)摘要

提供一種存取速度快的半導體裝置。半導體裝置包括第一記憶體層、第二記憶體層以及電路層。第一記憶體層包括多個第一記憶體電路，第二記憶體層包括第二記憶體電路，電路層包括選擇器。選擇器包括多個輸入端子及輸出端子。第一記憶體層位於電路層的下方，第二記憶體層位於電路層的上方。多個第一記憶體電路都與多個輸入端子電連接，第二記憶體電路與輸出端子電連接。選擇器具有使選自多個輸入端子中的一個與選擇器的輸出端子間成為導通狀態的功能。另外，半導體裝置具有將從第二記憶體電路讀出的資料藉由選擇器寫入到第一記憶體電路的功能。

指定代表圖：



【圖7】

符號簡單說明：

DEV:半導體裝置

MEML_L:記憶體層

MEML_H:記憶體層

SWCLA:電路層

ME_L:記憶體電路

ME_H:記憶體電路

MPX:選擇器

IT:端子

OT:端子

SSIG:信號

“00000”:記憶體位址

“01000”:記憶體位址

“10000”:記憶體位址

“11000”:記憶體位址

“000”:記憶體位址

【發明摘要】

【中文發明名稱】

半導體裝置以及電子裝置

【中文】

提供一種存取速度快的半導體裝置。半導體裝置包括第一記憶體層、第二記憶體層以及電路層。第一記憶體層包括多個第一記憶體電路，第二記憶體層包括第二記憶體電路，電路層包括選擇器。選擇器包括多個輸入端子及輸出端子。第一記憶體層位於電路層的下方，第二記憶體層位於電路層的上方。多個第一記憶體電路都與多個輸入端子電連接，第二記憶體電路與輸出端子電連接。選擇器具有使選自多個輸入端子中的一個與選擇器的輸出端子間成為導通狀態的功能。另外，半導體裝置具有將從第二記憶體電路讀出的資料藉由選擇器寫入到第一記憶體電路的功能。

【指定代表圖】圖7
【代表圖之符號簡單說明】

DEV:半導體裝置

MEML_L:記憶體層

MEML_H:記憶體層

SWCLA:電路層

ME_L:記憶體電路

ME_H:記憶體電路

MPX:選擇器

IT:端子

OT:端子

SSIG:信號

“00000”:記憶體位址

“01000”:記憶體位址

“10000”:記憶體位址

“11000”:記憶體位址

“000”:記憶體位址

【特徵化學式】無

【發明說明書】

【中文發明名稱】

半導體裝置以及電子裝置

【技術領域】

【0001】本發明的一個實施方式係關於一種半導體裝置及電子裝置。

【0002】此外，本發明的一個實施方式不限定於上述技術領域。本說明書等所公開的發明的技術領域係關於一種物體、工作方法或製造方法。此外，本發明的一個實施方式係關於一種製程(process)、機器(machine)、產品(manufacture)或者組合物(composition of matter)。因此，明確而言，作為本說明書所公開的本發明的一個實施方式的技術領域的例子可以舉出半導體裝置、顯示裝置、液晶顯示裝置、發光裝置、蓄電裝置、攝像裝置、記憶體裝置、信號處理裝置、感測器、處理器、電子裝置、系統、它們的驅動方法、它們的製造方法或它們的檢查方法。

【先前技術】

【0003】近年來，隨著使用資料量的增大，需要具有更大的記憶容量的記憶體裝置。為了增加單位面積的記憶容量，像3D NAND型記憶體裝置等那樣層疊記憶單元是有效的(參照專利文獻1至專利文獻3)。藉由層疊記憶單元，可以與記憶單元的層疊數相應地增加單位面積的記憶容

量。

【0004】

[專利文獻1]美國專利申請公開第2011/0065270號說明書

[專利文獻2]美國專利申請公開第2016/0149004號說明書

[專利文獻3]美國專利申請公開第2013/0069052號說明書

【發明內容】

【0005】應用於電腦的快取記憶體、主記憶體等的記憶體裝置被要求具有如下特徵：存取所需的時間較短，換言之，例如，寫入速度及讀出速度較快。例如，SRAM(Static Random Access Memory：靜態隨機存取記憶體)、DRAM(Dynamic Random Access Memory：動態隨機存取記憶體)因存取時間(有時稱為延遲時間、潛伏時間(latency)等)大約為數ns至數十ns而被用作電腦的快取記憶體、主記憶體等。

【0006】包括在CPU(Central Processing Unit：中央處理器)等處理器中的位於記憶體層次的上級的記憶體裝置諸如暫存器及快取記憶體等的記憶容量比位於記憶體層次的下級的記憶體裝置小，所以有時暫存器或快取記憶體中不儲存有所需的資料(有時將其稱為快取未中(cache miss))。在發生快取未中時，處理器存取位於記憶體層次

的下級的記憶體裝置而取得所需的資料(有時將其稱為快取未中懲罰(cache miss penalty))。處理器與位於記憶體層次的下級的記憶體裝置藉由匯流排線交換資料。注意，藉由匯流排線從CPU存取位於記憶體層次的下級的記憶體裝置的速度慢，這易於影響到處理器的工作速度。

【0007】本發明的一個實施方式的目的之一是提供一種存取速度快的半導體裝置。此外，本發明的一個實施方式的目的之一是提供一種功耗得到降低的半導體裝置。此外，本發明的一個實施方式的目的之一是提供一種電路面積小的半導體裝置。此外，本發明的一個實施方式的目的之一是提供一種包括上述半導體裝置的電子裝置。此外，本發明的一個實施方式的目的之一是提供一種新穎的半導體裝置或新穎的電子裝置。

【0008】注意，本發明的一個實施方式的目的不侷限於上述目的。上述列舉的目的並不妨礙其他目的的存在。此外，其他目的是上面沒有提到而將在下面的記載中進行說明的目的。本領域技術人員可以從說明書或圖式等的記載中導出並適當抽出上面沒有提到的目的。此外，本發明的一個實施方式實現上述目的及其他目的中的至少一個目的。此外，本發明的一個實施方式並不需要實現所有的上述目的及其他目的。

【0009】

(1)

本發明的一個實施方式是一種半導體裝置，包括第一

記憶體層、第二記憶體層以及電路層。第一記憶體層包括多個第一記憶體電路，第二記憶體層包括第二記憶體電路，電路層包括選擇器。選擇器包括多個輸入端子及輸出端子。第一記憶體層位於電路層的下方，第二記憶體層位於電路層的上方。多個第一記憶體電路都與多個輸入端子電連接，第二記憶體電路與輸出端子電連接。選擇器具有使選自多個輸入端子中的一個與輸出端子間成為導通狀態的功能。另外，半導體裝置具有將從第二記憶體電路讀出的資料藉由選擇器寫入到第一記憶體電路的功能。

【0010】

(2)

另外，在具有上述(1)的結構的本發明的一個實施方式中，也可以還包括包含矽的半導體基板。尤其是，第一記憶體層較佳為位於半導體基板上，第一記憶體電路較佳為包括第一電晶體。注意，第一電晶體在通道形成區域中含有矽。

【0011】

(3)

另外，在具有上述(2)的結構的本發明的一個實施方式中，第二記憶體電路也可以包括第二電晶體。尤其是，第二電晶體較佳為在通道形成區域中含有金屬氧化物。

【0012】金屬氧化物包含選自銦、鋅和元素M中的一個或多個。另外，元素M為選自鎵、鋁、矽、硼、釔、錫、銅、釩、鈹、鈦、鐵、鎳、鍺、鋯、鉬、鑭、鈰、

釹、鈴、鉭、鎢、鈷、鎂和銻中的一個或多個。

【0013】

(4)

另外，在具有上述(3)的結構的本發明的一個實施方式中，資料也可以為1位元、2位元、4位元、8位元、16位元、32位元、64位元、128位元和256位元中的任一個。

【0014】

(5)

另外，在具有上述(4)的結構的本發明的一個實施方式中，也可以具有第一記憶體電路與第二記憶體電路不藉由系統匯流排線連接的結構。

【0015】

(6)

本發明的一個實施方式是一種半導體裝置，包括第一記憶體層、第二記憶體層以及電路層。第一記憶體層包括多個第一記憶體電路，第二記憶體層包括第二記憶體電路，電路層包括選擇器。第二記憶體電路包括電容器及第二電晶體。電容器包括第一導電體、第二導電體、第一絕緣體及第二絕緣體，第二電晶體包括第二導電體、第三導電體、第四導電體、第三絕緣體、第四絕緣體及金屬氧化物。選擇器包括多個輸入端子及輸出端子，第一記憶體層位於電路層的下方，第二記憶體層位於電路層的上方。

【0016】第一絕緣體包括第一開口。第一導電體位於第一開口的側面及底面以及第一絕緣體的頂面。第二絕緣

體位於第一絕緣體的頂面以及第一導電體的頂面。第二導電體位於第二絕緣體的頂面中的與第一導電體重疊的區域。第三絕緣體位於第二導電體的頂面，第三導電體位於第三絕緣體的頂面。第三絕緣體及第三導電體包括第二開口。金屬氧化物位於第二開口的側面、第二導電體的頂面以及第三導電體的頂面。第四絕緣體位於金屬氧化物的頂面以及第三導電體的頂面。第四導電體位於第四絕緣體的頂面中的與金屬氧化物重疊的區域。

【0017】多個第一記憶體電路都與多個輸入端子電連接，第三導電體與輸出端子電連接。選擇器具有使選自多個輸入端子中的一個與輸出端子間成為導通狀態的功能。另外，半導體裝置具有將從第二記憶體電路讀出的資料藉由選擇器寫入到第一記憶體電路的功能。

【0018】

(7)

另外，在具有上述(6)的結構的本發明的一個實施方式中，金屬氧化物也可以包含選自銦、鋅和元素M中的一個或多個。

【0019】元素M為選自鎵、鋁、矽、硼、釔、錫、銅、釩、鈹、鈦、鐵、鎳、鍺、鋯、鉬、鑭、鈰、釹、鉿、鉭、鎢、鈷、鎂和鋅中的一個或多個。

【0020】

(8)

另外，在具有上述(7)的結構的本發明的一個實施方

式中，也可以還包括包含矽的半導體基板。尤其是，第一記憶體層較佳為位於半導體基板上，第一記憶體電路較佳為包括第一電晶體。注意，第一電晶體在通道形成區域中含有矽。

【0021】

(9)

另外，在具有上述(8)的結構的本發明的一個實施方式中，第二絕緣體也可以包含含有選自鉿、鋁、鎵、釔、鋯、鎢、鈦、鉭、鎳、鍺和鎂中的一個或多個的氧化物。

【0022】

(10)

另外，在具有上述(9)的結構的本發明的一個實施方式中，資料也可以為1位元、2位元、4位元、8位元、16位元、32位元、64位元、128位元和256位元中的任一個。

【0023】

(11)

另外，在具有上述(10)的結構的本發明的一個實施方式中，也可以具有第一記憶體電路與第二記憶體電路不藉由系統匯流排線連接的結構。

【0024】

(12)

另外，本發明的一個實施方式是一種電子裝置，包括上述(1)至(11)中的任一個半導體裝置以及外殼。

【0025】根據本發明的一個實施方式，可以提供一種

存取速度快的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種功耗得到降低的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種電路面積小的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種包括上述半導體裝置的電子裝置。此外，根據本發明的一個實施方式，可以提供一種新穎的半導體裝置或新穎的電子裝置。

【0026】注意，本發明的一個實施方式的效果不侷限於上述效果。上述列舉的效果並不妨礙其他效果的存在。此外，其他效果是上面沒有提到而將在下面的記載中進行說明的效果。本領域技術人員可以從說明書或圖式等的記載中導出並適當抽出上面沒有提到的效果。此外，本發明的一個實施方式具有上述效果及其他效果中的至少一個效果。因此，本發明的一個實施方式有時根據情況沒有上述列舉的效果。

【圖式簡單說明】

【0027】

[圖1A]是示出半導體裝置的結構例子的立體示意圖，[圖1B]是示出半導體裝置的結構例子的方塊圖。

[圖2]是說明與包括在電腦中的各種記憶體裝置相關聯的記憶體層次的概念圖。

[圖3]是示出半導體裝置的結構例子的立體示意圖。

[圖4]是示出半導體裝置的結構例子的立體示意圖。

[圖5]是示出半導體裝置的結構例子的方塊圖。

[圖6]是示出半導體裝置的結構例子的方塊圖。

[圖7]是示出半導體裝置的結構例子的電路圖。

[圖8A]及[圖8B]是示出半導體裝置的結構例子的電路圖。

[圖9]是示出半導體裝置的結構例子的方塊圖。

[圖10]是示出半導體裝置的結構例子的電路圖。

[圖11]是示出半導體裝置的結構例子的電路圖。

[圖12]是示出半導體裝置的結構例子的方塊圖。

[圖13]是示出半導體裝置的結構例子的方塊圖。

[圖14]是示出半導體裝置的結構例子的電路圖。

[圖15]是說明記憶體裝置的結構例子的立體示意圖。

[圖16]是示出半導體裝置的結構例子的方塊圖。

[圖17]是示出半導體裝置所包括的記憶體電路的結構例子的方塊圖。

[圖18A]至[圖18E]是示出半導體裝置所包括的記憶單元的結構例子的電路圖。

[圖19A]至[圖19C]是示出半導體裝置所包括的記憶單元的結構例子的電路圖。

[圖20A]及[圖20B]是示出半導體裝置所包括的記憶單元的結構例子的電路圖。

[圖21]是說明半導體裝置的結構例子的剖面示意圖。

[圖22]是說明半導體裝置的結構例子的剖面示意圖。

[圖23A]及[圖23B]是示出半導體裝置所包括的電晶體

的結構例子的剖面示意圖。

[圖24]是示出半導體裝置所包括的電晶體的結構例子的剖面示意圖。

[圖25]是說明半導體裝置所包括的電容器的結構例子的剖面示意圖。

[圖26]是說明半導體裝置的結構例子的剖面示意圖。

[圖27A]至[圖27C]是示出半導體裝置所包括的電晶體的結構例子的平面圖，[圖27D]是示出半導體裝置所包括的電晶體的結構例子的剖面圖。

[圖28A]是示出半導體裝置所包括的電晶體的結構例子的平面圖，[圖28B]是示出半導體裝置所包括的電晶體的結構例子的剖面圖。

[圖29A]及[圖29B]是示出電子構件的一個例子的圖。

[圖30A]及[圖30B]是示出電子裝置的一個例子的圖，[圖30C]至[圖30E]是示出大型電腦的一個例子的圖。

[圖31]是示出太空設備的一個例子的圖。

[圖32]是示出可用於資料中心的儲存系統的一個例子的圖。

[圖33A]是示出顯示裝置的結構例子的立體示意圖，[圖33B]是示出顯示裝置的結構例子的方塊圖。

[圖34]是示出顯示裝置所包括的像素電路的結構例子的電路圖。

[圖35]是示出顯示裝置所包括的疊層結構的結構例子的立體示意圖。

[圖36A]至[圖36I]是示出電子裝置的一個例子的立體圖。

【實施方式】

【0028】在本說明書等中，半導體裝置是指利用半導體特性的裝置以及包括半導體元件(例如，電晶體、二極體、光電二極體)的電路及包括該電路的裝置等。此外，半導體裝置是指能夠利用半導體特性而發揮作用的所有裝置。例如，積體電路、具有積體電路的晶片及封裝中容納有晶片的電子構件都是半導體裝置的一個例子。此外，例如，記憶體裝置、顯示裝置、發光裝置、照明設備以及電子裝置有時本身是半導體裝置，或者有時包括半導體裝置。

【0029】此外，在本說明書等中，當記載為“X與Y連接”時，表示在本說明書等中公開了如下情況：X與Y電連接的情況；X與Y在功能上連接的情況；以及X與Y直接連接的情況。因此，不侷限於圖式或文中所示的連接關係，例如其他的連接關係也在圖式或文中所記載的範圍內。X、Y為物件(例如，裝置、元件、電路、佈線、電極、端子、導電膜或層)。

【0030】作為X和Y電連接的情況的一個例子，可以在X和Y之間連接一個以上的能夠電連接X和Y的元件(例如開關、電晶體、電容器、電感器、電阻器、二極體、顯示器件、發光器件、負載等)。此外，開關具有控制開啟或

關閉的功能。換言之，藉由使開關處於導通狀態(開啟狀態)或非導通狀態(關閉狀態)來控制是否使電流流過。

【0031】此外，在X與Y之間配置有元件和電源線(例如，VDD(高電源電位)、VSS(低電源電位)、GND(接地電位)或供應所希望的電位的佈線)的兩者的情況下，不可以說X與Y電連接。此外，在X與Y之間只配置有電源線的情況下，在X與Y之間沒有其他元件，由此可以說X與Y直接連接。因此，在X與Y之間只配置有電源線的情況下，也可以說“X與Y電連接”。但是，在X與Y之間配置有元件和電源線的兩者的情況下，可以說X與電源線(藉由元件)電連接且Y與電源線電連接，而不可以說X與Y電連接。此外，在電晶體的閘極及源極介於X與Y之間的情況下，不可以說X與Y電連接。此外，在電晶體的閘極及汲極介於X與Y之間的情況下，不可以說X與Y電連接。也就是說，關於電晶體，在電晶體的汲極及源極介於X與Y之間的情況下，可以說X與Y電連接。此外，在X與Y之間配置有電容器的情況下，有時可以說X與Y電連接，也有時不可以說X與Y電連接。例如，在數位電路或邏輯電路的結構中，在X與Y之間配置有電容器的情況下，有時不可以說X與Y電連接。另一方面，例如，在類比電路的結構中，在X與Y之間配置有電容器的情況下，有時可以說X與Y電連接。

【0032】作為X與Y在功能上連接的情況的一個例子，例如可以在X與Y之間連接有一個以上的能夠在功能上連接X與Y的電路(例如，邏輯電路(例如，反相器、

NAND電路、NOR電路)、信號轉換電路(例如，數位類比轉換電路、類比數位轉換電路、伽瑪校正電路)、電位位準轉換電路(例如，(升壓電路、降壓電路等電源電路)、改變信號的電位位準的位準轉移電路)、電壓源、電流源、切換電路、放大電路(例如，能夠增大信號振幅或電流量等的電路、運算放大器、差動放大電路、源極隨耦電路、緩衝電路)、信號產生電路、記憶體電路、控制電路等)。注意，例如，即使在X與Y之間夾有其他電路，當從X輸出的信號傳送到Y時，就可以說X與Y在功能上是連接著的。

【0033】此外，當明確地記載為“X與Y電連接”時，包括如下情況：X與Y電連接的情況(換言之，以中間夾有其他元件或其他電路的方式連接X與Y的情況)；以及X與Y直接連接的情況(換言之，以中間不夾有其他元件或其他電路的方式連接X與Y的情況)。

【0034】此外，例如可以表現為“X、Y、電晶體的源極(有時換稱為第一端子和第二端子中的一方)與電晶體的汲極(有時換稱為第一端子和第二端子中的另一方)相互電連接，X、電晶體的源極、電晶體的汲極、Y依次電連接”。或者，可以表現為“電晶體的源極與X電連接，電晶體的汲極與Y電連接，X、電晶體的源極、電晶體的汲極、Y依次電連接”。或者，可以表現為“X藉由電晶體的源極及汲極與Y電連接，X、電晶體的源極、電晶體的汲極、Y依次設置為相互連接”。藉由使用與這些例子相同的表現方法規定電路結構中的連接順序，可以區別電晶體的

源極與汲極而決定技術範圍。注意，這種表現方法是一個例子，不侷限於上述表現方法。在此，X和Y為物件(例如，裝置、元件、電路、佈線、電極、端子、導電膜或層等)。

【0035】此外，即使在電路圖上獨立的組件彼此電連接，也有時一個組件兼有多個組件的功能。例如，在佈線的一部分用作電極時，一個導電膜兼有佈線和電極的兩個功能。因此，本說明書中的“電連接”的範疇內還包括這種一個導電膜兼有多個組件的功能的情況。

【0036】在本說明書等中，“電阻器”例如可以為具有高於0Ω的電阻值的電路元件或者具有高於0Ω的電阻值的佈線。因此，在本說明書等中，“電阻器”包括具有電阻值的佈線、電流流過源極和汲極之間的電晶體、二極體或線圈。因此，“電阻器”有時可以換稱為“電阻”、“負載”或“具有電阻值的區域”。相對於此，“電阻”、“負載”或“具有電阻值的區域”等有時可以換稱為“電阻器”。作為電阻值，例如較佳為1mΩ以上且10Ω以下，更佳為5mΩ以上且5Ω以下，進一步較佳為10mΩ以上且1Ω以下。此外，例如也可以為1Ω以上且1×10^{9}Ω以下。

【0037】在本說明書等中，“電容器”例如可以為具有高於0F的靜電電容值的電路元件、具有高於0F的靜電電容值的佈線的區域、寄生電容或電晶體的閘極電容。此外，“電容器”、“寄生電容”或“閘極電容”等有時可以換稱為“電容”。相對於此，“電容”有時可以換稱為“電容器”、“寄生

電容”或“閘極電容”。此外，“電容”(包括三個以上的端子的“電容”)包括絕緣體及夾持該絕緣體的一對導電體。由此，“電容”的“一對導電體”可以換稱為“一對電極”、“一對導電區域”、“一對區域”或“一對端子”。此外，“一對端子中的一個”及“一對端子中的另一個”有時分別被稱為第一端子及第二端子。此外，靜電電容值例如可以為0.05fF以上且10pF以下。此外，例如，還可以為1pF以上且10μF以下。

【0038】在本說明書等中，電晶體包括閘極、源極以及汲極這三個端子。閘極被用作控制電晶體的導通狀態的控制端子。用作源極或汲極的兩個端子是電晶體的輸入輸出端子。根據電晶體的導電型(n通道型或p通道型)及對電晶體的三個端子施加的電位的高低，兩個輸入輸出端子中的一方用作源極而另一方用作汲極。因此，在本說明書等中，源極和汲極可以相互調換。在本說明書等中，在說明電晶體的連接關係時，使用“源極和汲極中的一個”(第一電極或第一端子)、“源極和汲極中的另一個”(第二電極或第二端子)的表述。此外，根據電晶體的結構，有時除了上述三個端子以外還包括背閘極。在此情況下，在本說明書等中，有時將電晶體的閘極和背閘極中的一方稱為第一閘極，將電晶體的閘極和背閘極的另一方稱為第二閘極。並且，在相同電晶體中，有時可以將“閘極”與“背閘極”相互調換。此外，在電晶體包括三個以上的閘極時，在本說明書等中，有時將各閘極稱為第一閘極、第二閘極、第三

閘極等。

【0039】例如在本說明書等中，作為電晶體的一個例子可以採用具有兩個以上的閘極電極的多閘極結構電晶體。當採用多閘極結構時，由於將通道形成區域串聯連接，所以成為多個電晶體串聯連接的結構。因此，藉由採用多閘極結構，可以降低關態電流(off-state current)，並能夠提高電晶體的耐壓性(提高可靠性)。或者，藉由利用多閘極結構，當電晶體在飽和區域工作時，即便汲極-源極間的電壓發生變化，汲極-源極間電流的變化也不太大，從而可以得到傾斜角平坦的電壓-電流特性。當利用傾斜角平坦的電壓-電流特性時，可以實現理想的電流源電路或電阻值極高的主動負載。其結果是，可以實現特性良好的差動電路或電流鏡電路等。

【0040】此外，電路圖示出一個電路元件的情況有時包括該電路元件具有多個電路元件的情況。例如，電路圖示出一個電阻的情況包括兩個以上的電阻串聯連接的情況。此外，例如，電路圖示出一個電容的情況包括兩個以上的電容並聯連接的情況。此外，例如，電路圖示出一個電晶體的情況包括兩個以上的電晶體串聯連接且各電晶體的閘極彼此電連接的情況。同樣，例如，電路圖示出一個開關的情況包括該開關具有兩個以上的電晶體，兩個以上的電晶體串聯電連接或者並聯電連接並且各電晶體的閘極彼此電連接的情況。

【0041】此外，在本說明書等中，節點也可以根據電

路結構及器件結構等稱為端子、佈線、電極、導電層、導電體或雜質區域。此外，端子、佈線等也可以換稱為節點。

【0042】此外，在本說明書等中，選擇器有時例如是指如下電路：包括多個輸入端子及一個輸出端子，並且從多個輸入端子中選擇一個並使被選擇的輸入端子與一個輸出端子之間成為導通狀態。換言之，選擇器有時是指如下電路：從輸入到多個輸入端子的每一個的輸入信號中選擇一個並將被選擇的輸入信號輸出到輸出端子。或者，選擇器有時例如是指如下電路：包括多個輸出端子及一個輸入端子，並且從多個輸出端子中選擇一個並使被選擇的輸出端子與一個輸入端子之間成為導通狀態。換言之，選擇器有時是指如下電路：從多個輸出端子中選擇一個並將輸入到輸入端子的輸入信號輸出到被選擇的輸出端子。也就是說，選擇器有時是指多工器或解多工器。

【0043】此外，在本說明書等中，可以適當地調換“電壓”和“電位”。“電壓”是指與參考電位之間的電位差，例如在參考電位為地電位(接地電位)時，也可以將“電壓”稱為“電位”。地電位不一定意味著0V。此外，電位是相對性的，根據參考電位的變化而供應到佈線的電位、施加到電路等的電位、從電路等輸出的電位等也產生變化。

【0044】此外，在本說明書等中，“高位準電位”及“低位準電位”不意味著特定的電位。例如，在兩個佈線都被記為“用作供應高位準電位的佈線”的情況下，兩個佈線

所供應的高位準電位也可以互不相同。同樣，在兩個佈線都被記為“用作供應低位準電位的佈線”的情況下，兩個佈線所供應的低位準電位也可以互不相同。

【0045】此外，“電流”是指電荷的遷移現象(導電)，例如，“發生正帶電體的導電”的記載可以替換為“在與其相反方向上發生負帶電體的導電”的記載。因此，在本說明書等中，在沒有特別的說明的情況下，“電流”是指載子遷移時的電荷的遷移現象(導電)。在此，作為載子例如可以舉出電子、電洞、陰離子、陽離子、絡離子等，載子根據電流流過的系統(例如，半導體、金屬、電解液及真空中)不同。此外，佈線等中的“電流的方向”是帶正電的載子遷移的方向，以正電流量記載。換言之，帶負電的載子遷移的方向與電流方向相反，以負電流量記載。因此，在本說明書等中，在沒有特別的說明的情況下，關於電流的正負(或電流的方向)，“電流從元件A向元件B流過”的記載可以替換為“電流從元件B向元件A流過”的記載。此外，“對元件A輸入電流”的記載可以替換為“從元件A輸出電流”的記載。

【0046】此外，在本說明書等中，“第一”、“第二”、“第三”等序數詞是為了避免組件的混淆而附加上的。因此，該序數詞不限制組件的個數。此外，該序數詞不限制組件的順序。例如，在本說明書等中，一個實施方式中的“第一”組件有可能在其他實施方式或申請專利範圍中被稱為“第二”組件。此外，例如，在本說明書等中，一個實施

方式中的“第一”所指的組件有可能在其他實施方式或申請專利範圍中被省略。

【0047】在本說明書等中，為了方便起見，有時使用“上”、“下”等表示配置的詞句以參照圖式說明組件的位置關係。此外，組件的位置關係根據描述各組件的方向適當地改變。因此，不侷限於說明書等中所說明的詞句，根據情況可以適當地換詞句。例如，如果是“位於導電體的頂面的絕緣體”的表述，藉由將所示的圖式的方向旋轉180度，則可以換稱為“位於導電體的底面的絕緣體”。

【0048】此外，“上”或“下”這樣的術語不限定於組件的位置關係為“正上”或“正下”且直接接觸的情況。例如，如果是“絕緣層A上的電極B”的表述，則不一定必須在絕緣層A上直接接觸地形成有電極B，也可以包括在絕緣層A與電極B之間包括其他組件的情況。此外，同樣，例如，如果是“絕緣層A上方的電極B”的表述，則不一定必須在絕緣層A上直接接觸地形成有電極B，也可以包括在絕緣層A與電極B之間包括其他組件的情況。此外，同樣，例如，如果是“絕緣層A下方的電極B”的表述，則不一定必須在絕緣層A下直接接觸地形成有電極B，也可以包括在絕緣層A與電極B之間包括其他組件的情況。

【0049】此外，在本說明書等中，有時為了說明配置為矩陣狀的組件及其位置關係而使用“行”及“列”等詞句。此外，組件的位置關係根據描述各組件的方向適當地改變。因此，不侷限於說明書等中所說明的詞句，根據情況

可以適當地換詞句。例如，藉由將圖式的方向旋轉90度，有時可以將“行方向”的表述換稱為“列方向”。

【0050】此外，在本說明書等中，根據狀況，可以互相調換“膜”和“層”等詞句。例如，有時可以將“導電層”調換為“導電膜”。此外，有時可以將“絕緣膜”變換為“絕緣層”。此外，根據情況或狀況，可以使用其他詞句代替“膜”和“層”等詞句。例如，有時可以將“導電層”或“導電膜”變換為“導電體”。此外，例如有時可以將“絕緣層”或“絕緣膜”變換為“絕緣體”。

【0051】注意，在本說明書等中，“電極”、“佈線”及“端子”的詞句不在功能上限定其組件。例如，有時將“電極”用作“佈線”的一部分，反之亦然。再者，“電極”或“佈線”等詞句還包括多個“電極”或“佈線”形成為一體的情況等。此外，例如，有時將“端子”用作“佈線”或“電極”的一部分，反之亦然。再者，“端子”的詞句還包括選自“電極”、“佈線”及“端子”中的一個以上被形成為一體的情況等。因此，例如，“電極”可以為“佈線”或“端子”的一部分，例如，“端子”可以為“佈線”或“電極”的一部分。此外，“電極”、“佈線”或“端子”等的詞句根據情況有時置換為“區域”等的詞句。

【0052】在本說明書等中，根據情況或狀況，可以互相調換“佈線”、“信號線”或“電源線”等詞句。例如，有時可以將“佈線”變換為“信號線”。此外，例如有時可以將“佈線”變換為“電源線”。反之亦然，有時可以將“信號線”

或“電源線”等變換為“佈線”。有時可以將“電源線”等變換為“信號線”。反之亦然，有時可以將“信號線”等變換為“電源線”等。此外，根據情況或狀況，有時可以互相將施加到佈線的“電位”變換為“信號”。反之亦然，有時可以將“信號”變換為“電位”。

【0053】此外，在本說明書等中，有時參照時序圖說明半導體裝置的工作方法。此外，用於本說明書等的時序圖示出理想的工作例子，在沒有特別說明的情況下，不侷限於該時序圖所示的期間、信號(例如，電位或電流)的大小以及時序。在本說明書等的時序圖中，可以根據狀況改變該時序圖中的各佈線(包括節點)的信號(例如，電位或電流)的大小及時序。例如，即使在時序圖中示出相等間隔的兩個期間，兩個期間的長短有時也不相同。此外，例如，即使示出兩個期間中的一個期間長而另一個期間短，兩個期間的長短有時也可以相同，或者有時也可以使兩個期間中的一個期間短而使另一個期間長。

【0054】在本說明書等中，金屬氧化物(metal oxide)是指廣義上的金屬的氧化物。金屬氧化物被分類為氧化物絕緣體、氧化物導電體(包括透明氧化物導電體)和氧化物半導體(Oxide Semiconductor，也可以簡稱為OS)等。例如，在電晶體的通道形成區域包含金屬氧化物的情況下，有時將該金屬氧化物稱為氧化物半導體。換言之，在金屬氧化物能夠構成具有放大作用、整流作用及開關作用中的至少一個的電晶體的通道形成區域時，可以將該金屬氧化

物稱為金屬氧化物半導體(metal oxide semiconductor)。此外，可以將OS 電晶體換稱為包含金屬氧化物或氧化物半導體的電晶體。

【0055】此外，在本說明書等中，有時將包含氮的金屬氧化物也稱為金屬氧化物(metal oxide)。此外，也可以將包含氮的金屬氧化物稱為金屬氧氮化物(metal oxynitride)。

【0056】此外，在本說明書等中，半導體的雜質是指構成半導體膜的主要成分之外的物質。例如，濃度為低於0.1at.%的元素是雜質。當包含雜質時，選自半導體中的缺陷態密度增高、載子移動率降低以及結晶性降低中的一個以上有時發生。在半導體是氧化物半導體時，作為改變半導體特性的雜質，例如有第1族元素、第2族元素、第13族元素、第14族元素、第15族元素或主要成分之外的過渡金屬等，尤其是，例如有氫(包含於水中)、鋰、鈉、矽、硼、磷、碳、氮等。

【0057】在本說明書等中，開關是指具有藉由變為導通狀態(開啟狀態)或非導通狀態(關閉狀態)來控制是否使電流流過的功能的元件。或者，開關是指具有選擇並切換電流路徑的功能的元件。因此，開關有時除了控制端子以外還包括使電流流過的兩個或三個以上的端子。作為開關的一個例子，可以使用電開關或機械開關等。換而言之，開關只要可以控制電流，就不侷限於特定的元件。

【0058】電開關的例子包括電晶體(例如雙極電晶體

或MOS電晶體)、二極體(例如PN二極體、PIN二極體、肖特基二極體、金屬-絕緣體-金屬(MIM：Metal Insulator Metal)二極體、金屬-絕緣體-半導體(MIS：Metal Insulator Semiconductor)二極體或者二極體接法的電晶體)或者組合這些元件的邏輯電路。當作為開關使用電晶體時，電晶體的“導通狀態”例如是指電晶體的源極電極與汲極電極在電性上短路的狀態或者能夠使電流流過源極電極與汲極電極間的狀態等。此外，電晶體的“非導通狀態”是指電晶體的源極電極與汲極電極在電性上斷開的狀態。當僅將電晶體用作開關時，對電晶體的極性(導電型)沒有特別的限制。

【0059】作為機械開關的例子，可以舉出利用了MEMS(微機電系統)技術的開關。該開關具有以機械方式可動的電極，並且藉由移動該電極來控制導通和非導通而進行工作。

【0060】在本說明書中，“平行”是指兩條直線形成的角度為-10°以上且10°以下的狀態。因此，也包括該角度為-5°以上且5°以下的狀態。“大致平行”是指兩條直線形成的角度為-30°以上且30°以下的狀態。此外，“垂直”是指兩條直線的角度為80°以上且100°以下的狀態。因此，也包括該角度為85°以上且95°以下的狀態。“大致垂直”是指兩條直線形成的角度為60°以上且120°以下的狀態。

【0061】此外，在本說明書等中，各實施方式所示的結構可以與其他實施方式所示的結構適當地組合而構成本發明的一個實施方式。此外，當在一個實施方式中示出多

個結構例子時，可以適當地組合這些結構例子。

【0062】此外，可以將某一實施方式中說明的內容(或其一部分)應用/組合/替換成該實施方式中說明的其他內容(或其一部分)和另一個或多個其他實施方式中說明的內容(或其一部分)中的至少一個內容。

【0063】注意，實施方式中說明的內容是指各實施方式中利用各種圖式所說明的內容或者利用說明書所記載的文章而說明的內容。

【0064】此外，藉由將某一實施方式中示出的圖式(或其一部分)與該圖式的其他部分、該實施方式中示出的其他圖式(或其一部分)和另一個或多個其他實施方式中示出的圖式(或其一部分)中的至少一個圖式組合，可以構成更多圖。

【0065】參照圖式說明本說明書所記載的實施方式。但是，所屬技術領域的通常知識者可以很容易地理解一個事實，就是實施方式可以以多個不同形式來實施，其方式和詳細內容可以在不脫離本發明的精神及其範圍的條件下被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在實施方式所記載的內容中。注意，在實施方式中的發明的結構中，有時在不同的圖式中共同使用相同的符號來表示相同的部分或具有相同功能的部分，而省略反復說明。在立體圖或俯視圖等中，為了明確起見，有時省略部分組件的圖示。

【0066】在本說明書等中，在多個要素使用同一符號

並且需要區分它們時，有時對符號附加“_1”，“[n]”，“[m，n]”等用於識別的符號。此外，在圖式等中，在對符號附加“_1”，“[n]”，“[m，n]”等用於識別的符號的情況下，如果不需要在本說明書等中區分它們，有時不附加“_1”，“[n]”，“[m，n]”等用於識別的符號。

【0067】在圖式中，為便於清楚地說明，有時誇大表示大小、層的厚度或區域。因此，本發明並不侷限於圖式中的尺寸。此外，在圖式中，示意性地示出理想的例子，而不侷限於圖式所示的形狀或數值等。例如，可以包括因雜訊或定時偏差等所引起的信號、電壓或電流的不均勻等。

【0068】

實施方式1

在本實施方式中，說明本發明的一個實施方式的半導體裝置。

【0069】首先，與包括在電腦中的各種記憶體裝置相關聯的記憶體層次的概念。圖2示出該記憶體層次的一個例子，圖2所示的記憶體層次100包括暫存器101、第一快取記憶體102、第二快取記憶體103、主記憶體104及輔助記憶體裝置105。

【0070】暫存器101例如是CPU、GPU(Graphics Processing Unit：影像處理器)等處理器所包括的記憶體裝置。暫存器101具有暫時保持對該處理器所包括的運算電路的輸入資料以及藉由該運算電路運算的輸出資料的功

能。另外，暫存器101除了有關該運算電路的資料之外還可以暫時保持根據該處理器所包括的控制裝置的資料。

【0071】暫存器101例如包括正反器電路。

【0072】第一快取記憶體102例如是記憶體層次100中位於暫存器101與主記憶體104之間的記憶體裝置，尤其具有保持CPU的存取頻率高的資料的功能。一般而言，第一快取記憶體102有時被稱為一級快取記憶體。

【0073】第二快取記憶體103例如是記憶體層次100中位於暫存器101與主記憶體104之間的記憶體裝置，具有保持CPU的存取頻率僅次於第一快取記憶體102的資料的功能。一般而言，第二快取記憶體103有時被稱為二級快取記憶體。

【0074】第一快取記憶體102及第二快取記憶體103例如包括SRAM。

【0075】注意，第二快取記憶體103根據電腦並不需要設置在記憶體層次100中。或者，也可以在記憶體層次100中設置與第二快取記憶體103相比存取速度更慢且記憶容量更大的快取記憶體(有時被稱為第三快取記憶體或三級快取記憶體)。也就是說，在記憶體層次100中也可以包括一個或兩個以上的快取記憶體。

【0076】另外，記憶體層次100也可以具有第一快取記憶體102及第二快取記憶體103包括在處理器中的結構。此外，記憶體層次100也可以具有第一快取記憶體102和第二快取記憶體103分別包括在處理器和後述的主記憶體104

中的結構。

【0077】主記憶體104例如是記憶體層次100中位於第一快取記憶體102及第二快取記憶體103與輔助記憶體裝置105之間的記憶體裝置，具有藉由從包括暫存器101的處理器接收指令信號而直接寫入或讀出資料的功能。

【0078】主記憶體104例如包括DRAM。

【0079】輔助記憶體裝置105是記憶容量大的記憶體裝置，例如作為輔助記憶體裝置105主要使用非揮發性記憶體裝置。作為非揮發性記憶體裝置，例如可以舉出磁存儲介質(例如HDD(Hard Disk Drive：硬式磁碟機)或磁帶)或者快閃記憶體(例如SSD(Solid State Drive：固體狀態驅動機)或USB記憶體)。

【0080】此外，記憶體層次100中的主記憶體104與輔助記憶體裝置105之間也可以設置有被稱為磁碟快取的記憶體裝置。藉由在主記憶體104與輔助記憶體裝置105之間設置磁碟快取，可以提高主記憶體104與輔助記憶體裝置105之間的資料傳輸速度。

【0081】處理器的工作速度和包括在記憶體層次100中的各記憶體裝置(尤其是位於第一快取記憶體102的下級層次的記憶體裝置)的工作速度(有時將記憶體裝置的工作速度稱為存取速度)之間易於產生差異。因此，一般而言，在記憶體層次100中越上級的記憶體裝置越需要快存取速度。另外，越上級的記憶體裝置越需要與處理器所包括的運算電路或控制電路的距離近。

【0082】另外，在記憶體層次100中，被頻繁存取的記憶體裝置的記憶容量較佳為小。這是因為，在記憶容量較小時探索儲存於記憶體裝置中的資料所需的時間較短，記憶體裝置的工作速度較快。另一方面，當想要用處理器處理多量資料時，記憶體層次100整體上的記憶容量較佳為大。因此，越下級的記憶體裝置越需要大的記憶容量。例如，第一快取記憶體102較佳為具有比暫存器101大的記憶容量，第二快取記憶體103較佳為具有比第一快取記憶體102大的記憶容量，主記憶體104較佳為具有比第二快取記憶體103大的記憶容量，輔助記憶體裝置105較佳為具有比主記憶體104大的記憶容量。

【0083】當處理器在暫存器101至主記憶體104的記憶體層次中讀出需要的資料時，從記憶體層次100中的上級的記憶體裝置依次嘗試存取。當需要的資料沒有保持在上級層次的記憶體裝置中(發生快取未中)時，處理器存取比該上級層次的記憶體裝置位於下級層次的記憶體裝置。尤其是，層次越下級的記憶體裝置到處理器(暫存器101)的距離越長，因此存取所需的時間更長(發生快取未中損失)。此外，在兩個不同層次的記憶體裝置之間傳送資料時有時使用匯流排線(例如內部匯流排線或外部匯流排線)，流過匯流排線的資料量越大對處理器的性能(工作速度)的影響越大。

【0084】鑒於此，圖1A及圖1B示出解決上述問題的本發明的一個實施方式的半導體裝置。圖1A是示出作為本

發明的一個實施方式的半導體裝置DEV的結構例子的立體示意圖，圖1B是半導體裝置DEV的方塊圖。

【0085】半導體裝置DEV包括記憶體層次100中的下級記憶體裝置的記憶體層MEML_L、記憶體層次100中的上級記憶體裝置的記憶體層MEML_H、以及電路層SWCL。記憶體層MEML_H位於電路層SWCL的下方，記憶體層MEML_L位於電路層SWCL的上方。也就是說，在半導體裝置DEV中，從下方依次層疊有記憶體層MEML_H、電路層SWCL及記憶體層MEML_L。

【0086】記憶體層MEML_L例如是包括記憶體層次100中的暫存器101、第一快取記憶體102、第二快取記憶體103或主記憶體104的記憶體層。

【0087】記憶體層MEML_H例如是包括在記憶體層次100中的記憶體層MEML_L的上級層次中的記憶體層。例如，在記憶體層MEML_L中包括第一快取記憶體102時，在記憶體層MEML_H中較佳為包括暫存器101。另外，例如，在記憶體層MEML_L中包括第二快取記憶體103時，在記憶體層MEML_H中較佳為包括第一快取記憶體102。另外，例如，在記憶體層MEML_L中包括主記憶體104時，在記憶體層MEML_H中較佳為包括第二快取記憶體103。

【0088】注意，在圖1A及圖1B中，在記憶體層MEML_L中包括多個記憶體電路ME_L，在記憶體層MEML_H中包括多個記憶體電路ME_H。

【0089】作為一個例子，如圖3所示，記憶體電路ME_L包括以1行以上的矩陣狀配置有多個記憶單元MC_L的記憶單元陣列。此外，當佈線WL_L沿行方向延伸在該記憶單元陣列上作為讀出字線時，佈線BL_L較佳為沿列方向延伸在該記憶單元陣列上作為發送從記憶單元MC_L讀出的資料的位元線。另外，該記憶單元陣列的相當於1行的記憶單元MC_L(圖3中圖示為區域MA_L)較佳為保持1個資料。例如，當一個記憶單元MC_L具有1位元的記憶容量且記憶單元陣列的列數為8時，該記憶單元陣列的相當於1行的記憶單元MC_L(區域MA_L的記憶單元MC_L)保持記憶容量為8位元的1個資料。就是說，藉由一次讀出工作可以讀出8位元(1位元組)的資料。此外，例如，在一個記憶單元MC_L具有1位元的記憶容量且記憶單元陣列的列數為64時，區域MA_L的記憶單元MC_L保持記憶容量為64位元的1個資料。就是說，藉由一次讀出工作可以讀出64位元(8位元組)的資料。注意，記憶單元陣列的列數不侷限於8的倍數，也可以為1以上的整數。

【0090】也就可以說，在記憶體電路ME_L的記憶單元陣列的行數為m(在此，m為1以上的整數)且列數為n(在此，n為1以上的整數)時，記憶體電路ME_L可以保持m個n位元的資料。

【0091】作為一個例子，與記憶體電路ME_L同樣，記憶體電路ME_H包括以1行以上的矩陣狀配置有多個記憶單元MC_H的記憶單元陣列。注意，記憶體電路ME_H所包

括的記憶單元與記憶體電路ME_L所包括的記憶單元可以具有相同結構，也可以具有不同結構。此外，當佈線WL_H沿行方向延伸在該記憶單元陣列上作為寫入字線時，佈線BL_H較佳為沿列方向延伸在該記憶單元陣列上作為發送寫入到記憶單元MC_H的資料的位元線。另外，該記憶單元陣列的相當於1行的記憶單元MC_H(圖3中圖示為區域MA_H)較佳為保持1個資料。例如，當一個記憶單元MC_H具有1位元的記憶容量且記憶單元陣列的列數為8時，可以將記憶容量為8位元(1位元組)的1個資料寫入到區域MA_H的記憶單元MC_H。此外，例如，在一個記憶單元MC_H具有1位元的記憶容量且記憶單元陣列的列數為64時，可以將記憶容量為64位元(8位元組)的1個資料寫入到區域MA_H的記憶單元MC_H。注意，記憶單元陣列的列數不侷限於8的倍數，也可以為1以上的整數。

【0092】與記憶體電路ME_L同樣，在記憶體電路ME_H的記憶單元陣列的行數為m(在此，m為1以上的整數)且列數為n(在此，n為1以上的整數)時，記憶體電路ME_H可以保持m個n位元的資料。

【0093】尤其是，保持在區域MA_H中的資料的記憶容量較佳為與保持在區域MA_L中的資料的記憶容量相同。也就是說，記憶體電路ME_H的記憶單元陣列的行數及列數較佳為與記憶體電路ME_L的記憶單元陣列的行數及列數相等。

【0094】此外，如圖1B及圖3所示，半導體裝置DEV

具有一個記憶體電路ME_L對電路層SWCL發送1位元或多位元的1個資料的結構。另外，半導體裝置DEV具有記憶體電路ME_H從電路層SWCL接收1位元或多位元的1個資料的結構。因此，作為一個例子，記憶體電路ME_L及記憶體電路ME_H都是儲存數位資料的記憶體電路。

【0095】例如，記憶體電路ME_L具有讀出8位元(1位元組)的資料並將該資料發送到電路層SWCL的功能。另外，記憶體電路ME_H具有寫入從記憶體電路ME_L藉由電路層SWCL發送的8位元的資料的功能。注意，記憶體電路ME_L及記憶體電路ME_H例如也可以處理1位元、2位元或4位元等小於8位元的資料。另外，例如也可以處理16位元、32位元、64位元、128位元或256位元等大於8位元的資料。

【0096】因此，當在記憶體電路ME_H所包括的記憶單元陣列中讀出字線沿行方向延伸時，該記憶單元陣列的列數較佳為與記憶體電路ME_L所包括的記憶單元陣列的列數相等。例如，當記憶體電路ME_L及記憶體電路ME_H的每一個中的記憶單元可以保持1位元的資料時，藉由將記憶體電路ME_L及記憶體電路ME_H的每一個的記憶單元陣列的列數設定為8，記憶體電路ME_L及記憶體電路ME_H的每一個可以為處理8位元的資料的記憶體電路。此時，用來從記憶體電路ME_L對電路層SWCL發送資料的佈線BL_L可以為8個，並且用來從電路層SWCL對記憶體電路ME_H發送資料的佈線BL_H也可以為8個。此外，例

如，藉由將記憶體電路ME_L及記憶體電路ME_H的每一個的記憶單元陣列的列數設定為64，記憶體電路ME_L及記憶體電路ME_H的每一個可以為處理64位元的資料的記憶體電路。此時，用來從記憶體電路ME_L對電路層SWCL發送資料的佈線BL_L可以為64個，並且用來從電路層SWCL對記憶體電路ME_H發送資料的佈線BL_H也可以為64個。

【0097】另外，當在記憶體電路ME_H所包括的記憶單元陣列中用作讀出字線的佈線WL_H沿行方向延伸時，記憶體電路ME_H所包括的記憶單元陣列的行數較佳為與記憶體電路ME_L所包括的記憶單元陣列的行數相等。

【0098】注意，將在後面說明記憶體電路ME_L及記憶體電路ME_H的具體電路結構。

【0099】由於記憶體層MEML_L隔著電路層SWCL重疊於記憶體層MEML_H，因此例如藉由在記憶體層MEML_L、電路層SWCL及記憶體層MEML_H的每一個中形成用作插頭的佈線，可以使記憶體層MEML_L與電路層SWCL之間電連接，並且還可以使電路層SWCL與記憶體層MEML_H之間電連接。也就是說，藉由疊層方向上的佈線可以實現記憶體層MEML_L與電路層SWCL的電連接以及電路層SWCL與記憶體層MEML_H的電連接。在此情況下，與在平面上形成佈線的情況相比，可以縮短佈線長度並增加佈線數。因此，藉由層疊記憶體層MEML_L、電路層SWCL以及記憶體層MEML_H並在疊層方向上形成佈線，可以增多記憶體層MEML_L與記憶體層MEML_H之間

交換的資料量。另外，可以提高記憶體層MEML_L與記憶體層MEML_H之間的資料傳輸速度。

【0100】另外，記憶體層MEML_L與記憶體層MEML_H之間藉由電路層SWCL電連接，因此例如不需要設置記憶體層MEML_L與記憶體層MEML_H之間的系統匯流排線。系統匯流排線是連接構成電腦的各裝置與處理器的資料的傳輸路徑(佈線)，被分為連接處理器與外部各裝置(例如主記憶體、輔助記憶體裝置或光碟驅動器)的外部匯流排線以及連接處理器內的電路(例如快取記憶體、控制裝置或運算電路)之間的內部匯流排線。尤其是，在處理器為CPU時，系統匯流排線有時被稱為CPU匯流排線。系統匯流排線與各裝置連接而有傳輸路徑(佈線)較長的傾向，所以有時資料發送所需的時間較長，並且有時資料發送所需的功耗較高。

【0101】藉由如半導體裝置DEV那樣在記憶體層MEML_L與記憶體層MEML_H之間直接交換資料而不經由系統匯流排線，包括半導體裝置DEV的處理器的存取速度得到提高，而可以降低功耗。

【0102】電路層SWCL具有選擇記憶體層MEML_L所包括的多個記憶體電路ME_L中的一個以及記憶體層MEML_H所包括的多個記憶體電路ME_H中的一個並使被選擇的記憶體電路ME_L與記憶體電路ME_H之間成為導通狀態的功能。此外，不被選擇的多個記憶體電路ME_L的每一個與包括在記憶體層MEML_H中的多個記憶體電路

ME_H非導通。

【0103】也就是說，藉由使用電路層SWCL選擇記憶體層MEML_L所包括的多個記憶體電路ME_L中的一個以及記憶體層MEML_H所包括的多個記憶體電路ME_H中的一個，可以讀出記憶體層MEML_L中的被選擇的記憶體電路ME_L的記憶單元陣列的區域MA_L所保持的資料並將其寫入到記憶體層MEML_H中的被選擇的記憶體電路ME_H的記憶單元陣列的區域MA_H。

【0104】注意，雖然以上示出了讀出記憶體電路ME_L中的記憶單元陣列的區域MA_L中的1個資料並將其寫入到記憶體電路ME_H中的記憶單元陣列的區域MA_H的結構例子，但是本發明的一個實施方式不侷限於此，也可以改變圖3的半導體裝置DEV的結構來採用從記憶體電路ME_L不讀出1個資料而讀出多個資料並將其寫入到記憶體電路ME_H的結構。

【0105】例如，在圖4所示的半導體裝置DEV中，配置在記憶體電路ME_L的記憶單元陣列中的多個記憶單元MC_L分別電連接有多個佈線BLUT_L，並且多個佈線BLUT_L與電路層SWCL電連接。另外，在圖4所示的半導體裝置DEV中，配置在記憶體電路ME_H的記憶單元陣列中的多個記憶單元MC_H分別電連接有多個佈線BLUT_H，並且多個佈線BLUT_H與電路層SWCL電連接。

【0106】也就是說，佈線BLUT_L的佈線數與配置在記憶體電路ME_L的記憶單元陣列中的記憶單元MC_L的個

數相等。另外，佈線BLUT_H的佈線數與配置在記憶體電路ME_H的記憶單元陣列中的記憶單元MC_H的個數相等。此外，記憶體電路ME_L的記憶單元陣列的行數較佳為與記憶體電路ME_H的記憶單元陣列的行數相等，並且記憶體電路ME_L的記憶單元陣列的列數較佳為與記憶體電路ME_H的記憶單元陣列的列數相等。

【0107】佈線BLUT_L是相當於圖3中的佈線BL_L的佈線，電連接於記憶體電路ME_L所包括的多個記憶單元MC_L中的一個這點上與圖3中的佈線BL_L不同。與此同樣，佈線BLUT_H是相當於圖3中的佈線BL_H的佈線，電連接於記憶體電路ME_H所包括的多個記憶單元MC_H中的一個這點上與圖3中的佈線BL_H不同。

【0108】如圖4的半導體裝置DEV那樣，藉由使佈線BLUT_L的每一個分別電連接於記憶體電路ME_L中的多個記憶單元MC_L的每一個，在記憶體電路ME_L的記憶單元陣列中，可以對電路層SWCL同時發送配置在多行(所有行)上的記憶單元MC_L所保持的多個資料，而不發送配置在1行上的記憶單元MC_L所保持的資料。另外，藉由使佈線BLUT_H的每一個分別電連接於記憶體電路ME_H中的多個記憶單元MC_H的每一個，在記憶體電路ME_H的記憶單元陣列中，可以將由電路層SWCL發送的資料同時寫入到配置在多行(所有行)上的記憶單元MC_H而不寫入到配置在1行上的記憶單元MC_H。

【0109】注意，上面說明的記憶體電路ME_L及記憶

體電路ME_H也可以是保持類比資料的記憶體電路而不是保持數位資料的記憶體電路。此時，藉由電路層SWCL在記憶體電路ME_L與記憶體電路ME_H之間交換的資料可以是類比資料而不是數位資料。在是類比資料的情況下，記憶體電路ME_L與記憶體電路ME_H之間連接的佈線數可以少於處理數位資料的情況下的佈線數，所以可以進一步減小半導體裝置DEV的電路面積。

【0110】

<電路層SWCL的結構例子>

接著，說明電路層SWCL的結構例子。

【0111】

<<直接映射方式>>

首先，說明作為記憶體層MEML_L和記憶體層MEML_H的存儲結構採用直接映射方式的情況。

【0112】直接映射方式是一種方式，其中，當將包括在記憶體層MEML_L中的記憶體電路ME_L所保持的資料寫入到記憶體層MEML_H中的記憶體電路ME_H時，被寫入該資料的記憶體電路ME_H的位址取決於保持該資料的記憶體電路ME_L的位址。

【0113】圖5示出應用於記憶體層MEML_L及記憶體層MEML_H的直接映射方式的一個例子。作為一個例子，在圖5的半導體裝置DEV中，記憶體層MEML_L包括$2^5=32$塊的記憶容量，並且記憶體層MEML_H包括$2^3=8$塊的記憶容量。注意，在記憶體層MEML_L中1塊是1個記憶體電路

ME_L，在記憶體層MEML_H中1塊是1個記憶體電路ME_H。也就是說，記憶體層MEML_L包括32個記憶體電路ME_L，記憶體層MEML_H包括8個記憶體電路ME_H。

【0114】此外，對記憶體層MEML_L的32個記憶體電路ME_L分別賦予“00000”至“11111”的記憶體位址。同樣地，對記憶體層MEML_H的8個記憶體電路ME_H分別賦予“000”至“111”的記憶體位址。

【0115】注意，為了簡化說明，假設記憶體電路ME_L及記憶體電路ME_H都包括1行的矩陣狀記憶單元陣列。也就是說，假設：在記憶體電路ME_L中讀出資料時，記憶體電路ME_L唯一地讀出該1行的資料。此外，假設：在對記憶體電路ME_H寫入資料時，資料唯一地被寫入到記憶體電路ME_H的該1行。

【0116】這裡，在記憶體層MEML_L的32個記憶體電路ME_L中著眼於記憶體位址後3位為“000”的塊的記憶體電路ME_L(雖然在圖5中未圖示，但是圖5的記憶體層MEML_L中有4塊的該記憶體電路ME_L)。在圖5的半導體裝置DEV中，將記憶體位址後3位元為“000”的塊的記憶體電路ME_L中的任一個的資料發送到記憶體層MEML_H內的記憶體位址為“000”的記憶體電路ME_H。

【0117】同樣地，在記憶體層MEML_L的3個記憶體電路ME_L中著眼於記憶體位址後3位元為“100”的塊的記憶體電路ME_L。在圖5的半導體裝置DEV中，將記憶體位址後3位元為“100”的塊的記憶體電路ME_L中的任一個的

資料發送到記憶體層MEML_H內的記憶體位址為“100”的記憶體電路ME_H。

【0118】同樣地，在記憶體層MEML_L的32個記憶體電路ME_L中著眼於記憶體位址後3位元為“111”的塊的記憶體電路ME_L。在圖5的半導體裝置DEV中，將記憶體位址後3位元為“111”的塊的記憶體電路ME_L中的任一個的資料發送到記憶體層MEML_H內的記憶體位址為“111”的記憶體電路ME_H。

【0119】總之，在將從記憶體層MEML_L讀出的資料寫入到記憶體層MEML_H時，記憶體層MEML_H中的作為資料寫入對象的記憶體電路ME_H的位址侷限於與被讀出該資料的記憶體層MEML_L的記憶體位址後3位元相同的值。

【0120】如上所述，在直接映射方式中，當將從記憶體層MEML_L讀出的資料寫入到記憶體層MEML_H時，記憶體層MEML_H中的作為資料寫入對象的記憶體電路ME_H的記憶體位址取決於被讀出該資料的記憶體層MEML_L中的記憶體電路ME_L的記憶體位址。也就是說，如此，在直接映射方式中，寫入到記憶體電路ME_H的資料侷限於從特定的記憶體位址的記憶體電路ME_L讀出的資料。因此，例如在從記憶體層MEML_H中的多個記憶體電路ME_H中探索記憶體層MEML_L中的某個記憶體電路ME_L的資料時，可以使用保持所希望的資料的記憶體電路ME_L的記憶體位址從記憶體層MEML_H中找出規

定記憶體電路ME_H，所以藉由採用直接映射方式可以提高資料讀出速度。

【0121】說明將直接映射方式應用於半導體裝置DEV的情況下的電路層SWCL的結構例子。圖6是對圖5所示的半導體裝置DEV追加電路層SWCL的電路結構例子的電路圖。注意，在圖6中，將圖1A及圖1B所示的電路層SWCL圖示為電路層SWCLA。

【0122】電路層SWCLA包括開關SW[00000]至開關SW[11111]。注意，在圖6中摘要示出開關SW[00000]、開關SW[00100]、開關SW[00111]、開關SW[01000]、開關SW[01100]、開關[01111]、開關SW[10000]、開關SW[10100]、開關SW[10111]及開關SW[11111]。

【0123】開關SW[00000]的第一端子與記憶體層MEML_L中的記憶體位址為“00000”的記憶體電路ME_L電連接。此外，開關SW[01000]的第一端子與記憶體層MEML_L中的記憶體位址為“01000”的記憶體電路ME_L電連接。此外，開關SW[10000]的第一端子與記憶體層MEML_L中的記憶體位址為“10000”的記憶體電路ME_L電連接。另外，雖然未圖示，但是開關SW[11000]的第一端子與記憶體層MEML_L中的記憶體位址為“11000”的記憶體電路ME_L電連接。此外，開關SW[00000]、開關SW[01000]、開關SW[10000]及開關SW[11000]的每個第二端子與記憶體層MEML_H中的記憶體位址為“000”的記憶體電路ME_H電連接。

【0124】使開關SW[00000]、開關SW[01000]、開關SW[10000]和開關SW[11000]中的一個成為導通狀態並使其他的成為非導通狀態，由此從記憶體層MEML_L中的記憶體位址“00000”、“01000”、“10000”和“11000”中選擇一個。然後，讀出被選擇的記憶體位址的記憶體電路ME_L所保持的資料，由此該資料被發送到記憶體層MEML_H中的記憶體位址為“000”的記憶體電路ME_H，並且該資料儲存在記憶體位址為“000”的記憶體電路ME_H中。

【0125】同樣地，開關SW[00100]的第一端子與記憶體層MEML_L中的記憶體位址為“00100”的記憶體電路ME_L電連接。此外，開關SW[01100]的第一端子與記憶體層MEML_L中的記憶體位址為“01100”的記憶體電路ME_L電連接。此外，開關SW[10100]的第一端子與記憶體層MEML_L中的記憶體位址為“10100”的記憶體電路ME_L電連接。另外，雖然未圖示，但是開關SW[11100]的第一端子與記憶體層MEML_L中的記憶體位址為“11100”的記憶體電路ME_L電連接。此外，開關SW[00100]、開關SW[01100]、開關SW[10100]及開關SW[11100]的每個第二端子與記憶體層MEML_H中的記憶體位址為“100”的記憶體電路ME_H電連接。

【0126】使開關SW[00100]、開關SW[01100]、開關SW[10100]和開關SW[11100]中的一個成為導通狀態並使其他的成為非導通狀態，由此從記憶體層MEML_L中的記憶體位址“00100”、“01100”、“10100”和“11100”中選擇一

個。然後，讀出被選擇的記憶體位址的記憶體電路ME_L所保持的資料，由此該資料被發送到記憶體層MEML_H中的記憶體位址為“100”的記憶體電路ME_H，並且該資料儲存在記憶體位址為“100”的記憶體電路ME_H中。

【0127】同樣地，開關SW[00111]的第一端子與記憶體層MEML_L中的記憶體位址為“00111”的記憶體電路ME_L電連接。此外，開關SW[01111]的第一端子與記憶體層MEML_L中的記憶體位址為“01111”的記憶體電路ME_L電連接。此外，開關SW[10111]的第一端子與記憶體層MEML_L中的記憶體位址為“10111”的記憶體電路ME_L電連接。另外，開關SW[11111]的第一端子與記憶體層MEML_L中的記憶體位址為“11111”的記憶體電路ME_L電連接。此外，開關SW[00111]、開關SW[01111]、開關SW[10111]及開關SW[11111]的每個第二端子與記憶體層MEML_H中的記憶體位址為“111”的記憶體電路ME_H電連接。

【0128】使開關SW[00111]、開關SW[01111]、開關SW[10111]和開關SW[11111]中的一個成為導通狀態並使其他的成為非導通狀態，由此從記憶體層MEML_L中的記憶體位址“00111”、“01111”、“10111”和“11111”中選擇一個。然後，讀出被選擇的記憶體位址的記憶體電路ME_L所保持的資料，由此該資料被發送到記憶體層MEML_H中的記憶體位址為“111”的記憶體電路ME_H，並且該資料儲存在記憶體位址為“111”的記憶體電路ME_H中。

【0129】為了簡單地說明圖6的電路層SWCLA，圖7示出圖6的半導體裝置DEV的一部分的結構例子。注意，圖7所示的電路層SWCLA與圖6所示的電路SWCLA不同之處在於：在前者中示出選擇器MPX。另外，圖7摘要示出記憶體層MEML_L中的記憶體位址為“00000”、“01000”、“10000”及“11000”的記憶體電路ME_L以及記憶體層MEML_H中的記憶體位址為“000”的記憶體電路ME_H。

【0130】作為一個例子，選擇器MPX包括多個輸入端子IT以及一個輸出端子OT。

【0131】選擇器MPX的多個輸入端子IT分別與記憶體層MEML_L中的多個記憶體電路ME_L電連接。分別電連接於選擇器MPX的多個輸入端子IT的多個記憶體電路ME_L的記憶體位址的規定後幾位彼此相等(在圖7中，記憶體電路ME_L的記憶體位址後3位元都為“000”)。此外，選擇器MPX的輸出端子OT電連接於其記憶體位址與記憶體電路ME_L的記憶體位址的規定後幾位元相等的記憶體電路ME_H(在圖7中，記憶體電路ME_H的記憶體位址為“000”)。

【0132】選擇器MPX例如具有根據被輸入到選擇器MPX的信號SSIG使選擇器MPX的多個輸入端子IT中的一個與選擇器MPX的輸出端子OT之間成為導通狀態的功能。另外，選擇器MPX例如具有根據被輸入到選擇器MPX的信號SSIG選擇被輸入到選擇器MPX的多個輸入端子IT的輸入信號中的一個並將被選擇的輸入信號輸出到選擇器MPX的

輸出端子OT的功能。另外，選擇器MPX例如具有使選擇器MPX的多個輸入端子IT的剩餘的與選擇器MPX的輸出端子OT之間都成為非導通狀態的功能。

【0133】由此，選擇器MPX有時被稱為多工器。

【0134】另外，也可以在選擇器MPX的輸出端子OT與記憶體電路ME_H之間設置取樣保持電路。在半導體裝置DEV中，藉由在選擇器MPX的輸出端子OT與記憶體電路ME_H之間設置取樣保持電路，可以暫時保持選擇器MPX的輸出端子OT的資料。也就是說，可以預先準備寫入到記憶體電路ME_H的資料，因此可以提高半導體裝置DEV的工作速度。

【0135】圖8A及圖8B都是示出選擇器MPX的具體結構例子的電路圖。

【0136】與圖6所示的電路層SWCLA同樣，圖8A所示的選擇器MPX中，開關SW1至開關SW4的每個第一端子分別與對應的記憶體電路ME_L電連接，並且開關SW1至開關SW4的每個第二端子與記憶體電路ME_H電連接。另外，開關SW1的控制端子與佈線SL1電連接，開關SW2的控制端子與佈線SL2電連接，開關SW3的控制端子與佈線SL3電連接，開關SW4的控制端子與佈線SL4電連接。

【0137】作為開關SW1至開關SW4例如可以使用電開關(例如類比開關或電晶體)。注意，在作為開關SW1至開關SW4例如使用電晶體時，該電晶體可以是通道形成區域中含有氧化物半導體(金屬氧化物)的電晶體(OS電晶體)。

關於金屬氧化物將在實施方式2及實施方式3中詳細說明。另外，該電晶體也可以是通道形成區域中含有矽的電晶體(Si電晶體)。作為矽，例如可以使用非晶矽(有時稱為氫化非晶矽)、微晶矽、多晶矽、單晶矽等。另外，除了電開關以外，也可以使用機械開關。

【0138】在本說明書等中假設，開關SW1至開關SW4各自在高位準電位被輸入到控制端子時成為開啟狀態，並在低位準電位被輸入到控制端子時成為關閉狀態。

【0139】佈線SL1至佈線SL4各自例如被用作發送用來切換開關SW1至開關SW4的導通狀態或非導通狀態的信號(可變電位)的佈線。分別被發送到佈線SL1至佈線SL4的信號相當於圖7中的信號SSIG。注意，佈線SL1至佈線SL4各自也可以被用作供應恆電位(例如，高位準電位、低位準電位、接地電位或負電位)的佈線而不被用作供應信號(可變電位)的佈線。

【0140】在圖8A所示的選擇器MPX中，例如，藉由對選自佈線SL1至佈線SL4中的一個供應高位準電位並對其餘的供應低位準電位，可以使選擇器MPX的多個輸入端子IT中的一個與選擇器MPX的輸出端子OT之間成為導通狀態。注意，當想要使選擇器MPX的多個輸入端子IT的全部與選擇器MPX的輸出端子OT之間成為非導通狀態時，例如可以對佈線SL1至佈線SL4的每一個供應低位準電位。

【0141】圖8B所示的選擇器MPX採用使用多個開關的賽圖方式構成。注意，圖8B的選擇器MPX包括開關

SWa1、開關SWa2、開關SWb1、開關SWb2、開關SWb3及開關SWb4，關於各開關可以參照圖8A所示的開關SW1至開關SW4的說明。

【0142】開關SWb1至開關SWb4的每個第一端子與對應的記憶體電路ME_L電連接。另外，開關SWa1的第一端子與開關SWb1的第二端子及開關SWb2的第二端子電連接。另外，開關SWa2的第一端子與開關SWb3的第二端子及開關SWb4的第二端子電連接。開關SWa1的第二端子及開關SWa2的第二端子與記憶體電路ME_H電連接。另外，開關SWb1的控制端子及開關SWb3的控制端子與佈線SLb1電連接，開關SWb2的控制端子及開關SWb4的控制端子與佈線SLb2電連接，開關SWa1的控制端子與佈線SLa1電連接，開關SWa2的控制端子與佈線SLa2電連接。

【0143】關於佈線SLa1、佈線SLa2、佈線SLb1及佈線SLb2各自可以參照圖8A所示的佈線SL1至佈線SL4的說明。

【0144】尤其是，供應到佈線SLa1的信號較佳為使供應到佈線SLa2的信號的邏輯反轉的信號。另外，供應到佈線SLb1的信號較佳為使供應到佈線SLb2的信號的邏輯反轉的信號。由此，可以使開關SWa1和開關SWa2中的一方成為開啟狀態並且使其中另一方成為關閉狀態。另外，可以使開關SWb1和開關SWb2中的一方成為開啟狀態並且使其中另一方成為關閉狀態。另外，可以使開關SWb3和開關SWb4中的一方成為開啟狀態並且使其中另一方成為關

閉狀態。

【0145】如上所述，藉由對佈線SLa1、佈線SLa2、佈線SLb1及佈線SLb2的每一個供應規定信號，可以使選擇器MPX的多個輸入端子IT中的一個與選擇器MPX的輸出端子OT之間成為導通狀態。注意，當想要使選擇器MPX的多個輸入端子IT的全部與選擇器MPX的輸出端子OT之間成為非導通狀態時，例如可以對佈線SLa1及佈線SLa2的每一個供應低位準電位。

【0146】注意，本發明的一個實施方式不侷限於上述半導體裝置DEV的結構。本發明的一個實施方式也可以具有改變上述半導體裝置而得的結構。

【0147】例如，雖然上面說明中半導體裝置DEV具有記憶體層MEML_L包括32個記憶體電路ME_L且記憶體層MEML_H包括8個記憶體電路ME_H的結構，但是對記憶體層MEML_L所包括的記憶體電路ME_L個數及記憶體層MEML_H所包括的記憶體電路ME_H個數沒有特別的限制。

【0148】此外，例如，雖然在上述半導體裝置DEV中參照記憶體層MEML_L的記憶體位址後3位元設定作為儲存對象的記憶體電路ME_H的塊，但是記憶體層MEML_L參照的記憶體位址也可以為後1位元、後2位元或後4位元以上。此外，也可以根據參照的記憶體位址的範圍決定記憶體層MEML_L所包括的記憶體電路ME_L個數及記憶體層MEML_H所包括的記憶體電路ME_H個數。

【0149】

<<集合相聯方式>>

接著，說明作為與直接映射方式不同的記憶體層MEML_L和記憶體層MEML_H的存儲結構採用集合相聯方式的情況。

【0150】集合相聯方式是一種方式，其中，當將包括在記憶體層MEML_L中的記憶體電路ME_L所保持的資料寫入到記憶體層MEML_H的記憶體電路ME_H時，將包括在記憶體層MEML_L中的記憶體電路ME_L所保持的資料保持在基於該記憶體電路ME_L的位址指定出的多個記憶體電路ME_H中的一個中。

【0151】圖9示出應用於記憶體層MEML_L及記憶體層MEML_H的集合相聯方式的一個例子。與圖5的半導體裝置DEV同樣，在圖9的半導體裝置DEV中，記憶體層MEML_L包括32個記憶體電路ME_L，記憶體層MEML_H包括8個記憶體電路ME_H。另外，與圖5的半導體裝置DEV同樣，圖9的半導體裝置DEV中也示出記憶體位址。

【0152】注意，在圖9的半導體裝置DEV的記憶體層MEML_H中，將記憶體位址為“000”或“001”的塊(記憶體電路ME_H)作為組ST_1。此外，將記憶體位址為“010”或“011”的塊(記憶體電路ME_H)作為組ST_2。將記憶體位址為“100”或“101”的塊(記憶體電路ME_H)作為組ST_3。將記憶體位址為“110”或“111”的塊(記憶體電路ME_H)作為組ST_4。

【0153】另外，與圖5的半導體裝置DEV同樣，在圖9的半導體裝置DEV中假設記憶體電路ME_L及記憶體電路ME_H都包括1行的矩陣狀記憶單元陣列。也就是說，假設：在記憶體電路ME_L中讀出資料時，記憶體電路ME_L唯一地讀出該1行的資料。此外，假設：在對記憶體電路ME_H寫入資料時，資料唯一地被寫入到記憶體電路ME_H的該1行。

【0154】這裡，在記憶體層MEML_L的32個記憶體電路ME_L中著眼於記憶體位址後3位元為“000”的塊的記憶體電路ME_L(雖然在圖9中未圖示，但是圖9的記憶體層MEML_L中有4塊的該記憶體電路ME_L)。在圖9的半導體裝置DEV中，將記憶體位址後3位元為“000”的塊的記憶體電路ME_L中的任一個的資料發送到記憶體層MEML_H內的包括在組ST_1中的記憶體電路ME_H中的任一個。

【0155】同樣地，在記憶體層MEML_L的32個記憶體電路ME_L中著眼於記憶體位址後3位元為“100”的塊的記憶體電路ME_L(雖然在圖9中未圖示，但是圖9的記憶體層MEML_L中有4塊的該記憶體電路ME_L)。在圖9的半導體裝置DEV中，將記憶體位址後3位元為“100”的塊的記憶體電路ME_L中的任一個的資料發送到記憶體層MEML_H內的包括在組ST_3中的記憶體電路ME_H中的任一個。

【0156】也就是說，如直接映射方式那樣，在將從記憶體層MEML_L讀出的資料寫入到記憶體層MEML_H時，記憶體層MEML_H中的作為資料寫入對象的記憶體電路

ME_H的記憶體位址取決於被讀出該資料的記憶體層MEML_L的記憶體電路ME_L的記憶體位址，但是在集合相聯方式中，可以從包括在規定組中的多個塊中選擇作為該資料的寫入對象的記憶體電路ME_H。

【0157】尤其是，圖9所示的從兩個記憶體電路ME_H中選擇從記憶體層MEML_L讀出的資料的寫入對象的方式有時被稱為2路集合相聯方式。另外，從N個(N為2以上的整數)記憶體電路ME_H中選擇從記憶體層MEML_L讀出的資料的寫入對象的方式有時被稱為N路集合相聯方式。

【0158】與直接映射方式同樣，在集合相聯方式中，記憶體層MEML_H中的作為資料寫入對象的記憶體電路ME_H的記憶體位址取決於被讀出該資料的記憶體層MEML_L中的記憶體電路ME_L的記憶體位址。也就是說，如此，在集合相聯方式中，寫入到記憶體電路ME_H的資料侷限於從特定的記憶體位址的記憶體電路ME_L讀出的資料。因此，例如在根據記憶體層MEML_H中的多個記憶體電路ME_H探索記憶體層MEML_L中的某個記憶體電路ME_L的資料時，可以使用保持所希望的資料的記憶體電路ME_L的記憶體位址從記憶體層MEML_H中找出規定記憶體電路ME_H，所以藉由採用集合相聯方式可以提高資料讀出速度。注意，與直接映射方式不同，作為從記憶體層MEML_L讀出的資料的寫入對象的候選有多個記憶體電路ME_H(包括在組中的塊數)，因此探索所希望的資料所需的時間(讀出所需的時間)有時比直接映射方式長。

【0159】圖10示出圖9的半導體裝置DEV中的電路層SWCL的結構例子。在圖10中，作為電路層SWCL示出電路層SWCLB。另外，作為一個例子，圖10還示出記憶體層MEML_L及記憶體層MEML_H。另外，圖10摘要示出記憶體層MEML_L中的記憶體位址為“00000”、“01000”、“10000”及“11000”的記憶體電路ME_L以及記憶體層MEML_H中的記憶體位址為“000”及“001”的記憶體電路ME_H(組ST_1)。

【0160】電路層SWCLB包括選擇器MPX及選擇器DMPX。作為一個例子，選擇器MPX包括多個輸入端子IT1以及一個輸出端子OT1。另外，作為一個例子，選擇器DMPX包括一個輸入端子IT2以及多個輸出端子OT2。關於選擇器MPX可以參照圖7的選擇器MPX的說明。

【0161】選擇器MPX的多個輸入端子IT1分別與記憶體層MEML_L中的多個記憶體電路ME_L電連接。分別電連接於選擇器MPX的多個輸入端子IT1的多個記憶體電路ME_L的記憶體位址的規定後幾位元彼此相等。此外，選擇器MPX的輸出端子OT1與選擇器DMPX的輸入端子IT2電連接。此外，選擇器DMPX的多個輸出端子OT2分別與規定記憶體位址的記憶體電路ME_H電連接。

【0162】選擇器DMPX例如具有根據輸入到選擇器DMPX的信號DSIG使選擇器DMPX的輸入端子IT2與選擇器DMPX的多個輸出端子OT2中的一個之間成為導通狀態的功能。另外，選擇器DMPX例如具有使選擇器DMPX的多

個輸出端子OT2的剩餘的與選擇器DMPX的輸入端子IT2之間都成為非導通狀態的功能。

【0163】由此，選擇器DMPX有時被稱為解多工器。

【0164】圖11是示出圖10的選擇器MPX及選擇器DMPX的具體結構例子的電路圖。

【0165】與圖8所示的電路層SWCLA同樣，圖11所示的選擇器DMPX中，開關SW1至開關SW4的每個第一端子與對應的記憶體電路ME_L電連接，開關SW1至開關SW4的每個第二端子分別與開關SW5及開關SW6的每個第一端子電連接，並且開關SW5及開關SW6的每個第二端子分別與對應的記憶體電路ME_H電連接。另外，開關SW1的控制端子與佈線SL1電連接，開關SW2的控制端子與佈線SL2電連接，開關SW3的控制端子與佈線SL3電連接，開關SW4的控制端子與佈線SL4電連接。另外，開關SW5的控制端子與佈線SL5電連接，開關SW5的控制端子與佈線SL5電連接。

【0166】關於佈線SL1至佈線SL4各自可以參照圖8A所示的佈線SL1至佈線SL4的說明。

【0167】佈線SL5及佈線SL6各自例如被用作發送用來切換開關SW1至開關SW6的導通狀態或非導通狀態的信號(可變電位)的佈線。分別被發送到佈線SL5及佈線SL6的信號相當於圖10中的信號DSIG。注意，佈線SL5及佈線SL6各自也可以被用作供應恆電位(例如，高位準電位、低位準電位、接地電位或負電位)的佈線而不被用作供應信

號(可變電位)的佈線。

【0168】在圖11所示的選擇器MPX中，例如，藉由對選自佈線SL1至佈線SL4中的一個供應高位準電位並對其餘的供應低位準電位，可以使選擇器MPX的多個輸入端子IT1中的一個與選擇器MPX的輸出端子OT1之間成為導通狀態。也就是說，藉由上述工作可以選擇包括在記憶體層MEML_L中的記憶體電路ME_L。另外，例如在佈線SL5和佈線SL6中的一方被供應高位準電位且其中另一方被供應低位準電位時，圖11所示的選擇器DMPX可以使該選擇器DMPX的輸入端子IT2與選擇器MPX的多個輸出端子OT2中的一個之間成為導通狀態。也就是說，藉由上述工作可以選擇包括在記憶體層MEML_H中的記憶體電路ME_H。由此，被讀出資料的記憶體電路ME_L與被寫入該資料的記憶體電路ME_H之間成為導通狀態。

【0169】此外，圖11中的選擇器MPX和選擇器DMPX中的一者或兩者也可以具有如圖8B的選擇器MPX那樣的賽圖方式的電路結構(未圖示)。

【0170】另外，也可以在選擇器DMPX的多個輸出端子OT2中的一個與多個記憶體電路ME_H中的一個之間設置取樣保持電路。在半導體裝置DEV中，藉由在選擇器DMPX的輸出端子OT2與記憶體電路ME_H之間設置取樣保持電路，可以暫時保持選擇器DMPX的輸出端子OT2的資料。例如，在圖11的半導體裝置DEV中，藉由在選擇器DMPX的輸出端子OT2與記憶體電路ME_H之間設置取樣保

持電路，可以預先暫時保持寫入到記憶體位址分別為“000”及“001”的各記憶體電路ME_H的資料。另外，藉由使取樣保持電路一齊輸出寫入資料，可以對記憶體位址分別為“000”及“001”的各記憶體電路ME_H同時發送寫入資料。也就是說，可以使對記憶體位址分別為“000”及“001”的各記憶體電路ME_H的寫入工作同步。因此，不需使多個記憶體電路ME_H的每一個分別工作，由此可以提高半導體裝置DEV的工作速度。

【0171】注意，本發明的一個實施方式不侷限於上述半導體裝置DEV的結構。本發明的一個實施方式也可以具有改變上述半導體裝置DEV而得的結構。

【0172】例如，雖然上面說明中半導體裝置DEV具有記憶體層MEML_L包括32個記憶體電路ME_L且記憶體層MEML_H包括8個記憶體電路ME_H的結構，但是對記憶體層MEML_L所包括的記憶體電路ME_L個數及記憶體層MEML_H所包括的記憶體電路ME_H個數沒有特別的限制。

【0173】此外，例如，雖然在上述半導體裝置DEV中參照記憶體層MEML_L的記憶體位址後3位元設定作為儲存對象的記憶體層MEML_H內的組，但是記憶體層MEML_L參照的記憶體位址也可以為後1位元、後2位元或後4位元以上。或者，雖然上面作為2路集合相聯方式將組內的塊數設定為兩個，但是也可以將組內的塊數設定為3個以上。此外，也可以根據參照的記憶體位址的範圍以及

組內的塊數決定記憶體層MEML_L所包括的記憶體電路ME_L個數及記憶體層MEML_H所包括的記憶體電路ME_H個數。

【0174】

<<全相聯方式>>

接著，說明作為與直接映射方式及集合相聯方式不同的記憶體層MEML_L和記憶體層MEML_H的存儲結構採用全相聯方式的情況。

【0175】全相聯方式是一種方式，其中，將從選自包括在記憶體層MEML_L中的多個記憶體電路ME_L中的一個讀出的資料保持在選自記憶體層MEML_H中的多個記憶體電路ME_H中的一個，該被選擇的記憶體電路ME_H與被選擇的記憶體電路ME_L的記憶體位址無關。也就是說，在全相聯方式中，對寫入到記憶體層MEML_H中的記憶體電路ME_H的資料沒有特別的限制。

【0176】圖12示出應用於記憶體層MEML_L及記憶體層MEML_H的全相聯方式的一個例子。與圖5的半導體裝置DEV同樣，在圖12的半導體裝置DEV中，記憶體層MEML_L包括32個記憶體電路ME_L，記憶體層MEML_H包括8個記憶體電路ME_H。另外，與圖5的半導體裝置DEV同樣，圖12的半導體裝置DEV中也示出記憶體位址。

【0177】注意，如直接映射方式及集合相聯方式的說明那樣，在半導體裝置DEV中，包括在記憶體層MEML_L中的記憶體電路ME_L個數也可以不是32。同樣地，包括

在記憶體層MEML_H中的記憶體電路ME_H個數也可以不是8。

【0178】另外，與圖12的半導體裝置DEV同樣，在圖5的半導體裝置DEV中假設記憶體電路ME_L及記憶體電路ME_H都包括1行的矩陣狀記憶單元陣列。也就是說，假設：在記憶體電路ME_L中讀出資料時，記憶體電路ME_L唯一地讀出該1行的資料。此外，假設：在對記憶體電路ME_H寫入資料時，資料唯一地被寫入到記憶體電路ME_H的該1行。

【0179】寫入到選自記憶體層MEML_H中的多個記憶體電路ME_H中的一個的資料是從選自記憶體層MEML_L中的多個記憶體電路ME_L中的一個讀出的資料。例如，在圖12的半導體裝置DEV中，示出對記憶體層MEML_H中的記憶體位址為“001”的記憶體電路ME_H寫入從選自記憶體層MEML_L中的記憶體位址為“00000”至“11111”的記憶體電路ME_L中的一個讀出的資料的例子。

【0180】如圖12所示，半導體裝置DEV的記憶體層MEML_H中的各記憶體電路ME_H也可以儲存記憶體層MEML_L中的記憶體位址為“00000”至“11111”的記憶體電路ME_L所保持的資料中的一個。參照圖13說明具體一個例子。記憶體層MEML_L中的記憶體位址為“00000”的記憶體電路ME_L所保持的資料被寫入到記憶體層MEML_H中的記憶體位址為“000”的記憶體電路ME_H。記憶體層MEML_L中的記憶體位址為“00100”的記憶體電路ME_L所

保持的資料被寫入到記憶體層MEML_H中的記憶體位址為“001”的記憶體電路ME_H。記憶體層MEML_L中的記憶體位址為“01000”的記憶體電路ME_L所保持的資料被寫入到記憶體層MEML_H中的記憶體位址為“010”的記憶體電路ME_H。記憶體層MEML_L中的記憶體位址為“10100”的記憶體電路ME_L所保持的資料被寫入到記憶體層MEML_H中的記憶體位址為“011”的記憶體電路ME_H。記憶體層MEML_L中的記憶體位址為“10010”的記憶體電路ME_L所保持的資料被寫入到記憶體層MEML_H中的記憶體位址為“100”的記憶體電路ME_H。記憶體層MEML_L中的記憶體位址為“10100”的記憶體電路ME_L所保持的資料被寫入到記憶體層MEML_H中的記憶體位址為“101”的記憶體電路ME_H。記憶體層MEML_L中的記憶體位址為“00111”的記憶體電路ME_L所保持的資料被寫入到記憶體層MEML_H中的記憶體位址為“110”的記憶體電路ME_H。記憶體層MEML_L中的記憶體位址為“01101”的記憶體電路ME_L所保持的資料被寫入到記憶體層MEML_H中的記憶體位址為“111”的記憶體電路ME_H。

【0181】在全相聯方式中，例如，在記憶體層MEML_H中存在有空塊(不保持資料的記憶體電路ME_H)時，可以在該空塊中儲存記憶體層MEML_L中的記憶體位址為“00000”至“11111”的記憶體電路ME_L中的一個所保持的資料。因此，藉由採用全相聯方式可以對空塊的記憶體電路ME_H優先地寫入資料，所以可以減少空塊的記憶

體電路ME_H(處於空閒狀態的記憶體電路ME_H)個數。

【0182】圖14示出圖13的半導體裝置DEV中的電路層SWCL的結構例子。在圖14中，作為電路層SWCL示出電路層SWCLC。另外，圖14還示出記憶體層MEML_L及記憶體層MEML_H。

【0183】電路層SWCLC包括選擇器MPX及選擇器DMPX。作為一個例子，選擇器MPX包括多個輸入端子IT1以及一個輸出端子OT1。另外，作為一個例子，選擇器DMPX包括一個輸入端子IT2以及多個輸出端子OT2。關於選擇器MPX可以參照圖7的選擇器MPX的說明。另外，關於選擇器DMPX可以參照圖10的選擇器DMPX的說明。

【0184】選擇器MPX的多個輸入端子IT1分別與記憶體層MEML_L中的所有記憶體電路ME_L電連接。此外，選擇器MPX的輸出端子OT2與選擇器DMPX的輸入端子IT2電連接。此外，選擇器DMPX的多個輸出端子OT2分別與記憶體層MEML_H中的所有記憶體電路ME_H電連接。

【0185】關於選擇器MPX的結構可以參照圖8A及圖8B所示的選擇器MPX的說明。另外，關於選擇器DMPX的結構可以參照圖11所示的選擇器DMPX的說明。

【0186】另外，與集合相聯方式的說明中使用的圖11的半導體裝置DEV同樣，在圖14所示的半導體裝置DEV中，也可以在選擇器DMPX的多個輸出端子OT2中的一個與多個記憶體電路ME_H中的一個之間設置取樣保持電路。

【0187】注意，本發明的一個實施方式不侷限於上述半導體裝置的結構。本發明的一個實施方式也可以具有改變上述半導體裝置而得的結構。

【0188】例如，在上述直接映射方式、集合相聯方式及全相聯方式的說明中，以記憶體電路ME_L及記憶體電路ME_H各自包括1行矩陣狀記憶單元陣列的情況為例進行說明，但是記憶體電路ME_L及記憶體電路ME_H各自也可以包括多行矩陣狀記憶單元陣列。在此情況下，從記憶體電路ME_L中的記憶單元陣列的第i行(在此，i為1以上的整數)讀出的資料較佳為被寫入到記憶體電路ME_H中的記憶單元陣列的第i行。

【0189】本實施方式可以與本說明書所示的其他實施方式適當地組合。例如，本實施方式所示的構成、結構、方法等可以與其他實施方式等所示的構成、結構、方法等適當地組合而使用。

【0190】

實施方式2

在本實施方式中，說明上述實施方式中說明的半導體裝置DEV以及記憶體層MEML_L及記憶體層MEML_H所包括的記憶體電路的結構例子。

【0191】圖15是作為半導體裝置DEV的結構例子的立體示意圖。圖16是作為半導體裝置DEV的結構例子的方塊圖。半導體裝置DEV包括驅動電路區域50、控制處理區域80、電路層90以及N層(N為1以上的整數)單元陣列層60。

另外，1層單元陣列層60包括被配置為m行n列矩陣狀的多個記憶單元10。

【0192】圖16示出單元陣列層60_k中配置有記憶單元10[1，1]、記憶單元10[m，1](在此，m為1以上的整數)、記憶單元10[1，n](在此，n為1以上的整數)、記憶單元10[m，n]以及記憶單元10[i，j](在此，i為1以上且m以下的整數，j為1以上且n以下的整數)的例子。

【0193】此外，圖16示出控制處理區域80中配置有單元陣列70、驅動電路71、驅動電路72、ALU(Arithmetic logic unit：算術邏輯單元)81、ALU控制器82、指令解碼器83、中斷控制器84以及時序控制器85的例子。

【0194】注意，單元陣列層60_1至單元陣列層60_N相當於實施方式1中說明的記憶體層MEML_L。另外，電路層90相當於實施方式1中說明的電路層SWCL。另外，單元陣列70相當於實施方式1中說明的記憶體層MEML_H。

【0195】驅動電路區域50具有驅動包括在單元陣列層60_1至單元陣列層60_N中的記憶單元10的功能。例如，驅動電路區域50可以執行對記憶單元10寫入資料的工作或者從記憶單元10讀出資料的工作。

【0196】控制處理區域80例如相當於可用於電腦的處理器。注意，單元陣列70、驅動電路71及驅動電路72被用作包括在該處理器中的快取記憶體或暫存器。明確而言，例如，驅動電路71被用作對於單元陣列70的列驅動器，驅動電路72被用作對於單元陣列70的行驅動器。另外，在圖

16中，單元陣列70包括被配置為陣列狀的多個記憶單元75。

【0197】N層單元陣列層60例如設置在電路層90上。電路層90例如設置在驅動電路區域50及控制處理區域80上。尤其是，藉由將N層單元陣列層60設置在驅動電路區域50及控制處理區域80上，可以減少半導體裝置DEV的佔有面積。此外，可以提高單元陣列層60中的單位面積的記憶容量。

【0198】注意，驅動電路區域50及控制處理區域80也可以配置在相同基板上。例如，也可以在半導體基板(例如，含有矽的單晶基板)上形成驅動電路區域50及控制處理區域80。注意，半導體裝置DEV的結構不侷限於圖15。例如，驅動電路區域50也可以設置在控制處理區域80上。此時，也可以將驅動電路區域50及控制處理區域80配置在不同基板上並利用Cu-Cu(銅-銅)直接鍵合技術等在控制處理區域80上設置驅動電路區域50。

【0199】在本實施方式等中，將第一層的單元陣列層60表示為單元陣列層60_1，將第二層的單元陣列層60表示為單元陣列層60_2，並且將第三層的單元陣列層60表示為單元陣列層60_3。此外，將第k層(k為1以上且N以下的整數)的單元陣列層60表示為單元陣列層60_k，將第N層的單元陣列層60表示為單元陣列層60_N。在本實施方式等中，在說明涉及到N層的單元陣列層60整體的事項或者示出N層的單元陣列層60的各層間共同的事項的情況下，有時簡

單地表示為“單元陣列層60”。

【0200】

<控制處理區域80的結構例子>

在圖16中，控制處理區域80例如包括ALU81、ALU控制器82、指令解碼器83、中斷控制器84及時序控制器85。注意，圖16所示的控制處理區域80只不過是簡化其結構而表示的一個例子，包括在實際上的處理器中的控制處理區域80根據其用途具有各種結構。例如，也可以以包括圖16所示的CPU或運算電路的結構為核心，設置多個該核心並使其同時工作，就是說也可以為像GPU那樣的結構。此外，在CPU的內部運算電路、系統匯流排線等中能夠處理的位數例如可以為8位元、16位元、32位元、64位元、128位元或256位元以上。

【0201】輸入到控制處理區域80的指令被輸入到指令解碼器83而被解碼。被解碼之後，該指令被輸入到ALU控制器82、中斷控制器84及時序控制器85。另外，該指令也可以被輸入到包括在控制處理區域80中的記憶體電路的驅動電路71及驅動電路72。

【0202】ALU控制器82、中斷控制器84及時序控制器85根據被解碼的指令進行各種控制。明確而言，ALU控制器82生成用來控制ALU81的工作的信號。此外，中斷控制器84在驅動電路區域50中執行的程式時，根據其優先度或遮罩的狀態等來判斷來自外部的輸入/輸出裝置或週邊電路的中斷要求而對該要求進行處理。此外，包括在控制處

理區域80中的記憶體電路可以根據被解碼的指令生成包括在單元陣列70中的記憶單元的位址而根據驅動電路區域50的狀況從單元陣列70讀出資料或對單元陣列70寫入資料。

【0203】此外，時序控制器85生成用來控制ALU81、ALU控制器82、指令解碼器83、中斷控制器84以及包括在控制處理區域80中的記憶體電路的工作時序的信號。例如，時序控制器85具有根據基準時脈信號生成內部時脈信號的內部時脈發生器，並將內部時脈信號供應到上述各種電路。注意，時序控制器85所生成的時脈信號也可以為上述信號CLK。

【0204】包括在控制處理區域80中的記憶體電路根據來自ALU81的指令選擇單元陣列70的記憶單元75中的保持工作。換言之，選擇在單元陣列70所具有的記憶單元中由正反器保持資料還是由電容器保持資料。在選擇由正反器保持資料的情況下，對單元陣列70中的記憶單元75供應電源電壓。在選擇由電容器保持資料的情況下，對電容器進行資料的重寫，而可以停止對單元陣列70中的記憶單元75供應電源電壓。

【0205】

<驅動電路區域50的結構例子>

在圖16中，驅動電路區域50包括PSW22(功率開關)、PSW23以及週邊電路31。週邊電路31包括週邊電路41、控制電路32以及電壓生成電路33。

【0206】在驅動電路區域50中，根據需要可以適當地

取捨上述各電路、各信號及各電壓。或者，也可以增加其它電路或其它信號。信號BW、信號CE、信號GW、信號CLK、信號WAKE、信號ADDR、信號WDA、信號PON1及信號PON2為從外部輸入的信號，信號RDA為輸出到外部的信號。信號CLK為時脈信號。圖16示出信號BW、信號CE、信號GW、信號CLK、信號WAKE、信號PON1及信號PON2生成在控制處理區域80中並從控制處理區域80發送到驅動電路區域50的例子。

【0207】此外，信號BW、信號CE及信號GW為控制信號。信號CE為晶片賦能信號，信號GW為全局寫入賦能信號，信號BW為位元組寫入賦能信號。信號ADDR為位址信號。信號WDA為寫入資料，信號RDA為讀出資料。信號PON1、信號PON2為電源閘控控制用信號。此外，信號PON1、信號PON2也可以不在控制處理區域80中生成而在控制電路32中生成。

【0208】控制電路32為具有控制驅動電路區域50及單元陣列層60的整體工作的功能的邏輯電路。例如，控制電路對信號CE、信號GW及信號BW進行邏輯運算來決定驅動電路區域50及單元陣列層60的工作模式(例如，寫入工作、讀出工作)。另外，控制電路32生成週邊電路41的控制信號，以執行上述工作模式。

【0209】電壓生成電路33具有生成負電壓的功能。信號WAKE具有控制對電壓生成電路33輸入信號CLK的功能。例如，當信號WAKE被施加H位準的信號時，信號

CLK被輸入到電壓生成電路33，電壓生成電路33生成負電壓。

【0210】週邊電路41是用來對記憶單元10進行資料的寫入及讀出的電路。週邊電路41包括行解碼器42、列解碼器44、行驅動器43、列驅動器45、輸入電路47、輸出電路48及感測放大器46。

【0211】行解碼器42及列解碼器44具有對信號ADDR進行解碼的功能。行解碼器42是用來指定要存取行的電路，列解碼器44是用來指定要存取列的電路。

【0212】行驅動器43具有選擇由行解碼器42指定的寫入及讀出字線(例如，後述的圖17所示的佈線WL[1]至佈線WL[m]中的任一個)的功能。

【0213】列驅動器45具有如下功能：將資料寫入到記憶單元10的功能；從記憶單元10讀出資料的功能；保持所讀出的資料的功能等。列驅動器45具有選擇由列解碼器44指定的寫入及讀出位元線(例如，後述的圖17所示的佈線BL[1]至佈線BL[n])的功能。

【0214】輸入電路47具有保持信號WDA的功能。輸入電路47中保持的資料(上述實施方式中為第一資料)被輸出到列驅動器45。輸入電路47的輸出資料是寫入到記憶單元10的資料(Din)。由列驅動器45從記憶單元10讀出的資料(Dout)被輸出至輸出電路48。在上述實施方式中，將所讀出的資料(Dout)作為運算結果的資料進行處理。輸出電路48具有保持Dout的功能。此外，輸出電路48具有將Dout輸

出到驅動電路區域50的外部的功能。從輸出電路48輸出的資料為信號RDA。

【0215】PSW22具有控制向週邊電路31供給VDD的功能。PSW23具有控制向行驅動器43供給VHM的功能。在此，驅動電路區域50的高電源電壓為VDD，低電源電壓為GND(接地電位)。此外，VHM是用來使字線成為高位準的高電源電壓，其高於VDD。利用信號PON1切換PSW22的開啟狀態及關閉狀態，利用信號PON2切換PSW23的開啟狀態及關閉狀態。在圖16中，週邊電路31中被供應VDD的電源域的個數為1，但是也可以為多個。此時，可以對各電源域設置功率開關。

【0216】接著，說明週邊電路41與單元陣列層60的電連接。

【0217】圖17是示出週邊電路41及單元陣列層60_k的結構例子的方塊圖。在圖17中，行解碼器42及行驅動器43與佈線WL[1]至佈線WL[m]中的每一個電連接，列解碼器44、列驅動器45以及感測放大器46與佈線BL[1]至佈線BL[n]中的每一個電連接。

【0218】佈線WL[1]至佈線WL[m]被用作字線。此外，佈線WL[1]至佈線WL[m]的每一個也可以是多個佈線而不是一個佈線。例如，佈線WL也可以具有寫入字線和讀出字線。

【0219】佈線BL[1]至佈線BL[n]被用作位元線。此外，佈線BL[1]至佈線BL[n]的每一個也可以是多個佈線而

不是一個佈線。例如，佈線BL也可以具有寫入位元線和讀出位元線。

【0220】配置在第i行第j列上的記憶單元10[i，j]與佈線WL[i]及佈線BL[j]電連接。

【0221】如圖17所示，藉由電連接單元陣列層60_k及週邊電路41，可以對單元陣列層60_k寫入資料並從單元陣列層60_k讀出資料。

【0222】

<單元陣列層60及單元陣列70的結構例子>

接著，說明可應用於單元陣列層60或單元陣列70的電路結構。

【0223】

<<結構例子1>>

圖18A示出作為單元陣列層60或單元陣列70(以後總稱為記憶單元陣列MCA)使用DRAM的結構例子。DRAM例如可以用於圖2的記憶體層次100中的選自暫存器101、第一快取記憶體102、第二快取記憶體103和主記憶體104中的一個以上。尤其是，DRAM例如較佳為用於主記憶體104。

【0224】圖18A示出m行n列的記憶單元陣列MCA，其中僅示出位於第1行第1列、第1行第n列、第m行第1列及第m行第n列的記憶單元MC。所以在圖18A中，將第1行佈線WL圖示為佈線WL[1]，將第m行佈線WL圖示為佈線WL[m]，將第1列佈線BL圖示為佈線BL[1]，並且將第n行

佈線BL圖示為佈線BL[n]。

【0225】注意，記憶單元MC在記憶單元陣列MCA為單元陣列層60的情況下相當於記憶單元10，而在記憶單元陣列MCA為單元陣列70的情況下相當於記憶單元75。

【0226】在圖18A的記憶單元陣列MCA中，記憶單元MC包括電晶體M1及電容器C1。

【0227】在第i行第j列(i為1以上且m以下的整數，j為1以上且n以下的整數)的記憶單元MC中，電晶體M1的第一端子與佈線BL[j]電連接，電晶體M1的第二端子與電容器C1的第一端子電連接，電晶體M1的閘極與佈線WL[i]電連接。電容器C1的第二端子與佈線CL電連接。

【0228】佈線CL例如被用作供應恆電位的佈線。該恆電位可以為高位準電位、低位準電位、接地電位或負電位。注意，佈線CL也可以被用作供應可變電位(例如脈衝電位)的佈線。

【0229】注意，雖然在圖18A的記憶單元陣列MCA中電晶體M1為n通道型電晶體，但是電晶體M1也可以為p通道型電晶體。不侷限於圖18A的記憶單元陣列MCA中的電晶體，本說明書等所示的n通道型電晶體有時可以置換成p通道型電晶體。反之，本說明書等所示的p通道型電晶體有時可以置換成n通道型電晶體。

【0230】另外，本說明書等所示的電晶體如圖18A的記憶單元陣列MCA所包括的電晶體M1等可以為通道形成區域中含有矽的Si電晶體。作為矽，例如可以舉出氫化非

晶矽、微晶矽、多晶矽或單晶矽。另外，本說明書等所示的電晶體可以為OS電晶體。關於OS電晶體將在本實施方式及實施方式3中進行說明。此外，作為除OS電晶體及Si電晶體以外的電晶體，例如可以採用通道形成區域中含有鍺(Ge)等的電晶體、通道形成區域中含有硒化鋅(ZnSe)、硫化鎘(CdS)、砷化鎵(GaAs)、磷化銦(InP)、氮化鎵(GaN)或矽鍺(SiGe)等化合物半導體的電晶體、通道形成區域中含有碳奈米管的電晶體或通道形成區域中含有有機半導體的電晶體。

【0231】尤其是，OS電晶體在通道形成區域中含有的金屬氧化物更佳為選自銦、元素M(作為元素M可以舉出鋁、鎵、釔、錫、銅、釩、硼、鈦、鐵、鎳、鍺、鋯、鉬、鑭、鈰、釹、鉿、鉭、鎢、鎂、鈷或鉍)和鋅中的一個以上的氧化物。此外，通道形成區域中含有該金屬氧化物的OS電晶體的每通道寬度1μm的關態電流可以為10aA(1×10^{-17}A)以下，較佳為1aA(1×10^{-18}A)以下，更佳為10zA(1×10^{-20}A)以下，進一步較佳為1zA(1×10^{-21}A)以下，進一步較佳為100yA(1×10^{-22}A)以下。另外，在該OS電晶體中，金屬氧化物的載子濃度低，所以即使OS電晶體的溫度產生變化，也保持低關態電流。例如，即使OS電晶體的溫度為150℃，每通道寬度1μm的關態電流也可以為100zA。

【0232】尤其是，作為電晶體M1使用OS電晶體的DRAM有時被稱為DOSRAM(Dynamic Oxide Semiconductor

Random Access Memory：氧化物半導體動態隨機存取記憶體)。

【0233】此外，電容器C1也可以為包括一對電極以及夾在該一對電極間的鐵電體的鐵電電容器。此時，記憶單元陣列MCA有時被稱為FeRAM(Ferroelectric Random Access Memory：鐵電隨機存取記憶體)。

【0234】此時，佈線CL被用作使鐵電電容器的鐵電膜極化或使鐵電膜的極化反轉的板線而不被用作供應恆電位的佈線。

【0235】例如，使電晶體M1成為開啟狀態，對佈線BL供應對應於資料的電壓並對佈線CL供應規定電位，來使包括在電容器C1中的鐵電體膜極化，由此進行對作為鐵電電容器的電容器C1的該資料寫入工作。另外，在使電晶體M1成為開啟狀態之後對佈線CL供應脈衝電位，由此進行從電容器C1讀出寫入的資料的工作。注意，供應到佈線CL的脈衝電位的大小也可以與寫入時對佈線CL供應的電位相同。當讀出電容器C1所保持的資料時，根據來自佈線CL的脈衝電位是否引起極化反轉而判定保持的資料是“0”還是“1”。當電容器C1中的鐵電體膜發生極化反轉時，電流經由電晶體M1流過佈線BL。也就是說，藉由例如使用具有積分電路(或電流電荷(IQ)轉換電路)、電流電壓轉換電路的結構的讀出電路取得流過佈線BL的電流量，可以讀出電容器C1所保持的資料。

【0236】

<<結構例子2>>

記憶單元陣列MCA不侷限於圖18A所示的電路圖的結構，也可以具有適當地改變圖18A的電路圖的結構。例如，如圖18B所示，在圖18A的記憶單元陣列MCA中電晶體M1也可以設置有背閘極。

【0237】雖然圖18B中未圖示電晶體M1的背閘極的電連接關係，但是可以根據所希望的電晶體M1的工作或特性而決定電晶體M1的背閘極的連接對象。例如，電晶體M1的背閘極的電連接對象可以為電晶體M1的閘極。藉由電連接電晶體M1的閘極與背閘極，可以增大在電晶體M1為開啟狀態下流過的電流。另外，例如也可以對電晶體M1的背閘極設置用來電連接於外部電路的佈線來藉由該外部電路對電晶體M1的背閘極供應電位，使得提高臨界電壓。藉由採用這種結構，可以藉由外部電路減小電晶體M1的關態電流。

【0238】在圖18B的記憶單元陣列MCA中，作為包括背閘極的電晶體M1例如可以使用上述OS電晶體。

【0239】注意，雖然在本結構例子中說明圖18A的記憶單元陣列MCA中的電晶體M1設置有背閘極的結構，但是包括在其他結構中的電晶體也可以設置有背閘極。也就是說，本說明書等所示的電晶體可以為包括背閘極的電晶體。

【0240】

<<結構例子3>>

圖18C示出作為記憶單元陣列MCA使用ReRAM(Resistive Random Access Memory：電阻隨機存取記憶體)的結構例子。ReRAM例如可以用於圖2的記憶體層次100中的選自暫存器101、第一快取記憶體102、第二快取記憶體103和主記憶體104中的一個以上。尤其是，ReRAM例如較佳為用於主記憶體104。

【0241】在圖18C的記憶單元陣列MCA中，記憶單元MC包括電晶體M1及可變電阻元件VR。圖18C所示的記憶單元MC使用可變電阻元件VR代替圖18A的記憶單元MC中的電容器C1。

【0242】

<<結構例子4>>

圖18D示出作為記憶單元陣列MCA使用MRAM(Magnetic Random Access Memory：磁阻式隨機存取記憶體)的結構例子。MRAM例如可以用於圖2的記憶體層次100中的選自暫存器101、第一快取記憶體102、第二快取記憶體103和主記憶體104中的一個以上。尤其是，MRAM例如較佳為用於主記憶體104。

【0243】在圖18D的記憶單元陣列MCA中，記憶單元MC包括電晶體M1及MTJ(Magnetic Tunnnel Junction：磁穿隧結)元件MR。圖18D所示的記憶單元MC使用MTJ元件MR代替圖18A的記憶單元MC中的電容器C1。

【0244】

<<結構例子5>>

圖18E示出作為記憶單元陣列MCA使用PRAM(Phase change Random Access Memory：相變隨機存取記憶體)的結構例子。PRAM例如可以用於圖2的記憶體層次100中的選自暫存器101、第一快取記憶體102、第二快取記憶體103和主記憶體104中的一個以上。尤其是，PRAM例如較佳為用於主記憶體104。

【0245】在圖18E的記憶單元陣列MCA中，記憶單元MC包括電晶體M1及相變化記憶體PCM。圖18E所示的記憶單元MC使用相變化記憶體PCM代替圖18A的記憶單元MC中的電容器C1。

【0246】藉由在製程中將用於DRAM的電容器C1的鐵電材料改變為相變材料，可以製造包括在PRAM中的相變化記憶體PCM。也就是說，藉由使用DRAM的製造裝置，可以製造PRAM。

【0247】

<<結構例子6>>

圖19A示出包括具有2電晶體1電容器的結構的記憶單元的記憶單元陣列MCA的例子。圖19A所示的記憶單元陣列MCA例如可以用於圖2的記憶體層次100中的選自暫存器101、第一快取記憶體102、第二快取記憶體103和主記憶體104中的一個以上。

【0248】圖19A示出m行n列的記憶單元陣列MCA，其中僅示出位於第1行第1列、第1行第n列、第m行第1列及第m行第n列的記憶單元MC。所以在圖19A中，將位於第1

列的佈線圖示為佈線RBL[1]、佈線WBL[1]、佈線SL[1]，將位於第m列的佈線圖示為佈線RBL[n]、佈線WBL[n]、佈線SL[n]，將位於第1行的佈線圖示為佈線WL[1]、佈線RWL[1]，並且將位於第m行的佈線圖示為佈線WL[m]、佈線RWL[m]。

【0249】記憶單元MC包括電晶體M2、電晶體M3及電容器C2。

【0250】作為電晶體M2及電晶體M3，例如可以使用可用作電晶體M1的電晶體。

【0251】尤其是，在作為電晶體M2使用OS電晶體時，可以將圖19A所示的包括記憶單元MC的半導體裝置稱為NOSRAM(Nonvolatile Oxide Semiconductor Random Access Memory：非揮發性氧化物半導體隨機存取記憶體)。

【0252】在第i行第j列的記憶單元MC中，電晶體M2的第一端子與電容器C2的第一端子電連接，電晶體M2的第二端子與佈線WBL[j]電連接，電晶體M2的閘極與佈線WWL[i]電連接。電容器C2的第二端子與佈線RWL[i]電連接。電晶體M3的第一端子與佈線RBL[j]電連接，電晶體M3的第二端子與佈線SL[j]電連接，電晶體M3的閘極與電容器C2的第一端子電連接。注意，在圖19A中，省略佈線WWL[i]、佈線RWL[i]、佈線RBL[j]、佈線WBL[j]及佈線SL[j]。

【0253】佈線WBL[j]被用作寫入位元線，佈線RBL[j]

被用作讀出位元線，佈線WBL[j]及佈線RBL[j]各自相當於圖17所示的佈線BL。此外，佈線WWL[i]被用作寫入字線，佈線RWL[i]被用作讀出字線，佈線WWL[i]及佈線RWL[i]各自相當於圖17所示的佈線WL。

【0254】另外，在資料的寫入及讀出中，較佳為對佈線RWL[i]供應高位準電位等恆電位。另外，在資料的保持中，較佳為對佈線RWL[i]供應低位準電位等恆電位。

【0255】佈線SL[j]被用作從記憶單元MC讀出資料時供應規定電位的佈線。

【0256】對佈線WWL[i]供應高位準電位來使電晶體M2成為開啟狀態，換言之使佈線WBL[j]與各記憶單元MC的電容器C2的第一端子之間成為導通狀態，由此對第i行第j列的記憶單元MC寫入資料。此時，較佳為對佈線RWL[i]供應高位準電位。明確地說，在電晶體M2處於導通狀態時，對佈線WBL[j]供應對應於要記錄的資訊的電位來對電容器C2的第一端子及電晶體M3的閘極寫入該電位。然後，對佈線WL[i]供應低位準電位使電晶體M2成為關閉狀態，由此儲存電容器C2的第一端子的電位及電晶體M3的閘極的電位。並且，將佈線RWL[i]的電位從高位準電位變為低位準電位，藉由電容器C2的電容耦合而降低電晶體M3的閘極電位，來使電晶體M3成為關閉狀態。

【0257】對佈線RWL[i]供應高位準電位，並且對佈線SL[j]供應規定電位，由此從第i行第j列的記憶單元MC讀出資料。由於電晶體M3的源極-汲極間流過的電流及電晶

體M3的第一端子的電位由電晶體M3的閘極的電位及電晶體M3的第二端子的電位決定，所以藉由讀出與電晶體M3的第一端子連接的佈線RBL[j]的電位，可以讀出電容器C2的第一端子(或電晶體M3的閘極)所保持的電位。也就是說，可以從電容器C2的第一端子(或電晶體M3的閘極)所保持的電位讀出該記憶單元中寫入的資訊。

【0258】另外，圖17所示的記憶單元MC不侷限於圖19A所示的記憶單元MC。在圖19A所示的記憶單元MC中，可以根據狀況進行電路的取捨、電路連接的改變等。例如，也可以將設置有背閘極的電晶體用作電晶體M2及電晶體M3。

【0259】另外，在圖19A的記憶單元陣列MCA中，也可以將佈線WBL[j]和佈線RBL[j]總用作一個佈線。圖19B所示的記憶單元陣列MCA具有將圖19A的記憶單元陣列MCA中的佈線WBL[j]和佈線RBL[j]總用作佈線BL[j]的結構。藉由將多個佈線總用作一個佈線，可以減小記憶單元陣列MCA的電路面積。

【0260】另外，也可以將圖19A所示的記憶單元MC的電路結構改變為圖19C所示的記憶單元MC。圖19C所示的記憶單元MC包括電晶體M6這點上與圖19A所示的記憶單元MC不同。

【0261】在第i行第j列的記憶單元MC中，電晶體M2的第一端子與電容器C2的第一端子電連接，電晶體M2的第二端子與佈線WBL[j]電連接，電晶體M2的閘極與佈線

WWL[i]電連接。電容器C2的第二端子與佈線CL[i]電連接。電晶體M3的第一端子與電晶體M6的第一端子電連接，電晶體M3的第二端子與佈線SL[j]電連接，電晶體M3的閘極與電容器C2的第一端子電連接。另外，電晶體M6的第二端子與佈線RBL[j]電連接，電晶體M6的閘極與佈線RWL[j]電連接。注意，在圖19C中，省略佈線WWL[i]、佈線RWL[i]、佈線CL[j]、佈線RBL[j]、佈線WBL[j]及佈線SL[j]。

【0262】佈線CL[i]例如被用作供應恆電位的佈線。該恆電位可以為高位準電位、低位準電位、接地電位或負電位。注意，佈線CL[i]也可以被用作供應可變電位(例如脈衝電位)的佈線。

【0263】在圖19C的記憶單元MC中，電晶體M6被用作讀出電晶體。作為電晶體M6可以使用可用作電晶體M2或電晶體M3的電晶體。

【0264】在圖19A的記憶單元MC中，用作讀出字線的佈線RWL[i]與電容器C2的第二端子電連接，而在圖19C的記憶單元MC中，佈線CL[i]作為供應恆電位的佈線與電容器C2的第二端子電連接。

【0265】在圖19A的記憶單元MC中，由於藉由電容器C2的電容耦合改變電晶體M3的閘極電位來進行讀出工作，所以在電晶體M3的閘極電位因寄生電容等而不正確地改變時，有時發生讀出錯誤。另一方面，在圖19C的記憶單元MC中，不由於藉由電容器C2的電容耦合改變電晶

體M3的閘極電位，所以不發生上述讀出錯誤。

【0266】

<<結構例子7>>

圖20A示出可用於記憶單元陣列MCA中的記憶單元MC的SRAM的一個例子。SRAM例如可以用於圖2的記憶體層次100中的選自暫存器101、第一快取記憶體102、第二快取記憶體103和主記憶體104中的一個以上。尤其是，SRAM例如可以用於暫存器101、第一快取記憶體102及第二快取記憶體103。

【0267】記憶單元MC包括電晶體M4、電晶體M4r、邏輯電路INV1及邏輯電路INV2。

【0268】作為電晶體M4及電晶體M4r，例如可以使用可用作電晶體M1的電晶體。

【0269】邏輯電路INV1及邏輯電路INV2具有生成並輸出對於輸入到該電路的信號的反轉信號的功能。作為邏輯電路INV1及邏輯電路INV2，例如可以使用反相器電路。除了反相器電路以外，例如也可以使用NAND電路、NOR電路、XOR電路或組合上述電路的邏輯電路。

【0270】電晶體M4的第一端子與佈線BL電連接，電晶體M4的第二端子與邏輯電路INV1的輸入端子及邏輯電路INV2的輸出端子電連接，電晶體M4的閘極與佈線WL電連接。電晶體M4r的第一端子與佈線BLB電連接，電晶體M4r的第二端子與邏輯電路INV1的輸出端子及邏輯電路INV2的輸入端子電連接，電晶體M4r的閘極與佈線WL電

連接。

【0271】邏輯電路INV1及邏輯電路INV2的各高電源輸入端子與佈線C1L電連接，邏輯電路INV1及邏輯電路INV2的各低電源輸入端子與佈線C2L電連接。佈線C1L被用作供應高位準電位的佈線，佈線C2L被用作供應低位準電位的佈線。佈線C1L及佈線C2L也可以為不供應恆電位而供應可變電位的佈線。

【0272】對佈線WL供應高位準電位，使電晶體M4成為開啟狀態，並使佈線BL與邏輯電路INV1的輸入端子及邏輯電路INV2的輸出端子之間成為導通狀態，由此寫入資料。此時，電晶體M4r也成為開啟狀態，佈線BLB與邏輯電路INV1的輸出端子及邏輯電路INV2的輸入端子之間成為導通狀態。因此，當對記憶單元MC寫入資料時，可以從佈線BL及佈線BLB的每一個發送用於寫入的資料信號。注意，輸入到佈線BL的用於寫入的資料信號較佳為輸入到佈線BLB的信號的反轉信號。此外，佈線BL及佈線BLB相當於圖17所示的佈線BL，佈線WL相當於圖17所示的佈線WL。

【0273】另外，圖17所示的記憶單元MC不侷限於圖20A所示的記憶單元MC。在圖20A所示的記憶單元MC中，可以根據狀況進行電路的取捨、電路連接的改變等。例如，如圖20B所示，也可以在圖20A的記憶單元MC中設置電晶體M5、電晶體M5r、電容器C3及電容器C3r。

【0274】作為電晶體M5及電晶體M5r，例如可以使用

可用作電晶體M1的電晶體。

【0275】電晶體M5的第一端子與電晶體M4的第二端子、邏輯電路INV1的輸入端子及邏輯電路INV2的輸出端子電連接，電晶體M5的第二端子與電容器C3的第一端子電連接，電晶體M5的閘極與佈線W2L電連接。電晶體M5r的第一端子與電晶體M4的第二端子、邏輯電路INV1的輸入端子及邏輯電路INV2的輸出端子電連接，電晶體M5r的第二端子與電容器C3r的第一端子電連接，電晶體M5r的閘極與佈線W2L電連接。電容器C3及電容器C3r的每個第二端子與佈線CL電連接。

【0276】圖20B的記憶單元MC中的佈線W1L相當於圖20A中的佈線WL。佈線W2L被用作第二字線，切換電晶體M5及電晶體M5r的每一個的開啟狀態和關閉狀態。另外，佈線W1L及佈線W2L相當於圖17所示的佈線WL。

【0277】佈線CL被用作用來對電容器C3及電容器C3r的每個第二端子供應恆電位的佈線。該恆電位可以為高位準電位、低位準電位、接地電位或負電位。注意，佈線CL也可以被用作供應可變電位(例如脈衝電位)的佈線。

【0278】藉由佈線W2L使電晶體M5及電晶體M5r的每一個成為開啟狀態，由此電晶體M4的第二端子與電容器C3的第一端子之間成為導通狀態，並且電晶體M4r的第二端子與電容器C3r的第一端子之間成為導通狀態。由此，邏輯電路INV1的輸入端子及邏輯電路INV2的輸出端子的每一個的電位被寫入到電容器C3的第一端子，並且邏輯電

路INV1的輸出端子及邏輯電路INV2的輸入端子的每一個的電位被寫入到電容器C3r的第一端子。然後，藉由佈線W2L使電晶體M5及電晶體M5r成為關閉狀態，由此可以使電容器C3及電容器C3r的每個第一端子成為浮動狀態，並且可以保持寫入到電容器C3及電容器C3r的每個第一端子的電位。此時，即便暫時停止從佈線C1L及佈線C2L供應電壓而停止驅動邏輯電路INV1及邏輯電路INV2，也可以使用電晶體M5、電晶體M5r、電容器C3及電容器C3r保持資料。

【0279】

<半導體裝置DEV的結構例子1>

接著，圖21示出本發明的一個實施方式的半導體裝置DEV的剖面結構例子。圖21所示的半導體裝置DEV在驅動電路區域50及控制處理區域80的上方包括電路層90及多層單元陣列層60(相當於實施方式1中說明的圖1中的記憶體層MEML_L)。此外，多層單元陣列層60位於電路層90的上方。

【0280】圖21示出驅動電路區域50所包括的電晶體400。電晶體400設置在基板311上，並包括用作閘極的導電體316、用作閘極絕緣體的絕緣體315、包含基板311的一部分的半導體區域313以及用作源極區域或汲極區域的低電阻區域314a及低電阻區域314b。電晶體400可以是p通道型電晶體或n通道型電晶體。作為基板311例如可以使用半導體基板(尤其是，以矽為材料的單晶基板)。

【0281】另外，作為基板311也可以使用以鍺為材料的單晶基板。另外，除了半導體基板以外例如還可以使用SOI(Silicon On Insulator：絕緣層上覆矽)基板、玻璃基板、石英基板、塑膠基板、藍寶石玻璃基板、金屬基板、不鏽鋼基板、包括不鏽鋼箔的基板、鎢基板、包括鎢箔的基板、撓性基板、貼合薄膜、包括纖維狀的材料的紙或基材薄膜。作為玻璃基板的一個例子，可以舉出鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃或鈉鈣玻璃。作為撓性基板、貼合薄膜或基材薄膜的一個例子，可以舉出以聚對苯二甲酸乙二醇酯(PET)、聚萘二甲酸乙二醇酯(PEN)、聚醚碸(PES)、聚四氟乙烯(PTFE)為代表的塑膠。或者，作為其他例子，可以舉出丙烯酸樹脂等的合成樹脂。或者，作為其他例子，可以舉出聚丙烯、聚酯、聚氟化乙烯或聚氯乙烯。或者，作為其他例子，可以舉出聚醯胺、聚醯亞胺、芳香族聚醯胺、環氧樹脂、無機蒸鍍薄膜或紙類。在半導體裝置DEV的製程包括熱處理時，作為該基板較佳為選擇具有高耐熱性的材料。

【0282】在此，在圖21所示的電晶體400中，形成通道的半導體區域313(基板311的一部分)具有凸形狀。此外，以隔著絕緣體315覆蓋半導體區域313的側面及頂面的方式設置導電體316。此外，導電體316可以使用調整功函數的材料。因為利用半導體基板的凸部，所以這種電晶體400也被稱為FIN型電晶體。此外，也可以以與凸部的上表面接觸的方式具有用來形成凸部的遮罩的絕緣體。此外，

雖然在此示出對半導體基板的一部分進行加工來形成凸部的情況，但是也可以對SOI(Silicon On Insulator)基板進行加工來形成具有凸形狀的半導體膜。

【0283】注意，圖21所示的電晶體400的結構只是一個例子，不侷限於上述結構，可以根據電路結構或驅動方法使用適當的電晶體。

【0284】在各結構體之間也可以設置有包括層間膜、佈線及插頭等的佈線層。此外，佈線層可以根據設計而設置為多個層。此外，在本說明書等中，佈線、插頭也可以是一個組件。就是說，導電體的一部分有時被用作佈線，並且導電體的一部分有時被用作插頭。

【0285】例如，在電晶體400上，作為層間膜依次層疊地設置有絕緣體320、絕緣體301、絕緣體324及絕緣體326。此外，導電體328等嵌入絕緣體320及絕緣體301中。此外，導電體330等嵌入絕緣體324及絕緣體326中。此外，導電體328及導電體330被用作接觸插頭或佈線。

【0286】作為各插頭及佈線(導電體328及導電體330)的材料，可以使用選自金屬材料、合金材料、金屬氮化物材料和金屬氧化物材料中的一個以上的導電材料的單層或疊層。較佳為使用兼具耐熱性和導電性的鎢或鉬等高熔點材料，例如尤其較佳為使用鎢。另外，作為該材料較佳為使用鋁或銅等低電阻導電材料。藉由使用低電阻導電材料，可以降低佈線電阻。

【0287】此外，用作層間膜的絕緣體也可以被用作覆

蓋其下方的凹凸形狀的平坦化膜。例如，為了提高絕緣體301的頂面的平坦性，也可以藉由利用化學機械拋光(CMP)法等的平坦化處理實現平坦化。

【0288】此外，也可以在絕緣體326及導電體330上設置佈線層。例如，在圖22中，絕緣體326及導電體330上依次層疊有絕緣體350、絕緣體357以及絕緣體352。絕緣體350、絕緣體357以及絕緣體352中形成有導電體356。導電體356被用作接觸插頭或佈線。另外，也可以將可用於導電體328或導電體330的材料用於導電體356。

【0289】電路層90例如包括電晶體MN。作為一個例子，電晶體MN可以為包括在實施方式1中說明的電路層SWCL中的電晶體。例如，包括在電路層SWCL中的電晶體可以為包括在電路層SWCL所具有的開關中的電晶體。

【0290】作為電晶體MN，例如可以使用可用作電晶體M1的電晶體。

【0291】此外，在圖21所示的半導體裝置DEV中，導電體356上設置有導電體361等。此外，電路層90中嵌入有導電體362，並且電路層90中的電晶體MN的一對低電阻區域的每一個上分別設置有導電體540a及導電體540b。此外，電晶體MN的上方設置有導電體363a及導電體363b。導電體361、導電體362、導電體363a及導電體363b被用作接觸插頭或佈線。

【0292】多個單元陣列層60分別包括多個記憶單元MC。注意，作為一個例子，圖21所示的記憶單元MC是圖

18B所示的記憶單元MC。因此，在圖21所示的各記憶單元MC中示出電晶體M1及電容器C1。

【0293】另外，電路層90與單元陣列層60_1之間的層間膜中嵌入有導電體502。另外，在多個單元陣列層60的每一個中，後述的絕緣體514、絕緣體516及絕緣體520中嵌入有導電體503。注意，導電體502的一部分中也可以嵌入有導電體503。導電體502及導電體503被用作接觸插頭或佈線。此外，多個單元陣列層60中嵌入有用作電連接到上層的單元陣列層60中的記憶單元MC的接觸插頭或佈線的導電體。此外，在多個單元陣列層60的每一個中，後述的絕緣體520、絕緣體522、導電體542b、絕緣體554、絕緣體580及絕緣體574中嵌入有導電體504。注意，絕緣體574也可以使用與絕緣體514相同的材料而成的絕緣膜。導電體502、導電體503及導電體504被用作接觸插頭或佈線。

【0294】作為一個例子，在圖21所示的半導體裝置DEV中，電路層90中的電晶體MN藉由導電體540a、導電體363b、導電體502及導電體503與單元陣列層60_1的記憶單元MC中的電晶體M1電連接。尤其是，藉由導電體503與後述的導電體542a或導電體542b接觸，電晶體MN與電晶體M1電連接。

【0295】注意，雖然在圖21中，包括在驅動電路區域50及控制處理區域80中的電晶體400與包括在單元陣列層60_1的記憶單元MC中的電晶體M1之間的電路徑上設置有

一個電晶體MN，但是該電路徑上根據狀況也可以設置有多個電晶體MN。

【0296】此外，雖然圖21的半導體裝置DEV具有從下方依次層疊多個單元陣列層60的結構，但是半導體裝置DEV中的單元陣列也可以如圖22所示在疊層方向上形成。

【0297】在圖22的半導體裝置DEV中，電路層90與單元陣列層60_1之間的層間膜中嵌入有導電體502。另外，在多個單元陣列層60的每一個中，後述的絕緣體514及絕緣體516中嵌入有導電體503。注意，導電體502的一部分中也可以嵌入有導電體503。此外，在多個單元陣列層60的每一個中，後述的絕緣體520、絕緣體522、導電體542b、絕緣體554、絕緣體580及絕緣體574中嵌入有導電體504。注意，絕緣體574也可以使用與絕緣體514相同的材料而成的絕緣膜。導電體502、導電體503及導電體504被用作接觸插頭或佈線。

【0298】作為一個例子，在圖22所示的半導體裝置DEV中，電路層90中的電晶體MN藉由導電體540a、導電體363b、導電體502、導電體503及導電體504與多個單元陣列層60的每一個的記憶單元MC中的電晶體M1電連接。尤其是，藉由導電體504與後述的導電體542b接觸，電晶體MN與電晶體M1電連接。

【0299】

<<電晶體的結構例子>>

接著，說明圖21及圖22所示的電晶體M1及電晶體MN

的結構例子。

【0300】圖23A及圖23B所示的電晶體500是可用於半導體裝置DEV中的電晶體M1及電晶體MN的電晶體，尤其是，圖23A是電晶體500的通道長度方向上的剖面示意圖，圖23B是該電晶體500的通道寬度方向上的剖面示意圖。注意，圖23A及圖23B示出絕緣體512上設置有電晶體500的結構。

【0301】此外，半導體裝置DEV中的電晶體MN例如可以採用圖23A及圖23B所示的電晶體500的結構。此外，半導體裝置DEV的電晶體M1例如可以採用作為圖23A的變形例子的後述的圖25的電晶體500的結構。尤其是，為了與導電體504電連接，單元陣列層60中的電晶體M1較佳為採用圖25的電晶體500的結構。

【0302】如圖23A及圖23B所示，例如，電晶體500包括金屬氧化物531a、金屬氧化物531b、導電體505、導電體542a、導電體542b、絕緣體580、導電體560、絕緣體514、絕緣體516、絕緣體520、絕緣體522、絕緣體524、絕緣體550、絕緣體554、絕緣體574、絕緣體580及絕緣體581。注意，電晶體500也可以不包括所有上述組件。例如，電晶體500也可以不包括絕緣體520。

【0303】導電體505(導電體505a及導電體505b)及絕緣體516配置在基板(未圖示)上方。尤其是，導電體505較佳為以嵌入絕緣體516中的方式設置。明確而言，導電體505a與設置在絕緣體516中的開口的底面及側壁接觸。另

外，導電體505b以嵌入形成在導電體505a的凹部中的方式設置。在圖23A及圖23B所示的電晶體500中，導電體505b的頂面的高度與導電體505a的頂面的高度及絕緣體516的頂面的高度大致一致。

【0304】另外，金屬氧化物531及導電體560配置在與導電體505重疊的區域中。另外，金屬氧化物531b配置在金屬氧化物531a上。另外，導電體542a及導電體542b彼此分離地配置在金屬氧化物531b上。另外，絕緣體580配置在導電體542a及導電體542b上。尤其是，絕緣體580在導電體542a和導電體542b之間的區域中形成有開口部。另外，導電體560配置在該開口部中。另外，絕緣體550配置在金屬氧化物531b、導電體542a、導電體542b及絕緣體580與導電體560間。在此，如圖23A及圖23B所示，導電體560的頂面較佳為與絕緣體550及絕緣體580的頂面大致一致。注意，下面有時將導電體505a及導電體505b統稱為導電體505。另外，有時將金屬氧化物531a及金屬氧化物531b統稱為金屬氧化物531。此外，有時將導電體542a及導電體542b統稱為導電體542。

【0305】此外，如圖23A所示，有時在金屬氧化物531b與導電體542a的介面及其附近作為低電阻區域形成有區域543a。同樣地，有時在金屬氧化物531b與導電體542b的介面及其附近作為低電阻區域形成有區域543b。此時，區域543a被用作源極區域和汲極區域中的一個，區域543b被用作源極區域和汲極區域中的另一個。此外，通道形成

區域形成在夾在區域543a和區域543b之間的區域中。

【0306】藉由以與金屬氧化物531接觸的方式設置上述導電體542a(導電體542b)，區域543a(區域543b)的氧濃度有時降低。此外，在區域543a(區域543b)中有時形成含有包含在導電體542a(導電體542b)中的金屬及金屬氧化物531的成分的金屬化合物層。在此情況下，區域543a(區域543b)的載子濃度增加，區域543a(區域543b)成為低電阻區域。

【0307】在圖23A及圖23B所示的電晶體500中，導電體542a及導電體542b的位於導電體560一側的側面具有大致垂直的形狀。此外，圖23A及圖23B所示的電晶體500不侷限於此，也可以採用導電體542a及導電體542b的側面和底面所形成的角度為10°以上且80°以下，較佳為30°以上且60°以下的結構。此外，導電體542a和導電體542b的相對的側面也可以具有多個面。

【0308】注意，在電晶體500中，在形成通道的區域(以下也稱為通道形成區域)及其附近層疊有金屬氧化物531a及金屬氧化物531b的兩層，但是本發明不侷限於此。例如，也可以採用金屬氧化物531b的單層結構或三層以上的疊層結構。另外，金屬氧化物531a和金屬氧化物531b也可以都具有兩層以上的疊層結構。

【0309】在此，導電體560被用作電晶體的第一閘極電極(有時被稱為閘極電極、頂閘極電極或前閘極電極)，導電體542a及導電體542b分別被用作源極電極或汲極電

極。如上所述，導電體560嵌入絕緣體580的開口中及夾在導電體542a與導電體542b之間的區域中。在此，導電體560、導電體542a及導電體542b的配置相對於絕緣體580的開口自對準地被選擇。換言之，在電晶體500中，可以在源極電極與汲極電極之間自對準地配置第一閘極電極。由此，可以在不設置用於對準的餘地的方式形成導電體560，所以可以實現電晶體500的佔有面積的縮小。由此，可以實現顯示裝置的高清晰化。此外，可以實現窄邊框的顯示裝置。

【0310】另外，導電體505有時被用作第二閘極電極(有時被稱為底閘極電極或背閘極電極)。在此情況下，藉由獨立地改變施加到導電體505的電位而不使其與施加到導電體560的電位聯動，可以控制電晶體500的臨界電壓V_{th}。尤其是，藉由對導電體505施加負電位，可以進一步增大電晶體500的V_{th}且可以減小關態電流。因此，與不對導電體505施加負電位時相比，在對導電體505施加負電位的情況下，可以減小對導電體560施加的電位為0V時的汲極電流。

【0311】導電體505較佳為比金屬氧化物531中的通道形成區域大。尤其是，如圖23B所示，較佳的是，導電體505作為佈線延伸到與通道寬度方向上的金屬氧化物531交叉的端部的外側的區域。就是說，較佳的是，在金屬氧化物531的通道寬度方向的側面的外側，導電體505和導電體560隔著絕緣體重疊。

【0312】如圖23A所示，導電體560較佳為包括設置在絕緣體550的內側的導電體560a及嵌入導電體560a的內側的導電體560b中。注意，在圖23A及圖23B中將導電體560表示為兩層疊層結構，但是本發明不侷限於此。例如，導電體560也可以具有單層結構或三層以上的疊層結構。

【0313】如圖23A及圖23B所示，電晶體500較佳為包括配置在基板(未圖示)上的絕緣體512、配置在絕緣體512上的絕緣體514、配置在絕緣體514上的絕緣體516、以嵌入絕緣體516中的方式配置的導電體505、配置在絕緣體516及導電體505上的絕緣體520、配置在絕緣體520上的絕緣體522以及配置在絕緣體522上的絕緣體524。較佳為在絕緣體524上配置金屬氧化物531a。

【0314】另外，如圖23A及圖23B所示，較佳為在絕緣體522、絕緣體524、金屬氧化物531a、金屬氧化物531b、導電體542a、導電體542b與絕緣體580間配置絕緣體554。在此，如圖23A及圖23B所示，絕緣體554較佳為與絕緣體550的側面、導電體542a的頂面及側面、導電體542b的頂面及側面、金屬氧化物531a、金屬氧化物531b、絕緣體524的側面及頂面以及絕緣體522的頂面接觸。

【0315】電晶體500上較佳為配置有用作層間膜的絕緣體574及絕緣體581。在此，絕緣體574較佳為與導電體560、絕緣體550及絕緣體580的頂面接觸。另外，此時，絕緣體580的頂面較佳為被平坦化。

【0316】此外，較佳為設置與電晶體500電連接且用

作插頭的導電體540(導電體540a及導電體540b)。因此，以與絕緣體554、絕緣體580、絕緣體574及絕緣體581的開口的內壁接觸的方式設置導電體540。尤其是，也可以採用如下結構：以與該內壁接觸的方式設置導電體540的第一導電體，並且在第一導電體的側面上設置導電體540的第二導電體。在此，導電體540的頂面的高度與絕緣體581的頂面的高度可以大致相同。

【0317】明確而言，例如，以與絕緣體581、絕緣體574、絕緣體580及絕緣體554的兩個開口中的一個內壁接觸的方式設置導電體540a的第一導電體且與其側面接觸地形成導電體540a的第二導電體。導電體542a位於該開口的底部的至少一部分，導電體540a與導電體542a接觸。同樣，以與絕緣體581、絕緣體574、絕緣體580及絕緣體554的兩個開口中的另一個的內壁接觸的方式設置有導電體540b的第一導電體，以與其側面接觸的方式形成有導電體540b的第二導電體。導電體542b位於該開口的底部的至少一部分，導電體540b與導電體542b接觸。

【0318】此外，在電晶體500中，層疊有導電體540的第一導電體與導電體540的第二導電體，但是本發明不侷限於此。例如，導電體540也可以具有單層結構或者三層以上的疊層結構。在結構體具有疊層結構的情況下，有時按形成順序賦予序數以進行區別。

【0319】如圖23B所示，在金屬氧化物531b的不與導電體542重疊的區域，即金屬氧化物531的通道形成區域

中，金屬氧化物531的側面被導電體560覆蓋。由此，用作第一閘極電極的導電體560的電場容易作用於金屬氧化物531的側面，其結果，可以由導電體560的電場電圍繞金屬氧化物531的通道形成區域。由此，可以提高電晶體500的通態電流及頻率特性。

【0320】注意，根據本發明的一個實施方式的半導體裝置的電晶體的結構不侷限於圖23A所示的電晶體500。例如，在圖23A中，包括在半導體裝置DEV中的電晶體也可以具有導電體542a及導電體542b除了金屬氧化物531b上之外還形成在金屬氧化物531a的側面、絕緣體524的側面及絕緣體522的頂面的結構(參照圖25)。

【0321】

<<電晶體的構成材料>>

以下，說明可用於電晶體500的構成材料。

【0322】

[金屬氧化物(氧化物半導體)]

較佳為在電晶體500中將用作氧化物半導體的金屬氧化物(以下也稱為氧化物半導體)用於包含通道形成區域的金屬氧化物531(金屬氧化物531a及金屬氧化物531b)。例如，作為將成為金屬氧化物531的通道形成區域的金屬氧化物，較佳為使用其能帶間隙為2eV以上，較佳為2.5eV以上，更佳為3.0eV以上的金屬氧化物。

【0323】作為上述金屬氧化物，較佳為至少包含銦或鋅。尤其較佳為包含銦及鋅。此外，除此之外，較佳為還

包含元素M。作為元素M，可以使用選自鋁、鎵、釔、錫、銅、釩、硼、鈦、鐵、鎳、鍺、鋯、鉬、鑭、鈰、釹、鋰、鉭、鎢、鎂、鈷和鉿中的一個以上。尤其是，元素M較佳為鋁、鎵、釔和錫中的一種以上。另外，元素M更佳為包含鎵和錫中的一個或兩個。

【0324】如上所述，金屬氧化物531包括金屬氧化物531a以及金屬氧化物531a上的金屬氧化物531b。當金屬氧化物531b下設置有金屬氧化物531a時，可以抑制雜質從形成在金屬氧化物531a下方的結構物擴散到金屬氧化物531b。

【0325】此外，金屬氧化物531較佳為具有各金屬原子的原子個數比互不相同的多個氧化物層的疊層結構。例如，在金屬氧化物531至少包含銦(In)及元素M的情況下，金屬氧化物531a的所有構成元素中的元素M的原子個數比較佳為大於金屬氧化物531b的所有構成元素中的元素M的原子個數比。此外，金屬氧化物531a中的元素M的相對於In的原子個數比較佳為大於金屬氧化物531b中的元素M的相對於In的原子個數比。

【0326】較佳的是，使金屬氧化物531a的導帶底的能量高於金屬氧化物531b的導帶底的能量。換言之，金屬氧化物531a的電子親和力較佳為小於金屬氧化物531b的電子親和力。

【0327】在此，在金屬氧化物531a及金屬氧化物531b的接合部中，導帶底的能階平緩地變化。換言之，也可以

將上述情況表達為金屬氧化物531a及金屬氧化物531b的接合部的導帶底的能階連續地變化或者連續地接合。為此，較佳為降低形成在金屬氧化物531a與金屬氧化物531b的介面的混合層的缺陷態密度。

【0328】明確而言，藉由使金屬氧化物531a與金屬氧化物531b除了氧之外還包含共同元素(為主要成分)，可以形成缺陷態密度低的混合層。例如，在金屬氧化物531b為In-Ga-Zn氧化物(銦-鎵-鋅氧化物)時，作為金屬氧化物531a可以使用In-Ga-Zn氧化物、Ga-Zn氧化物或氧化鎵。

【0329】明確而言，作為金屬氧化物531a使用In：Ga：Zn=1：3：4、1：3：2或1：1：0.5[原子個數比]的金屬氧化物，即可。此外，作為金屬氧化物531b使用In：Ga：Zn=1：1：1、4：2：3或3：1：2[原子個數比]的金屬氧化物，即可。

【0330】此時，載子的主要路徑為金屬氧化物531b。藉由金屬氧化物531a採用上述結構，可以降低金屬氧化物531a與金屬氧化物531b的介面的缺陷態密度。因此，介面散射對載子傳導的影響減少，從而電晶體500可以得到大通態電流及高頻率特性。

【0331】另外，藉由以與金屬氧化物531接觸的方式形成上述導電體542，金屬氧化物531中的導電體542附近的氧濃度有時降低。此外，在金屬氧化物531中的導電體542附近有時形成含有包含在導電體542中的金屬及金屬氧化物531的成分的金屬化合物層。在此情況下，金屬氧化

物531的導電體542附近的區域中的載子濃度增加，該區域成為低電阻區域。

【0332】此外，金屬氧化物531b中的不與導電體542重疊的區域的厚度有時比其與導電體542重疊的區域的厚度薄。這是因為在形成導電體542a及導電體542b時去除金屬氧化物531b的頂面的一部分而發生的。當在金屬氧化物531b的頂面上沉積將成為導電體542的導電膜時，有時在與該導電膜的介面附近形成低電阻區域。如此，藉由去除金屬氧化物531b的頂面上的位於導電體542a與導電體542b之間的低電阻區域，可以抑制通道形成在該區域中。

【0333】

[導電體]

作為導電體，例如較佳為使用選自鋁、鉻、銅、銀、金、鉑、鉭、鎳、鈦、鉬、鎢、鉿、釩、鈮、錳、鎂、鋯、鈹、銦、釔、鈰、鍶和鑭中的金屬元素或者包含上述金屬元素中的兩種以上的合金。作為導電體，例如較佳為使用氮化鉭、氮化鈦、鎢、包含鈦和鋁的氮化物、包含鉭和鋁的氮化物、氧化釕、氮化釕、包含鍶和釕的氧化物、包含鑭和鎳的氧化物。此外，氮化鉭、氮化鈦、包含鈦和鋁的氮化物、包含鉭和鋁的氮化物、氧化釕、氮化釕、包含鍶和釕的氧化物、包含鑭和鎳的氧化物是不容易氧化的導電材料或者吸收氧也維持導電性的材料，所以是較佳的。另外，作為導電體例如也可以使用以含有雜質元素(例如，磷)的多晶矽為代表的導電率高的半導體或者矽化

物(例如，鎳矽化物)。

【0334】此外，也可以層疊多個由上述材料形成的導電體。例如，也可以採用組合包含上述金屬元素的材料和包含氧的導電材料的疊層結構。另外，也可以採用組合包含上述金屬元素的材料和包含氮的導電材料的疊層結構。另外，也可以採用組合包含上述金屬元素的材料、包含氧的導電材料和包含氮的導電材料的疊層結構。

【0335】作為用作第二閘極電極的導電體505a，較佳為使用具有抑制氫原子、氫分子、水分子、氮原子、氮分子、氧化氮分子(例如，N_2O、NO或NO_2)及銅原子等雜質的擴散的功能的導電材料。或者，較佳為使用具有抑制氧(例如，氧原子和氧分子中的一者或兩者)的擴散的功能的導電材料。

【0336】藉由作為導電體505a使用具有抑制氫的擴散的功能的導電材料，可以抑制含在導電體505b中的氫等雜質藉由絕緣體524擴散到金屬氧化物531。此外，藉由作為導電體505a使用具有抑制氧的擴散的功能的導電材料，可以抑制導電體505b被氧化而導電率下降。作為具有抑制氧擴散的功能的導電材料，例如可以舉出鈦、氮化鈦、鉭、氮化鉭、釕或氧化釕。由此，導電體505a可以採用上述導電材料的單層或疊層。例如，作為導電體505a使用氮化鈦即可。

【0337】作為導電體505b，較佳為使用以鎢、銅或鋁為主要成分的導電材料。例如，導電體505b可以使用鎢。

【0338】作為用作源極電極或汲極電極的導電體542(導電體542a及導電體542b)，較佳為使用選自鋁、鉻、銅、銀、金、鉑、鉭、鎳、鈦、鉬、鎢、鉿、釩、鈮、錳、鎂、鋯、鈹、銦、釕、銥、鍶和鑭中的金屬元素、包含上述金屬元素中的兩種以上的合金。作為導電體542，例如較佳為使用氮化鉭、氮化鈦、鎢、包含鈦和鋁的氮化物、包含鉭和鋁的氮化物、氧化釕、氮化釕、包含鍶和釕的氧化物、包含鑭和鎳的氧化物。另外，氮化鉭、氮化鈦、包含鈦和鋁的氮化物、包含鉭和鋁的氮化物、氧化釕、氮化釕、包含鍶和釕的氧化物以及包含鑭和鎳的氧化物是不容易氧化的導電材料或者吸收氧也維持導電性的材料，所以是較佳的。

【0339】作為用作第一閘極電極的導電體560a，較佳為使用上述具有抑制氫原子、氫分子、水分子、氮原子、氮分子、氧化氮分子(例如，N_2O、NO或NO_2)及銅原子等雜質的擴散的功能的導電體。或者，較佳為使用具有抑制氧(例如，氧原子和氧分子中的一者或兩者)的擴散的功能的導電材料。

【0340】藉由使導電體560a具有抑制氧的擴散的功能，可以抑制因絕緣體550所包含的氧導致導電體560b氧化而導電率下降。作為具有抑制氧擴散的功能的導電材料，例如可以舉出鉭、氮化鉭、鈦、氮化鈦、釕或氧化釕。藉由作為導電體560a設置包含氧的導電材料，從該導電材料脫離的氧容易被供應到通道形成區域。

【0341】作為導電體560b，較佳為使用以鎢、銅或鋁為主要成分的導電材料。此外，由於導電體560還被用作佈線，所以較佳為使用導電性高的導電體。例如，可以使用以鎢、銅或鋁為主要成分的導電材料。導電體560b也可以具有疊層結構，例如，可以採用鈦或氮化鈦和上述導電材料的疊層結構。

【0342】此外，作為導電體560可以使用銦錫氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物、添加有矽的銦錫氧化物。此外，也可以使用包含氮的銦鎵鋅氧化物。藉由使用上述材料，有時可以俘獲形成有通道的金屬氧化物所包含的氫。或者，有時可以俘獲從外方的絕緣體等混入的氫。

【0343】注意，在圖23A及圖23B中，導電體560具有兩層結構，但是也可以具有單層結構或三層以上的疊層結構。

【0344】用作插頭的導電體540a及導電體540b較佳為使用以鎢、銅或鋁為主要成分的導電材料。此外，導電體540a及導電體540b也可以具有疊層結構。

【0345】當作為導電體540採用疊層結構時，作為與導電體542、絕緣體554、絕緣體580、絕緣體574及絕緣體581接觸的導電體例如較佳為使用上述具有抑制水及氫等雜質的擴散的功能的導電體。例如，較佳為使用鉭、氮化鉭、鈦、氮化鈦、釕或氧化釕。另外，也可以以單層或疊

層使用具有抑制水或氫等雜質的擴散的功能的導電材料。藉由使用該導電材料，可以防止添加到絕緣體580的氧被導電體540a及導電體540b吸收。此外，可以防止水及氫等雜質從絕緣體581的上方的層藉由導電體540a及導電體540b混入金屬氧化物531。

【0346】同樣地，用作接觸插頭或佈線的導電體361、導電體362、導電體363a、導電體363b、導電體502、導電體503及導電體504的每一個可以使用可用於導電體540a或導電體540b的材料。

【0347】

[絕緣體]

作為絕緣體，可以舉出具有絕緣性的氧化物、氮化物、氧氮化物、氮氧化物、金屬氧化物、金屬氧氮化物、金屬氮氧化物。

【0348】絕緣體514較佳為被用作抑制水及氫等雜質從基板一側混入電晶體500的阻擋絕緣膜。因此，絕緣體514較佳為使用具有抑制氫原子、氫分子、水分子、氮原子、氮分子、氧化氮分子(例如，N_2O、NO或NO_2)或銅原子等雜質的擴散的功能(不容易使上述雜質透過)的絕緣材料。或者，較佳為使用具有抑制氧(例如，氧原子和氧分子中的一者或兩者)的擴散的功能(不容易使上述氧透過)的絕緣材料。

【0349】作為具有抑制水及氫等雜質及氧的透過的功能的絕緣體，例如可以使用包含選自硼、碳、氮、氧、

氟、鎂、鋁、矽、磷、氯、氬、鎵、鍺、釩、鋯、鑭、釹、鉿和鉭中的一個以上的絕緣體的單層或疊層。明確而言，作為具有抑制水及氫等雜質及氧的透過的功能的絕緣體，例如可以舉出氧化鋁、氧化鎂、氧化鎵、氧化鍺、氧化釩、氧化鋯、氧化鑭、氧化釹、氧化鉿及氧化鉭等金屬氧化物。另外，作為具有抑制水及氫等雜質及氧的透過的功能的絕緣體，例如可以舉出包含鋁及鉿的氧化物(鋁酸鉿)。另外，作為抑制水及氫等雜質及氧的透過的功能的絕緣體，例如可以舉出氮化鋁、氮化鋁鈦、氮化鈦、氮氧化矽及氮化矽等金屬氮化物。

【0350】尤其較佳的是，作為絕緣體514使用氧化鋁或氮化矽。由此，可以抑制水及氫等雜質從與絕緣體514相比更靠近基板一側擴散到電晶體500一側。或者，例如可以抑制包含在絕緣體524等中的氧擴散到與絕緣體514相比更靠近基板一側。

【0351】絕緣體520、絕緣體522及絕緣體524被用作第二閘極絕緣體。

【0352】在此，在與金屬氧化物531接觸的第二閘極絕緣體中，較佳為藉由加熱使氧脫離。在本說明書等中，有時將藉由加熱脫離的氧稱為過量氧。例如，在用作第二閘極絕緣體的絕緣體524中，可以適當地設置氧化矽或氧氮化矽。藉由以與金屬氧化物531接觸的方式設置包含氧的絕緣體，可以減少金屬氧化物531中的氧空位，從而可以提高電晶體500的可靠性。

【0353】明確而言，作為絕緣體524，較佳為使用藉由加熱使一部分的氧脫離的氧化物材料。藉由加熱使氧脫離的氧化物是指在熱脫附譜分析法(TDS：Thermal Desorption Spectrometry)中換算為氧原子的氧的脫離量為1.0×10^{18}atoms/cm^{3}以上，較佳為1.0×10^{19}atoms/cm^{3}以上，更佳為2.0×10^{19}atoms/cm^{3}以上，或者3.0×10^{20}atoms/cm^{3}以上的氧化物膜。此外，進行上述TDS分析時的膜的表面溫度較佳為在100℃以上且700℃以下，或者100℃以上且400℃以下的範圍內。

【0354】與絕緣體514等同樣，絕緣體522較佳為被用作抑制水及氫等雜質從基板一側混入電晶體500的阻擋絕緣膜。例如，絕緣體522的氫透過性較佳為比絕緣體524低。

【0355】再者，絕緣體522較佳為具有抑制氧(例如，氧原子和氧分子中的一者或兩者)的擴散(不容易使上述氧透過)的功能。例如，絕緣體522的氧透過性較佳為比絕緣體524低。藉由使絕緣體522具有抑制氧的擴散的功能，可以減少金屬氧化物531所包含的氧擴散到基板一側，所以是較佳的。另外，可以抑制導電體505與絕緣體524及金屬氧化物531所包含的氧起反應。

【0356】絕緣體522較佳為使用作為絕緣材料的包含鋁和鉿中的一者或兩者的氧化物的絕緣體。作為包含鋁和鉿中的一者或兩者的氧化物的絕緣體，可以舉出使用氧化鋁、氧化鉿、包含鋁及鉿的氧化物(鋁酸鉿)。當使用這種

材料形成絕緣體522時，絕緣體522被用作抑制氧從金屬氧化物531釋放以及氫等雜質從電晶體500的周圍部混入金屬氧化物531的層。

【0357】或者，例如也可以對上述絕緣體添加氧化鋁、氧化鉍、氧化鍺、氧化鈮、氧化矽、氧化鈦、氧化鎢、氧化鈰或氧化鉿。此外，也可以對這些絕緣體進行氮化處理。還可以在上述絕緣體上層疊氧化矽、氧氮化矽或氮化矽而使用。

【0358】作為絕緣體522，例如也可以以單層或疊層使用包含氧化鋁、氧化鉿、氧化鉭、氧化鋯、鋯鈦酸鉛(PZT)、鈦酸鍶($SrTiO_3$)或(Ba，Sr)TiO_3(BST)等所謂的high-k材料的絕緣體。或者，絕緣體522也可以使用相對介電常數高的絕緣體如包含鋁及鉿的氧化物、包含鋁及鉿的氧氮化物、包含矽及鉿的氧化物、包含矽及鉿的氧氮化物或者包含矽及鉿的氮化物。在電晶體的微型化或高積體化進展時，有時發生起因於閘極絕緣體的薄膜化的洩漏電流等問題。藉由作為用作閘極絕緣體的絕緣體使用high-k材料，可以在保持物理厚度的同時降低電晶體工作時的閘極電位。

【0359】絕緣體520較佳為具有熱穩定性。例如，因為氧化矽及氧氮化矽具有熱穩定性，所以是較佳的。此外，藉由組合high-k材料的絕緣體與氧化矽或氧氮化矽，可以形成具有熱穩定性且相對介電常數高的疊層結構的絕緣體520。另外，絕緣體520也可以使用可應用於絕緣體

524的材料。

【0360】此外，絕緣體520、絕緣體522及絕緣體524也可以具有兩層以上的疊層結構。此時，不侷限於使用相同材料形成的疊層結構，也可以是使用不同材料形成的疊層結構。

【0361】用作層間膜的絕緣體512、絕緣體516、絕緣體580及絕緣體581的介電常數較佳為比絕緣體514低。藉由將介電常數低的材料用於層間膜，可以減少產生在佈線之間的寄生電容。另外，較佳為降低絕緣體516、絕緣體580及絕緣體581的膜中的水及氫等雜質的濃度。

【0362】作為絕緣體512、絕緣體516、絕緣體580及絕緣體581，例如可以使用氧化矽、氧氮化矽、氮氧化矽或氮化矽。另外，作為絕緣體512、絕緣體516、絕緣體580及絕緣體581，例如可以使用添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽或者具有空孔的氧化矽。尤其是，氧化矽及氧氮化矽具有熱穩定性，所以是較佳的。尤其是，因為氧化矽、氧氮化矽、具有空孔的氧化矽等材料容易形成包含藉由加熱脫離的氧的區域，所以是較佳的。另外，作為絕緣體512、絕緣體516、絕緣體580及絕緣體581，可以使用樹脂。另外，作為可用於絕緣體512、絕緣體516、絕緣體580及絕緣體581的材料，也可以適當地組合上述材料。

【0363】與絕緣體514及絕緣體522同樣，絕緣體554及絕緣體574較佳為具有抑制水及氫(例如，氫原子和氫分

子中的一者或兩者)等雜質的擴散的功能。換言之，絕緣體554及絕緣體574較佳為被用作抑制該雜質混入電晶體500中的阻擋絕緣膜。或者，絕緣體554及絕緣體574較佳為具有抑制氧(例如，氧原子和氧分子中的一者或兩者)的擴散的功能。例如，絕緣體554及絕緣體574的氧透過性較佳為低於絕緣體524、絕緣體550及絕緣體580。換言之，絕緣體554及絕緣體574較佳為具有抑制氧從金屬氧化物531脫離而擴散到絕緣體554的外側或絕緣體580的上方的功能。因此，作為絕緣體554及絕緣體574，可以使用可用於絕緣體514或絕緣體524的材料。

【0364】如此，藉由由絕緣體522、絕緣體554及絕緣體574圍繞絕緣體524、金屬氧化物531及絕緣體550，可以抑制水及氫等雜質從外方進入電晶體500。另外，可以抑制氧從電晶體500的內部向外方擴散。

【0365】絕緣體550被用作第一閘極絕緣體。絕緣體550較佳為與金屬氧化物531b的頂面接觸地配置。絕緣體550例如可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽或具有電洞的氧化矽。尤其是，氧化矽及氧氮化矽具有熱穩定性，所以是較佳的。

【0366】與絕緣體524同樣，絕緣體550中的水及氫等雜質的濃度較佳為得到降低。絕緣體550的厚度較佳為1nm以上且20nm以下。

【0367】另外，也可以在絕緣體580、絕緣體554、導

電體542及金屬氧化物531b與絕緣體550之間設置絕緣體。作為該絕緣體例如較佳為使用氧化鋁或氧化鉿。藉由設置該絕緣體，可以抑制氧從金屬氧化物531b脫離、氧過度供應到金屬氧化物531b以及導電體542氧化。

【0368】此外，也可以在絕緣體550與導電體560之間設置金屬氧化物。該金屬氧化物較佳為抑制從絕緣體550到導電體560的氧擴散。由此，可以抑制因絕緣體550中的氧所導致的導電體560的氧化。

【0369】另外，該金屬氧化物有時被用作閘極絕緣體的一部分。因此，在將氧化矽或氧氮化矽用於絕緣體550的情況下，作為該金屬氧化物較佳為使用作為相對介電常數高的high-k材料的金屬氧化物。藉由使閘極絕緣體具有絕緣體550與該金屬氧化物的疊層結構，可以形成具有熱穩定性且相對介電常數高的疊層結構。因此，可以在保持閘極絕緣體的物理厚度的同時降低在電晶體工作時施加的閘極電位。另外，可以減少被用作閘極絕緣體的絕緣體的等效氧化物厚度(EOT)。

【0370】明確而言，作為該金屬氧化物可以使用包含選自鉿、鋁、鎵、釔、鋯、鎢、鈦、鉭、鎳、鍺和鎂等中的一種或兩種以上的金屬氧化物。尤其是，作為該金屬氧化物，較佳為使用作為包含鋁和鉿中的一者或兩者的氧化物的絕緣體的氧化鋁、氧化鉿或者包含鋁及鉿的氧化物(鋁酸鉿)等。

【0371】另外，也可以在導電體540與絕緣體580、絕

緣體574及絕緣體581間設置對於水、氫及氧等雜質的阻擋絕緣膜。由此，可以抑制水及水等雜質從絕緣體580藉由導電體540a及導電體540b混入金屬氧化物531中。另外，可以抑制絕緣體580中的氧被導電體540a及導電體540b吸收。

【0372】雖然未圖示，但是也可以以與導電體540a的頂面及導電體540b的頂面接觸的方式配置用作佈線的導電體。用作佈線的導電體較佳為使用以鎢、銅或鋁為主要成分的導電材料。另外，該導電體可以具有疊層結構，例如，可以具有鈦或氮化鈦與上述導電材料的疊層結構。該導電體也可以以嵌入絕緣體中的開口中的方式形成。

【0373】

<<電容器的結構例子>>

接著，說明圖21及圖22所示的電容器C1的結構例子。

【0374】圖25示出作為電容器C1的電容器600的結構例子。注意，圖25除了電容器600之外還示出電晶體500的結構例子。

【0375】在圖25中，絕緣體580的開口設置在絕緣體554上的與用作電晶體500的源極電極或汲極電極的導電體542a重疊的區域上。該區域也可以與絕緣體524及金屬氧化物531的每一個的一部分重疊。

【0376】該開口的側面的絕緣體580及該開口的底面的絕緣體554上形成有絕緣體552。此外，絕緣體552上依次形成有導電體561a及導電體561b。注意，在本說明書等

中，有時將導電體561a及導電體561b總稱為導電體561。

【0377】導電體542a被用作電容器600的一對電極中的一個。此外，導電體561被用作電容器600的一對電極中的另一個。此外，絕緣體552被用作電容器600的介電質。

【0378】導電體561例如較佳為延伸在通道寬度方向上作為佈線。也就是說，導電體561也可以在通道寬度方向上具有不與導電體542a重疊而與絕緣體554及絕緣體522重疊的區域。

【0379】導電體561a例如可以使用可用於導電體560a的材料。此外，導電體561b例如可以使用可用於導電體560b的材料。

【0380】作為絕緣體552較佳為使用具有高相對介電常數的材料。例如，作為絕緣體552，也可以以單層或疊層使用可用於絕緣體522的包含high-k材料的絕緣體。絕緣體552也可以包含具有熱穩定性的氧化矽或氧氮化矽。

【0381】

<<電晶體500的改變例子>>

注意，根據本發明的一個實施方式的半導體裝置的電晶體的結構不侷限於圖23A及圖23B所示的電晶體500。例如，作為根據本發明的一個實施方式的半導體裝置的電晶體，也可以使用圖24所示的電晶體500。圖24所示的電晶體500是圖23A及圖23B所示的電晶體500的改變例子，與圖23A及圖23B所示的電晶體500的不同之處在於：包括絕緣體551；以及導電體542a(導電體542a1及導電體542a2)和

導電體542b(導電體542b1及導電體542b2)都具有疊層結構。

【0382】導電體542a具有導電體542a1和導電體542a1上的導電體542a2的疊層結構，導電體542b具有導電體542b1和導電體542b1上的導電體542b2的疊層結構。與金屬氧化物531b接觸的導電體542a1及導電體542b1較佳為金屬氮化物等不容易被氧化的導電體。由此，可以防止因金屬氧化物531b中的氧導致導電體542a及導電體542b過度被氧化。另外，導電體542a2及導電體542b2較佳為其導電性高於導電體542a1及導電體542b1的金屬層等的導電體。由此，可以使導電體542a及導電體542b用作導電性高的佈線或電極。如此，可以提供一種半導體裝置，其中以與用作活性層的金屬氧化物531的頂面接觸的方式設置有用作佈線或電極的導電體542a及導電體542b。

【0383】作為導電體542a1及導電體542b1較佳為使用金屬氮化物，例如較佳為使用包含鉭的氮化物、包含鈦的氮化物、包含鉬的氮化物、包含鎢的氮化物、包含鉭及鋁的氮化物、包含鈦及鋁的氮化物等。在本發明的一個實施方式中，尤其較佳為採用包含鉭的氮化物。此外，例如也可以使用釕、氧化釕、氮化釕、包含銦和釕的氧化物或者包含鑭和鎳的氧化物。這些材料是不容易被氧化的導電材料或者即使吸收氧也維持導電性的材料，所以是較佳的。

【0384】此外，導電體542a2及導電體542b2的導電性較佳為比導電體542a1及導電體542b1高。例如，導電體

542a2及導電體542b2的厚度較佳為大於導電體542a1及導電體542b1的厚度。作為導電體542a2及導電體542b2使用可用於上述導電體560b的導電體即可。藉由採用上述結構，可以降低導電體542a2及導電體542b2的電阻。

【0385】由此，作為導電體542a1及導電體542b1可以使用氮化鉭或氮化鈦，作為導電體542a2及導電體542b2可以使用鎢。

【0386】如圖24所示，在從剖面看電晶體500的通道長度方向時，導電體542a1與導電體542b1之間的距離較佳為小於導電體542a2與導電體542b2之間的距離。藉由採用上述結構，可以進一步減小源極與汲極間的距離且與此對應地減小通道長度。因此，可以提高電晶體500的頻率特性。如此，藉由實現半導體裝置的微型化，可以提供一種工作速度得到提高的半導體裝置。

【0387】絕緣體551較佳為氮化物等不容易被氧化的絕緣體。絕緣體551與導電體542a2的側面及導電體542b2的側面接觸且具有保護導電體542a2及導電體542b2的功能。由於被暴露於氧化氛圍，所以絕緣體551較佳為使用不容易被氧化的無機絕緣體。另外，由於與導電體542a2及導電體542b2接觸，所以絕緣體551較佳為使用不容易使導電體542a2及導電體542b2氧化的無機絕緣體。因此，作為絕緣體551，較佳為使用具有氧阻擋性的絕緣材料。例如，作為絕緣體551可以使用氮化矽。

【0388】圖24所示的電晶體500中，為了形成導電體

542a2及導電體542b2，使用第一遮罩在絕緣體554、絕緣體580、絕緣體574及絕緣體581中形成開口。另外，以與該開口的側壁接觸的方式形成絕緣體551。然後，還使用第二遮罩形成導電體542a1及導電體542b1，來形成電晶體500。在此，上述開口與導電體542a2和導電體542b2間的區域重疊。另外，導電體542a1及導電體542b1的一部分以突出到上述開口內的方式形成。因此，絕緣體551在上述開口中與導電體542a1的頂面、導電體542b1的頂面、導電體542a2的側面及導電體542b2的側面接觸。另外，絕緣體550在導電體542a1和導電體542b1間的區域中與金屬氧化物531的頂面接觸。

【0389】較佳的是，在形成導電體542a1及導電體542b1之後且沉積絕緣體550之前在含氧氛圍下進行熱處理。由此，對金屬氧化物531a及金屬氧化物531b供應氧，從而可以減少氧空位。另外，藉由以與導電體542a2的側面及導電體542b2的側面接觸的方式形成絕緣體551，可以防止導電體542a2及導電體542b2過度被氧化。由此，可以提高電晶體的電特性及可靠性。另外，可以抑制形成在同一基板上的多個電晶體的電特性不均勻。

【0390】另外，如圖24所示，在電晶體500中，也可以將絕緣體524形成為島狀。在此，絕緣體524的側端部也可以以與金屬氧化物531的側端部大致一致的方式形成。

【0391】另外，如圖24所示，在電晶體500中，絕緣體522也可以與絕緣體516及導電體505接觸。換言之，也

可以不設置圖23A及圖23B所示的絕緣體520。

【0392】

<半導體裝置DEV的結構例子2>

接著，圖26示出與圖21及圖22不同的本發明的一個實施方式的半導體裝置DEV的剖面結構例子。圖26所示的半導體裝置DEV是圖22的半導體裝置DEV的變形例子，在多個單元陣列層60中的記憶單元MC中，電容器C1設置在電晶體M1的下方，這點上與圖22的半導體裝置DEV不同。

【0393】注意，為了避免重複說明，在本結構例子中省略根據基板311、驅動電路區域50、控制處理區域80及電路層90的說明。

【0394】在圖26中，多個單元陣列層60分別包括與圖22所示的記憶單元MC不同的多個記憶單元MC。注意，作為一個例子，圖26所示的記憶單元MC是圖18A所示的記憶單元MC。因此，在圖26所示的各記憶單元MC中示出電晶體M1及電容器C1。

【0395】另外，電路層90與單元陣列層60_1之間的層間膜中嵌入有導電體364。另外，在多個單元陣列層60的每一個中，後述的絕緣體592中嵌入有導電體365。另外，在多個單元陣列層60的每一個中，後述的絕緣體593、絕緣體594、絕緣體553及絕緣體595中嵌入有導電體366。另外，在多個單元陣列層60的每一個中，後述的絕緣體596、絕緣體583、導電體545、絕緣體555及絕緣體597中嵌入有導電體367。導電體364、導電體365、導電體366及

導電體367被用作接觸插頭或佈線。

【0396】導電體364、導電體365、導電體366及導電體367例如可以使用上述可用於導電體502、導電體503或導電體504的材料。

【0397】作為一個例子，在圖26所示的半導體裝置DEV中，電路層90中的電晶體MN藉由導電體540a、導電體363b、導電體364、導電體365、導電體366及導電體367與多個單元陣列層60的每一個的記憶單元MC中的電晶體M1電連接。尤其是，藉由導電體504與後述的導電體542b接觸，電晶體MN與電晶體M1電連接。

【0398】注意，雖然在圖26中，包括在驅動電路區域50及控制處理區域80中的電晶體400與包括在單元陣列層60_1的記憶單元MC中的電晶體M1之間的電路徑上設置有一個電晶體MN，但是該電路徑上根據狀況也可以設置有多個電晶體MN。

【0399】

<<記憶單元MC的結構例子>>

接著，說明包括在圖26的半導體裝置DEV的多個單元陣列層60中的記憶單元MC的結構例子。

【0400】圖27A是示出上述半導體裝置DEV的多個單元陣列層60各自包括的記憶單元MC及其周圍的結構例子的平面圖。注意，在圖27A至圖27D中，電晶體500A相當於圖26中的電晶體M1，電容器600A相當於圖26中的電容器600A。圖27D是沿著圖27A所示的點劃線A1-A2的剖面

圖。在圖27A中，例如省略絕緣體等電晶體M1的組件的一部分。另外，以後的電晶體的平面圖中也省略絕緣體等組件的一部分。

【0401】作為一個例子，電容器600A包括絕緣體592、絕緣體593、絕緣體594、絕緣體553、絕緣體595、導電體563、導電體564及導電體544。

【0402】絕緣體592中嵌入有導電體563。導電體563例如可以被用作延伸在Y方向上的佈線CL。

【0403】絕緣體592例如可以使用上述可用於絕緣體512、絕緣體516、絕緣體580或絕緣體581的材料。尤其是，絕緣體592較佳為使用具有低相對介電常數的材料，例如更佳為使用氧化矽、氧氮化矽、氮氧化矽或氮化矽。

【0404】另外，導電體563例如可以使用上述可用於導電體505或導電體365的材料。

【0405】作為一個例子，絕緣體592及導電體563上依次形成有絕緣體593及絕緣體594。此外，絕緣體593及絕緣體594的重疊於導電體563的區域中設置有開口。該開口的底面(導電體563上)及側面形成有導電體564。注意，在圖27中，絕緣體594的頂面也形成有導電體564。此外，絕緣體594及導電體564上形成有絕緣體553。此外，以覆蓋絕緣體553的重疊於導電體564的區域的方式形成有導電體544。此外，導電體544及絕緣體553上形成有絕緣體595。注意，絕緣體595的頂面高度與導電體544的頂面高度較佳為大致一致。因此，例如較佳為藉由利用化學機械拋光

(CMP)法等的平坦化處理使絕緣體595及導電體544平坦化。

【0406】導電體564例如相當於電容器600A的一對端子中的一個。另外，導電體544例如相當於電容器600A的一對端子中的另一個。

【0407】導電體564及導電體544例如較佳為用於圖23A至圖25所示的電晶體500或者圖25所示的電容器600的導電體。例如，導電體564及導電體544較佳為使用氮化鉭、氮化鈦、包含鈦和鋁的氮化物、包含鉭和鋁的氮化物、氧化釕、氮化釕、包含鍶和釕的氧化物或包含鑭和鎳的氧化物。上面舉出的材料是不容易被氧化的導電材料或者即使吸收氧仍保持導電性的材料，所以是較佳的。

【0408】絕緣體553例如被用作電容器600A中的夾在一對端子間的介電質。因此，絕緣體553較佳為使用上述可用於絕緣體552的材料。

【0409】絕緣體594及絕緣體595例如可以使用上述可用於絕緣體512、絕緣體516、絕緣體580或絕緣體581的材料。尤其是，絕緣體594及絕緣體595較佳為使用具有低相對介電常數的材料，例如更佳為使用氧化矽、氧氮化矽、氮氧化矽或氮化矽。

【0410】電容器600A的導電體544及絕緣體595的上方設置有電晶體500A。

【0411】電晶體500A具有如下結構：通道長度的方向不與基板311大致平行沿著設置在後述的絕緣體583中的開

口的側面。

【0412】作為一個例子，電晶體500A包括用作源極電極和汲極電極中的一個的導電體544、用作源極電極和汲極電極中的另一個的導電體545、金屬氧化物533、絕緣體555以及用作閘極電極的導電體565。圖27A示出導電體545沿垂直於導電體544及導電體565的方向上延伸的例子。如上所述，導電體544也被用作電容器600A的一對電極中的另一個。

【0413】例如，作為導電體544及導電體545可以使用可用於電晶體500中的導電體542的材料。另外，例如，作為導電體565可以使用可用於電晶體500中的導電體560的材料。

【0414】例如，作為金屬氧化物533可以使用可用於電晶體500中的金屬氧化物531的材料。

【0415】在圖27A及圖27D中，將導電體545延伸的方向記為X方向。另外，將與X方向垂直且例如與導電體563的頂面平行的方向記為Y方向，將與導電體563的頂面垂直的方向記為Z方向。在以後的圖式中，X方向、Y方向及Z方向的定義有時與上述相同而有時不同。X方向、Y方向及Z方向可以彼此垂直。另外，在本說明書等中的平面圖的說明中，有時將X方向稱為右側或左側且將Y方向稱為上側或下側。另外，有時可以將右側及左側分別換稱為X方向及-X方向且將上側及下側分別換稱為Y方向及-Y方向。

【0416】導電體544被用作電晶體500A的源極電極和汲極電極中的一個。導電體545被用作電晶體500A的源極電極和及汲極電極中的另一個。絕緣體555被用作電晶體500A的閘極絕緣層。導電體565被用作電晶體500A的閘極電極。

【0417】在金屬氧化物533中，在源極電極與汲極電極之間隔著閘極絕緣層與閘極電極重疊的區域整體被用作通道形成區域。此外，在金屬氧化物533中，與源極電極接觸的區域被用作源極區域，與汲極電極接觸的區域被用作汲極區域。

【0418】絕緣體595及導電體544上設置有絕緣體596。絕緣體596可以具有作為層間絕緣層的功能。這裡，層間絕緣層可以是抑制水及氫(例如氫原子和氫分子中的一者或兩者)等雜質的擴散的阻擋絕緣膜。因此，絕緣體596可以使用上述可用於絕緣體514或絕緣體522的材料。

【0419】絕緣體596上設置有絕緣體583(絕緣體583a及絕緣體583b)，絕緣體583上設置有導電體545。絕緣體583可以被用作層間絕緣層。在此，層間絕緣層可以為用來分離電晶體500A中的源極電極和閘極電極的層間膜。另外，絕緣體597可以被用作用來在電晶體500A的上方設置電路元件或佈線的層間膜。

【0420】例如，作為絕緣體583可以使用可用於電晶體500中的絕緣體514、絕緣體516、絕緣體522、絕緣體524、絕緣體550、絕緣體554、絕緣體574、絕緣體580及

絕緣體581的材料。

【0421】明確而言，作為絕緣體583a例如較佳為使用氧化物或氧氮化物。另外，作為絕緣體583a較佳為使用藉由加熱釋放氧的膜。絕緣體583a例如可以適當地使用氧化矽或氧氮化矽。在絕緣體583a釋放氧時，可以將氧從絕緣體583a供應到金屬氧化物533。藉由將氧從絕緣體583a供應到金屬氧化物533，尤其是將氧從絕緣體583a供應到金屬氧化物533的通道形成區域，可以減少金屬氧化物533中的氧空位以及進入氧空位內的氫。因此，電晶體500A可以為具有良好電特性且可靠性高的電晶體。

【0422】另外，明確而言，作為絕緣體583b，例如可以適當地使用氮化矽、氮氧化矽或氧化鋁。絕緣體583b例如較佳為具有其含氮量比絕緣體583a多的區域。絕緣體583b例如可以使用其含氮量比絕緣體583a多的材料。絕緣體583b較佳為使用氮化物或氮氧化物。絕緣體583b例如可以適當地使用氮化矽或氮氧化矽。藉由作為絕緣體583b使用氮化矽或氮氧化矽，絕緣體583b可以被用作抑制氧從絕緣體583a脫離的阻擋層。另外，藉由作為絕緣體583b使用氮化矽或氮氧化矽，絕緣體583b可以被用作抑制氫藉由絕緣體583擴散到金屬氧化物533的阻擋層。

【0423】絕緣體596及絕緣體583具有到達導電體544的開口601。導電體545具有到達開口601的開口603。換言之，開口603具有與開口601重疊的區域。

【0424】在圖27A中，作為電晶體500A的組件示出導

電體544、導電體545、金屬氧化物533、導電體565、開口601及開口603。在此，圖23B示出省略圖27A所示的組件中的導電體565的結構例子。換言之，圖27B示出導電體544、導電體545、金屬氧化物533、開口601及開口603。另外，圖27C示出省略圖27B所示的組件中的金屬氧化物533的結構例子。換言之，圖27C示出導電體544、導電體545、開口601及開口603。

【0425】如圖27C及圖27D所示，導電體545在與導電體544重疊的區域中具有開口603。如圖27C所示，在俯視時，導電體545也可以覆蓋開口601的外周整體。在此，導電體545較佳為不設置在開口601內部。換言之，導電體545較佳為不與絕緣體583的開口601一側的側面。

【0426】圖27A至圖27C示出在俯視時開口601及開口603的形狀都呈圓形的例子。在開口601及開口603的平面形狀呈圓形時，可以提高形成開口601及開口603時的加工精度，可以形成微小開口601及開口603。注意，在本說明書等中，圓形不侷限於正圓。例如，開口601及開口603的平面形狀既可以呈橢圓形，又可以呈具有曲線的形狀。或者，也可以呈多角形形狀。

【0427】圖27D示出導電體545的開口603一側的端部與絕緣體583的開口601一側的端部一致或大致一致的例子。也可以說開口603的平面形狀與開口601的平面形狀一致或大致一致。另外，在本實施方式中，導電體545的開口603一側的端部是指導電體545的開口603一側的底面端

部。導電體545的底面是指絕緣體583一側的面。絕緣體583的開口601一側的端部是指絕緣體583的開口601一側的頂面端部。絕緣體583的頂面是指導電體545一側的面。另外，開口603的平面形狀是指導電體545的開口603一側的底面端部的平面形狀。開口601的平面形狀是指絕緣體583的開口601一側的頂面端部的平面形狀。

【0428】注意，端部一致或大致一致也可以說是端部對齊或大致對齊。在端部對齊或大致對齊的情況或者平面形狀一致或大致一致的情況下，可以說在俯視時至少其輪廓的一部分在層疊的各層間彼此重疊。例如，包括上層及下層藉由同一遮罩圖案或其一部分同一遮罩圖案被加工的情況。但是，實際上有輪廓不重疊的情況，有時上層位於下層的內側或者上層位於下層的外側，這種情況也可以說端部大致對齊或平面形狀大致一致。

【0429】開口601例如可以使用用於開口603的形成的光阻遮罩形成。明確而言，首先形成導電體544及絕緣體595上的絕緣體596、絕緣體596上的絕緣體583、絕緣體583上的將成為導電體545的導電膜以及該導電膜上的光阻遮罩。接著，在使用該光阻遮罩在該導電膜中形成開口603之後，使用該光阻遮罩在絕緣體596及絕緣體583中形成開口601，由此可以使開口601的端部與開口603的端部一致或大致一致。藉由採用這種結構，可以使製程簡化。

【0430】金屬氧化物533以覆蓋開口601及開口603且具有位於開口601及開口603的內部的區域的方式設置。金

屬氧化物533具有沿著導電體545的頂面及側面、絕緣體583的側面、絕緣體596的側面以及導電體544的頂面的形狀。金屬氧化物533例如具有與導電體545的頂面及側面、絕緣體583的側面以及導電體544的頂面接觸的區域。

【0431】金屬氧化物533較佳為覆蓋導電體545的開口603一側的端部。例如，圖27D示出金屬氧化物533的端部位於導電體545上的結構。可以說金屬氧化物533的端部與導電體545的頂面接觸。

【0432】例如，圖27D示出金屬氧化物533具有單層結構，但是本發明的一個實施方式不侷限於此。金屬氧化物533也可以具有兩層以上的疊層結構。

【0433】用作電晶體500A的閘極絕緣層的絕緣體555以覆蓋開口601及開口603且具有位於開口601及開口603的內部的區域的方式設置。絕緣體555設置在金屬氧化物533、導電體545及絕緣體583上。絕緣體555可以具有與金屬氧化物533的頂面及側面、導電體545的頂面及側面、絕緣體583的頂面以及絕緣體596的頂面接觸的區域。絕緣體555具有沿著絕緣體596的頂面、絕緣體583的頂面、導電體545的頂面及側面以及金屬氧化物533的頂面及側面的形狀。

【0434】用作電晶體500A的閘極電極的導電體565設置在絕緣體555上且可以具有與絕緣體555的頂面接觸的區域。導電體565具有隔著絕緣體555與金屬氧化物533重疊的區域。導電體565具有沿著絕緣體555的頂面的形狀。

【0435】例如，如圖27D所示，在開口601及開口603中，導電體565具有隔著絕緣體555與金屬氧化物533重疊的區域。另外，在圖27D所示的例子中，導電體565具有隔著絕緣體555及金屬氧化物533與導電體544及導電體545重疊的區域。另外，導電體565覆蓋金屬氧化物533整體。藉由採用上述結構，可以對金屬氧化物533整體施加閘極電場，所以可以提高電晶體500A的電特性，例如可以提高電晶體的通態電流。

【0436】電晶體500A是在金屬氧化物533的上方具有閘極電極的所謂頂閘極型電晶體。再者，由於金屬氧化物533的底面具有與源極電極及汲極電極接觸的區域，所以可以說是TGBC(Top Gate Bottom Contact：頂閘極底接觸)型電晶體。

【0437】電晶體500A例如除了記憶單元MC所包括的電晶體之外還可以被用作選自電路層90所包括的電晶體、驅動電路區域50所包括的電晶體和控制處理區域80所包括的電晶體中的一個以上的電晶體。

【0438】這裡，參照圖28A及圖28B說明電晶體500A的通道長度及通道寬度。圖28A是示出圖27A所示的電晶體500A及其附近的結構例子的平面圖的放大圖。圖28B是示出圖27D所示的電晶體500A及其附近的結構例子的剖面圖的放大圖。

【0439】在金屬氧化物533中，與導電體544接觸的區域被用作源極區域和汲極區域中的一個，與導電體545接

觸的區域被用作源極區域和汲極區域中的另一個，源極區域與汲極區域之間的區域被用作通道形成區域。

【0440】電晶體500A的通道長度為源極區域與汲極區域之間的距離。圖28B中以虛線的雙箭頭表示電晶體500A的通道長度L500。通道長度L500為在從剖面看時金屬氧化物533和導電體544接觸的區域的端部與金屬氧化物533和導電體545接觸的區域的端部間的距離。

【0441】在此，電晶體500A的通道長度L500相當於從XZ面看時的絕緣體583的開口601一側的側面的長度。換言之，通道長度L500由絕緣體583的厚度T583以及絕緣體583的開口601一側的側面與絕緣體583的被形成面(在此，導電體544的頂面)所形成的角度θ583決定，不受到製造電晶體時使用的曝光裝置的性能的影響。因此，可以使通道長度L500小於曝光裝置的極限解析度，所以可以實現微型電晶體。例如，通道長度L500較佳為0.010μm以上且小於3.0μm，更佳為0.050μm以上且小於3.0μm，更佳為0.10μm以上且小於3.0μm，更佳為0.15μm以上且小於3.0μm，更佳為0.20μm以上且小於3.0μm，更佳為0.20μm以上且小於2.5μm，更佳為0.20μm以上且小於2.0μm，更佳為0.20μm以上且小於1.5μm，更佳為0.30μm以上且小於1.5μm，更佳為0.30μm以上且1.2μm以下，更佳為0.40μm以上且1.2μm以下，更佳為0.40μm以上且1.0μm以下，更佳為0.50μm以上且1.0μm以下。在圖28B中，以點劃線的雙箭頭表示絕緣體583的厚度T583。

【0442】藉由將電晶體500A應用於半導體裝置DEV的記憶單元MC中的電晶體，可以使記憶單元MC中的電晶體微型化，所以可以使記憶單元MC微型化。由此，可以實現半導體裝置DEV的小型化。另外，藉由縮小通道長度L500，可以增大電晶體500A的通態電流。因此，藉由將電晶體500A應用於半導體裝置DEV中的電晶體諸如記憶單元MC中的電晶體，可以高速地驅動半導體裝置DEV。

【0443】藉由調整絕緣體596和絕緣體583的厚度T583及角度θ583，可以控制通道長度L500。

【0444】絕緣體596和絕緣體583的厚度T583較佳為0.010μm以上且小於3.0μm，更佳為0.050μm以上且小於3.0μm，更佳為0.10μm以上且小於3.0μm，更佳為0.15μm以上且小於3.0μm，更佳為0.20μm以上且小於3.0μm，更佳為0.20μm以上且小於2.5μm，更佳為0.20μm以上且小於2.0μm，更佳為0.20μm以上且小於1.5μm，更佳為0.30μm以上且小於1.5μm，更佳為0.30μm以上且1.2μm以下，更佳為0.40μm以上且1.2μm以下，更佳為0.40μm以上且1.0μm以下，更佳為0.50μm以上且1.0μm以下。

【0445】絕緣體596和絕緣體583的開口601一側的側面較佳為具有錐形形狀。絕緣體596和絕緣體583的開口601一側的側面與絕緣體596的被形成面(在此，導電體544的頂面)所形成的角度θ583較佳為小於90度。藉由減小角度θ583，可以提高設置在絕緣體583上的層(例如，金屬氧化物533)的覆蓋性。然而，在減小角度θ583時，有時金屬

氧化物533與導電體544的接觸面積減小而金屬氧化物533與導電體544的接觸電阻增高。角度θ583較佳為45度以上且小於90度，更佳為50度以上且小於90度，更佳為55度以上且小於90度，更佳為60度以上且小於90度，更佳為60度以上且85度以下，更佳為65度以上且85度以下，更佳為65度以上且80度以下，更佳為70度以上且80度以下。藉由將角度θ583設定在上述範圍內，可以提高形成在導電體544及絕緣體583上的層(例如，金屬氧化物533)的覆蓋性，由此可以抑制該層中產生斷開或空洞等不良。另外，可以降低金屬氧化物533與導電體544的接觸電阻。

【0446】在本說明書等中，斷開是指層、膜或電極因被形成面的形狀(例如，步階等)而分離的現象。

【0447】注意，例如，在圖28B中示出從剖面看時絕緣體596和絕緣體583的開口601一側的側面的形狀為直線的結構，但本發明的一個實施方式不侷限於此。在從剖面看時絕緣體596和絕緣體583的開口601一側的側面的形狀也可以為曲線，也可以具有側面的形狀為直線的區域和曲線的區域的兩者。

【0448】電晶體500A的通道寬度為與通道長度方向正交的方向上的源極區域的寬度或汲極區域的寬度。換言之，通道寬度為與通道長度方向正交的方向上的金屬氧化物533與導電體544接觸的區域的寬度或者金屬氧化物533與導電體545接觸的區域的寬度。這裡，以與通道長度方向正交的方向上的金屬氧化物533與導電體545接觸的區域

的寬度為電晶體500A的通道寬度進行說明。圖28A及圖28B以實線的雙箭頭示出電晶體500A的通道寬度W500。在俯視時，通道寬度W500為開口603一側的導電體545的底面端部的長度。

【0449】通道寬度W500由開口603的平面形狀決定。在圖28A及圖28B中，以雙點劃線的雙箭頭表示開口603的寬度D500。寬度D500是指在俯視時與開口603外接的最小矩形的短邊。在藉由光微影法形成開口603時，開口603的寬度D500為曝光裝置的極限解析度以上。再者，寬度D500例如較佳為0.20μm以上且小於5.0μm，更佳為0.20μm以上且小於4.5μm，更佳為0.20μm以上且小於4.0μm，更佳為0.20μm以上且小於3.5μm，更佳為0.20μm以上且小於3.0μm，更佳為0.20μm以上且小於2.5μm，更佳為0.20μm以上且小於2.0μm，更佳為0.20μm以上且小於1.5μm，更佳為0.30μm以上且1.5μm以下，更佳為0.30μm以上且1.2μm以下，更佳為0.40μm以上且1.2μm以下，更佳為0.40μm以上且1.0μm以下，更佳為0.50μm以上且1.0μm以下。另外，在開口603的平面形狀呈圓形的情況下，寬度D500相當於開口603的直徑，通道寬度W500可以與俯視時的開口603的外周的長度相等，可以算出為“D500×π”。

【0450】因為電晶體500A的尺寸較小，所以藉由將電晶體500A用於單元陣列層60，可以提供一種記憶密度高的半導體裝置。另外，因為電晶體500A的工作較快，所以藉由將電晶體500A用於半導體裝置，可以提供一種驅動速度

快的半導體裝置。另外，因為電晶體500A的電特性穩定，所以藉由將電晶體500A用於半導體裝置，可以提供一種可靠性高的半導體裝置。另外，因為電晶體500A的關態電流量較少，所以藉由將電晶體500A用於半導體裝置，可以提供一種功耗低的半導體裝置。

【0451】本實施方式可以與本說明書所示的其他實施方式適當地組合。例如，本實施方式所示的構成、結構、方法等可以與其他實施方式等所示的構成、結構、方法等適當地組合而使用。

【0452】

實施方式3

在本實施方式中，說明通道形成區域中含有氧化物半導體的電晶體(OS電晶體)。此外，在OS電晶體的說明中，簡單地說明與通道形成區域中含有矽的電晶體(也稱為Si電晶體)的對比。

【0453】

[OS電晶體]

較佳為將載子濃度低的氧化物半導體用於OS電晶體。例如，氧化物半導體的通道形成區域的載子濃度為$1\times10^{18}cm^{-3}$以下，較佳為低於$1\times10^{17}cm^{-3}$，更佳為低於$1\times10^{16}cm^{-3}$，進一步較佳為低於$1\times10^{13}cm^{-3}$，還進一步較佳為低於$1\times10^{10}cm^{-3}$，且為$1\times10^{-9}cm^{-3}$以上。在以降低氧化物半導體膜的載子濃度為目的的情況下，可以降低氧化物半導體膜中的雜質濃度以降低缺陷態密度。在本說明書等

中，將雜質濃度低且缺陷態密度低的狀態稱為高純度本質或實質上高純度本質。此外，有時將載子濃度低的氧化物半導體稱為高純度本質或實質上高純度本質的氧化物半導體。

【0454】因為高純度本質或實質上高純度本質的氧化物半導體具有較低的缺陷態密度，所以有時具有較低的陷阱態密度。此外，被氧化物半導體的陷阱態俘獲的電荷到消失需要較長的時間，有時像固定電荷那樣動作。因此，有時在陷阱態密度高的氧化物半導體中形成通道形成區域的電晶體的電特性不穩定。

【0455】因此，為了使電晶體的電特性穩定，降低氧化物半導體中的雜質濃度是有效的。為了降低氧化物半導體中的雜質濃度，較佳為還降低附近膜中的雜質濃度。作為雜質可以舉出氫、氮等。注意，氧化物半導體中的雜質例如是指構成氧化物半導體的主要成分之外的元素。例如，濃度低於0.1原子%的元素可以說是雜質。

【0456】在OS電晶體中，當氧化物半導體的通道形成區域中存在雜質及氧空位時，電特性容易變動而可能使可靠性下降。此外，在OS電晶體中，氫進入氧化物半導體中的氧空位而形成缺陷(下面有時稱為V_OH)，可能會產生成為載子的電子。另外，當在通道形成區域中形成V_OH時，有時通道形成區域中的施體濃度增加。隨著通道形成區域中的施體濃度增加，有時臨界電壓不均勻。因此，當在氧化物半導體的通道形成區域中包含氧空位時，電晶體

會常開啟(成為即使不對閘極電極施加電壓也存在通道而在電晶體中電流流過的狀態)。由此，在氧化物半導體的通道形成區域中，較佳為儘量減少雜質、氧空位及VoH。

【0457】另外，氧化物半導體的能帶間隙較佳為比矽的能帶間隙(典型的是1.1eV)大，較佳為2eV以上，更佳為2.5eV以上，更佳為3.0eV以上。藉由使用具有比矽大的能帶間隙的氧化物半導體，可以減少電晶體的關態電流(也稱為關態洩漏電流或Ioff)。

【0458】例如，在Si電晶體中，隨著電晶體的微型化發展，出現短通道效應(Short Channel Effect：也稱為SCE)。因此，Si電晶體的微型化很困難。作為出現短通道效應的原因之一可以舉出矽的能帶間隙較小。另一方面，在OS電晶體中，使用作為能帶間隙大的半導體材料的氧化物半導體，因此可以抑制短通道效應。換言之，OS電晶體是沒有短通道效應或短通道效應極少的電晶體。

【0459】短通道效應是指隨著電晶體的微型化(通道長度的縮小)出現的電特性的下降。作為短通道效應的具體例子，有臨界電壓的降低、次臨界擺幅值(有時記載為S值)的增大、洩漏電流的增大等。在此，S值是指：以固定的汲極電壓使汲極電流的值變化一個位數的次臨界值區域中的閘極電壓的變化量。

【0460】作為對短通道效應的耐性的指標，廣泛地使用特徵長度(Characteristic Length)。特徵長度是指通道形成區域的勢的彎曲性指標。特徵長度越小，勢越急劇上

升，因此可以說抗短通道效應能力高。

【0461】OS電晶體為積累型電晶體，Si電晶體為反型電晶體。因此，與Si電晶體相比，OS電晶體中的源極區域-通道形成區域間的特徵長度及汲極區域-通道形成區域間的特徵長度小。因此，OS電晶體的抗短通道效應能力比Si電晶體高。就是說，當想要製造通道長度小的電晶體時，OS電晶體比Si電晶體更合適。

【0462】即使在將氧化物半導體的載子濃度降低到通道形成區域被i型化或實質上被i型化的情況下，在短通道電晶體中由於Conduction-Band-Lowering(CBL，導帶降低)效應而通道形成區域的導帶底也變低，因此源極區域或汲極區域與通道形成區域之間的導帶底的能量差有可能減小到0.1eV以上且0.2eV以下。由此，可以將OS電晶體看作具有$n^+/n^-/n^+$的積累型無結電晶體結構或$n^+/n^-/n^+$的積累型non-junction電晶體結構，其中通道形成區域為n^-型區域，源極區域及汲極區域為n^+型區域。

【0463】當作為OS電晶體採用上述結構時，即便使半導體裝置微型化或高積體化也可以實現良好的電特性。例如，即使OS電晶體的閘極長度為20nm以下、15nm以下、10nm以下、7nm以下或6nm以下且1nm以上、3nm以上或5nm以上，也可以得到良好的電特性。另一方面，在Si電晶體中，因為出現短通道效應所以有時難以具有20nm以下或15nm以下的閘極長度。因此，與Si電晶體相比，OS電晶體更適合用作通道長度小的電晶體。閘極長度是

電晶體工作時載子移動通道形成區域內部的方向上的閘極電極的長度，也是俯視電晶體時的閘極電極的底面的寬度。

【0464】此外，藉由使OS電晶體微型化可以提高電晶體的高頻特性。明確而言，可以提高電晶體的截止頻率。當OS電晶體的閘極長度在於上述範圍內時，例如在室溫環境下，電晶體的截止頻率可以為50GHz以上，較佳為100GHz以上，更佳為150GHz以上。

【0465】如以上的說明那樣，OS電晶體具有比Si電晶體優異的效果，諸如關態電流小以及可以製造通道長度小的電晶體。

【0466】本實施方式可以與本說明書所示的其他實施方式適當地組合。例如，本實施方式所示的構成、結構、方法等可以與其他實施方式等所示的構成、結構、方法等適當地組合而使用。

【0467】

實施方式4

在本實施方式中，說明可以使用在上述實施方式中說明的半導體裝置的電子構件、電子裝置、大型電腦、太空設備及資料中心(Data Center：也稱為DC)。使用本發明的一個實施方式的半導體裝置的電子構件、電子裝置、大型電腦、太空設備及資料中心對低功耗等高性能的實現很有效。

【0468】

[電子構件]

圖29A示出安裝有電子構件700的基板(電路板704)的立體圖。圖29A所示的電子構件700在模子711內包括半導體裝置710。在圖29A中，省略電子構件700的一部分記載以表示其內部。電子構件700在模子711的外側包括連接盤(land)712。連接盤712電連接於電極焊盤713，電極焊盤713藉由引線714電連接於半導體裝置710。電子構件700例如安裝於印刷電路板702上。藉由組合多個該電子構件並使其分別在印刷電路板702上電連接，由此完成電路板704。

【0469】另外，半導體裝置710包括驅動電路層715及記憶體層716。記憶體層716具有層疊有多個記憶單元陣列的結構。層疊有驅動電路層715及記憶體層716的結構可以採用單片疊層的結構。在單片疊層的結構中，可以不用TSV(Through Silicon Via：矽通孔)等貫通電極技術及Cu-Cu直接接合等接合技術而連接各層間。當以單片的方式層疊驅動電路層715和記憶體層716時，例如，可以實現在處理器上直接形成記憶體的所謂的晶載記憶體的結構。藉由採用晶載記憶體的結構，可以實現處理器與記憶體的介面部分的高速工作。

【0470】另外，藉由採用晶載記憶體的結構，與使用TSV等貫通電極的技術相比，可以縮小連接佈線等的尺寸，因此可以增加引腳數量。藉由增加引腳數量可以進行並聯工作，由此可以提高記憶體的帶寬度(也稱為記憶體

頻寬)。

【0471】另外，較佳的是，使用OS電晶體形成記憶體層716中的多個記憶單元陣列，以單片的方式層疊該多個記憶單元陣列。當多個記憶單元陣列採用單片疊層時，可以提高記憶體的帶寬度和記憶體的存取延遲中的任一者或兩者。帶寬度是指單位時間的資料傳輸量，存取延遲是指存取和開始資料的交換之間的時間。當在記憶體層716中使用Si電晶體時，與OS電晶體相比，實現單片疊層的結構更困難。因此，在單片疊層的結構中，OS電晶體比Si電晶體優異。

【0472】另外，可以將半導體裝置710稱為裸片。在本說明書等中，裸片是指在半導體晶片的製程中例如在圓盤狀的基板(也稱為晶圓)等上形成電路圖案，切割成矩形小片而得的晶片。作為可用於裸片的半導體材料，例如可以舉出矽(Si)、碳化矽(SiC)或氮化鎵(GaN)等。例如，有時將從矽基板(也稱為矽晶圓)得到的裸片稱為矽晶圓。

【0473】接著，圖29B示出電子構件730的立體圖。電子構件730是SiP(System in Package：系統封裝)或MCM(Multi Chip Module：多晶片模組)的一個例子。在電子構件730中，封裝基板732(印刷電路板)上設置有插板(interposer)731，插板731上設置有半導體裝置735及多個半導體裝置710。

【0474】電子構件730示出將半導體裝置710用作高頻寬記憶體(HBM：High Bandwidth Memory)的例子。此外，

半導體裝置735可以用於CPU、GPU或FPGA(Field Programmable Gate Array：現場可程式邏輯閘陣列)等積體電路。

【0475】封裝基板732例如可以使用陶瓷基板、塑膠基板或玻璃環氧基板。插板731例如可以使用矽插板或樹脂插板。

【0476】插板731具有多個佈線並具有電連接端子間距不同的多個積體電路的功能。多個佈線由單層或多層構成。此外，插板731具有將設置於插板731上的積體電路與設置於封裝基板732上的電極電連接的功能。因此，有時也將插板稱為“重佈線基板(rewiring substrate)”或“中間基板”。此外，有時藉由在插板731中設置貫通電極，藉由該貫通電極使積體電路與封裝基板732電連接。此外，在使用矽插板的情況下，也可以使用TSV作為貫通電極。

【0477】在HBM中，為了實現寬記憶體頻寬需要連接許多佈線。為此，要求安裝HBM的插板上能夠高密度地形成微細的佈線。因此，作為安裝HBM的插板較佳為使用矽插板。

【0478】此外，在使用矽插板的SiP及MCM中，不容易發生因積體電路與插板間的膨脹係數的不同而導致的可靠性下降。此外，由於矽插板的表面平坦性高，所以設置在矽插板上的積體電路與矽插板間不容易產生連接不良。尤其較佳為將矽插板用於2.5D封裝(2.5D安裝)，其中多個積體電路橫著排放並配置於插板上。

【0479】另一方面，當利用矽插板及TSV等使端子間距不同的多個積體電路電連接時，需要該端子間距的寬度等的空間。因此，當想要縮小電子構件730的尺寸時，上述端子間距的寬度成為問題，有時難以設置為實現較寬的記憶體頻寬需要的較多的佈線。於是，如上所述，使用OS電晶體的單片疊層的結構是較佳的。另外，也可以採用組合利用TSV層疊的記憶單元陣列與以單片的方式層疊的記憶單元陣列的複合結構。

【0480】此外，也可以與電子構件730重疊地設置散熱器(散熱板)。在設置散熱器的情況下，較佳為使設置於插板731上的積體電路的高度一致。例如，在本實施方式所示的電子構件730中，較佳為使半導體裝置710與半導體裝置735的高度一致。

【0481】為了將電子構件730安裝在其他基板上，也可以在封裝基板732的底部設置電極733。圖29B示出用焊球形成電極733的例子。藉由在封裝基板732的底部以矩陣狀設置焊球，可以實現BGA(Ball Grid Array：球柵陣列)的安裝。此外，電極733也可以使用導電針形成。藉由在封裝基板732的底部以矩陣狀設置導電針，可以實現PGA(Pin Grid Array：針柵陣列)的安裝。

【0482】電子構件730可以藉由各種安裝方式安裝在其他基板上，而不侷限於BGA及PGA。作為安裝方法例如可以舉出SPGA(Staggered Pin Grid Array：交錯針柵陣列)、LGA(Land Grid Array：地柵陣列)、QFP(Quad Flat

Package：四面扁平封裝)、QFJ(Quad Flat J-leaded package：四側J形引腳扁平封裝)及QFN(Quad Flat Non-leaded package：四側無引腳扁平封裝)。

【0483】

[電子裝置]

接著，圖30A示出電子裝置6500的立體圖。圖30A所示的電子裝置6500是可用作智慧手機的可攜式資訊終端。電子裝置6500包括外殼6501、顯示部6502、電源按鈕6503、按鈕6504、揚聲器6505、麥克風6506、相機6507、光源6508、控制裝置6509。控制裝置6509例如包括選自CPU、GPU及記憶體裝置中的任一個或多個。可以將本發明的一個實施方式的半導體裝置用於顯示部6502、控制裝置6509等。

【0484】圖30B所示的電子裝置6600是可用作筆記本式個人電腦的資訊終端。電子裝置6600包括外殼6611、鍵盤6612、指向裝置6613、外部連接埠6614、顯示部6615、控制裝置6616。控制裝置6616例如包括選自CPU、GPU及記憶體裝置中的任一個或多個。可以將本發明的一個實施方式的半導體裝置用於顯示部6615、控制裝置6616等。此外，藉由將本發明的一個實施方式的半導體裝置用於上述控制裝置6509及控制裝置6616，可以降低功耗，所以是較佳的。

【0485】

[大型電腦]

接著，圖30C示出大型電腦5600的立體圖。在圖30C所示的大型電腦5600中，多個機架式電腦5620收納在機架5610中。此外，也可以將大型電腦5600稱為超級電腦。

【0486】電腦5620例如可以具有圖30D所示的立體圖的結構。在圖30D中，電腦5620包括主機板5630，主機板5630包括多個插槽5631以及多個連接端子等。插槽5631插入有個人電腦卡5621。並且，個人電腦卡5621包括連接端子5623、連接端子5624、連接端子5625，它們連接到主機板5630。

【0487】圖30E所示的個人電腦卡5621是包括CPU、GPU、記憶體裝置等的處理板的一個例子。個人電腦卡5621具有板5622。此外，板5622包括連接端子5623、連接端子5624、連接端子5625、半導體裝置5626、半導體裝置5627、半導體裝置5628以及連接端子5629。注意，圖30E示出半導體裝置5626、半導體裝置5627以及半導體裝置5628以外的半導體裝置，關於這些半導體裝置的說明，參照以下記載的半導體裝置5626、半導體裝置5627以及半導體裝置5628的說明即可。

【0488】連接端子5629具有可以插入主機板5630的插槽5631的形狀，連接端子5629被用作連接個人電腦卡5621與主機板5630的介面。作為連接端子5629的規格例如可以舉出PCIe等。

【0489】連接端子5623、連接端子5624、連接端子5625各自例如可以被用作用來對個人電腦卡5621供電或輸

入信號等的介面。此外，例如，可以被用作用來進行個人電腦卡5621所計算的信號的輸出等的介面。作為連接端子5623、連接端子5624、連接端子5625各自的規格例如可以舉出USB(Universal Serial Bus：通用序列匯流排)、SATA(Serial ATA：串列ATA)、SCSI(Small Computer System Interface：小型電腦系統介面)等。此外，當從連接端子5623、連接端子5624、連接端子5625輸出視頻信號時，作為各規格可以舉出HDMI(註冊商標)等。

【0490】半導體裝置5626包括進行信號的輸入及輸出的端子(未圖示)，藉由將該端子插入板5622所包括的插座(未圖示)，可以電連接半導體裝置5626與板5622。

【0491】半導體裝置5627包括多個端子，例如藉由將該端子以回流焊方式銲接到板5622所包括的佈線，可以電連接半導體裝置5627與板5622。作為半導體裝置5627，例如，可以舉出FPGA、GPU、CPU等。作為半導體裝置5627，例如可以使用電子構件730。

【0492】半導體裝置5628包括多個端子，例如藉由將該端子以回流焊方式銲接到板5622所包括的佈線，可以電連接半導體裝置5628與板5622。作為半導體裝置5628，例如，可以舉出記憶體裝置等。作為半導體裝置5628，例如可以使用電子構件700。

【0493】大型電腦5600可以用作平行電腦。藉由將大型電腦5600用作平行電腦，例如可以進行人工智慧的學習及推論所需要的大規模計算。

【0494】

[太空設備]

可以將本發明的一個實施方式的半導體裝置適用於處理並儲存資訊的設備等的太空設備。

【0495】本發明的一個實施方式的半導體裝置可以包括OS電晶體。該OS電晶體的因被照射輻射線而導致的電特性變動小。換言之，對於輻射線的耐性高，所以在有可能入射輻射線的環境下也可以適當地使用。例如，可以在宇宙空間中使用的情況下適當地使用OS電晶體。

【0496】在圖31中，作為太空設備的一個例子示出人造衛星6800。人造衛星6800包括主體6801、太陽能電池板6802、天線6803、二次電池6805以及控制裝置6807。另外，圖31示出在宇宙空間有行星6804的例子。注意，宇宙空間例如是指高度100km以上，但是本說明書所示的宇宙空間也可以包括熱層、中間層及平流層。

【0497】另外，雖然圖31中未圖示，但是也可以將電池管理系統(也稱為BMS)或電池控制電路設置到二次電池6805。當將OS電晶體用於上述電池管理系統或電池控制電路時，功耗低，並且即使在宇宙空間也實現高可靠性，所以是較佳的。

【0498】另外，宇宙空間是其輻射劑量為地面的100倍以上的環境。作為輻射線，例如可以舉出：以X射線及γ射線為代表的電磁波(電磁輻射線)；以及以α射線、β射線、中子射線、質子射線、重離子射線、介子射線等為代

表的粒子輻射線。

【0499】在陽光照射到太陽能電池板6802時產生人造衛星6800進行工作所需的電力。然而，例如在陽光不照射到太陽能電池板的情況或者在照射到太陽能電池板的陽光量較少的情況下，所產生的電力量減少。因此，有可能不會產生人造衛星6800進行工作所需的電力。為了在所產生的電力較少的情況下也使人造衛星6800工作，較佳為在人造衛星6800中設置二次電池6805。另外，有時將太陽能電池板稱為太陽能電池模組。

【0500】人造衛星6800可以生成信號。該信號藉由天線6803傳送，例如地面上的接收機或其他人造衛星可以接收該信號。藉由接收人造衛星6800所傳送的信號，可以測量接收該信號的接收機的位置。由此，人造衛星6800可以構成衛星定位系統。

【0501】另外，控制裝置6807具有控制人造衛星6800的功能。控制裝置6807例如使用選自CPU、GPU和記憶體裝置中的任一個或多個構成。另外，較佳為將本發明的一個實施方式的OS電晶體用於控制裝置6807。與Si電晶體相比，OS電晶體的因被照射輻射線而導致的電特性變動小。也就是說，OS電晶體在有可能入射輻射線的環境下也具有高可靠性且可以適當地使用。

【0502】另外，人造衛星6800可以包括感測器。例如藉由包括可見光感測器，人造衛星6800可以具有檢測地面上的物體反射的陽光的功能。或者，藉由包括熱紅外線感

測器，人造衛星6800可以具有檢測從地表釋放的熱紅外線的功能。由此，人造衛星6800例如可以被用作地球觀測衛星。

【0503】注意，在本實施方式中，作為太空設備的一個例子示出人造衛星，但是不侷限於此。例如，本發明的一個實施方式的半導體裝置可以適當地應用於太空船、太空艙、太空探測器等太空設備。

【0504】如以上的說明那樣，與Si電晶體相比，OS電晶體具有優異的效果，諸如可以實現較寬的記憶體頻寬、耐輻射線高。

【0505】

[資料中心]

例如，可以將本發明的一個實施方式的半導體裝置適用於資料中心等採用的儲存系統。資料中心被要求保證資料不變性等進行資料的長期管理。在進行資料的長期管理時需要使設施大型化，諸如設置用來儲存龐大的資料的儲存及伺服器、確保穩定的電源以保持資料或者確保在資料的保持中需要的冷卻設備等。

【0506】藉由將本發明的一個實施方式的半導體裝置用於資料中心採用的儲存系統，可以實現資料保持所需的功率的降低、保持資料的半導體裝置小型化。因此，可以實現儲存系統的小型化、用來保持資料的電源的小型化、冷卻設備規模的縮小等。由此，可以實現資料中心的省空間。

【0507】此外，本發明的一個實施方式的半導體裝置的功耗少，因此可以降低電路發熱。由此，可以減少因該發熱而給電路本身、週邊電路及模組帶來的負面影響。此外，藉由使用本發明的一個實施方式的半導體裝置，可以實現高溫環境下也穩定工作的資料中心。因此，可以提高資料中心的可靠性。

【0508】圖32示出可用於資料中心的儲存系統。圖32所示的儲存系統7000作為主機7001(圖示為主機電腦)包括多個伺服器7001sb。另外，作為儲存7003(圖示為存儲)包括多個記憶體裝置7003md。示出主機7001和儲存7003藉由儲存區域網路7004(圖示為SAN：Storage Area Network)及儲存控制電路7002(圖示為儲存控制器)連接的形態。

【0509】主機7001相當於存取儲存在儲存7003中的資料的電腦。主機7001彼此也可以藉由網路連接。

【0510】在儲存7003中，藉由使用快閃記憶體縮短資料的存取速度，即縮短資料的存儲及輸出所需要的時間，但是該時間比可用作儲存中的快取記憶體的DRAM所需要的時間長得多。在儲存系統中，為了解決儲存7003的存取速度較長的問題，一般在儲存中設置快取記憶體來縮短資料的存儲及輸出所需要的時間。

【0511】在儲存控制電路7002及儲存7003中使用上述快取記憶體。主機7001和儲存7003交換的資料在儲存在儲存控制電路7002及儲存7003中的該快取記憶體之後輸出到主機7001或儲存7003。

【0512】當作為用來儲存上述快取記憶體的資料的電晶體使用OS電晶體來保持對應於資料的電位時，可以減少更新頻率來降低功耗。此外，藉由層疊記憶單元陣列可以實現小型化。

【0513】注意，藉由將本發明的一個實施方式的半導體裝置用於選自電子構件、電子裝置、大型電腦、太空設備和資料中心中的任一個或多個，可期待功耗降低的效果。因此，目前被認為隨著半導體裝置的高性能化或高積體化能量需求增加，藉由使用本發明的一個實施方式的半導體裝置，也可以減少以二氧化碳(CO_2)為代表的溫室氣體的排放量。另外，本發明的一個實施方式的半導體裝置具有低功耗，因此作為全球暖化的措施也有效。

【0514】本實施方式可以與本說明書所示的其他實施方式適當地組合。例如，本實施方式所示的構成、結構、方法等可以與其他實施方式等所示的構成、結構、方法等適當地組合而使用。

【0515】

實施方式5

在本實施方式中，說明將上述實施方式中說明的疊層結構應用於顯示裝置的結構例子以及使用該顯示裝置的電子裝置。

【0516】

<顯示裝置的結構例子>

圖33A是示出採用該疊層結構的顯示裝置DSP的結構

例子的立體示意圖，圖33B是顯示裝置DSP的方塊圖。

【0517】顯示裝置DSP包括記憶體電路區域MEMA、驅動電路區域DRVA、電路層SWCL及顯示區域EMA。記憶體電路區域MEMA及驅動電路區域DRVA位於電路層SWCL的下方，顯示區域EMA位於電路層SWCL的上方。換言之，在顯示裝置DSP中，從下方依次層疊記憶體電路區域MEMA及驅動電路區域DRVA、電路層SWCL以及顯示區域EMA。

【0518】記憶體電路區域MEMA例如包括多個記憶體電路ME。關於記憶體電路ME可以參照實施方式1中的記憶體電路ME。因此，記憶體電路區域MEMA例如也可以包括具有DRAM、DOSRAM(註冊商標)、NOSRAM(註冊商標)、SRAM、FeRAM、ReRAM、MRAM或PRAM的記憶體電路ME。此外，在圖33B中，作為一個例子，記憶體電路ME是儲存數位資料的記憶體電路，該記憶體電路ME分別對電路層SWCL發送1位元或多位元的資料。另外，記憶體電路ME儲存用來發送到後述的像素電路PX的影像資料。

【0519】例如，記憶體電路ME具有讀出8位元(1位元組)的影像資料並將該影像資料發送到後述的驅動電路區域DRVA的功能。注意，記憶體電路ME可以處理的資料不侷限於8位元，例如也可以處理1位元、2位元或4位元等小於8位元的資料。另外，例如也可以處理16位元、32位元、64位元、128位元或256位元等大於8位元的資料。

【0520】驅動電路區域DRVA例如包括多個數位類比

轉換電路DAC。數位類比轉換電路DAC具有將從記憶體電路ME讀出的數位資料的影像資料轉換為類比資料的功能。另外，驅動電路區域DRVA具有將被轉換的類比資料發送到電路層SWCL的功能。

【0521】作為一個例子，電路層SWCL包括選擇器MPX。關於選擇器MPX可以參照實施方式1中說明的選擇器MPX的說明。

【0522】作為一個例子，顯示區域EMA包括多個像素電路PX。尤其是，像素電路PX較佳為以陣列狀配置在顯示區域EMA中。

【0523】選擇器MPX的多個輸入端子IT分別與驅動電路區域DRVA的多個數位類比轉換電路DAC電連接。另外，選擇器MPX的輸出端子OT與包括在顯示區域EMA中的多個像素電路PX中的一個電連接。

【0524】選擇器MPX例如具有根據輸入到選擇器MPX的信號PSIG使選擇器MPX的多個輸入端子IT中的一個與選擇器MPX的輸出端子OT之間成為導通狀態的功能。另外，選擇器MPX例如具有使選擇器MPX的其他多個輸入端子IT的剩餘的與選擇器MPX的輸出端子OT之間都成為非導通狀態的功能。

【0525】藉由如上所述構成顯示裝置DSP，顯示裝置DSP可以從記憶體電路區域MEMA中的多個記憶體電路ME的每一個所保持的影像資料中選擇影像資料並將該選擇的影像資料顯示在顯示區域EMA的多個像素電路PX中的一

個上。

【0526】接著，說明像素電路PX的結構例子。

【0527】在圖34中示出可以包括在像素電路PX中的電路層OSL以及連接於電路層OSL的發光層LE。在圖34中，發光層LE包括發光器件130。另外，圖34是示出像素電路PX中的電路層OSL所包括的各電路元件的連接的圖。

【0528】電路層OSL包括電晶體500A、電晶體500B、電晶體500C及電容器600。作為電晶體500A、電晶體500B及電晶體500C的每一個，例如可以使用實施方式1中說明的可用作電晶體M1的電晶體。尤其是，電晶體500A、電晶體500B及電晶體500C的每一個較佳為OS電晶體。在圖34中，作為電晶體500A、電晶體500B及電晶體500C的每一個示出包括背閘極電極的OS電晶體。在此情況下，可以實現對背閘極電極供應與閘極電極相同的信號的結構、對背閘極電極供應與閘極電極不同的信號的結構。注意，圖34示出電晶體500A、電晶體500B及電晶體500C包括背閘極電極，但是電晶體500A、電晶體500B及電晶體500C也可以不包括背閘極電極。

【0529】電晶體500B包括與電晶體500A電連接的閘極電極、與發光器件130電連接的第一電極、與佈線ANO電連接的第二電極。佈線ANO是用來對發光器件130供應電流的電位的佈線。

【0530】電晶體500A包括與電晶體500B的閘極電極電連接的第一端子、與用作源極線的佈線SL電連接的第二

端子以及具有根據用作閘極線的佈線G1的電位控制開啟狀態和關閉狀態的切換的功能的閘極電極。

【0531】佈線SL被用作像素電路PX中的源極線，因此發送到佈線SL的影像資料是從上述電路層SWCL的選擇器MPX輸出的影像資料。

【0532】電晶體500C包括與佈線V0電連接的第一端子、與發光器件130電連接的第二端子以及具有根據被用作閘極線的佈線G2的電位控制開啟狀態和關閉狀態切換的功能的閘極電極。佈線V0是用來供應參考電位的佈線，也是將流過電路層OSL的電流輸出到驅動電路區域DRVA的佈線。

【0533】電容器600包括與電晶體500B的閘極電極電連接的導電膜以及與電晶體500C的第二電極電連接的導電膜。

【0534】發光器件130包括與電晶體500B的第一電極電連接的第一電極以及與佈線VCOM電連接的第二電極。佈線VCOM是供應用來對發光器件130供應電流的電位的佈線。

【0535】由此，可以根據供應到電晶體500B的閘極電極的影像信號控制發光器件130所發射的光的強度。另外，可以由藉由電晶體500C供應的佈線V0的參考電位抑制電晶體500B的閘極-源極間電壓的不均勻。

【0536】另外，可以從佈線V0輸出可以在設定像素參數時使用的電流值。更明確而言，佈線V0可以被用作將流

過電晶體500B的電流或流過發光器件130的電流輸出到外部的監視線。輸出到佈線V0的電流例如由源極隨耦電路轉換為電壓而輸出到外部。或者，該電流例如可以由類比數位轉換電路等轉換為數位信號而輸出到進行調光及調色的處理的電路。上述源極隨耦電路、類比數位轉換電路以及進行調光及調色的處理的電路各自例如可以包括在驅動電路區域DRVA中。

【0537】圖35是示意性地示出驅動電路區域DRVA、記憶體電路區域MEMA、電路層SWCL以及像素電路PX所包括的具有多個電晶體的電路層OSL及具有發光器件130的發光層LE的上下關係的圖。作為一個例子，圖35所示的顯示裝置DSP的顯示區域EMA包括電路層OSL及發光層LE。

【0538】另外，在圖35中作為一個例子示出的結構中可以縮短用來使電路層OSL與驅動電路區域DRVA電連接的佈線，所以可以降低該佈線的佈線電阻。因此，可以高速進行資料的寫入，所以可以以高速驅動顯示裝置DSP。由此，即便使顯示裝置DSP所包括的像素電路PX的數量多，也可以確保充分圖框期間，所以可以提高顯示裝置DSP的像素密度。另外，藉由提高顯示裝置DSP的像素密度，可以提高顯示裝置DSP所顯示的影像的清晰度。例如，顯示裝置DSP的像素密度可以為500ppi以上，較佳為1000ppi以上，更佳為3000ppi以上，進一步較佳為5000ppi以上，更進一步較佳為6000ppi以上。因此，可以說，顯

示裝置DSP例如可以為用於AR(擴增實境)、VR(虛擬實境)等XR(擴展現實(Extended Reality)或交叉現實(Cross Reality))的顯示裝置，適合用於HMD(頭戴顯示器)等顯示部與用户的距離較近的電子裝置。

【0539】

<電子裝置的結構例子>

接著，說明可以使用上述顯示裝置DSP的電子裝置的一個例子。

【0540】電子裝置例如包括顯示裝置以及選自天線、電池、外殼、相機、揚聲器、麥克風、觸控感測器和操作按鈕中的一個以上。

【0541】此外，電子裝置也可以包括二次電池，較佳為藉由非接觸電力傳送對該二次電池進行充電。

【0542】作為二次電池，例如，可以舉出鋰離子二次電池(例如，利用凝膠狀電解質的鋰聚合物電池(鋰離子聚合物電池))、鎳氫電池、鎳鎘電池、有機自由基電池、鉛蓄電池、空氣二次電池、鎳鋅電池、銀鋅電池。

【0543】此外，電子裝置也可以包括天線。藉由使用天線接收信號，可以在顯示部上顯示影像、資訊等。另外，在電子裝置包括天線及二次電池時，可以將天線用於非接觸電力傳送。

【0544】在電子裝置的顯示區域上例如可以顯示具有全高清、4K2K、8K4K、16K8K或更高的解析度的影像。

【0545】作為電子裝置，例如可以舉出具有較大螢幕

的電子裝置諸如電視機、筆記本式個人電腦、顯示器裝置、數位看板、彈珠機及遊戲機等。另外，作為電子裝置，例如可以舉出數位相機、數位攝影機、數位相框、行動電話機、可攜式遊戲機、可攜式資訊終端、音頻再生裝置。

【0546】電子裝置可以沿著房屋或高樓等建築物的內壁或外壁所具有的平面或曲面組裝。另外，該電子裝置可以沿著汽車等的內部裝修或外部裝修等所具有的平面或曲面組裝。

【0547】

[行動電話機]

圖36A所示的資訊終端5500是資訊終端之一的行動電話機(智慧手機)。資訊終端5500包括外殼5510及顯示部5511，作為輸入介面在顯示部5511中具備觸控面板，並且在外殼5510上設置有按鈕。

【0548】

[可穿戴終端]

圖36B是示出可穿戴終端的一個例子的資訊終端5900的外觀圖。資訊終端5900包括外殼5901、顯示部5902、操作按鈕5903、錶冠5904及錶帶5905。

【0549】

[資訊終端]

另外，圖36C示出筆記本式資訊終端5300。作為一個例子，在圖36C所示的筆記本式資訊終端5300中，外殼

5330a具有顯示部5331，外殼5330b具有鍵盤部5350。

【0550】注意，在上述例子中，圖36A至圖36C示出智慧手機、可穿戴終端及筆記本式資訊終端作為電子裝置的例子，但是也可以應用於智慧手機、可穿戴終端及筆記本式資訊終端以外的資訊終端。作為智慧手機、可穿戴終端及筆記本式資訊終端以外的資訊終端，例如可以舉出PDA(Personal Digital Assistant：個人數位助理)、桌上型資訊終端及工作站。

【0551】

[相機]

圖36D是安裝有取景器8100的相機8000的外觀圖。相機8000包括外殼8001、顯示部8002、操作按鈕8003及快門按鈕8004。另外，相機8000安裝有可裝卸的鏡頭8006。取景器8100包括外殼8101、顯示部8102以及按鈕8103。

【0552】在相機8000中，鏡頭8006和外殼也可以被形成為一體。

【0553】相機8000藉由按下快門按鈕8004或者觸摸用作觸控面板的顯示部8002，可以進行拍攝。

【0554】外殼8001包括具有電極的嵌入器，除了可以與取景器8100連接以外，還可以與閃光燈裝置連接。

【0555】外殼8101藉由嵌合到相機8000的嵌入器的嵌入器裝到相機8000。取景器8100可以將從相機8000接收的影像等顯示到顯示部8102上。

【0556】按鈕8103被用作電源按鈕。

【0557】本發明的一個實施方式的顯示裝置可以用於相機8000的顯示部8002及取景器8100的顯示部8102。此外，也可以在相機8000中內置有取景器。

【0558】

[遊戲機]

圖36E是示出遊戲機的一個例子的可攜式遊戲機5200的外觀圖。可攜式遊戲機5200包括外殼5201、顯示部5202、按鈕5203。

【0559】此外，可攜式遊戲機5200的影像可以由電視機、個人電腦用顯示器、遊戲用顯示器、頭戴顯示器等顯示裝置輸出。

【0560】藉由將上述實施方式所說明的顯示裝置用於可攜式遊戲機5200，可以實現低功耗的可攜式遊戲機5200。此外，借助於低功耗，可以降低來自電路的發熱，由此可以減少因發熱而給電路本身、週邊電路以及模組帶來的負面影響。

【0561】在圖36E中，作為遊戲機的例子示出可攜式遊戲機，但是本發明的一個實施方式的電子裝置不侷限於此。作為本發明的一個實施方式的電子裝置，例如可以舉出固定式遊戲機、設置在娛樂設施(例如，遊戲中心、遊樂園等)的街機遊戲機、設置在體育設施的擊球練習用投球機。

【0562】

[電視機]

圖36F是示出電視機的立體圖。電視機9000包括外殼9002、顯示部9001、揚聲器9003、操作鍵9005(包括電源開關或操作開關)、連接端子9006及感測器9007(該感測器具有測量如下因素的功能：力、位移、位置、速度、加速度、角速度、旋轉數、距離、光(包括紅外線)、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動或氣味)等。或者，該感測器例如具有檢測或測量出氣味或光(包括紅外線)的功能)。本發明的一個實施方式的顯示裝置可以組裝於電視機。可以將例如是50英寸以上或100英寸以上的顯示部9001組裝到電視機。

【0563】藉由將上述實施方式所說明的顯示裝置應用於電視機9000，可以實現低功耗的電視機9000。此外，借助於低功耗，可以降低來自電路的發熱，由此可以減少因發熱而給電路本身、週邊電路以及模組帶來的負面影響。

【0564】

[移動體]

本發明的一個實施方式的顯示裝置可以應用於作為移動體的汽車的駕駛座位附近。

【0565】圖36G是示出汽車室內的前擋風玻璃附近的圖。圖36G示出安裝在儀表板的顯示面板5701、顯示面板5702、顯示面板5703以及安裝在支柱的顯示面板5704。

【0566】顯示面板5701至顯示面板5703例如可以顯示導航資訊、速度表、轉速計、行駛距離、加油量、排檔狀

態、空調的設定等各種資訊。此外，使用者可以根據喜好適當地改變顯示面板所顯示的顯示內容及佈局，可以提高設計性。顯示面板5701至顯示面板5703還可以被用作照明設備。

【0567】藉由將由設置在車體的攝像單元拍攝的影像顯示在顯示面板5704上，可以補充被支柱遮擋的視野(死角)。也就是說，藉由顯示由設置在汽車外側的攝像單元拍攝的影像，可以補充死角，從而可以提高安全性。另外，藉由顯示補充看不到的部分的影像，可以更自然、更舒適地確認安全。顯示面板5704可以被用作照明設備。

【0568】本發明的一個實施方式的顯示裝置例如可以應用於顯示面板5701至顯示面板5704。

【0569】雖然在上述例子中作為移動體的一個例子說明了汽車，但是移動體不侷限於汽車。例如，作為移動體，也可以舉出電車、單軌鐵路、船舶、飛行物(例如，直升機、無人駕駛飛機(無人機)、飛機、火箭)等，可以對這些移動體應用本發明的一個實施方式的顯示體裝置。

【0570】

[數位看板]

圖36H示出可以掛牆的數位看板的例子。圖36H示出掛牆壁6201的數位看板6200的例子。本發明的一個實施方式的顯示裝置例如可以應用於數位看板6200的顯示部。另外，數位看板6200可以設置有觸控面板等的介面等。

【0571】注意，在上面作為數位看板的一個例子示出

可以掛牆的電子裝置，但是數位看板的種類不侷限於此。例如，作為數位看板可以舉出：安裝到柱子上的數位看板；放在地面上的數位看板；或者設置在建築物的屋頂或側壁上的數位看板。

【0572】

[頭戴顯示器]

圖36I是示出作為頭戴顯示器的電子裝置8300的外觀圖。電子裝置8300包括外殼8301、顯示部8302、帶狀固定構件8304、頭戴固定構件8304a以及一對透鏡8305。

【0573】另外，雖然在圖36I中未圖示，但是電子裝置8300也可以安裝有操作按鈕或電源按鈕等介面。

【0574】使用者可以藉由透鏡8305看到顯示部8302上的顯示。較佳的是，彎曲配置顯示部8302。因為使用者可以感受高真實感。此外，藉由透鏡8305分別看到顯示在顯示部8302的不同區域上的不同影像，可以進行利用視差的三維顯示等。此外，本發明的一個實施方式不侷限於設置有一個顯示部8302的結構，也可以以對使用者的一個眼睛配置一個顯示部的方式設置兩個顯示部8302。

【0575】另外，顯示部8302例如較佳為使用清晰度極高的顯示裝置。藉由作為顯示部8302使用清晰度高的顯示裝置，即使使用透鏡8305放大，也可以不使使用者看到像素而可以顯示現實感更高的影像。

【0576】另外，電子裝置的頭戴顯示器也可以採用眼鏡型頭戴顯示器的電子裝置的形式而不採用如圖36I那樣

的護目鏡型頭戴顯示器的電子裝置8300的形式。

【0577】本實施方式可以與本說明書所示的其他實施方式適當地組合。例如，本實施方式所示的構成、結構、方法等可以與其他實施方式等所示的構成、結構、方法等適當地組合而使用。

【符號說明】

【0578】

DEV:半導體裝置

MEML_L:記憶體層

MEML_H:記憶體層

SWCL:電路層

SWCLA:電路層

SWCLB:電路層

SWCLC:電路層

ME_L:記憶體電路

ME_H:記憶體電路

MC_L:記憶單元

MC_H:記憶單元

WL_L:佈線

WL_H:佈線

BL_L:佈線

BL_H:佈線

BLUT_L:佈線

BLUT_H:佈線

MA_L:區域

MA_H:區域

MPX:選擇器

DMPX:選擇器

SW[00000]:開關

SW[00100]:開關

SW[00111]:開關

SW[01000]:開關

SW[01100]:開關

SW[01111]:開關

SW[10000]:開關

SW[10100]:開關

SW[10111]:開關

SW[11111]:開關

SW1:開關

SW2:開關

SW3:開關

SW4:開關

SW5:開關

SW6:開關

SWa1:開關

SWa2:開關

SWb1:開關

SWb2:開關

SWb3:開關

SWb4:開關

IT:端子

IT1:端子

IT2:端子

OT:端子

OT1:端子

OT2:端子

SL1:佈線

SL2:佈線

SL3:佈線

SL4:佈線

SL5:佈線

SL6:佈線

SLa1:佈線

SLa2:佈線

SLb1:佈線

SLb2:佈線

PON1:信號

PON2:信號

ADDR:信號

BW:信號

CE:信號

GW:信號

CLK:信號

WAKE:信號

WDA:信號

RDA:信號

SSIG:信號

DSIG:信號

MC:記憶單元

M1:電晶體

M2:電晶體

M4:電晶體

M4r:電晶體

M5:電晶體

M5r:電晶體

M6:電晶體

MN:電晶體

C1:電容器

C2:電容器

C3:電容器

C3r:電容器

VR:可變電阻元件

MR:MTJ元件

PCM:相變化記憶體

INV1:邏輯電路

INV2:邏輯電路

BL:佈線

BL[1]:佈線

BL[n]:佈線

BLB:佈線

WBL[1]:佈線

WBL[n]:佈線

RBL[1]:佈線

RBL[n]:佈線

WL:佈線

WL[1]:佈線

WL[m]:佈線

W1L:佈線

W2L:佈線

SL[1]:佈線

SL[n]:佈線

CL:佈線

CL[1]:佈線

CL[m]:佈線

C1L:佈線

C2L:佈線

OSL:電路層

ME:記憶體電路

DRV:驅動電路區域

DRVA:驅動電路區域

VCOM:佈線

ANO:佈線

PSIG:信號

10:記憶單元

22:PSW

23:PSW

31:週邊電路

32:控制電路

33:電壓生成電路

41:週邊電路

42:行解碼器

43:行驅動器

44:列解碼器

45:列驅動器

46:感測放大器

47:輸入電路

48:輸出電路

50:驅動電路區域

60:單元陣列層

60_1:單元陣列層

60_2:單元陣列層

60_3:單元陣列層

60_k:單元陣列層

60_N:單元陣列層

70:單元陣列

71:驅動電路

72:驅動電路

75:記憶單元

80:控制處理區域

81:ALU

82:ALU控制器

83:指令解碼器

84:中斷控制器

85:時序控制器

90:電路層

100:記憶體層次

101:暫存器

102:第一快取記憶體

103:第二快取記憶體

104:主記憶體

105:輔助記憶體裝置

301:絕緣體

311:基板

313:半導體區域

314a:低電阻區域

314b:低電阻區域

315:絕緣體

316:導電體

320:絕緣體

324:絕緣體

326:絕緣體

328:導電體

330:導電體

350:絕緣體

352:絕緣體

356:導電體

357:絕緣體

361:導電體

362:導電體

363a:導電體

363b:導電體

364:導電體

365:導電體

366:導電體

367:導電體

400:電晶體

500:電晶體

500A:電晶體

500B:電晶體

500C:電晶體

502:導電體

503:導電體

504:導電體

505:導電體

505a:導電體

505b:導電體

512:絕緣體

514:絕緣體

516:絕緣體

520:絕緣體

522:絕緣體

524:絕緣體

531:金屬氧化物

531a:金屬氧化物

531b:金屬氧化物

533:金屬氧化物

540a:導電體

540b:導電體

542a:導電體

542a1:導電體

542a2:導電體

542b:導電體

542b1:導電體

542b2:導電體

543a:區域

543b:區域

544:導電體

545:導電體

550:絕緣體

551:絕緣體

552:絕緣體

553:絕緣體

554:絕緣體

555:絕緣體

560:導電體

560a:導電體

560b:導電體

561:導電體

561a:導電體

561b:導電體

563:導電體

564:導電體

565:導電體

574:絕緣體

580:絕緣體

581:絕緣體

583:絕緣體

583a:絕緣體

583b:絕緣體

592:絕緣體

593:絕緣體

594:絕緣體

595:絕緣體

596:絕緣體

597:絕緣體

600:電容器

600A:電容器

700:電子構件

704:電路板

710:半導體裝置

711:模子

712:連接盤

713:電極焊盤

714:引線

715:驅動電路層

716:記憶體層

730:電子構件

731:插板

732:封裝基板

733:電極

735:半導體裝置

5200:可攜式遊戲機

5201:外殼

5202:顯示部

5203:按鈕

5300:筆記本式資訊終端

5330a:外殼

5330b:外殼

5331:顯示部

5350:鍵盤部

5500:資訊終端

5510:外殼

5511:顯示部

5600:大型電腦

5610:機架

5620:電腦

5621:電腦卡

5622:板

5623:連接端子

5624:連接端子

5625:連接端子

5626:半導體裝置

5627:半導體裝置

5628:半導體裝置

5629:連接端子

5630:主機板

5631:插槽

5900:資訊終端

5901:外殼

5902:顯示部

5903:操作按鈕

5904:錶冠

5905:錶帶

6200:數位看板

6201:牆壁

6500:電子裝置

6501:外殼

6502:顯示部

6503:電源按鈕

6504:按鈕

6505:揚聲器

6506:麥克風

6507:相機

6508:光源

6509:控制裝置

6600:電子裝置

6611:外殼

6612:鍵盤

6613:指向裝置

6614:外部連接埠

6615:顯示部

6616:控制裝置

6800:人造衛星

6801:主體

6802:太陽能電池板

6803:天線

6805:二次電池

6807:控制裝置

7000:儲存系統

7001:主機

7001sb:伺服器

7002:儲存控制電路

7003:儲存

7003md:記憶體裝置

7004:儲存區域網路

8000:相機

8001:外殼

8002:顯示部

8003:操作按鈕

8004:快門按鈕

8006:鏡頭

8100:取景器

8101:外殼

8102:顯示部

8103:按鈕

8300:電子裝置

8301:外殼

8302:顯示部

8304:固定工具

8304a:固定工具

8305:透鏡

9000:電視機

9001:顯示部

9002:外殼

9003:揚聲器

9006:連接端子

9007:感測器

【發明申請專利範圍】

【請求項1】一種半導體裝置，包括：

第一記憶體層；

第二記憶體層；以及

電路層，

其中，該第一記憶體層包括多個第一記憶體電路，

該第二記憶體層包括第二記憶體電路，

該電路層包括選擇器，

該選擇器包括多個輸入端子及輸出端子，

該第一記憶體層位於該電路層的下方，

該第二記憶體層位於該電路層的上方，

該多個第一記憶體電路都與該多個輸入端子電連接，

該第二記憶體電路與該輸出端子電連接，

該選擇器具有使選自該多個輸入端子中的一個與該輸出端子間成為導通狀態的功能，

並且，該半導體裝置具有將從該第二記憶體電路讀出的資料藉由該選擇器寫入到該第一記憶體電路的功能。

【請求項2】如請求項1之半導體裝置，還包括：

包含矽的半導體基板，

其中該第一記憶體層位於該半導體基板上，

該第一記憶體電路包括第一電晶體，

並且該第一電晶體在通道形成區域中含有該矽。

【請求項3】如請求項2之半導體裝置，

其中該第二記憶體電路包括第二電晶體，

該第二電晶體在通道形成區域中含有金屬氧化物，

該金屬氧化物包含選自銦、鋅和元素M中的一個或多個，

並且該元素M為選自鎵、鋁、矽、硼、釔、錫、銅、釩、鈹、鈦、鐵、鎳、鍺、鋯、鉬、鑭、鈰、釹、鋰、鉭、鎢、鈷、鎂和鈮中的一個或多個。

【請求項4】如請求項3之半導體裝置，

其中該資料為1位元、2位元、4位元、8位元、16位元、32位元、64位元、128位元和256位元中的任一個。

【請求項5】如請求項4之半導體裝置，

其中該第一記憶體電路與該第二記憶體電路不藉由系統匯流排線連接。

【請求項6】一種半導體裝置，包括：

第一記憶體層；

第二記憶體層；以及

電路層，

其中，該第一記憶體層包括多個第一記憶體電路，

該第二記憶體層包括第二記憶體電路，

該第二記憶體電路包括電容器及第二電晶體，

該電容器包括第一導電體、第二導電體、第一絕緣體及第二絕緣體，

該第二電晶體包括該第二導電體、第三導電體、第四導電體、第三絕緣體、第四絕緣體及金屬氧化物，

該電路層包括選擇器，

該選擇器包括多個輸入端子及輸出端子，

該第一記憶體層位於該電路層的下方，

該第二記憶體層位於該電路層的上方，

該第一絕緣體包括第一開口，

該第一導電體位於該第一開口的側面及底面以及該第一絕緣體的頂面，

該第二絕緣體位於該第一絕緣體的頂面以及該第一導電體的頂面，

該第二導電體位於該第二絕緣體的頂面中的與該第一導電體重疊的區域，

該第三絕緣體位於該第二導電體的頂面，

該第三導電體位於該第三絕緣體的頂面，

該第三絕緣體及該第三導電體包括第二開口，

該金屬氧化物位於該第二開口的側面、該第二導電體的頂面以及該第三導電體的頂面，

該第四絕緣體位於該金屬氧化物的頂面以及該第三導電體的頂面，

該第四導電體位於該第四絕緣體的頂面中的與該金屬氧化物重疊的區域，

該多個第一記憶體電路都與該多個輸入端子電連接，

該第三導電體與該輸出端子電連接，

該選擇器具有使選自該多個輸入端子中的一個與該輸出端子間成為導通狀態的功能，

並且，該半導體裝置具有將從該第二記憶體電路讀出

的資料藉由該選擇器寫入到該第一記憶體電路的功能。

【請求項7】如請求項6之半導體裝置，

該金屬氧化物包含選自銦、鋅和元素M中的一個或多個，

並且該元素M為選自鎵、鋁、矽、硼、釔、錫、銅、釩、鈹、鈦、鐵、鎳、鍺、鋯、鉬、鑭、鈰、釹、鋰、鉭、鎢、鈷、鎂和鋅中的一個或多個。

【請求項8】如請求項7之半導體裝置，還包括：

包含矽的半導體基板，

其中該第一記憶體層位於該半導體基板上，

該第一記憶體電路包括第一電晶體，

並且該第一電晶體在通道形成區域中含有該矽。

【請求項9】如請求項8之半導體裝置，

其中該第二絕緣體包含含有選自鋰、鋁、鎵、釔、鋯、鎢、鈦、鉭、鎳、鍺和鎂中的一個或多個的氧化物。

【請求項10】如請求項9之半導體裝置，

其中該資料為1位元、2位元、4位元、8位元、16位元、32位元、64位元、128位元和256位元中的任一個。

【請求項11】如請求項10之半導體裝置，

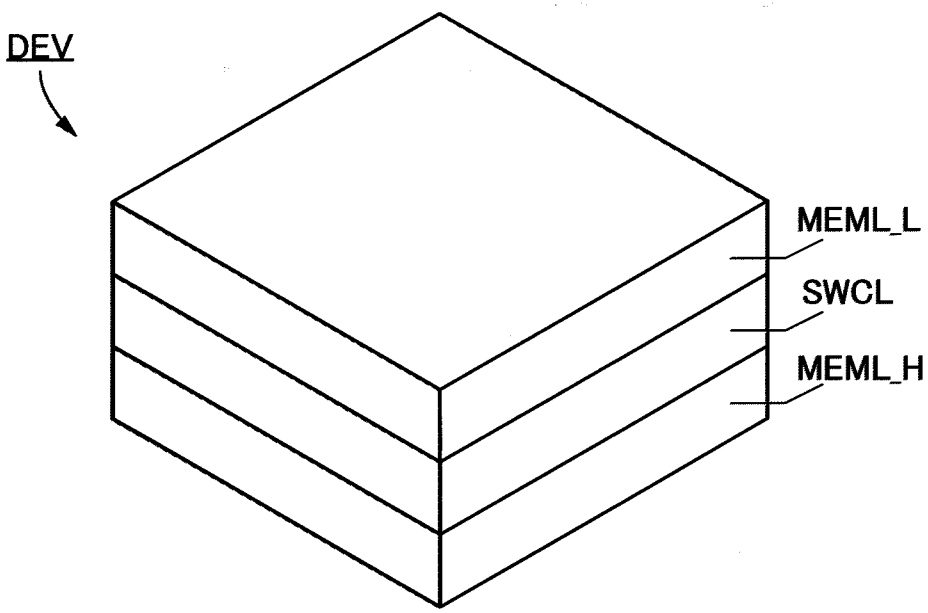
其中該第一記憶體電路與該第二記憶體電路不藉由系統匯流排線連接。

【請求項12】一種電子裝置，包括：

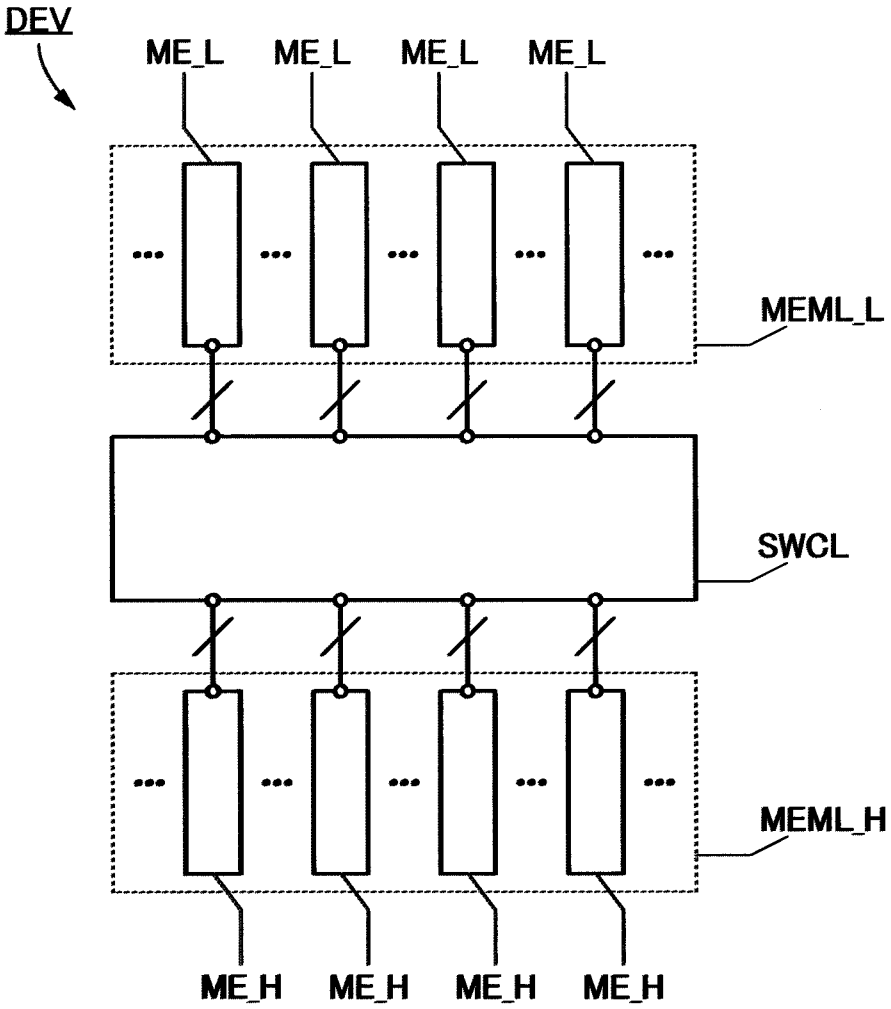
如請求項1至11中任一項之半導體裝置；以及

外殼。

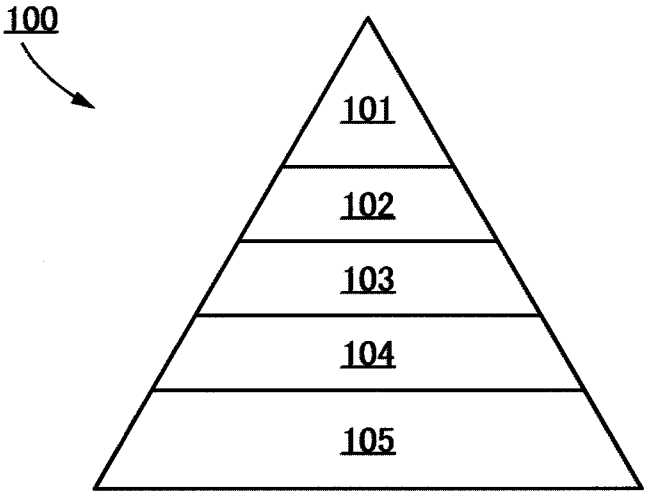
【發明圖式】


DEV
MEML_L
SWCL
MEML_H

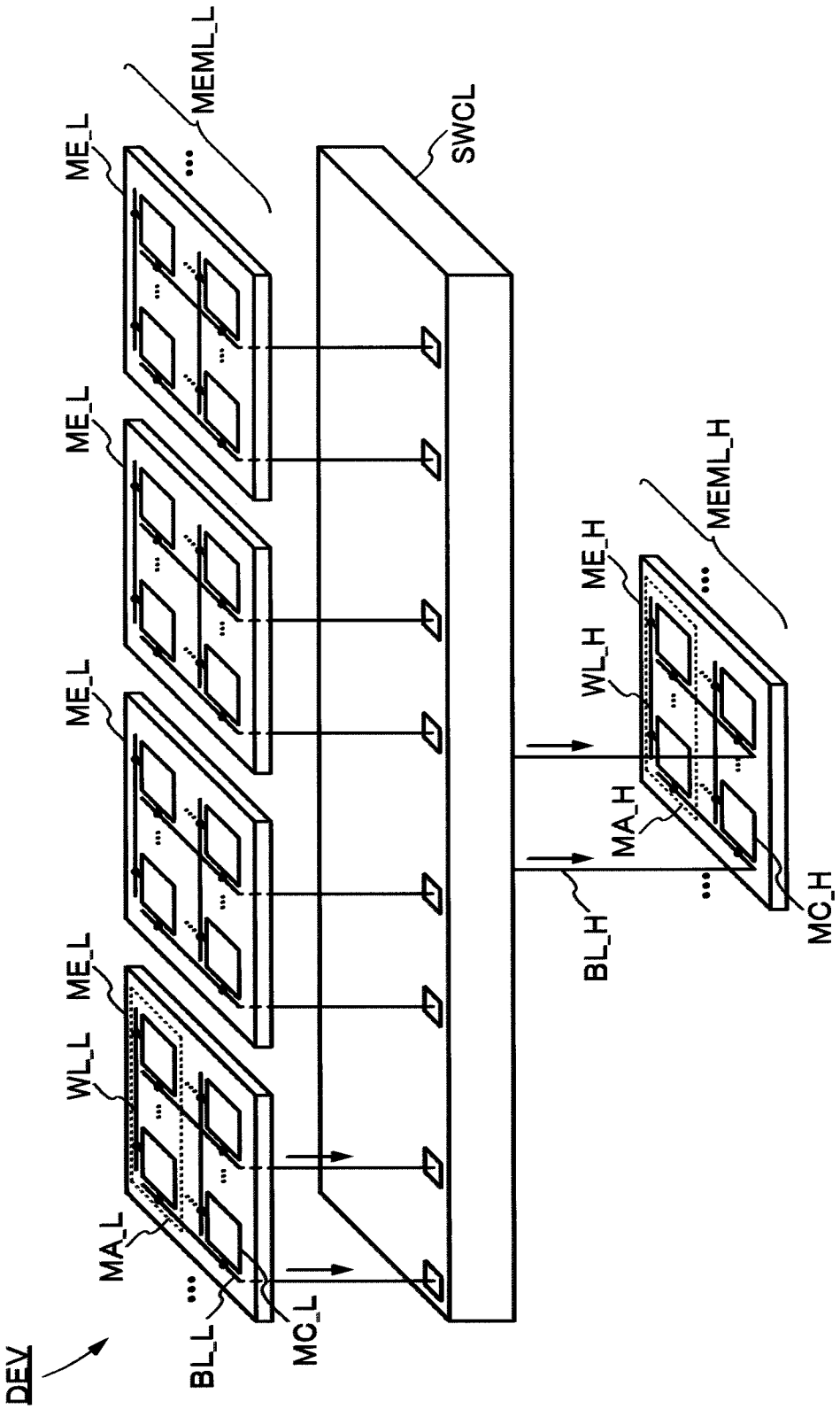
【圖1A】


DEV
ME_L
ME_L
ME_L
ME_L
MEML_L
SWCL
MEML_H
ME_H
ME_H
ME_H
ME_H

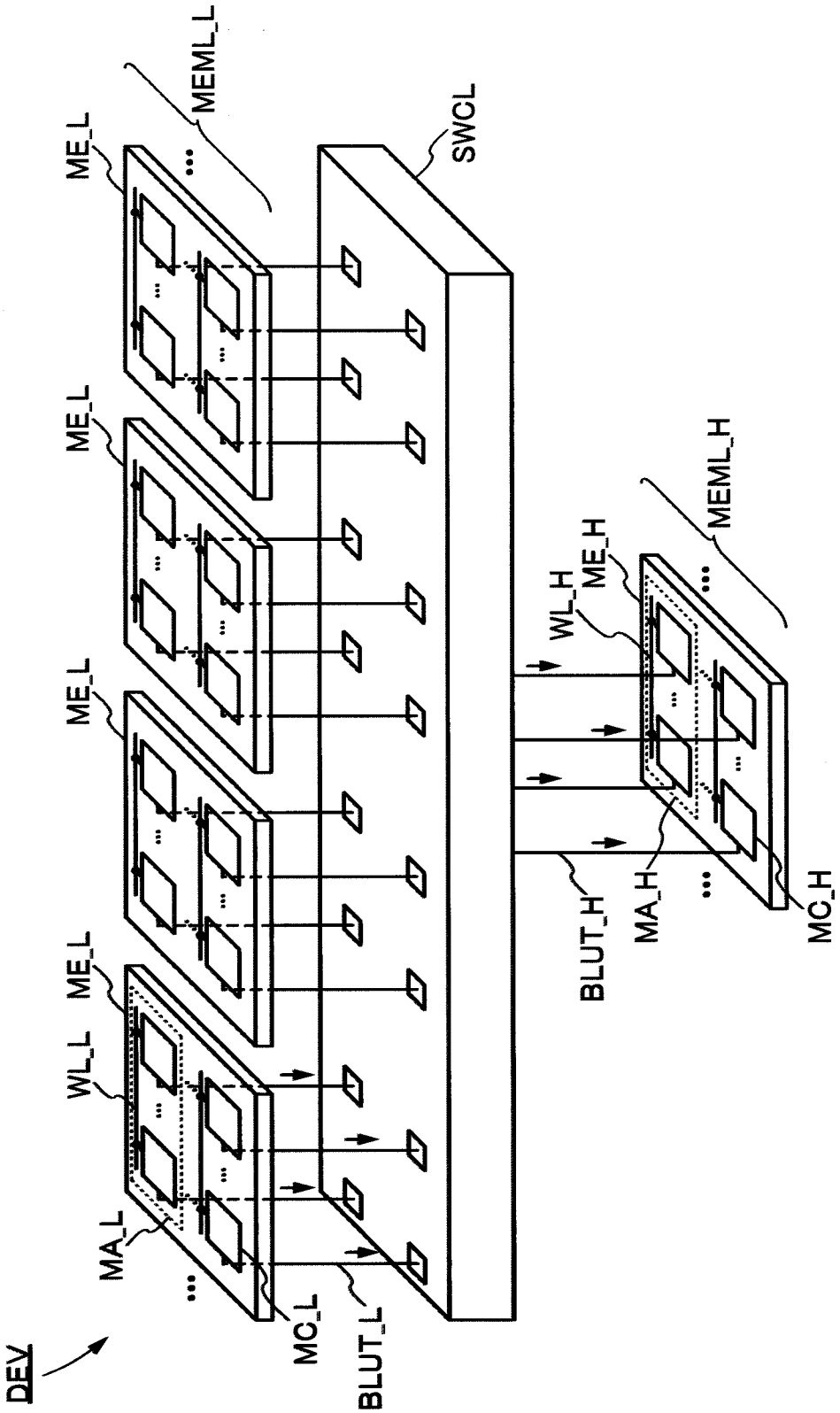
【圖1B】



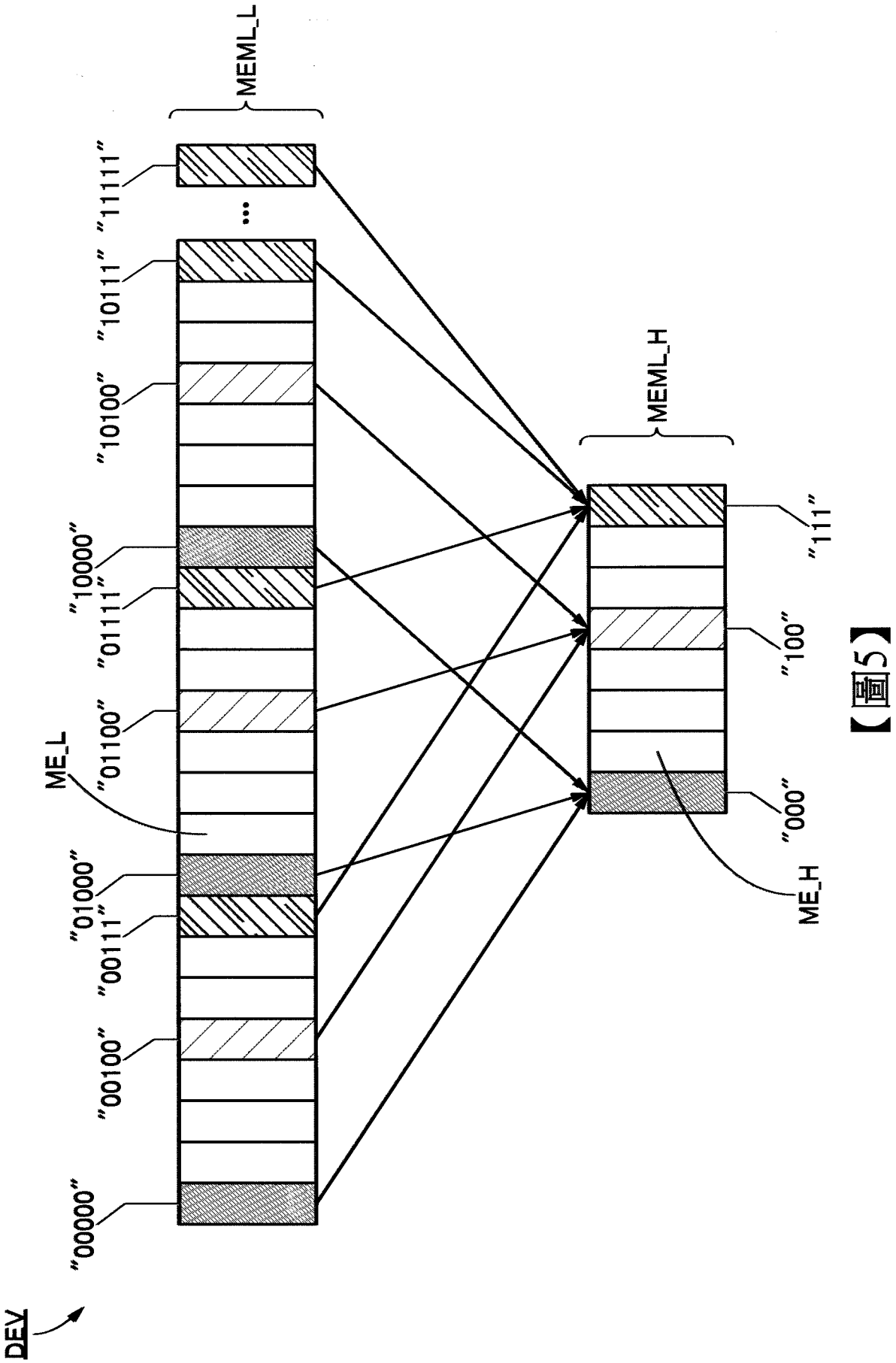
【圖2】


DEV
BL_L
MC_L
MA_L
WL_L
ME_L
ME_L
ME_L
ME_L
MEML_L
SWCL
BL_H
MC_H
MA_H
WL_H
ME_H
MEML_H

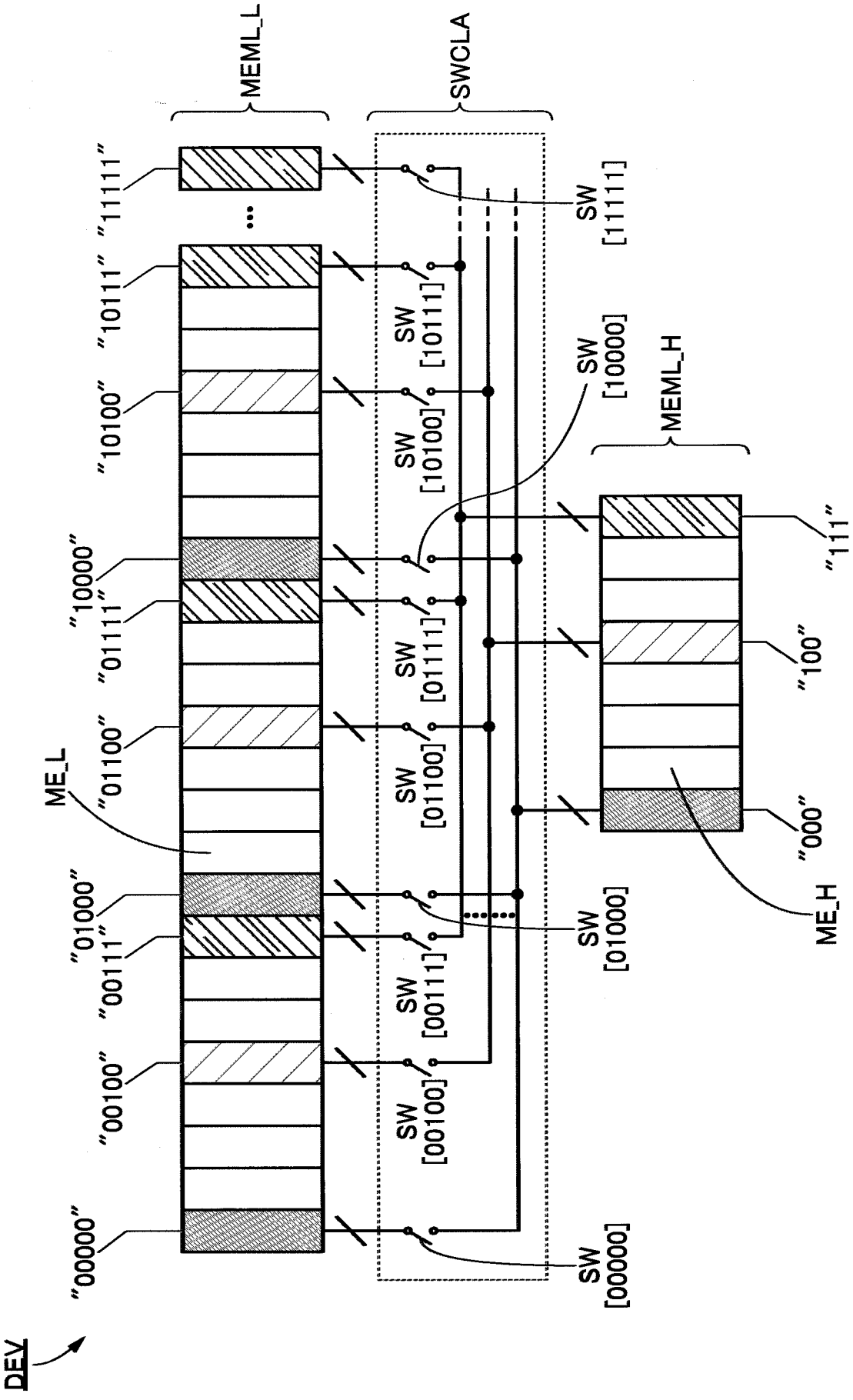
【圖3】


DEV
ME_L
MEML_L
SWCL
WL_L
MA_L
MC_L
BLUT_L
WL_H
ME_H
MEML_H
BLUT_H
MA_H
MC_H

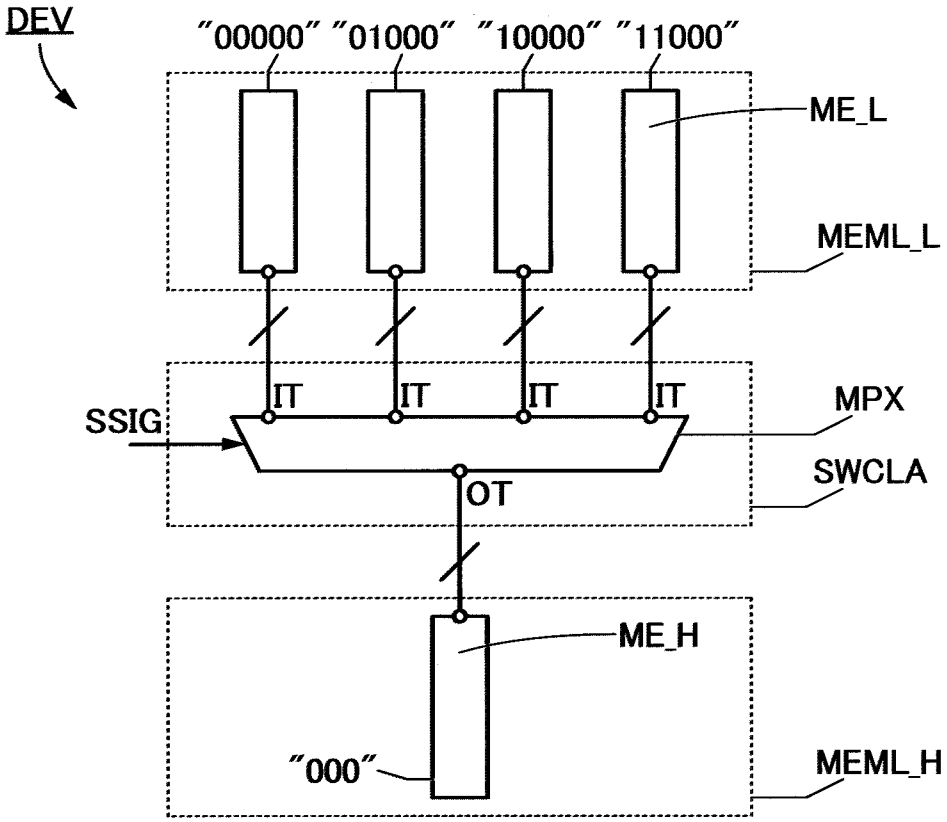
【圖4】


DEV
ME_L
MEML_L
"00000"
"00100"
"00111"
"01000"
"01100"
"01111"
"10000"
"10100"
"10111"
"11111"
ME_H
MEML_H
"000"
"100"
"111"

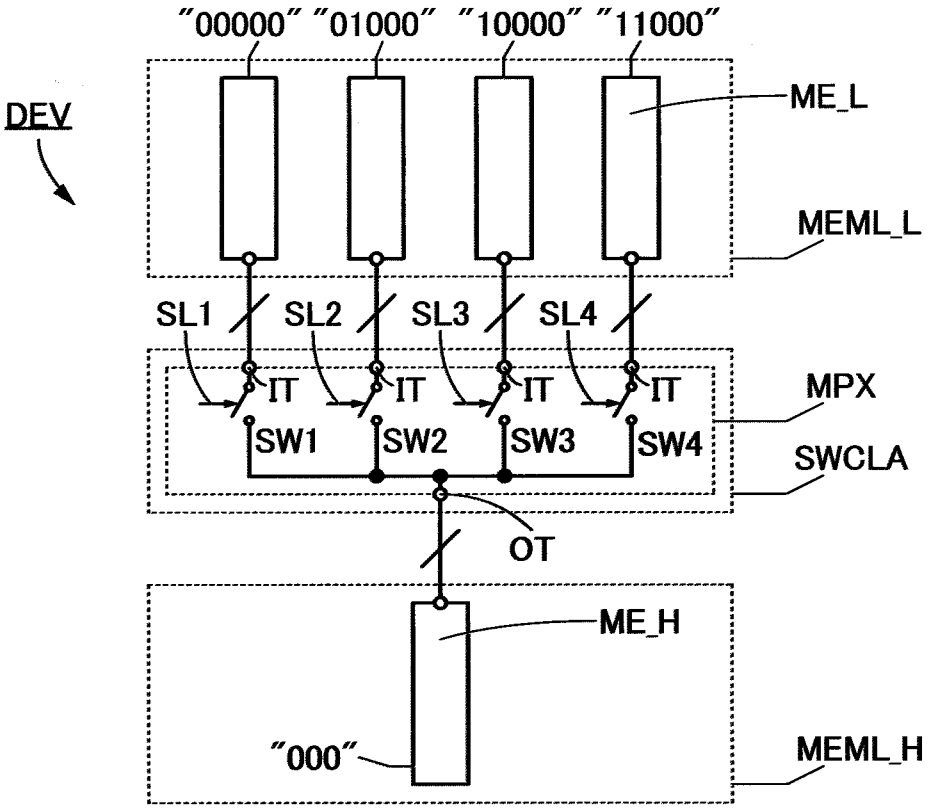
【圖5】


MEML_L
SWCLA
MEML_H
ME_L
ME_H
DEV
"11111"
"10111"
"10100"
"10000"
"01111"
"01100"
"01000"
"00111"
"00100"
"00000"
"111"
"100"
"000"
SW [11111]
SW [10111]
SW [10100]
SW [10000]
SW [01111]
SW [01100]
SW [01000]
SW [00111]
SW [00100]
SW [00000]

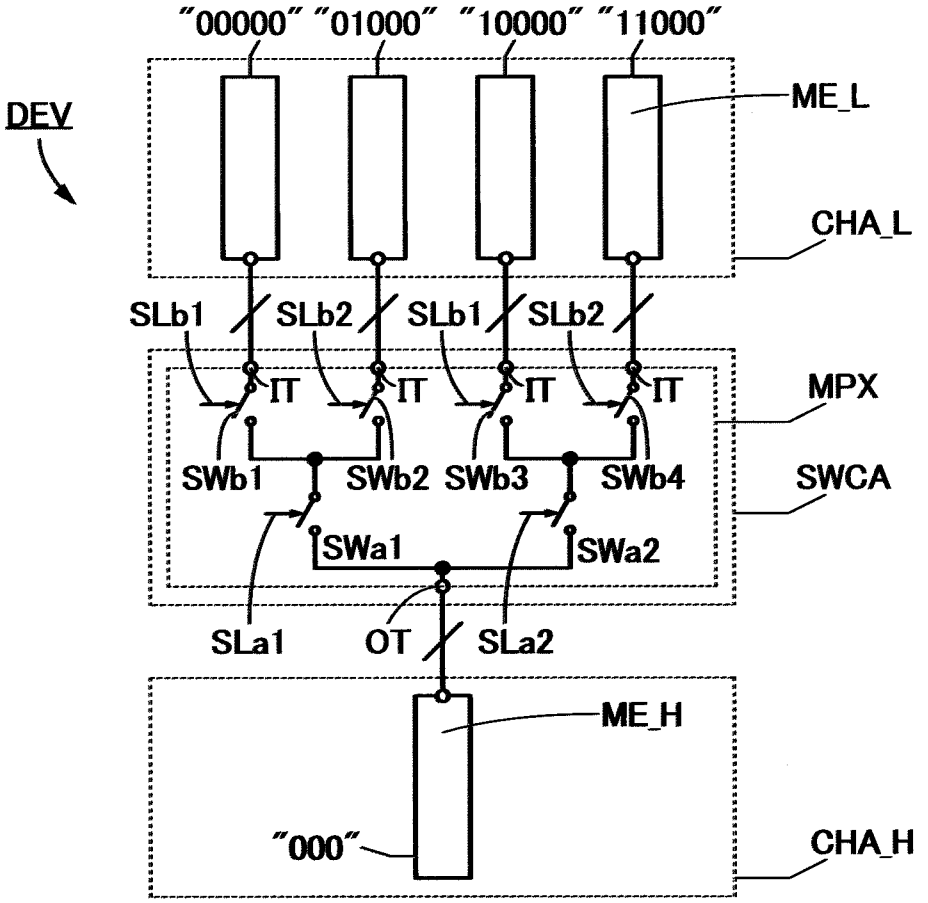
【圖6】


DEV
"00000"
"01000"
"10000"
"11000"
ME_L
MEML_L
IT
IT
IT
IT
SSIG
MPX
SWCLA
OT
ME_H
"000"
MEML_H

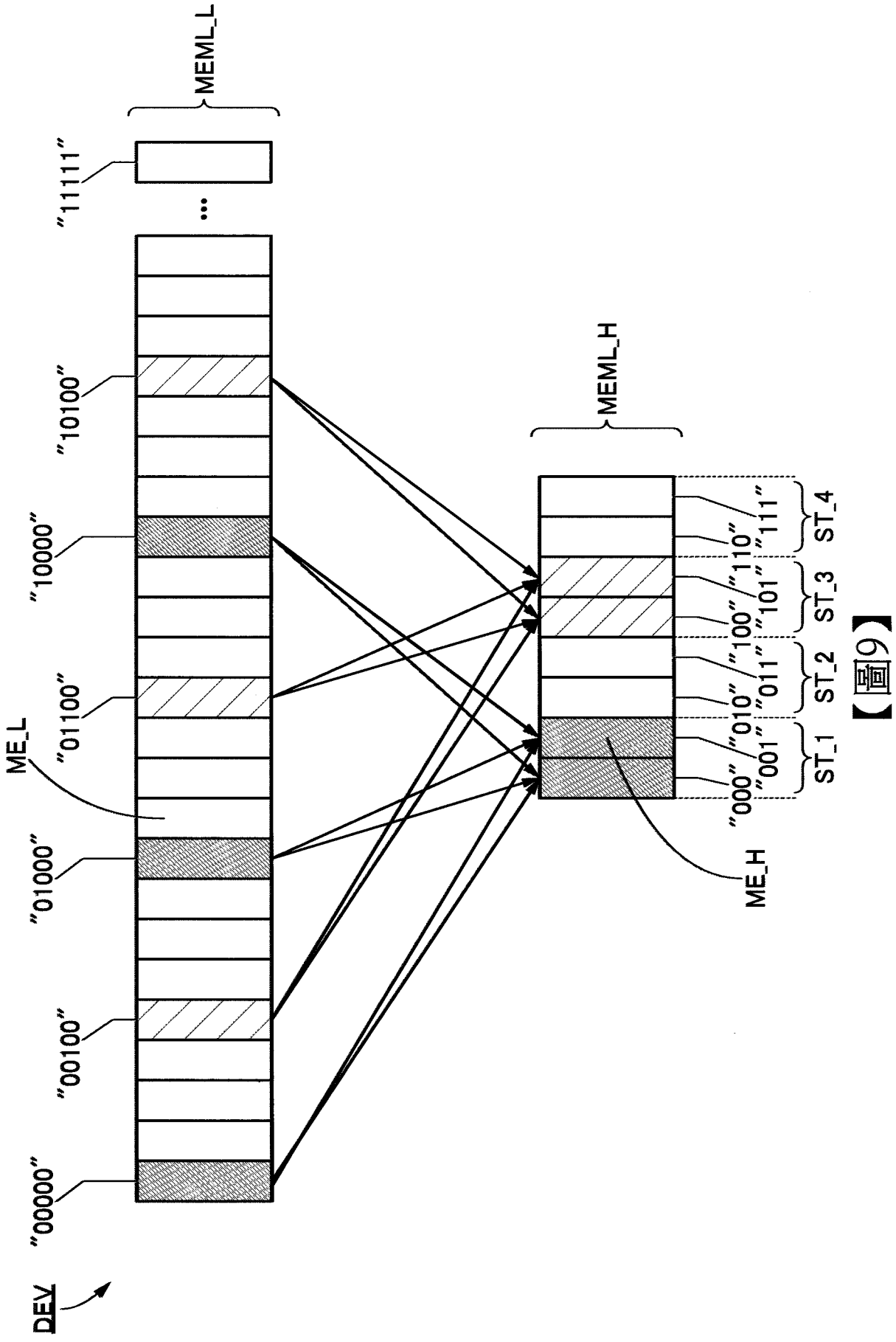
【圖7】


"00000"
"01000"
"10000"
"11000"
DEV
ME_L
MEML_L
SL1
SL2
SL3
SL4
IT
IT
IT
IT
MPX
SW1
SW2
SW3
SW4
SWCLA
OT
ME_H
"000"
MEML_H

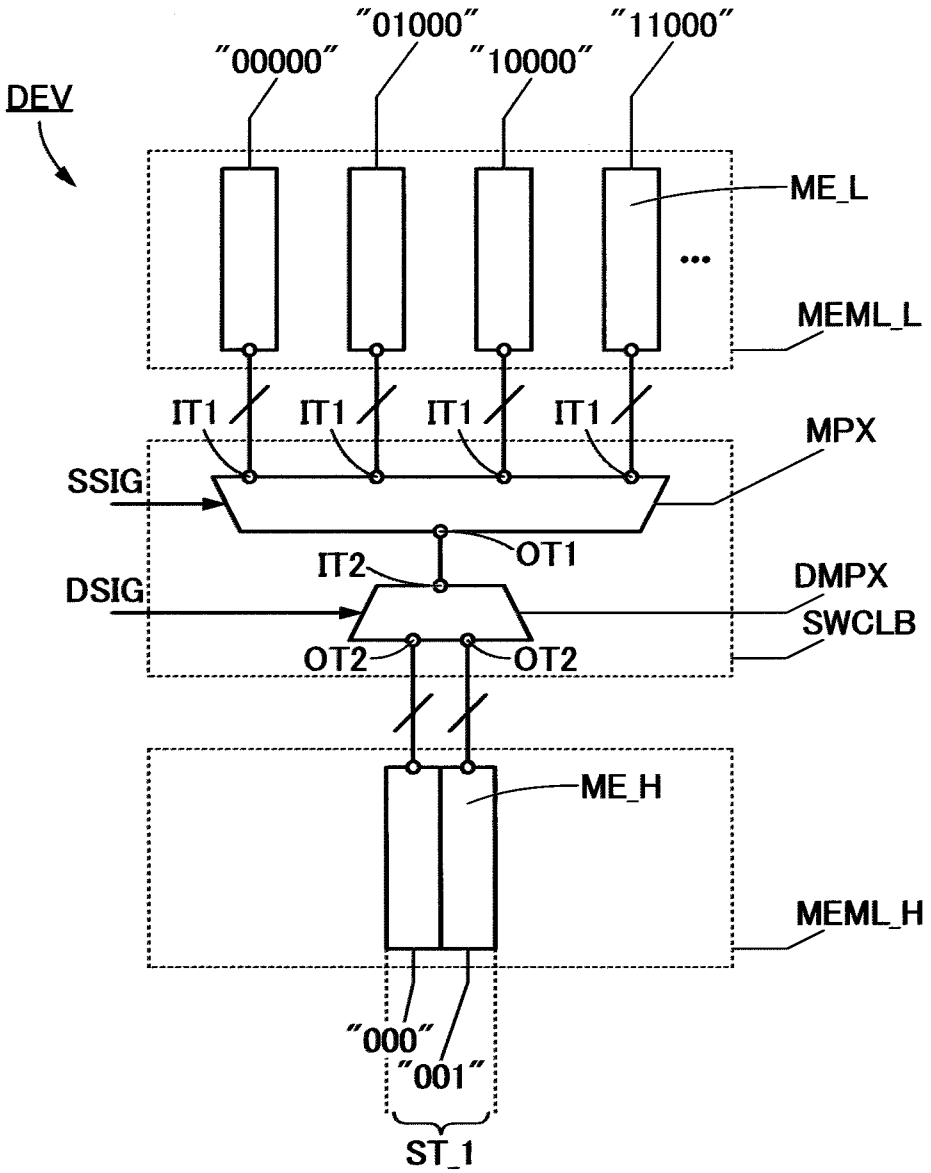
【圖8A】


"00000"
"01000"
"10000"
"11000"
DEV
ME_L
CHA_L
SLb1
SLb2
SLb1
SLb2
IT
IT
IT
IT
MPX
SWb1
SWb2
SWb3
SWb4
SWCA
SWa1
SWa2
SLa1
OT
SLa2
ME_H
"000"
CHA_H

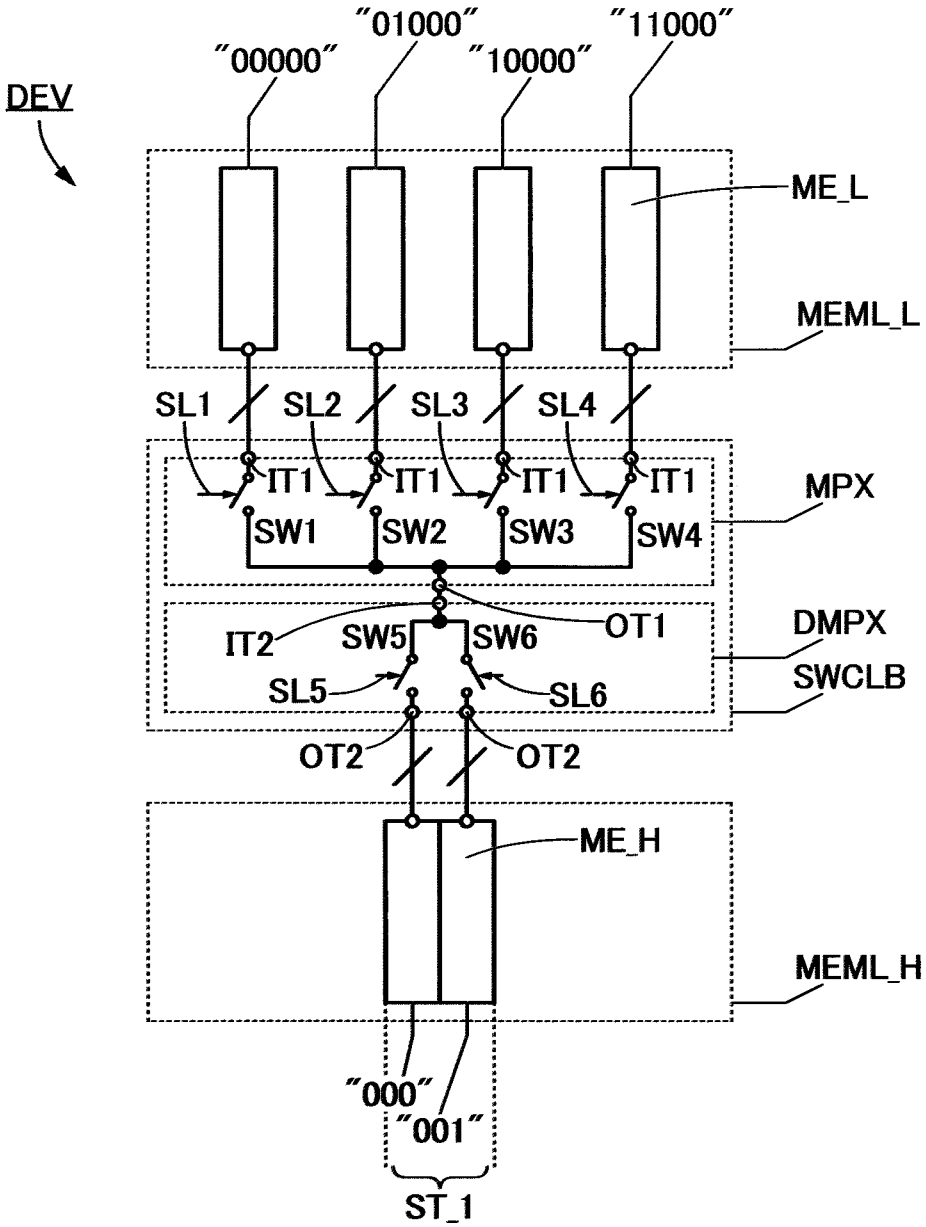
【圖8B】


MEML_L
"11111"
"10100"
"10000"
"01100"
"01000"
"00100"
"00000"
ME_L
DEV
MEML_H
"111"
"110"
"101"
"100"
"011"
"010"
"001"
"000"
ST_4
ST_3
ST_2
ST_1
ME_H

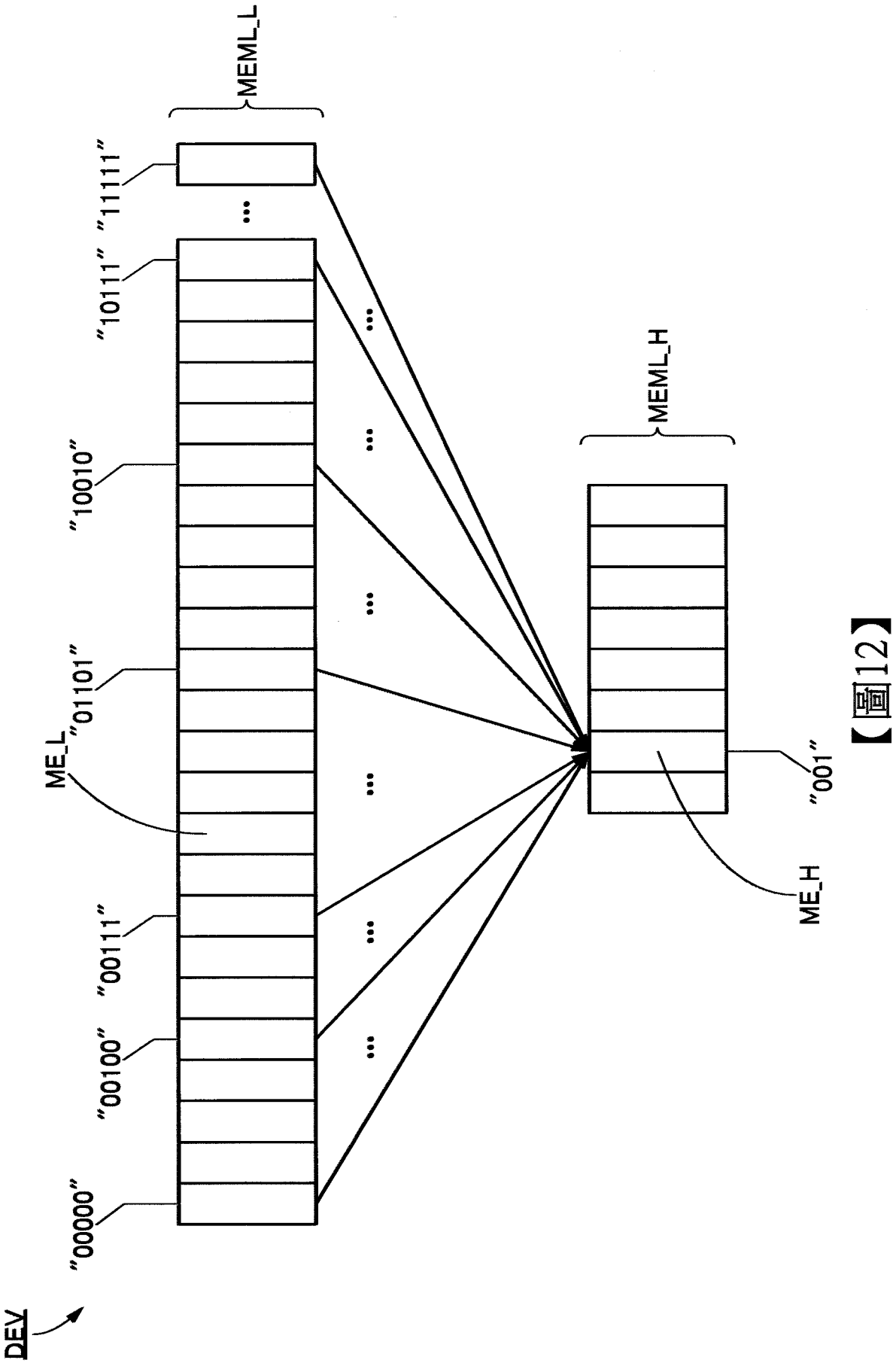
【圖9】


DEV
"00000"
"01000"
"10000"
"11000"
ME_L
MEML_L
IT1
IT1
IT1
IT1
MPX
SSIG
OT1
IT2
DSIG
DMPX
SWCLB
OT2
OT2
ME_H
MEML_H
"000"
"001"
ST_1

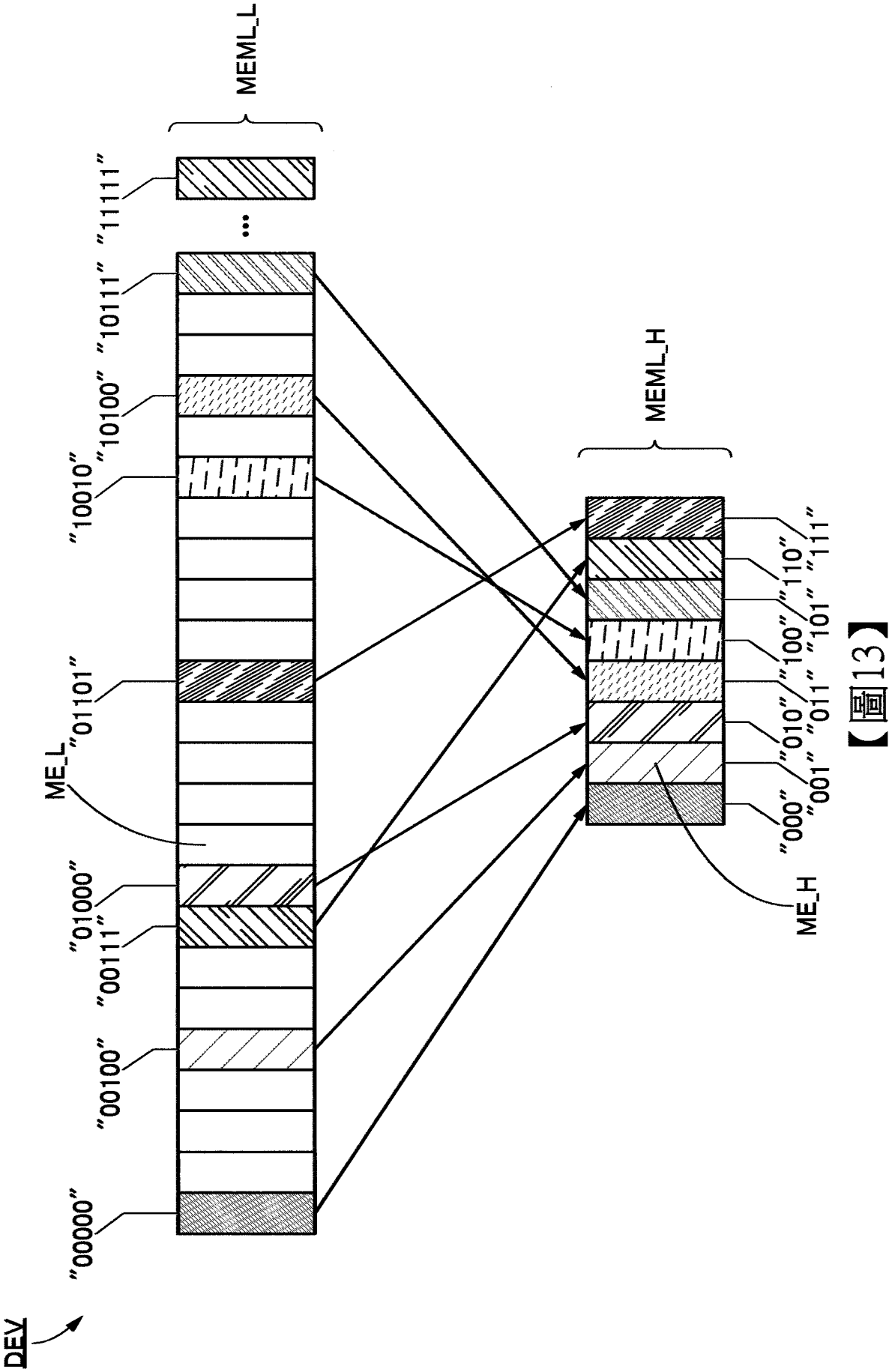
【圖10】


DEV
"00000"
"01000"
"10000"
"11000"
ME_L
MEML_L
SL1
SL2
SL3
SL4
IT1
IT1
IT1
IT1
MPX
SW1
SW2
SW3
SW4
IT2
SW5
SW6
OT1
DMPX
SL5
SL6
SWCLB
OT2
OT2
ME_H
MEML_H
"000"
"001"
ST_1

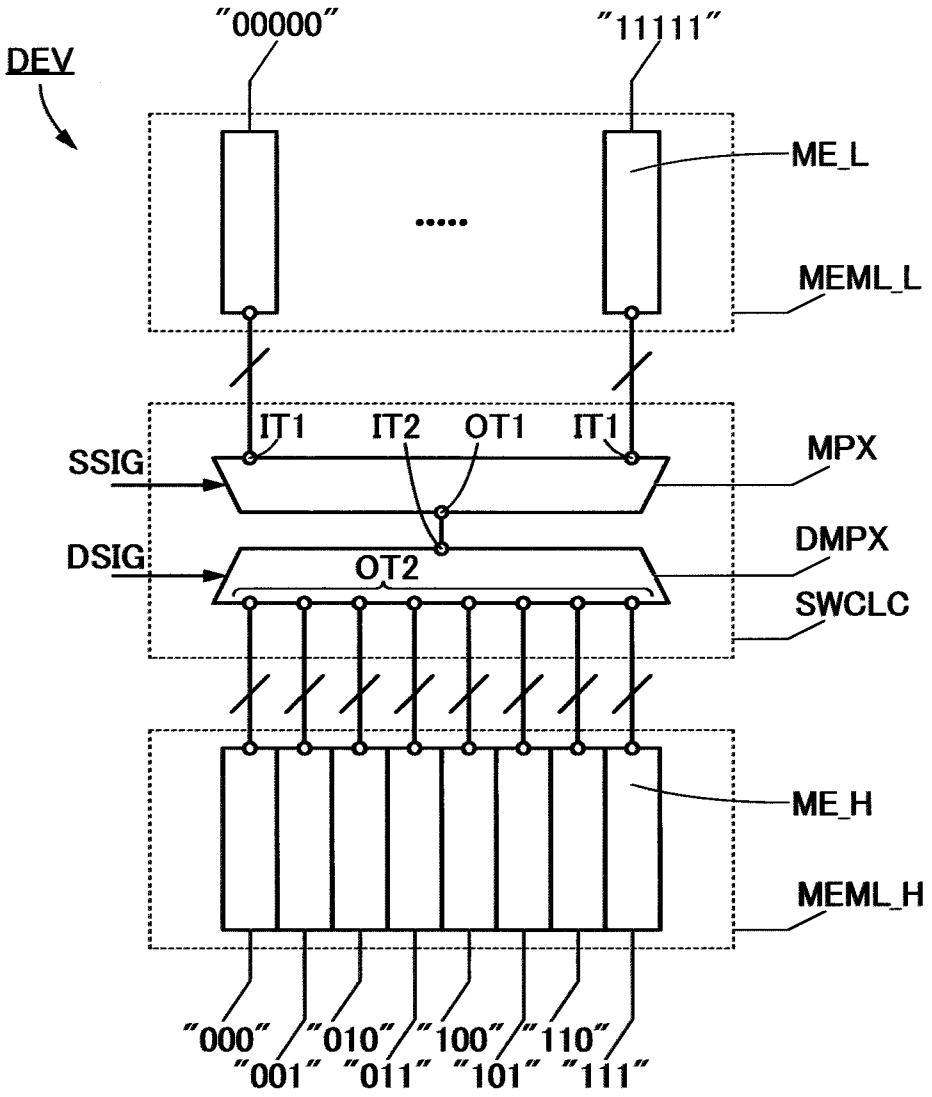
【圖11】


MEML_L
"11111"
"10111"
"10010"
"01101"
"00111"
"00100"
"00000"
ME_L
MEML_H
"001"
ME_H
DEV

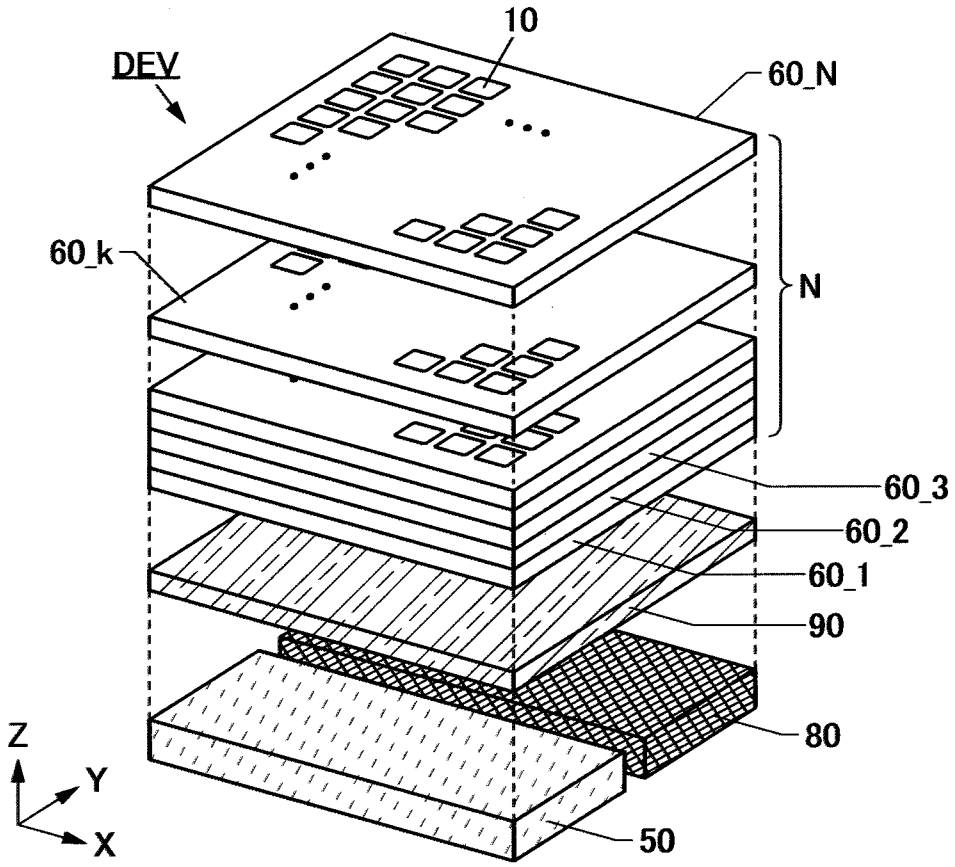
【圖12】


MEML_L
"11111"
"10111"
"10100"
"10010"
"01101"
"01000"
"00111"
"00100"
"00000"
ME_L
DEV
MEML_H
"110"
"111"
"100"
"101"
"010"
"011"
"000"
"001"
ME_H

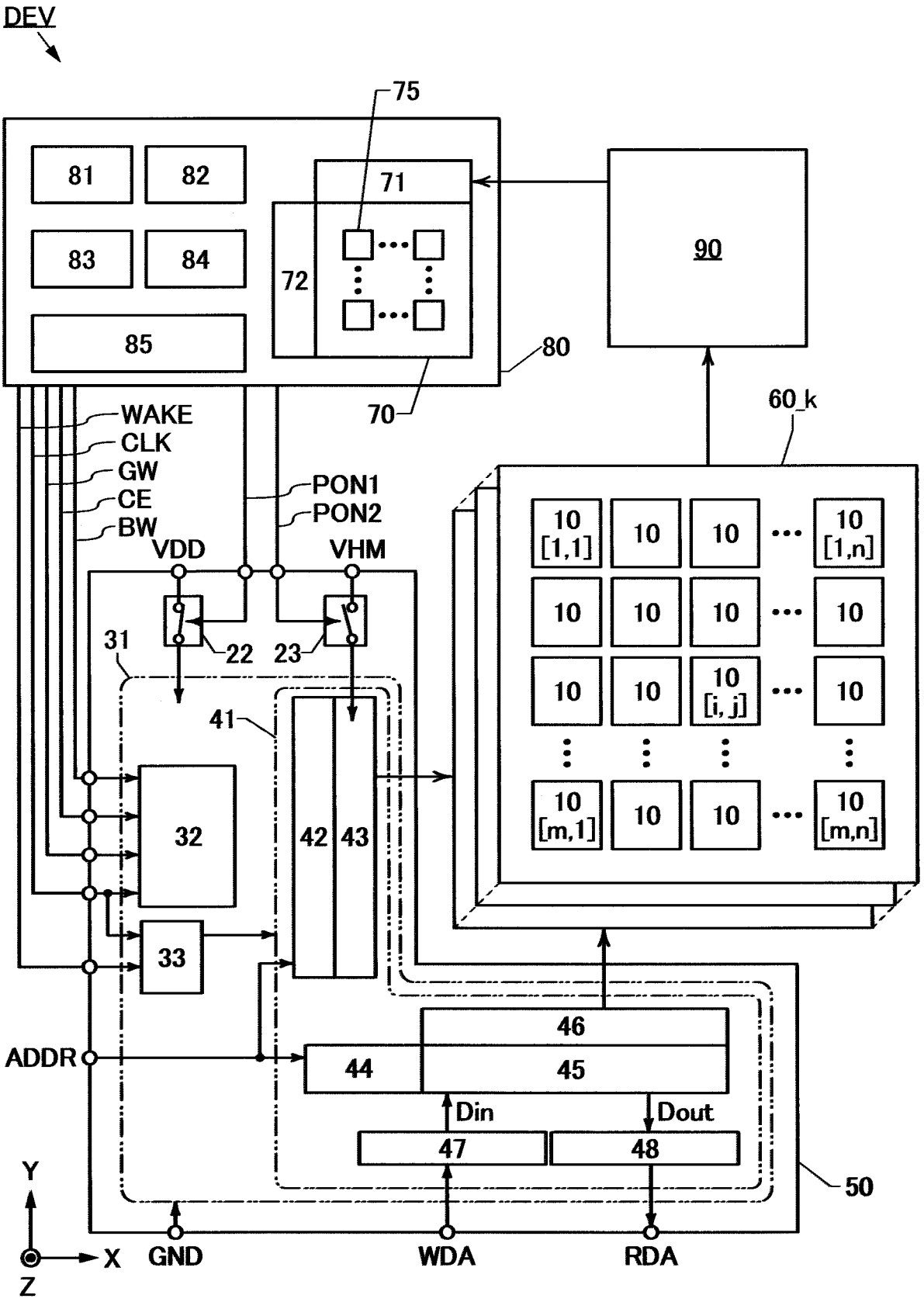
【圖13】


DEV
"00000"
"11111"
ME_L
MEML_L
IT1
IT2
OT1
IT1
SSIG
MPX
DSIG
OT2
DMPX
SWCLC
ME_H
MEML_H
"000"
"001"
"010"
"011"
"100"
"101"
"110"
"111"

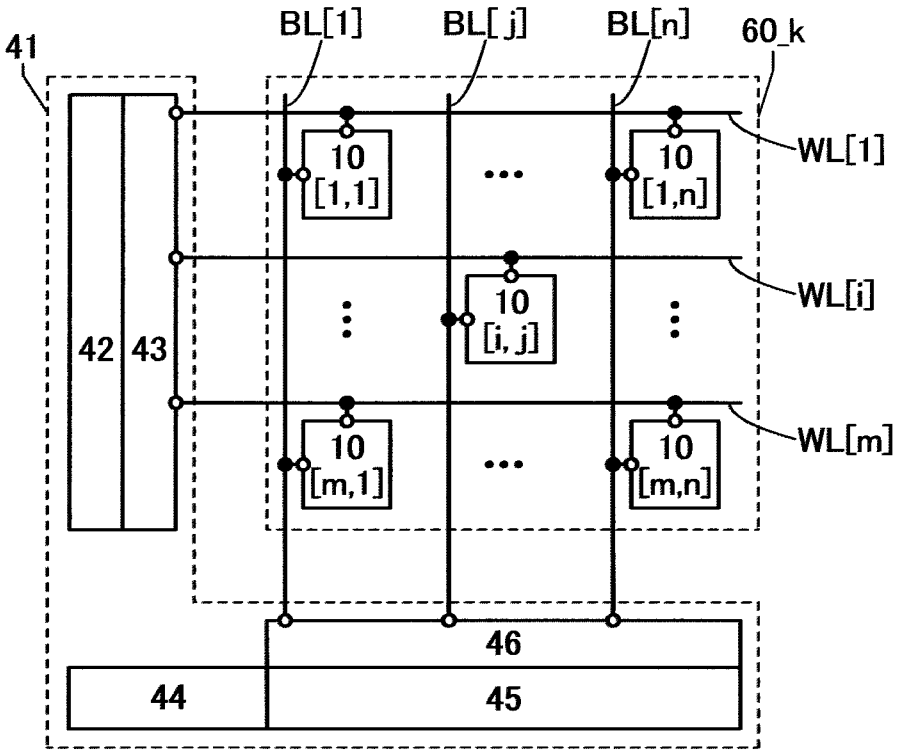
【圖14】



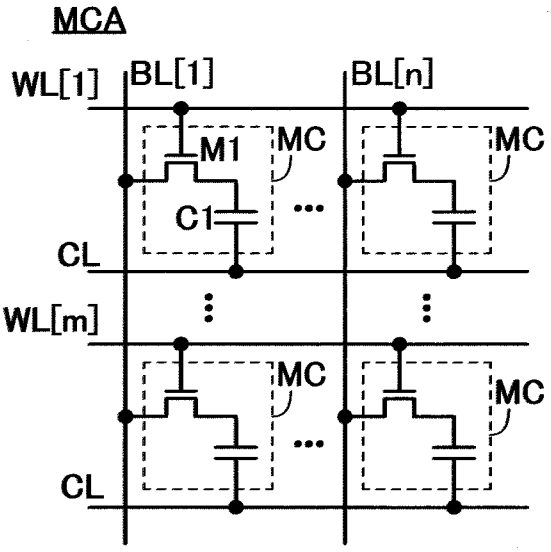
【圖15】


DEV
75
81
82
71
83
84
72
90
85
80
70
60_k
WAKE
CLK
GW
CE
BW
PON1
PON2
VDD
VHM
10 [1,1]
10 [1,n]
10 [i, j]
10 [m,1]
10 [m,n]
31
22
23
41
32
42
43
33
46
ADDR
44
45
Din
Dout
47
48
50
Y
X
Z
GND
WDA
RDA

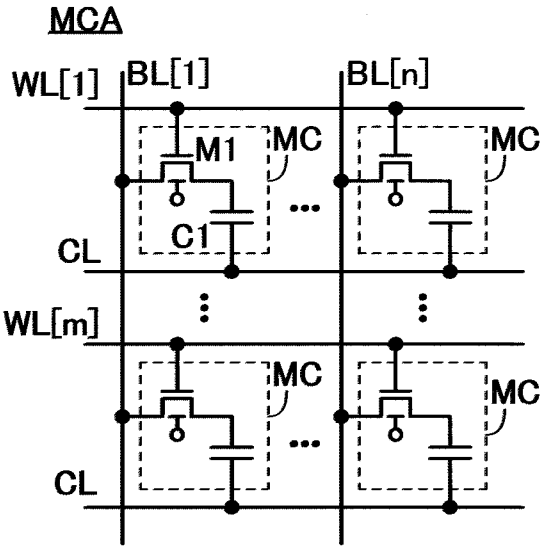
【圖16】


41
BL[1]
BL[j]
BL[n]
60_k
WL[1]
WL[i]
WL[m]
10
[1,1]
10
[1,n]
10
[i, j]
10
[m,1]
10
[m,n]
42
43
46
44
45

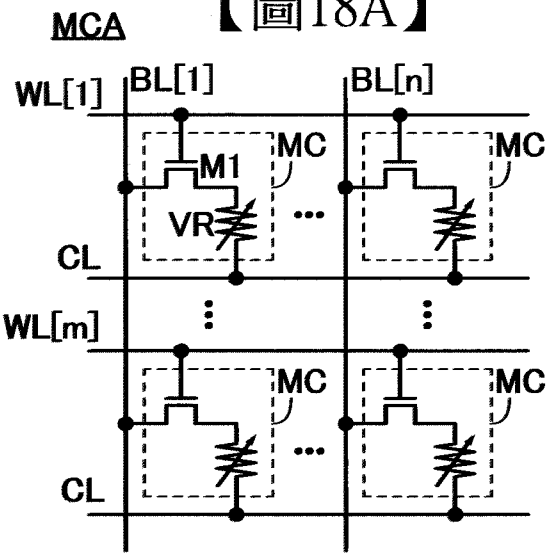
【圖17】



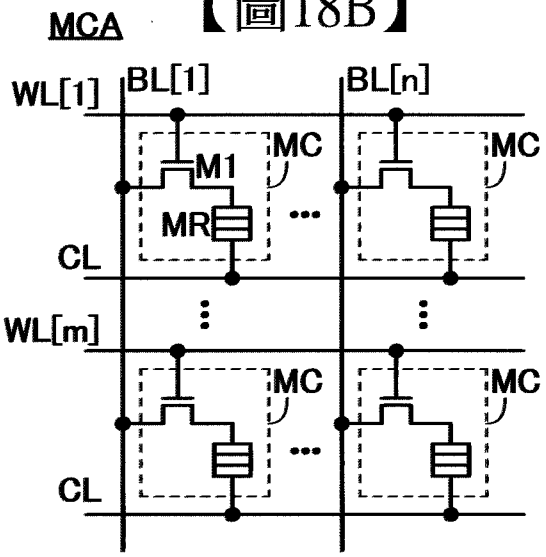
【圖18A】



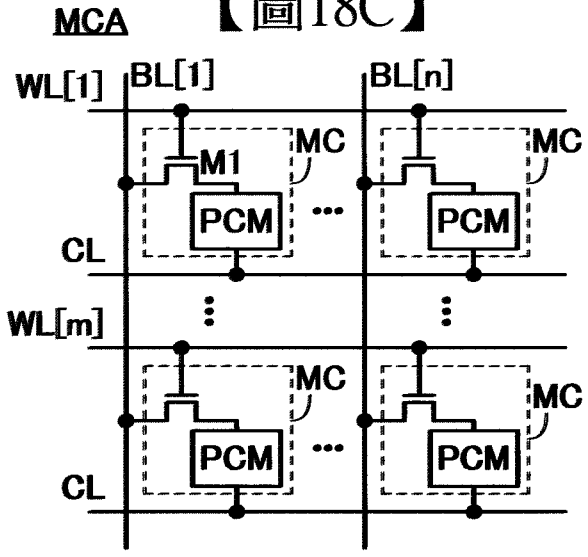
【圖18B】



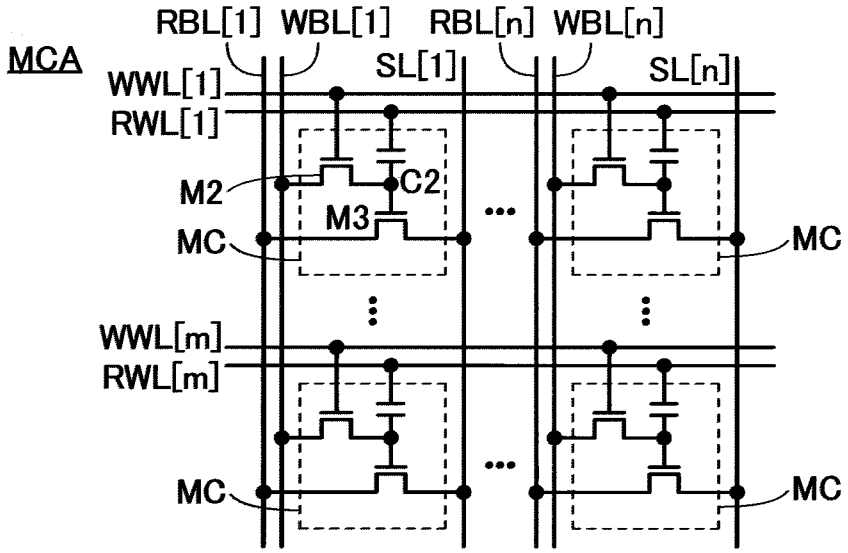
【圖18C】



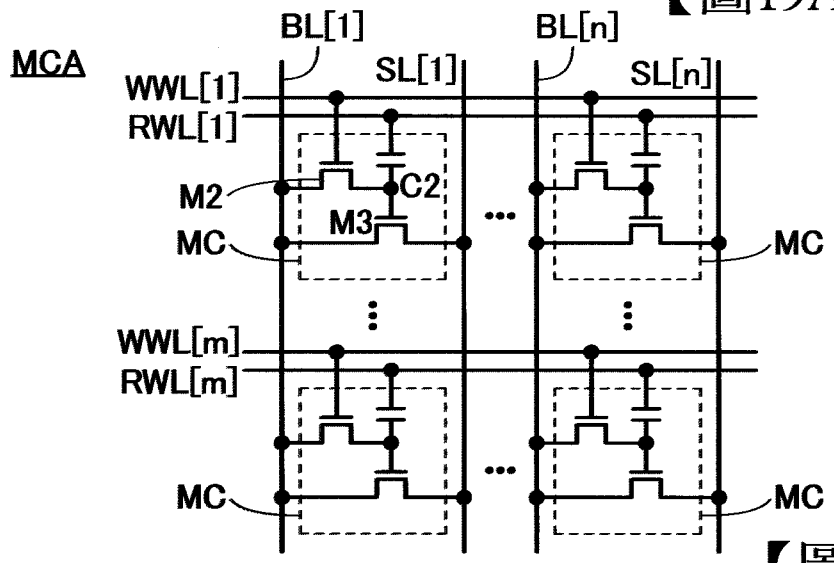
【圖18D】



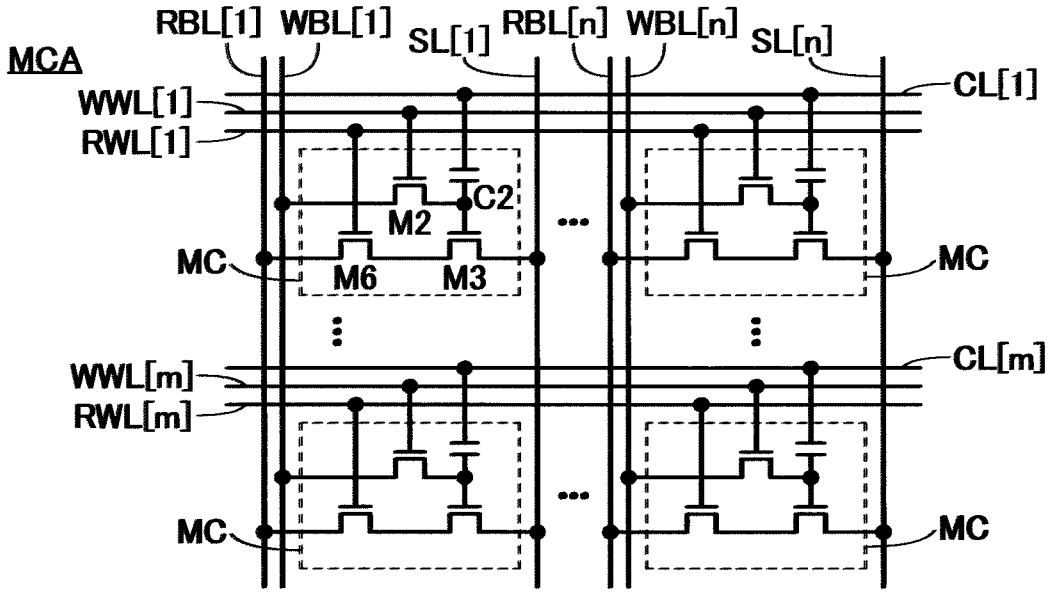
【圖18E】



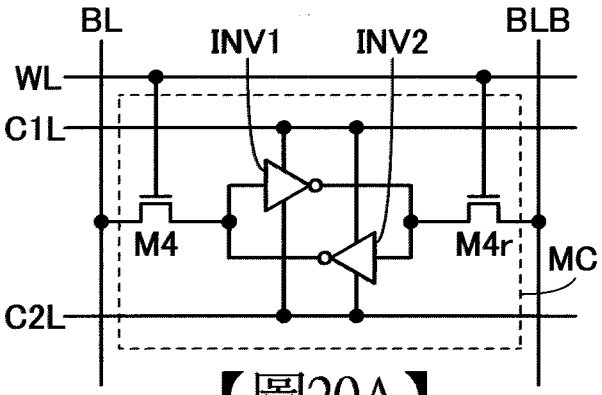
【圖19A】



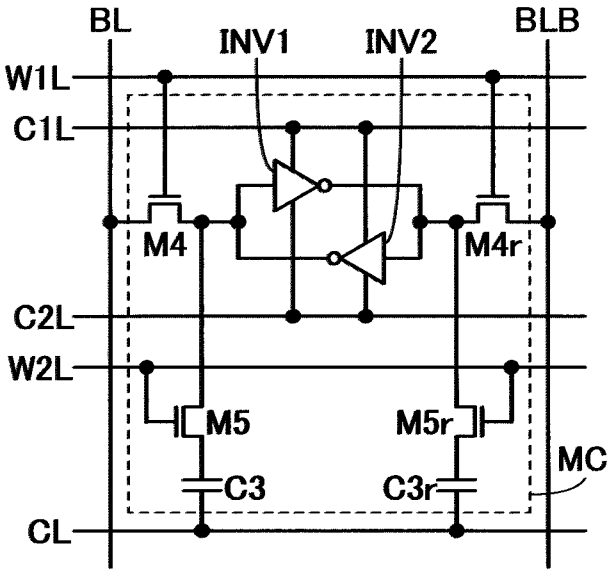
【圖19B】



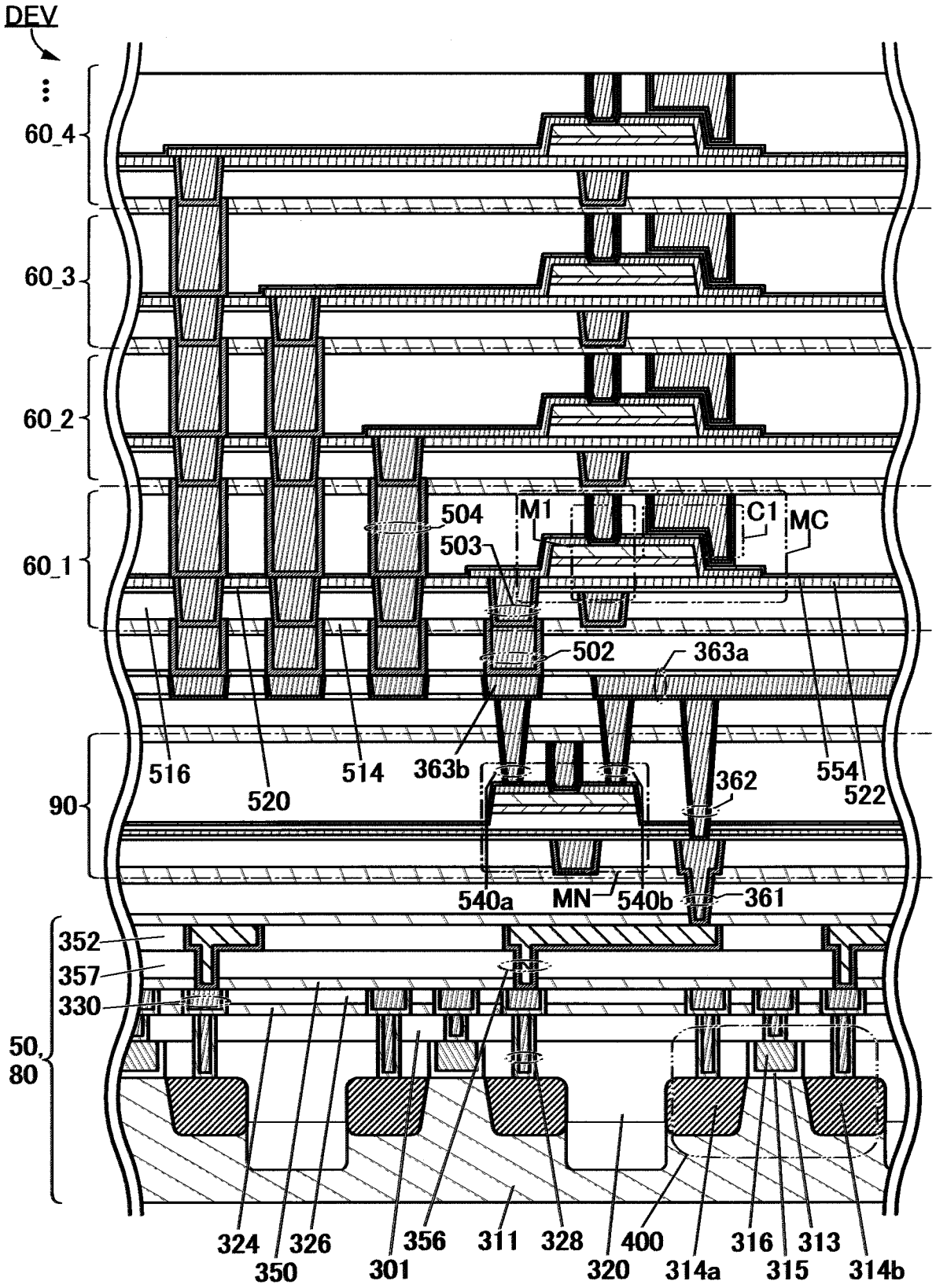
【圖19C】


BL
INV1
INV2
BLB
WL
C1L
M4
M4r
MC
C2L

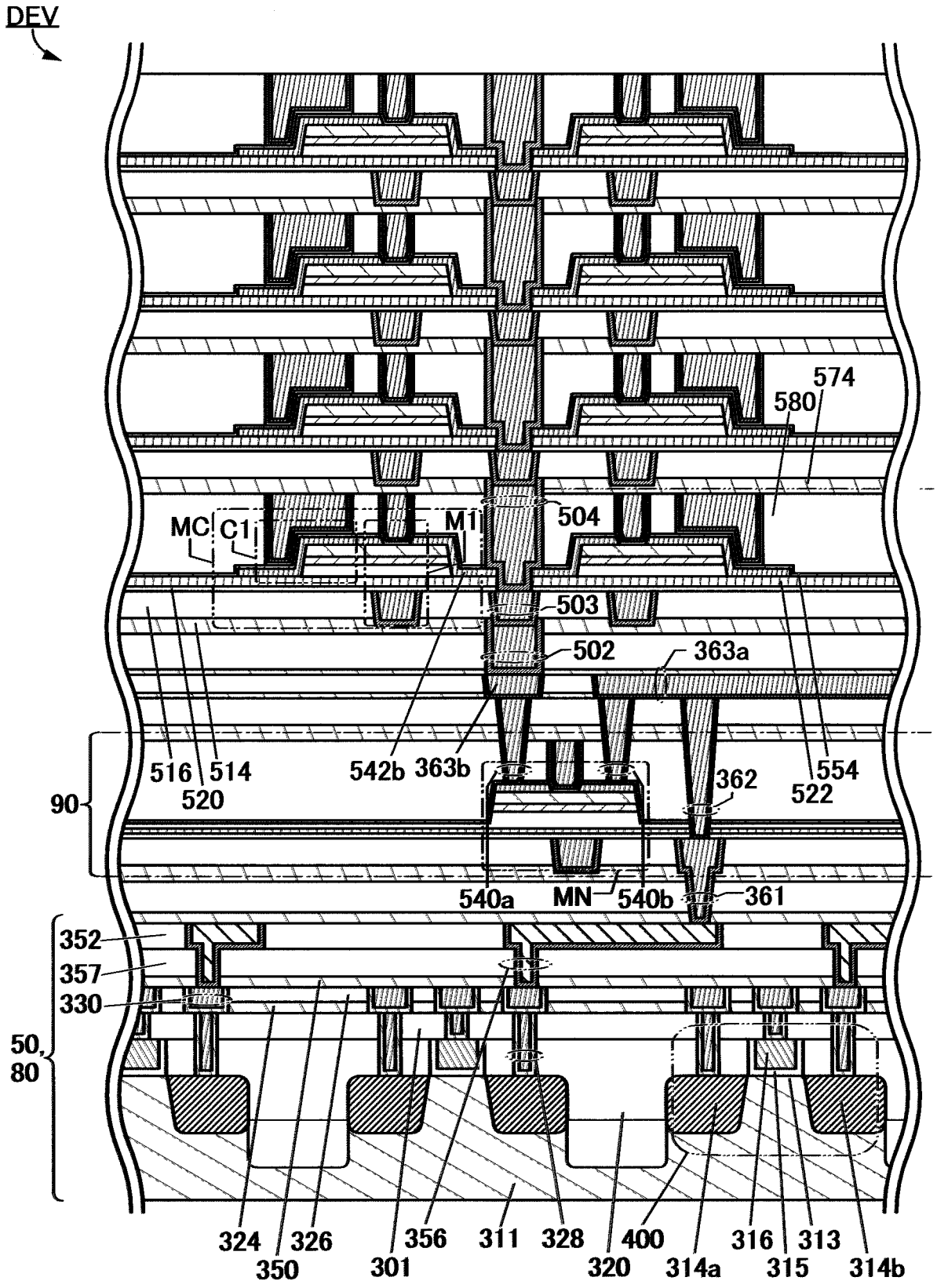
【圖20A】


BL
INV1
INV2
BLB
W1L
C1L
M4
M4r
C2L
W2L
M5
M5r
MC
C3
C3r
CL

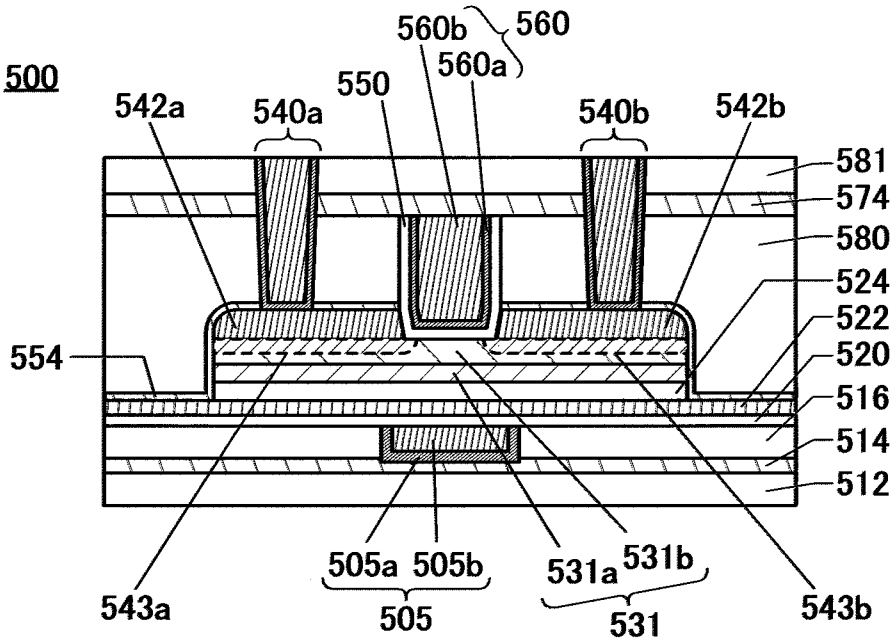
【圖20B】


DEV
60_4
60_3
60_2
60_1
90
50,
80
504
503
M1
C1
MC
502
363a
516
520
514
363b
362
554
522
540a
MN
540b
361
352
357
330
324
350
326
301
356
311
328
320
400
314a
316
315
313
314b

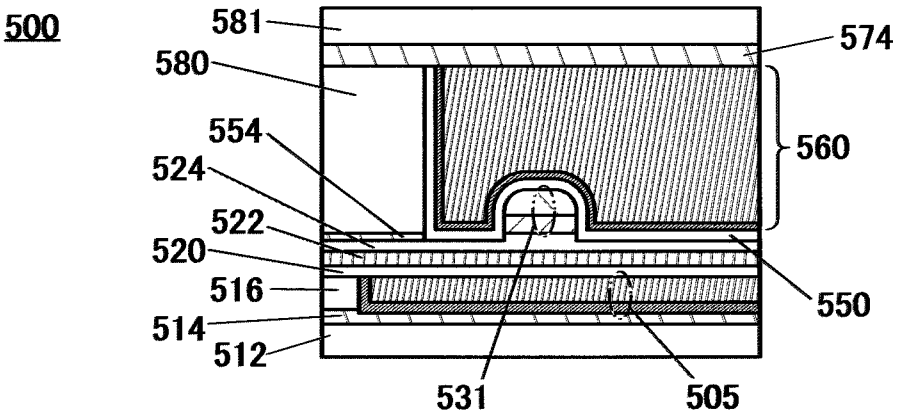
【圖21】


DEV
574
580
MC
C1
M1
504
503
502
363a
516
514
520
542b
363b
362
554
522
90
540a
MN
540b
361
352
357
330
50,
80
324
326
350
301
356
311
328
320
400
314a
316
315
313
314b

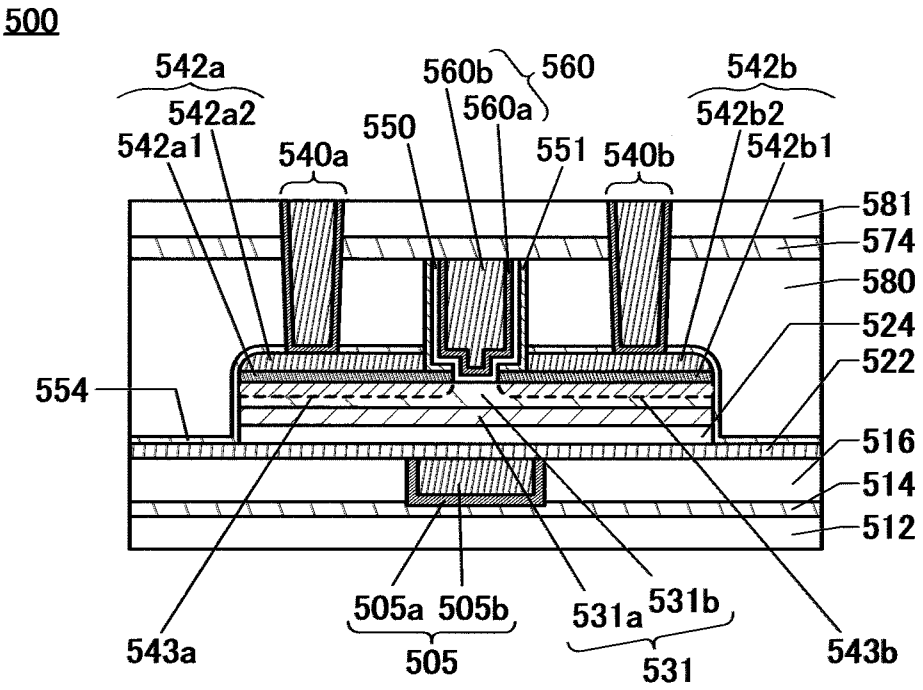
【圖22】


500
560b
560
560a
550
542a
540a
540b
542b
581
574
580
524
522
554
520
516
514
512
505a
505b
531a
531b
543a
505
531
543b

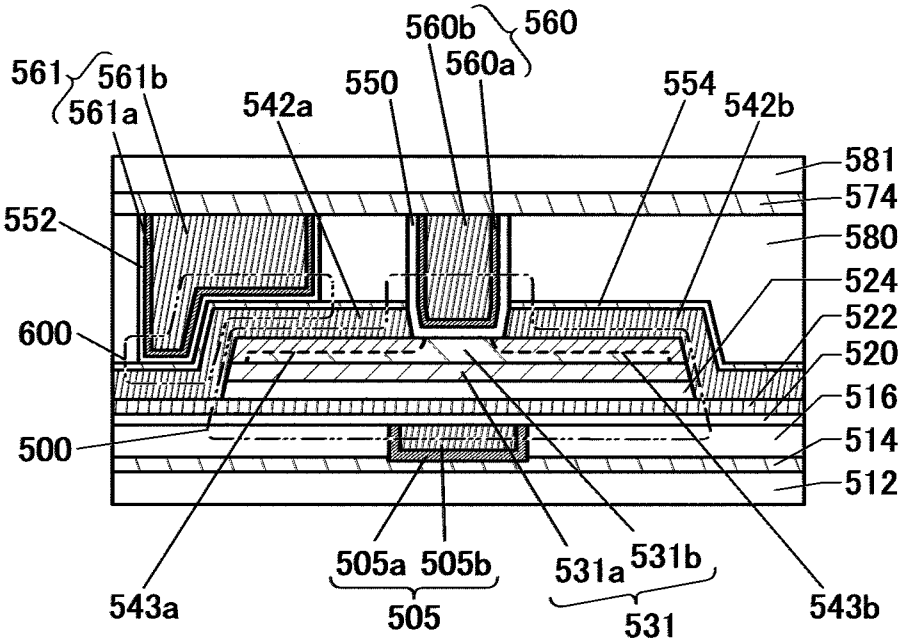
【圖23A】


500
581
574
580
560
554
524
522
520
516
550
514
512
531
505

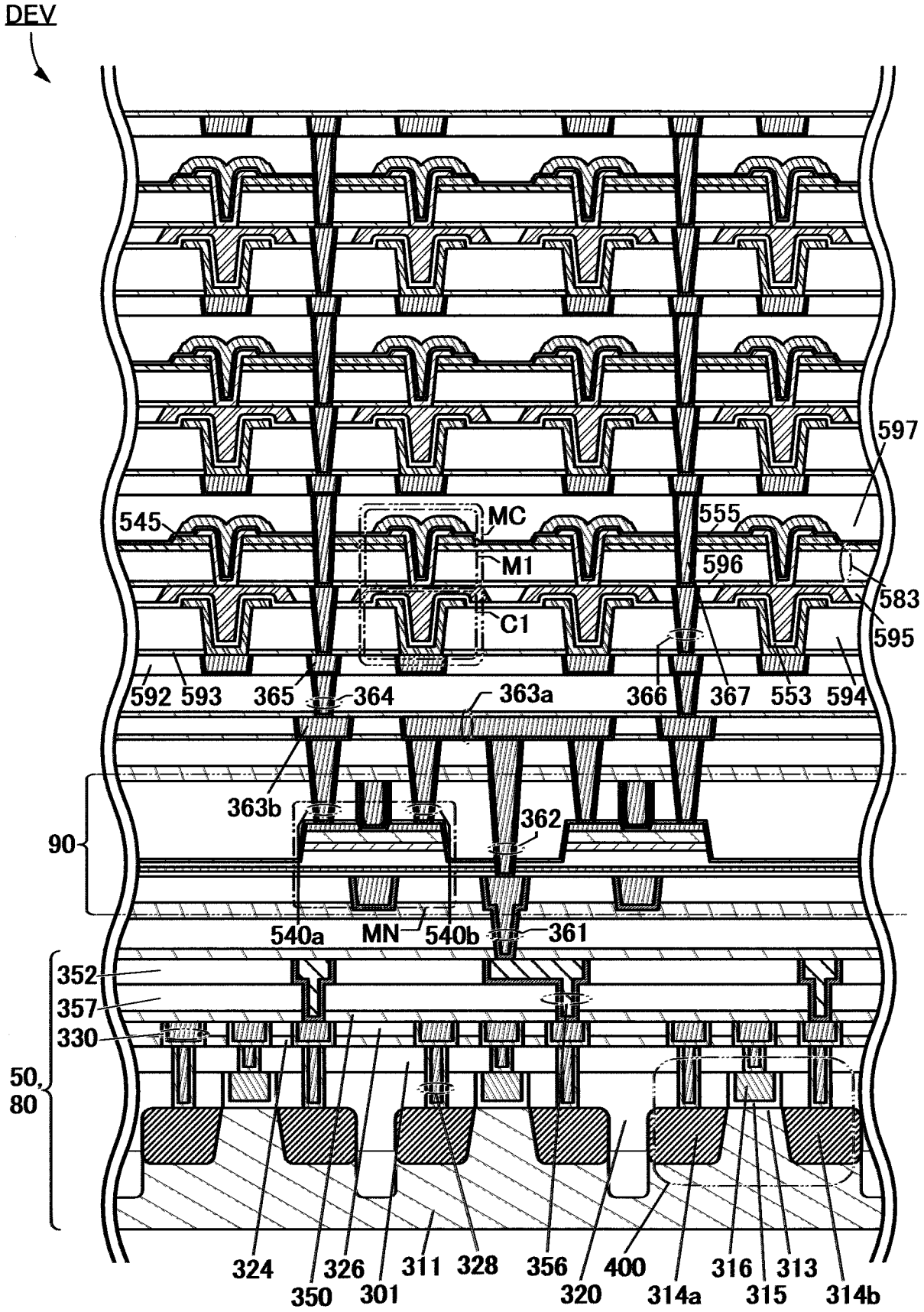
【圖23B】


500
542a
542a2
542a1
560b
560
560a
550
540a
551
540b
542b
542b2
542b1
581
574
580
524
522
554
516
514
512
505a
505b
505
531a
531b
531
543a
543b

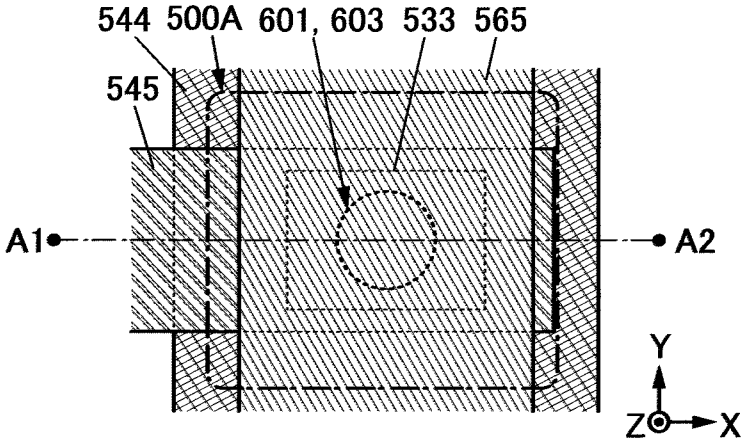
【圖24】


560b
560
561
561b
561a
560a
550
542a
554
542b
581
574
552
580
524
600
522
520
516
500
514
512
505a
505b
531a
531b
543a
505
531
543b

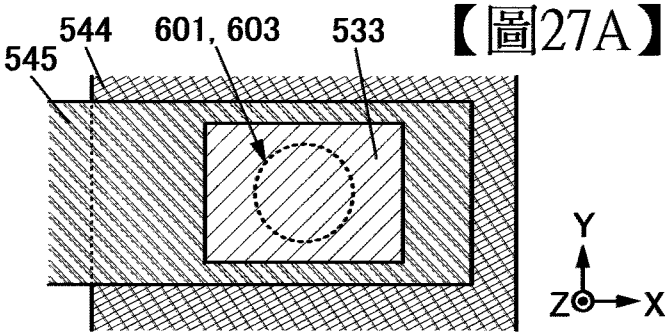
【圖25】


DEV
597
545
MC
555
M1
596
583
C1
595
592
593
365
364
363a
366
367
553
594
363b
362
90
540a
MN
540b
361
352
357
330
50,
80
324
326
311
328
356
400
316
313
350
301
320
314a
315
314b

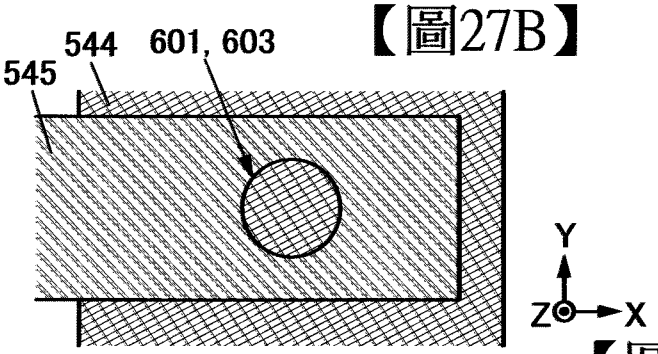
【圖26】



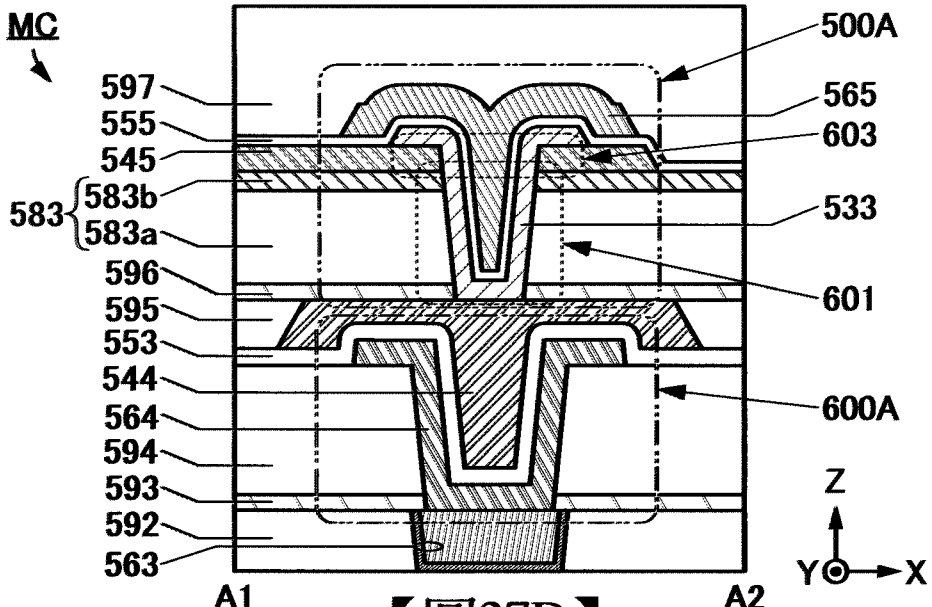
【圖27A】



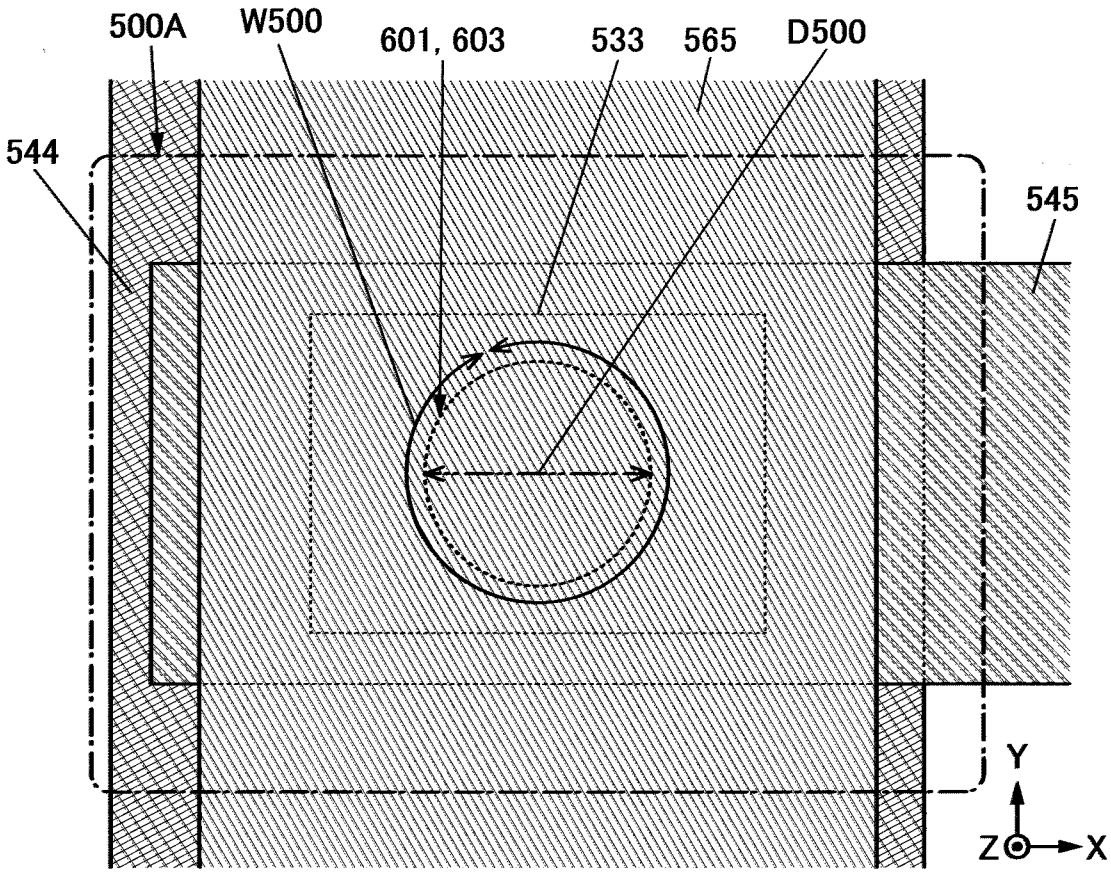
【圖27B】



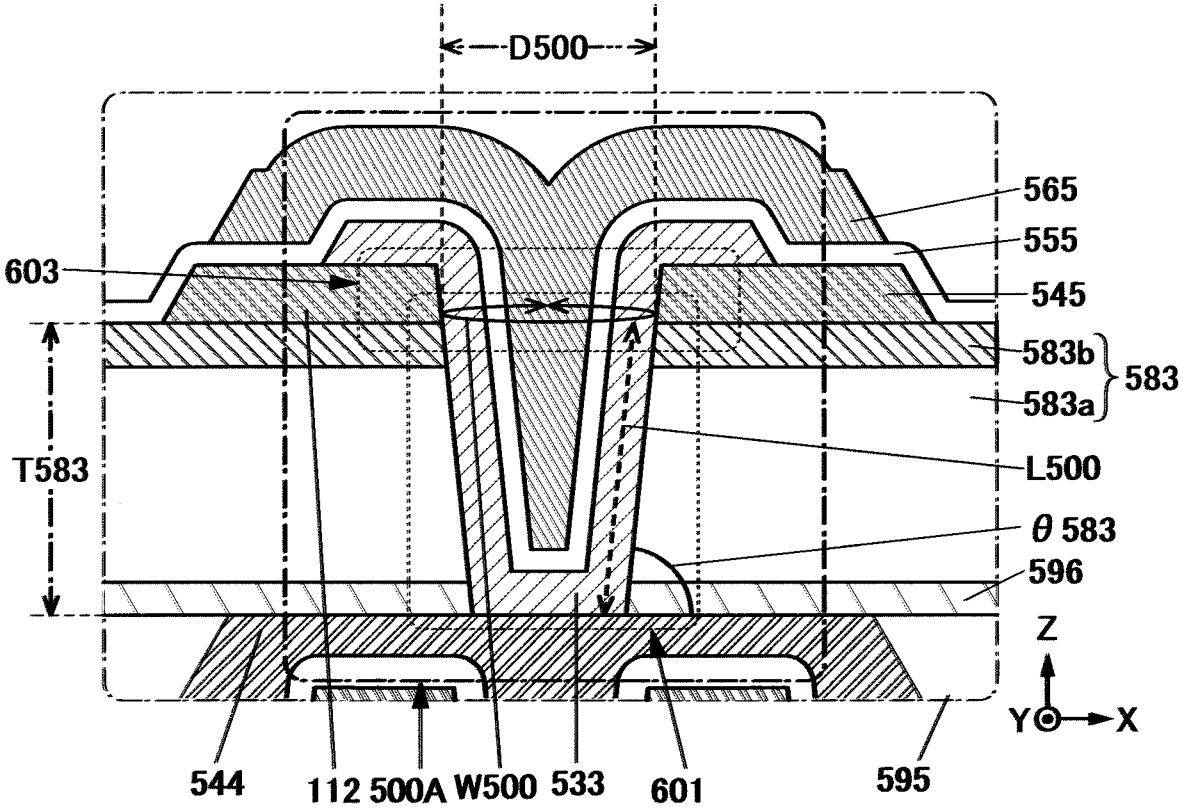
【圖27C】



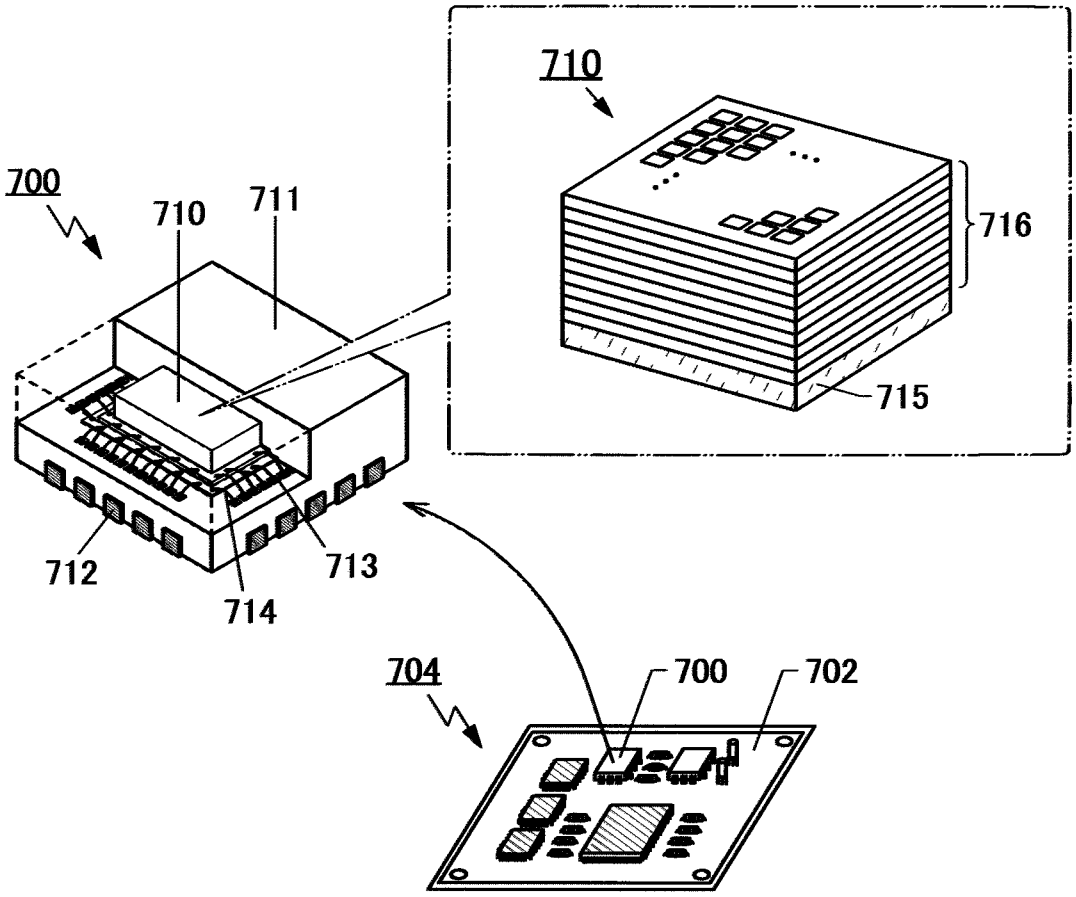
【圖27D】


500A
W500
601, 603
533
565
D500
544
545
Y
Z
X

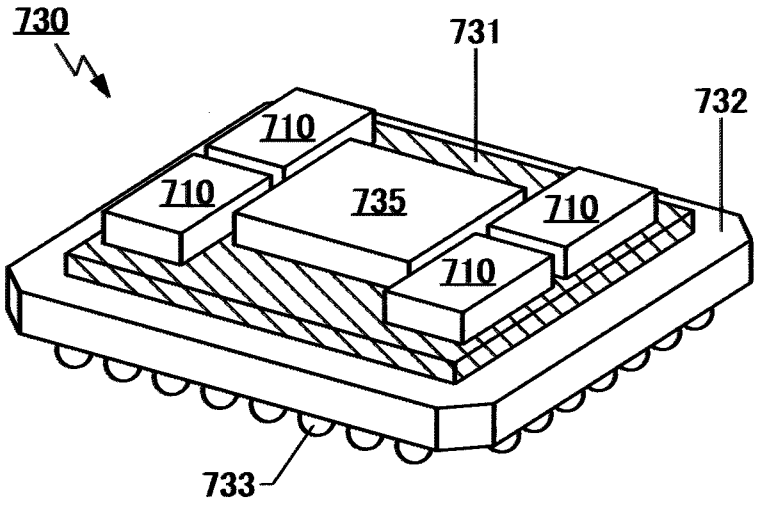
【圖28A】


D500
565
555
603
545
583b
583
583a
T583
L500
θ 583
596
Z
Y
X
544
112
500A
W500
533
601
595

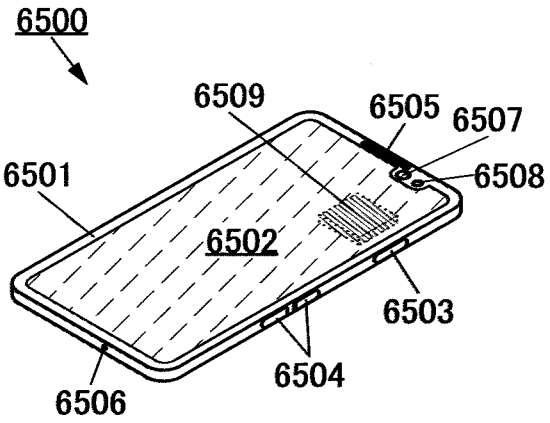
【圖28B】


710
700
710
711
716
715
712
713
714
704
700
702

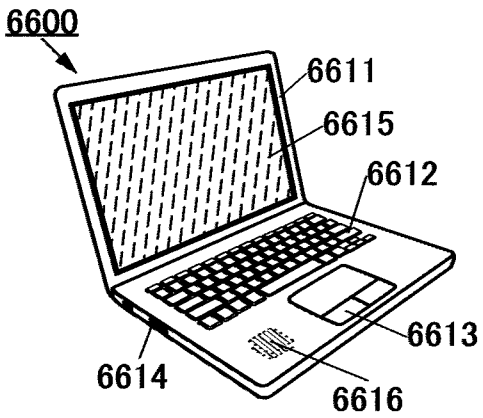
【圖29A】


730
731
732
710
710
735
710
710
733

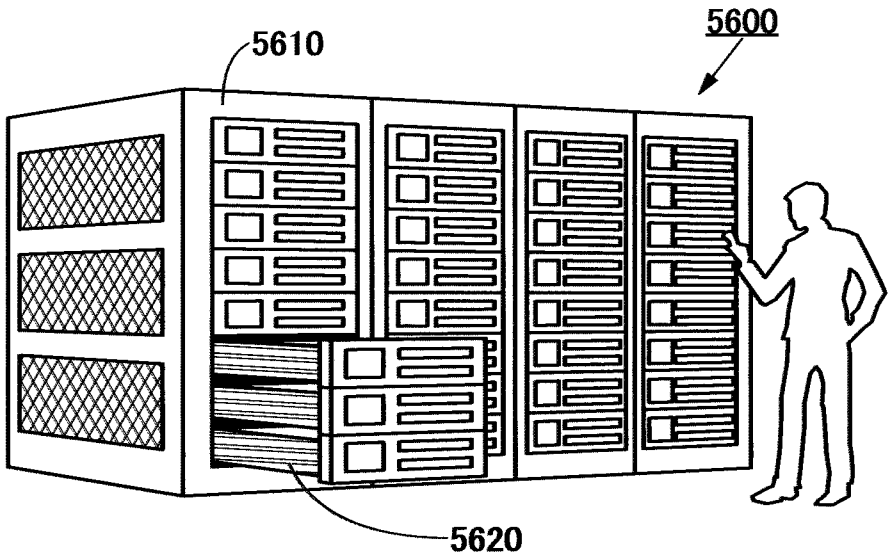
【圖29B】



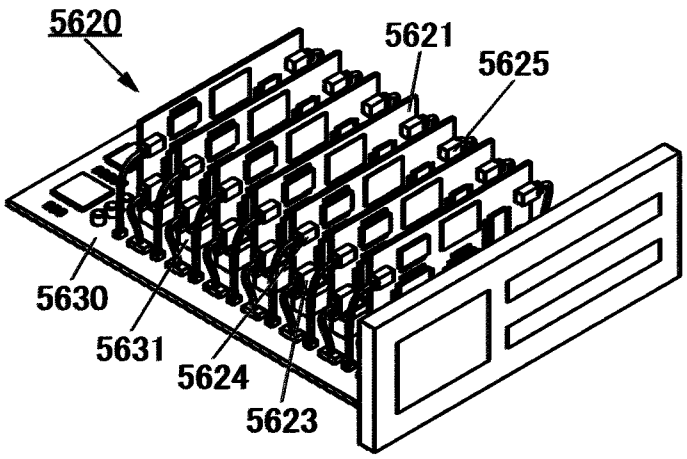
【圖30A】



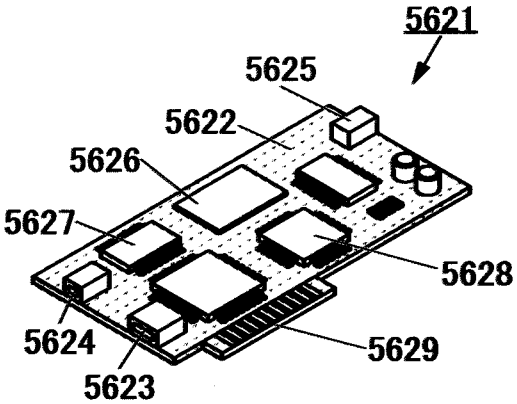
【圖30B】



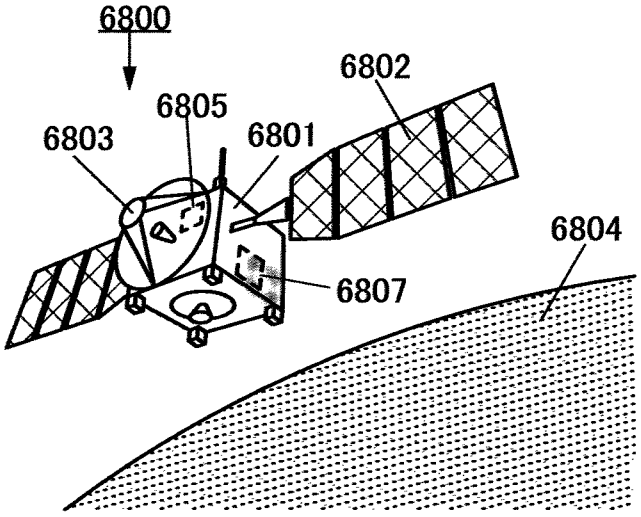
【圖30C】



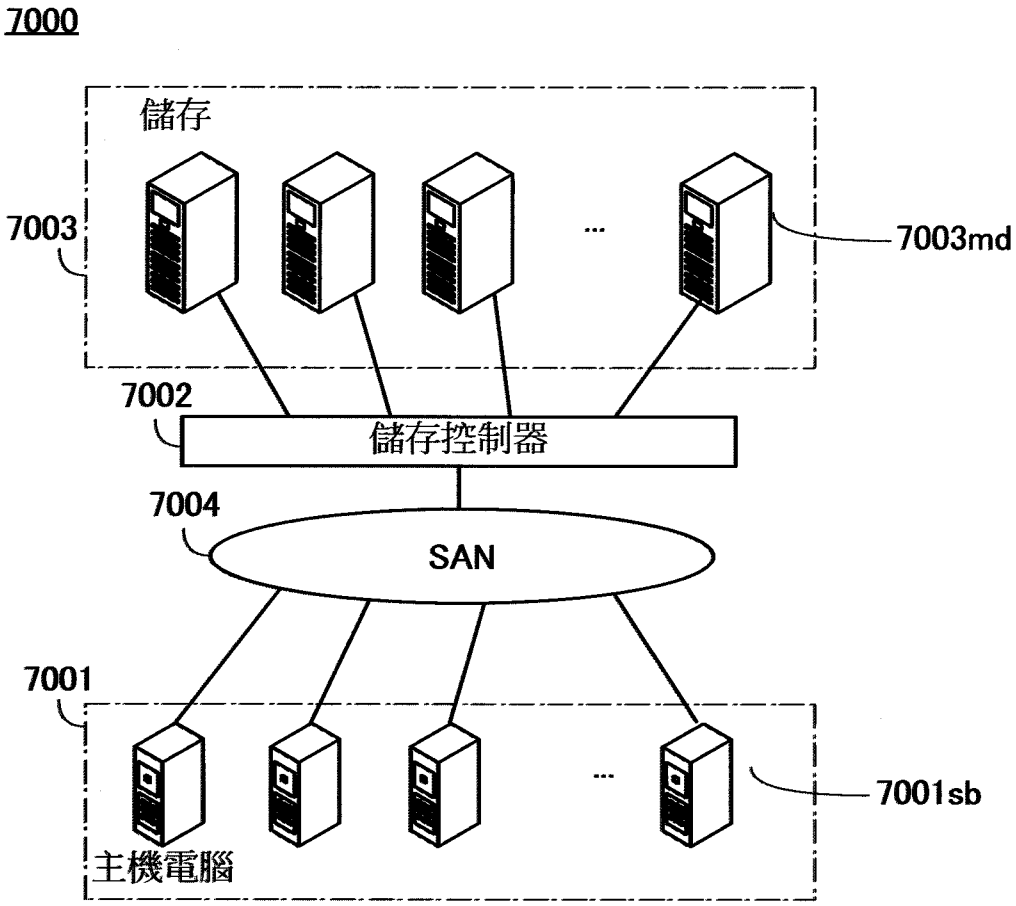
【圖30D】



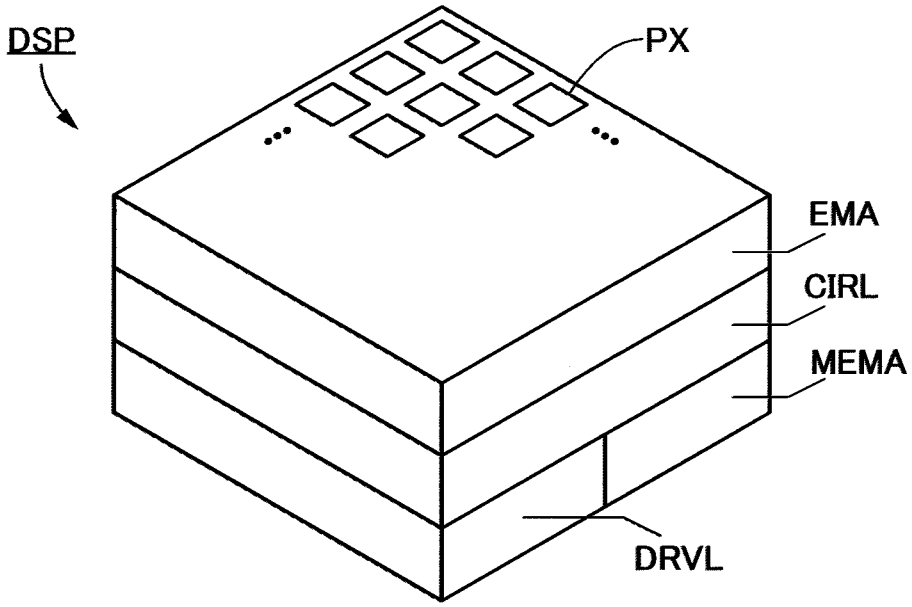
【圖30E】



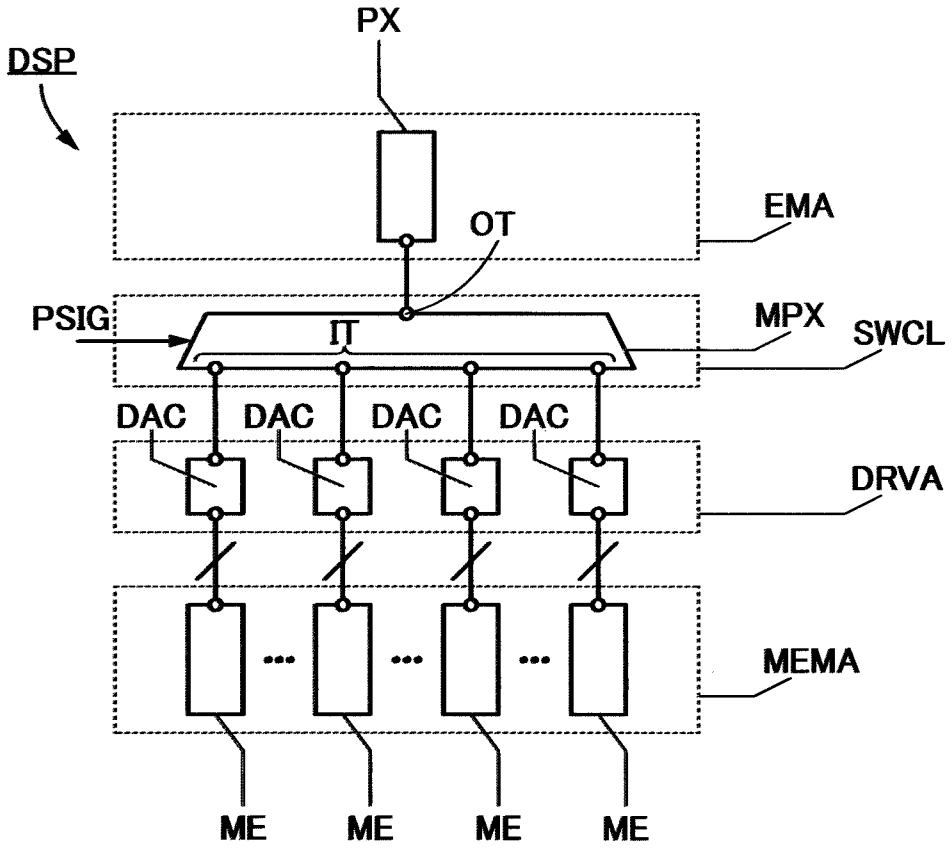
【圖31】



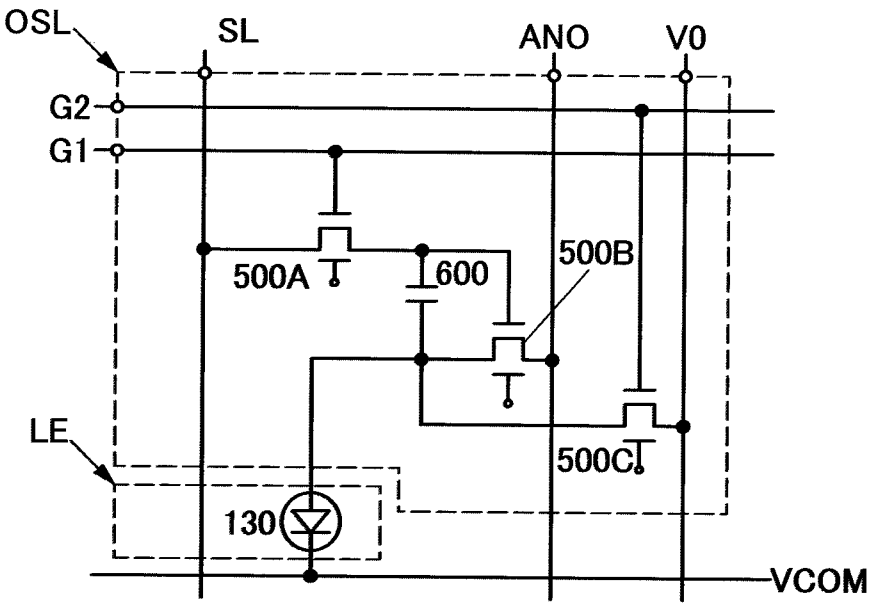
【圖32】


DSP
PX
EMA
CIRL
MEMA
DRVL

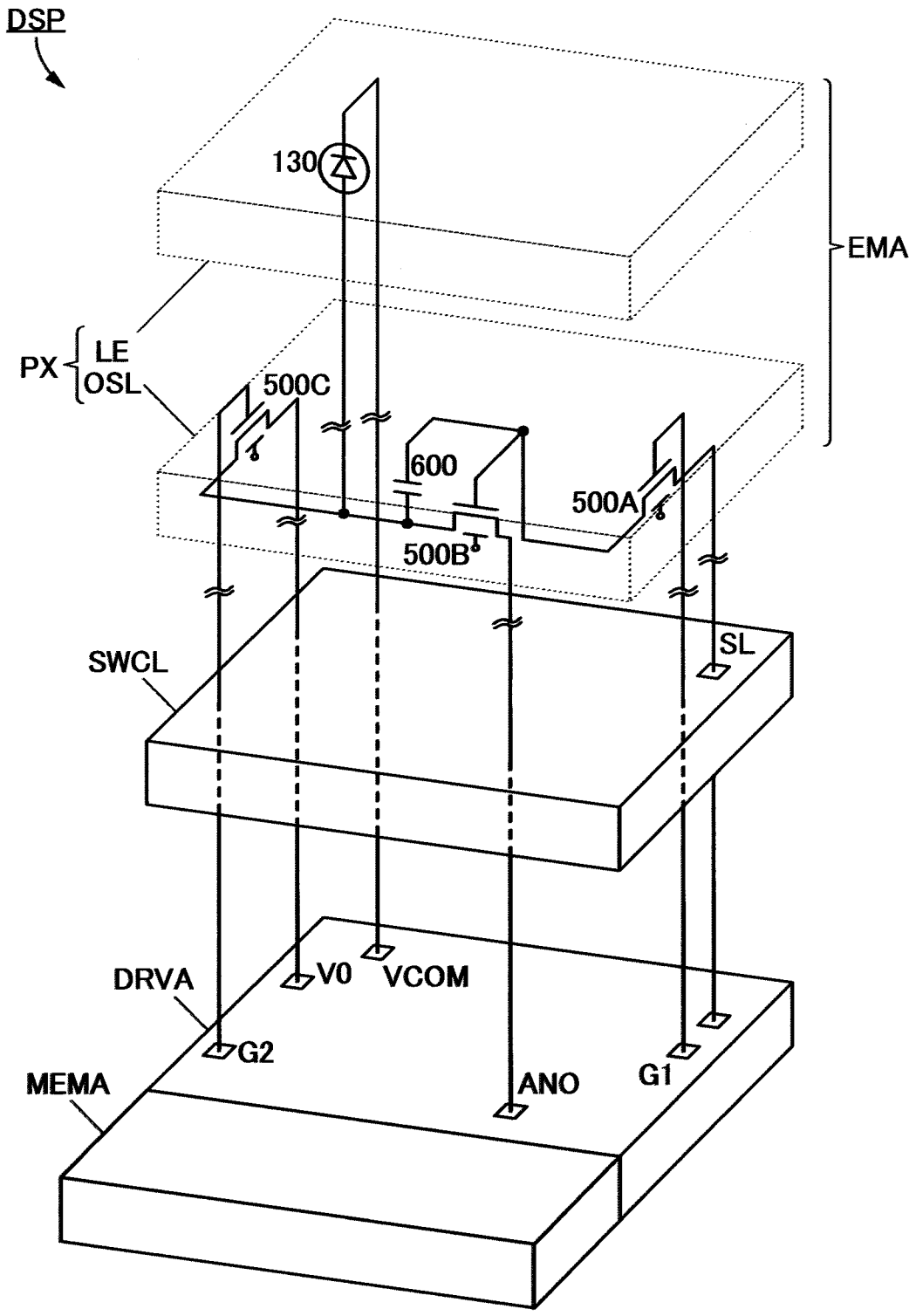
【圖33A】


PX
DSP
EMA
OT
PSIG
IT
MPX
SWCL
DAC
DAC
DAC
DAC
DRVA
MEMA
ME
ME
ME
ME

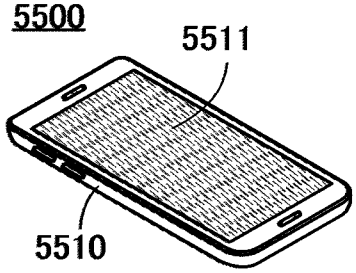
【圖33B】



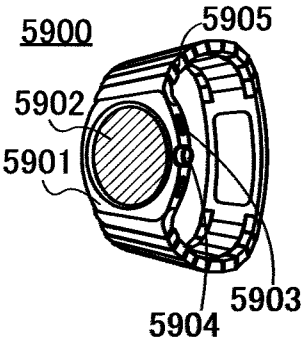
【圖34】


DSP
130
EMA
PX
LE
OSL
500C
600
500A
500B
SWCL
SL
DRVA
V0
VCOM
G2
MEMA
ANO
G1

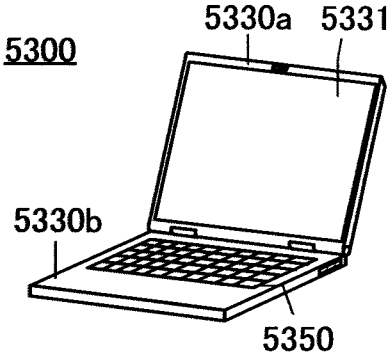
【圖35】



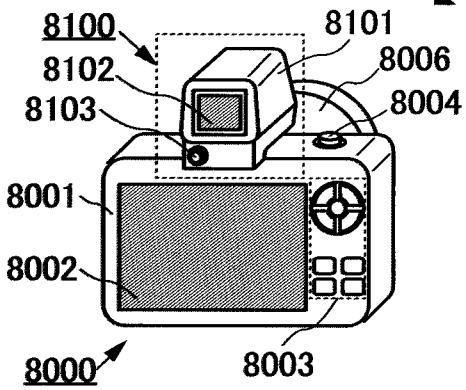
【圖36A】



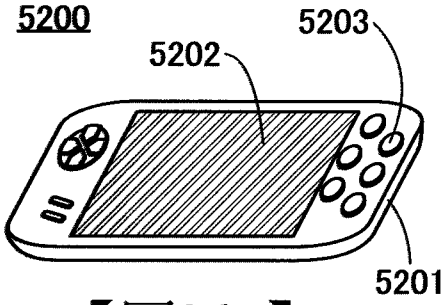
【圖36B】



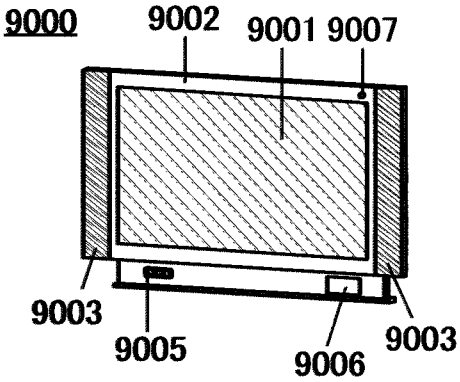
【圖36C】



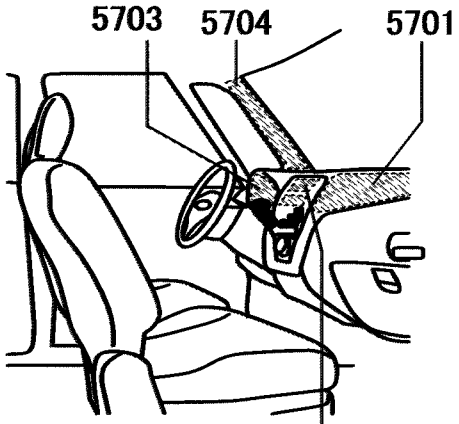
【圖36D】



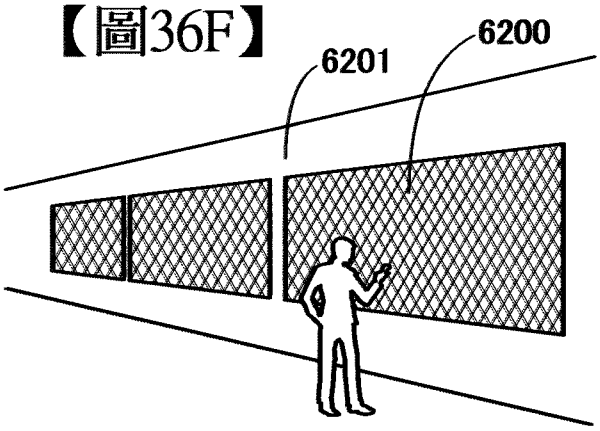
【圖36E】



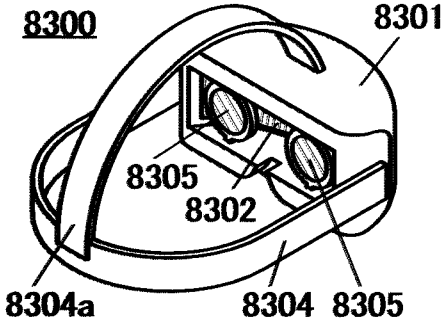
【圖36F】



【圖36G】



【圖36H】



【圖36I】