

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5357131号
(P5357131)

(45) 発行日 平成25年12月4日(2013.12.4)

(24) 登録日 平成25年9月6日(2013.9.6)

(51) Int.Cl.		F I			
GO2B	6/122	(2006.01)	GO2B	6/12	B
GO2B	6/13	(2006.01)	GO2B	6/12	M

請求項の数 12 (全 18 頁)

(21) 出願番号	特願2010-245968 (P2010-245968)	(73) 特許権者	390009531
(22) 出願日	平成22年11月2日(2010.11.2)		インターナショナル・ビジネス・マシーンズ・コーポレーション
(62) 分割の表示	特願2008-259518 (P2008-259518)の分割		INTERNATIONAL BUSINESS MACHINES CORPORATION
原出願日	平成20年10月6日(2008.10.6)		アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード
(65) 公開番号	特開2011-43852 (P2011-43852A)	(74) 代理人	100108501
(43) 公開日	平成23年3月3日(2011.3.3)		弁理士 上野 剛史
審査請求日	平成22年11月2日(2010.11.2)	(74) 代理人	100112690
(31) 優先権主張番号	12/164580		弁理士 太佐 種一
(32) 優先日	平成20年6月30日(2008.6.30)	(74) 代理人	100091568
(33) 優先権主張国	米国 (US)		弁理士 市位 嘉宏

最終頁に続く

(54) 【発明の名称】 CMOS適合の集積型誘電体光導波路カプラ及び製造装置

(57) 【特許請求の範囲】

【請求項1】

単一の半導体基板上に製造された集積光電子回路及び第1端部を備える光導波路を備える、集積半導体デバイスと、

前記光導波路の第1端部と光ファイバとを光学的に結合させるためのシリコン・ベースの光カプラ部と

を備え、

前記シリコン・ベースの光カプラ部は、

半導体ダイ上において化学機械研磨停止層よりも下部にある層と、化学機械研磨停止層と、化学機械研磨停止層よりも上部にある層の、少なくとも3層をエッチングによって貫通して形成したトレンチに堆積された、前記光ファイバにカップリングさせるべき端部で前記光ファイバの一区域と実質的に等しい屈折率を有し、前記一区域に重なり合うと共に、前記光導波路の第1端部と前記光導波路の厚さよりも少なく重なり合うようにして半導体ダイまで延び、前記端部が延びる方向に低い値から高い値に移行する段階的屈折率を有するシリコン・ベースの誘電体を含む誘電体光移行部を備える、光電子回路。

【請求項2】

前記シリコン・ベースの誘電体は酸窒化シリコンを含む、請求項1に記載の集積型光結合移行部を有する光電子回路。

【請求項3】

CMOS電子回路をさらに備え、

前記CMOS電子回路及び前記集積光電子回路は、前記第1の端部と光学的に結合された前記光導波路の第2端部に通信可能に結合される、請求項1または2のいずれか1項に記載の光電子回路。

【請求項4】

少なくとも1つの前記シリコン・ベースの誘電体光移行部は、互いに接近して配置された複数のシリコン・ベースの誘電体光移行部を含んで光カプラの高密度アレイを形成する、請求項1～3のいずれか1項に記載の光電子回路。

【請求項5】

前記シリコン・ベースの誘電体光移行部は、前記光ファイバの一区域を前記シリコン・ベースの誘電体の表面に接合する、請求項1～4のいずれか1項に記載の光電子回路。

【請求項6】

第1集積半導体ダイと、
第2集積半導体ダイと
を備え、

前記第1集積半導体ダイ及び前記第2集積半導体ダイのうちの少なくとも1つは、集積光電子回路を備え、

前記第1集積半導体ダイは前記第2集積半導体ダイの上に取り付けられて三次元集積回路を形成し、

前記第1集積半導体ダイ及び前記第2集積半導体ダイのうちの少なくとも1つは、少なくとも1つの光導波路を備え、前記少なくとも1つの光導波路はそれぞれの第1端部を有し、

前記第1集積半導体ダイ及び前記第2集積半導体ダイのうちの前記少なくとも1つは、前記少なくとも1つの光導波路のうちの少なくとも1つの前記それぞれの第1端部と光ファイバを結合するように適合させたシリコン・ベースの光カプラ部を備え、

前記シリコン・ベースの光カプラ部は、

半導体ダイ上において化学機械研磨停止層よりも下部にある層と、化学機械研磨停止層と、化学機械研磨停止層よりも上部にある層の、少なくとも3層をエッチングによって貫通して形成したトレンチに堆積された、前記光ファイバにカップリングさせるべき端部で前記光ファイバの一区域と実質的に等しい屈折率を有し、前記一区域に重なり合うと共に前記光導波路の第1端部と前記光導波路の厚さよりも少なく重なり合うようにして半導体ダイまで延び、前記端部が延びる方向に低い値から高い値に移行する段階的屈折率を有するシリコン・ベースの誘電体を含む誘電体光移行部を備える、
光電子回路。

【請求項7】

前記シリコン・ベースの誘電体は酸窒化シリコンを含む、請求項6に記載の光電子回路。

【請求項8】

前記少なくとも1つのシリコン・ベースの誘電体光移行部は、互いに接近して配置された複数のシリコン・ベースの誘電体光移行部を含んで光カプラの高密度アレイを形成する、請求項6または7に記載の光電子回路。

【請求項9】

前記シリコン・ベースの誘電体光移行部は、前記光ファイバの一区域を前記シリコン・ベースの誘電体の表面に接合する、請求項6～8のいずれか1項に記載の光電子回路。

【請求項10】

集積型光結合移行部を有する集積回路を製造するように適合させた光電子回路製造装置であって、

半導体ダイ上に化学機械研磨停止層よりも下部にある層と、化学機械研磨停止層と、化学機械研磨停止層よりも上部にある層の少なくとも3層を堆積させるように適合させた層堆積加工処理装置と、

10

20

30

40

50

半導体ダイ上の、化学機械研磨停止層を備えた少なくとも3つの層をエッチングしてトレんチを形成するように適合させたエッチング加工処理装置と、

前記トレんチの少なくとも一部分の中に、光ファイバの一区域と実質的に等しい屈折率を有する少なくとも一部分を含むシリコン・ベースの誘電体を堆積させるように適合させた誘電体堆積加工処理装置と、

前記誘電体堆積加工処理装置により前記シリコン・ベースの誘電体を堆積させた後、化学機械研磨プロセスにより、前記化学機械研磨停止層までエッチングし、前記シリコン・ベースの誘電体の一部分を前記トレんチ内で前記化学機械研磨停止層より下に残存させるように適合させた化学機械研磨装置と、

前記少なくとも1つの層を前記エッチングした後に前記化学機械研磨停止層を除去するように適合させたエッチング装置と

を備え、前記光ファイバにカップリングさせるべき端部で前記光ファイバの一区域と実質的に等しい屈折率を有し、前記一区域に重なり合うと共に光導波路の第1端部と前記光導波路の厚さよりも少なく重なり合うようにして半導体ダイまで延び、前記端部が延びる方向に低い値から高い値に移行する段階的屈折率を有するシリコン・ベースの誘電体を含む誘電体光移行部を備える、光電子回路製造装置。

【請求項11】

前記シリコン・ベースの誘電体光移行部は、前記光ファイバの一区域を前記シリコン・ベースの誘電体の表面に接合する、請求項10に記載の光電子回路製造装置。

【請求項12】

前記エッチング加工処理装置は、光カプラの高密度アレイ用のトレんチを形成するために互いに接近した複数のトレんチを形成する、請求項10または11に記載の光電子回路製造装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、シリコン回路デバイス及び製造技術に関し、より具体的には、光電子回路上に集積型光導波路カプラを形成することに関する。

【背景技術】

【0002】

光検出器、変調器、光学スイッチなどのような1つ又は複数の光デバイスを含む集積半導体デバイスは、半導体デバイスへの及びそれからの光信号を通信するのに用いられる光ファイバと、半導体デバイス内において集積半導体デバイス内の光デバイスに光信号を送るのに用いられるシリコン・ベースの光導波路との間の光信号を結合するための機構を必要とする。光ファイバから、入出力導波路を有する光デバイスへの結合は、屈折率及びモード・プロファイルの不整合に起因する損失を被ることが多い。

【0003】

ポリマー・カプラは、光ファイバと、集積半導体デバイスに埋め込まれた光デバイスの入出力導波路との間の結合における損失を最小にするために用いられる1つの技術である。ポリマー・カプラは、効果的な整合性を与えること及び低い結合損失をもたらすことが実証されている。しかしながら、光電子回路は、CMOS回路を製造するための技術のような通常の半導体製造技術を用いて、集積半導体デバイス上に製造されることが多い。多くのCMOS適合プロセスにおけるように、光デバイスをカプセル化しアニールする必要がある用途に用いるためのポリマー・カプラを製造することは、デバイス製造の複雑さを増す製造上の困難をもたらす。

【発明の開示】

【発明が解決しようとする課題】

【0004】

従って、上述の従来技術に伴う問題を克服する必要性が存在する。

【課題を解決するための手段】

【0005】

本発明の一実施形態は、光ファイバから半導体デバイス内の光デバイスへの効率的な光カプラを、種々の誘電体材料を用いて形成する方法及び構造体を提供する。本発明の一実施形態は、光デバイスに対してその性能が影響を受けないような温和な仕方ではデバイスをカプセル化してカプラを形成する方法をさらに提供する。本発明の一実施形態はまた、光デバイスの熱処理、電氣的活性化、及び三次元集積化への方法を開くCMOS適合の方法を提供する。本発明の一実施形態は、光デバイスをCMOS回路デバイスと統合した、効率的に製造される半導体デバイスを可能にする。

【0006】

本発明の一態様によれば、集積型光カプラを有する集積回路を製造する方法は、半導体ダイ上に、化学研磨停止層を備えた少なくとも1つの層を堆積させるステップを含む。本方法は、半導体ダイ上の少なくとも1つの層をエッチングするステップをさらに含む。この少なくとも1つの層は化学研磨停止層を備え、少なくとも1つの層をエッチングするステップはトレンチを形成する。本方法はまた、トレンチの少なくとも一部分の中に、光ファイバの一区域と実質的に等しい屈折率を有する少なくとも一部分を含むシリコン・ベースの誘電体を堆積させるステップを含む。本方法はさらに、シリコン・ベースの誘電体を堆積させるステップの後で、化学機械研磨プロセスにより、少なくとも1つの層を化学研磨停止層までエッチングするステップを含む。化学機械研磨によりエッチングするステップは、シリコン・ベースの誘電体の一部分をトレンチ内で化学研磨停止層より下に残存させる。本方法はまた、少なくとも1つの層をエッチングするステップの後で、化学研磨停止層を除去するステップを含む。

【0007】

本発明の別の態様によれば、集積型光結合移行部を有する光電子回路は、単一の半導体基板上に製造された集積光電子回路及び少なくとも1つの光導波路を備えた集積半導体デバイスを含み、ここで少なくとも1つの光導波路はそれぞれの第1端部を有する。集積型光結合移行部を有する光電子回路はまた、少なくとも1つの光導波路のうちの少なくとも1つのそれぞれの第1端部と光ファイバを結合するように適合させた少なくとも1つのシリコン・ベースの誘電体光移行部を含む。この少なくとも1つのシリコン・ベースの誘電体光移行部は、半導体ダイ上に少なくとも1つの層を堆積させるステップを含むプロセスにより製造される。少なくとも1つの層は化学研磨停止層を備える。少なくとも1つのシリコン・ベースの誘電体光移行部は、少なくとも化学研磨停止層を貫通して少なくとも1つの層の中にトレンチをエッチング形成するステップをさらに含むプロセスにより製造される。少なくとも1つの層をエッチングするステップはトレンチを形成する。少なくとも1つのシリコン・ベースの誘電体光移行部は、また、トレンチの少なくとも一部分の中に、光ファイバの一区域と実質的に等しい屈折率を有する少なくとも一部分を有するシリコン・ベースの誘電体を堆積させるステップを含むプロセスにより製造される。少なくとも1つのシリコン・ベースの誘電体光移行部は、シリコン・ベースの誘電体を堆積させるステップの後で、化学機械研磨プロセスにより、少なくとも1つの層を化学研磨停止層までエッチングするステップをさらに含むプロセスにより製造され、その化学機械研磨プロセスによりエッチングするステップは、シリコン・ベースの誘電体の一部分をトレンチ内で化学研磨停止層より下に残存させる。少なくとも1つのシリコン・ベースの誘電体光移行部は、少なくとも1つの層をエッチングするステップの後で、化学研磨停止層を除去するステップをまた含むプロセスにより製造される。

【0008】

本発明の別の態様によれば、集積型光結合移行部を有する光電子回路は、第1集積半導体ダイ及び第2集積半導体ダイを含む。第1集積半導体ダイ及び第2集積半導体ダイのうちの少なくとも1つは集積光電子回路を含み、第1集積半導体ダイは第2集積半導体ダイの上に取り付けられて三次元集積回路を形成する。第1集積半導体ダイ及び第2集積半導体ダイのうちの少なくとも1つは、少なくとも1つの光導波路を含み、その少なくとも1

10

20

30

40

50

つの光導波路はそれぞれの第1端部を有する。第1集積半導体ダイ及び第2集積半導体ダイのうちの少なくとも1つは、少なくとも1つの光導波路のうちの少なくとも1つのそれぞれの第1端部と光ファイバを結合するように適合させたシリコン・ベースの誘電体光移行部をさらに含む。シリコン・ベースの誘電体光移行部は、半導体ダイ上に少なくとも1つの層を堆積させるステップを含むプロセスにより製造され、その少なくとも1つの層は化学研磨停止層を備える。シリコン・ベースの誘電体光移行部は、少なくとも化学研磨停止層を貫通して少なくとも1つの層の中にトレンチをエッチング形成するステップをさらに含むプロセスにより製造される。その少なくとも1つの層をエッチングするステップはトレンチを形成する。シリコン・ベースの誘電体光移行部は、トレンチの少なくとも一部分の中に、光ファイバの一区域と実質的に等しい屈折率を有する少なくとも一部分を有するシリコン・ベースの誘電体を堆積させるステップをまた含むプロセスにより製造される。シリコン・ベースの誘電体光移行部は、シリコン・ベースの誘電体を堆積させるステップの後で化学機械研磨プロセスにより、少なくとも1つの層を化学研磨停止層までエッチングするステップをさらに含むプロセスにより製造され、その化学機械研磨によりエッチングするステップは、シリコン・ベースの誘電体の一部分をトレンチ内で化学研磨停止層より下に残存させる。シリコン・ベースの誘電体光移行部は、少なくとも1つの層をエッチングするステップの後で、化学研磨停止層を除去するステップをまた含むプロセスにより製造される。

10

【0009】

本発明の別の態様によれば、集積型光結合移行部を有する集積回路を製造するように適合させた光電子回路製造装置は、半導体ダイ上に少なくとも1つの層を堆積させるように適合させた層堆積加工処理装置を含み、その少なくとも1つの層は化学研磨停止層を備える。光電子回路製造装置は、半導体ダイ上の少なくとも1つの層をエッチングするように適合させたエッチング加工処理装置をさらに含む。その少なくとも1つの層は化学研磨停止層を備え、少なくとも1つの層をエッチングするステップはトレンチを形成する。光電子回路製造装置はまた、トレンチの少なくとも一部分の中に、光ファイバの一区域と実質的に等しい屈折率を有する少なくとも一部分を含むシリコン・ベースの誘電体を堆積させるように適合させた誘電体堆積加工処理装置を含む。光電子回路製造装置はさらに、誘電体堆積加工処理装置によりシリコン・ベースの誘電体を堆積させた後、化学機械研磨プロセスにより、少なくとも1つの層を化学研磨停止層までエッチングするように適合させた化学機械研磨装置を含み、その化学機械研磨によりエッチングするステップは、シリコン・ベースの誘電体の一部分をトレンチ内で化学研磨停止層より下に残存させる。光電子回路製造装置はまた、少なくとも1つの層をエッチングした後で、化学研磨停止層を除去するように適合させた化学研磨停止層エッチング装置を含む。

20

30

【発明を実施するための形態】

【0010】

別々の図面の全てにわたり類似の参照符号が同一要素又は機能的に類似した要素を指示する添付の図面は、以下の詳細な説明と共に本明細書に組み入れられてその部分を構成し、本発明による種々の実施形態を更に例証し、その種々の原理及び利点の全てを説明するのに役立つ。

40

【0011】

本明細書は、新規であると考えられる本発明の特徴を定める特許請求の範囲により結論を出されるが、本発明は、類似の参照符号が繰り越される添付の図面に関する以下の説明を考察することにより、いっそう良く理解されることが考えられる。

【0012】

図1は、本発明の一実施形態による、シリコン・ベースの半導体ダイ130の第1製造段階100を示す。第1製造段階100は、単一の半導体基板上に製造された通常集積電子回路及び/又は光電子回路からなる集積シリコン・デバイス120を有する、シリコン・ベースの半導体ダイ130を示す。一実施形態において、シリコン・ベースの半導体ダイ130は、例えば、電子回路、及び/又は通常技法によりシリコン・デバイス12

50

0の上に製造された埋め込みシリコン光導波路構造体を含む光電子回路を含む。このようなシリコン・ベースの半導体デバイス120は、本発明の一実施形態により、後述のように誘電体ベースの光カプラをさらに製造するために受け入れられる。一実施形態において、シリコン・デバイス120は、通常のシリコン・ウェハの一部である。或いは、後述の製造加工処理は、シリコン・ベースの半導体ダイ130上にCMOSデバイスの金属レベルが形成される前に実施することができる。

【0013】

図9は、本発明の一実施形態による、誘電体ベースの光カプラを形成するための製造方法900のフローチャートを示す。製造方法900は、種々の加工処理段階を示す幾つかの断面図を参照して後述する。

10

【0014】

本発明の一実施形態は、ステップ901において、既にその上に電子回路及び/又は光電子回路が製造されていても製造されていなくてもよい、シリコン・ベースの半導体基板120などの半導体デバイスを受け入れる。製造方法900は、ステップ902において、半導体デバイス120の上に幾つかの層を堆積させて半導体デバイス120を調製することにより続行する。上述のように、本発明の種々の実施形態は、デバイスの金属レベル製造後に、半導体デバイスを加工処理することができる。例えば、製造方法900は、既にその上に電子回路及び/又は光電子回路が製造されているデバイスに対して実施することができる。本発明のさらなる実施形態は、半導体デバイスの金属層の製造前に製造方法900を実施することができる。例えば、製造方法900は、その上に回路が製造されて

20

【0015】

本発明の一実施形態により用いられる第1製造段階100に関して図示するように、下部SiN層118、SiO₂層116、ダイヤモンド状炭素(DLC)層114、上部SiN層112、及びフォトレジスト(PR)層110を、順番に、半導体デバイス120の上に堆積させる。図示した実施形態において、ダイヤモンド状炭素(DLC)層114は化学機械研磨(CMP)停止層であり、このCMP停止層より上に堆積した層をCMPプロセスによってエッチング除去することを可能にするが、このCMPプロセスはDLC層114においてエッチングを停止することになる。本発明の更なる実施形態においては、DLC層114は、CMP停止層として働くダイヤモンド状炭素に類似した任意の材料を用いて形成することができる。

30

【0016】

図示した実施形態の下部SiN層118は、半導体デバイス120上に金属レベルの製造後に本製造方法を実施する際に用いられる。本発明の種々の実施形態において、シリコン・デバイス120の上の配列された層は、シリコン・デバイス120上の光電子回路の製造と共に又はその後配置することができる。

【0017】

第1製造段階100は、半導体ダイ130の上に誘電体導波路カプラが製造されることになる領域に対応するエッチング領域102を画定するフォトレジスト(PR)層110を示す。本発明の一実施形態において、フォトレジスト層110の堆積は、ステップ903において通常の技術により達成される。

40

【0018】

図2は、本発明の一実施形態による、シリコン・ベースの半導体ダイ130の第2製造段階200を示す。この第2製造段階では、ステップ904において、フォトレジスト層110により、上部SiN層112の内部に最初のトレンチ202がエッチング形成される。上部SiN層112のエッチングは、一実施形態においては通常の技術により実施され、上部SiN層112の2つの部分、即ち、第1上部SiN層112a及び第2上部SiN層112bを残存させる。一実施形態において、多数のトレンチが互いに接近してエッチング形成されて、光カプラの高密度アレイ用のトレンチが形成される。

50

【0019】

図3は、本発明の一実施形態による、シリコン・ベースの半導体ダイ130の第3製造段階300を示す。この第3製造段階300では、ステップ906において、フォトリジスト層110が、以前にエッチング形成された最初のトレンチ202の下にあるダイヤモンド状炭素(DLC)層114の部分と共に除去される。第3製造段階300は、最初のトレンチ202を延長してダイヤモンド状炭素(DLC)層の深さのトレンチ302を生成する。シリコン・ベースの半導体ダイ130の第3製造段階において、ダイヤモンド状炭素(DLC)層の深さのトレンチ302は、DLC層の深さのトレンチの下のSiO₂層の部分を露出させ、ダイヤモンド状炭素(DLC)層の深さのトレンチ302のそれぞれの側部上に第1ダイヤモンド状炭素(DLC)層114a及び第2ダイヤモンド状炭素(DLC)層114bを残存させる。フォトリジスト層110、及びダイヤモンド状炭素(DLC)層の深さのトレンチ302は、一実施形態においては従来の技術によりエッチング除去及び形成される。

10

【0020】

図4は、本発明の一実施形態による、シリコン・ベースの半導体ダイ130の第4製造段階400を示す。この第4製造段階400では、ステップ908において、DLC層の深さのトレンチ302の下にあるSiO₂層116の部分をエッチングすることにより、DLC層の深さのトレンチ302を下部SiN層118に至るまで深くする。一実施形態の第4製造段階400は、SiO₂層116を下部SiN層118に至るまでエッチングする。シリコンに選択的な化学剤を用いることにより、さらに進んだ実施形態のエッチングはまた、下部SiN層118のさらに下まで深くして、その結果、例えば半導体ダイ上の光電子回路に接続したSi導波路チップの先端が、トレンチの内部に又はトレンチに至るまで下に突き出るようにすることができる。SiO₂層116のエッチングは、SiO₂層116の2つの側部、即ち、第1SiO₂層側部116a及び第2SiO₂層側部116bを残存させる。第4製造段階400の後、上部SiN層112からSiO₂層116を貫通して延びるカプラ・トレンチ402が残る。更なる実施形態においては、カプラ・トレンチは、下部SiN層118より下の層まで更にエッチングすることができる。

20

【0021】

図5は、本発明の一実施形態による、シリコン・ベースの半導体ダイ130の第5製造段階500を示す。第5製造段階500は、ステップ910において、半導体ダイ130上へのSiON層の均一な堆積を含む。一実施形態の堆積SiON層は、第1SiON層502、第2SiON層506、及びSiONカプラ504を含む。SiONカプラ504はカプラ・トレンチ402の中に堆積し、光ファイバと、半導体ダイ130上に形成された光導波路との間の光導波路カプラを形成することになる。種々の実施形態において、光導波路は、カプラ・トレンチ402の内部又はその真下に配置することができる。本発明の更に進んだ実施形態は、カプラが接続されることになる光ファイバの内部で用いられるモード・プロファイルを整合させるのに適した屈折率又は段階的屈折率を有する任意の誘電体材料を用いて、SiONカプラ504と類似の光導波路カプラを製造する。例えば、更に進んだ実施形態は、SiN、又はSiO₂のようなシリコン・ベースの誘電体材料から光カプラを形成することができる。一実施形態において、カプラを形成するのに用いられる誘電体は、屈折率が低い値から高い値へ移行する段階的屈折率を有することができる。

30

40

【0022】

図6は、本発明の一実施形態による、シリコン・ベースの半導体ダイ130の第6製造段階600を示す。この第6製造段階では、ステップ912において、化学機械研磨(CMP)を用いて、第1SiN層502、第2SiN層506、第1上部SiN層112a及び第2上部SiN層112bを除去する。

【0023】

図7は、本発明の一実施形態による、シリコン・ベースの半導体ダイ130の第7製造段階700を示す。この第7製造段階では、ステップ914において、第1ダイヤモンド

50

状炭素(DLC)層114a及び第2ダイヤモンド状炭素層114bをエッチング除去して、第1SiO₂層116a及び第2SiO₂層116b並びにSiONカプラ504を残存させる。DLC層のエッチングは、製造方法900が半導体デバイス120上の金属レベルの製造後に実施される実施形態において用いて、メタライゼーション・レベルを露出させる。第7製造段階700はさらに、半導体ダイ130を切断線702に沿って切断して、SiONカプラ504の1つの面を露出させる。

【0024】

図8は、本発明の一実施形態による、完成した光ファイバ・オン・チップ導波路デバイス800を示す。完成した光ファイバ・オン・チップ導波路デバイス800は、切断線702に沿って切断して、SiONカプラ504の露出面704を露出させた半導体ダイ130を含む。光ファイバ802は、半導体デバイス120上に製造されたSiONカプラ504の露出面704に取り付けられる。

10

【0025】

第1シリコン導波路810がSiONカプラ504と半導体回路120内に配置された光電子回路812との間で光エネルギーを結合するように示される。第1シリコン光導波路810の一端は、露出面704と反対側のカプラ504の一部内まで延びるように示される。第1シリコン光導波路810はテーパ加工され、上述のエッチング形成されたトレンチの一部分の下方に延び、従ってカプラ504の下部分に延びて、SiONカプラ504と第1シリコン光導波路810の間の効率的な断熱結合をもたらす。第1シリコン導波路810はさらに第2SiO₂層116bの下に延びて、例えば光電子回路812内の光トランシーバに接続する。第1シリコン光導波路810及び光電子回路812は、一実施形態において、上述のSiONカプラ504の製造の前に、通常の技法を用いて半導体デバイス120上に製造された。

20

【0026】

本発明の一実施形態は、CMOSデバイス上にCMOS金属レベルを形成する前又は後に、CMOSデバイス内に効率的な光カプラを製造する上述のプロセスを実施する。CMOS金属レベルを形成した後に光カプラを形成する用途においては、DLC層114を堆積する前に、光カプラを薄いSiN層でキャッピングすることができる。金属レベルを露出させることが必要な用途においてはCMPステップを用いることができ、又は湿式エッチングなどの何らかの他の技法を用いることができる。代替的な実施形態は、他のマスク・レベルを用いて下層の金属レベルに接続される更なる金属レベルを構築することができる。一実施形態においては、光カプラはあらゆる金属レベルを構築する前に製造することができる。

30

【0027】

本発明の更なる実施形態は、他の高屈折率材料を用いて製造された光導波路を組み込む。本発明の更なる実施形態は、例えば、GaAs、InPなどのようなIII-V族材料で作られた第1光導波路810などの光導波路を用いる。

【0028】

上述の光カプラ製造技術は光カプラの高密度アレイの製造を可能にする。上記の製造技術は多数の光カプラを互いに接近して形成することを可能にし、その結果、例えばカプラの高密度アレイを光回路上に作り出すことができ、光ファイバと光回路の間の光エネルギーの移動を最適にする光カプラにより、多数の光ファイバを光回路に接続することを可能にする。

40

【0029】

図10は、本発明の一実施形態による、第1の三次元集積回路1000を示す。第1の三次元集積回路1000は、フォトニクス層1004及びCMOSデジタル回路層1006を含む。最初に、上述のプロセスに従って、光カプラ1002を形成するステップを含む通常の光回路製造技術により、フォトニクス層1004をウェハ上に形成する。光カプラ1002は光ファイバ1008に接続されて、フォトニクス層1004の光電子回路への及びそれからの光信号の通信を可能にする。CMOSデジタル回路層1006は、通常

50

のデジタルCMOS製造技術を用いて第2ウェハ上に形成され、フォトニクス層1004を含む光ウェハと統合される。一実施形態において光カプラは、2つのウェハを接合するステップの後に形成することができる。

【0030】

一実施形態の第1の三次元集積回路1000は、通常の方法を用いて、基板1012を含むCMOSデジタル回路層1006の上にフォトニクス層1004の回路を配置することにより製造される。フォトニクス層1004の回路とCMOSデジタル回路層1006の回路とは、ビア1010により電氣的に接続される。上記のCMOSに調和する製造プロセスによって製造された光カプラを含めることは、通常のCMOS製造設備及び技術による第1の三次元集積回路1000の製造を促進する。

10

【0031】

図11は、本発明の一実施形態による、第2の三次元集積回路1100を示す。第2の三次元集積回路1100は、フォトニクス層1104及びCMOSデジタル回路層1106を含む。最初に、上述のプロセスに従って、光カプラ1102を形成するステップを含む通常の光回路製造技術により、フォトニクス層1104をウェハ上に形成する。光カプラ1102は光ファイバ1008に接続されて、フォトニクス層1104の光電子回路への及びそれからの光信号の通信を可能にする。CMOSデジタル回路層1106は、通常のデジタルCMOS製造技術を用いて第2ウェハ上に形成され、フォトニクス層1104を含む光ウェハと統合される。

【0032】

20

一実施形態の第2の三次元集積回路1100は、通常の方法を用いて、基板1112を含むフォトニクス層1104の上にCMOSデジタル回路層1106の回路を配置することにより製造される。フォトニクス層1104の回路とCMOSデジタル回路層1106の回路とは、ビア1110により電氣的に接続される。フォトニクス層1104は、フォトニクス層1104とCMOSデジタル回路層1106の間に光カプラ1102を挟むことを可能にする上記の技術を用いて製造された、CMOSに調和する光カプラ1102を有する。

【0033】

回路812によって生成された光信号は第1光導波路810に送られ、そして第1光導波路810からSiONカプラ504を経由して光ファイバ802に伝達されることができ、ここでSiONカプラ504は上記の製造ステップを用いて半導体ダイ130上に形成された光学的インピーダンス整合構造体として働く。同様に、そして光カプラ504による通信の方向に応じて、光信号は、光ファイバ802から第1光導波路810に伝達されて回路812とのさらなる通信が可能になる。上述のように、本発明の更なる実施形態を用いて、光ファイバ802内で用いられるモード・プロファイルを整合するのに適した屈折率、又は段階的屈折率を有する任意の誘電体材料を用いることにより、SiONカプラ504と類似の光導波路カプラを製造することができる。一実施形態においては、カプラを形成するのに用いる誘電体は、屈折率が低い値から高い値へ移行する段階的屈折率を有することができる。

30

【0034】

40

完成した光ファイバ・オン・チップ導波路デバイス800は、光電子回路812から、例えば、完成した光ファイバ・オン・チップ導波路デバイス800内の他の光電子回路に、又はデバイスの別の領域に製造された別のSiONカプラに、光エネルギーを伝達する第2シリコン光導波路814をさらに示す。

【0035】

本考察を考慮すれば当業者には明白であるように、上記のステップは、通常のCMOS製造技術と両立可能である。上記又は同等の製造技術を用いることは、通常の光ファイバ802への効率的な直接結合を可能にする光学的インピーダンス整合カプラ504と共に埋め込み導波路を備えた半導体ダイ130の効率的な製造を可能にする。

【0036】

50

これらの実施形態は、本明細書における革新的な教示に関する多数の有利な用途の単なる実施例であることを理解されたい。一般に、本出願の明細書においてなされた記述は、特許請求される種々の発明のいずれかを必ずしも限定するものではない。さらに、幾つかの記述は幾つかの発明の特徴に当てはまるが、他の発明の特徴には当てはまらない可能性がある。一般に、特に指示のない限り、一般性を失うことなく単数形の要素を複数形とすることがあり、逆の場合も同様である。

【0037】

上述の回路は、集積回路チップに関する設計の一部である。チップ設計はグラフィカル・コンピュータ・プログラミング言語で作成され、コンピュータ・ストレージ媒体（ディスク、テープ、物理ハードドライブ、又は、ストレージ・アクセス・ネットワークにあるような仮想ハードドライブなど）内にストアされる。設計者がチップ、又はチップ製造用フォトリソグラフィ・マスクを製造しない場合には、設計者は、結果として得られる設計を、物理的手段により（例えば、設計をストアしたストレージ媒体のコピーを提供することにより）又は電子的に（例えば、インターネットを通じて）製造事業体に直接的又は間接的に伝達する。ストアされた設計は、次いで、ウェハ上に形成されるべき当該のチップ設計の多数のコピーを典型的に含む、フォトリソグラフィ・マスクを製造するための適切な形式（例えばGDSII）に変換される。フォトリソグラフィ・マスクは、エッチング又は他の仕方では処理されるべきウェハ（及び/又はその上の層）の領域を画定するのに用いられる。

【0038】

上述の方法は、集積回路チップの製造に用いられる。結果として得られる集積回路チップは、製造者により、未加工ウェハの形態で（即ち、多数のパッケージ化されていないチップを有する単一のウェハとして）、むきだしのチップとして、又はパッケージされた形態で配布することができる。後者の場合には、チップは単一のチップ・パッケージ（マザーボードに取り付けられたリード線を有するプラスチック・キャリア又は他のより高レベルのキャリアなど）又はマルチ・チップ・パッケージ（表面相互接続部又は埋め込み相互接続部の一方又は両方を有するセラミック・キャリアなど）に取り付けられる。いずれの場合においても、チップは、次いで、他のチップ、個別の回路要素、及び/又は他の信号処理デバイスと共に統合されて、（a）マザーボードのような中間製品又は（b）最終製品の一部となる。最終製品は、玩具及び他の低価格用途から、ディスプレイ、キーボード又は他の入力デバイス、及び中央処理装置を有する高度なコンピュータ製品までの範囲にわたる、集積回路チップを含む任意の製品とすることができる。

【0039】

本発明の特定の実施形態が開示されたが、当業者であれば、本発明の精神及び範囲から逸脱することなくこれら特定の実施形態に変更を施すことができることを理解するであろう。従って、本発明の範囲は、それら特定の実施形態に限定されるべきではない。さらに、添付の特許請求の範囲は、本発明の範囲内のありとあらゆる用途、修正、及び実施形態を含むことが意図されている。

【図面の簡単な説明】

【0040】

【図1】本発明の一実施形態による、シリコン・ベースの半導体ダイの第1製造段階を示す。

【図2】本発明の一実施形態による、シリコン・ベースの半導体ダイ130の第2製造段階を示す。

【図3】本発明の一実施形態による、シリコン・ベースの半導体ダイの第3製造段階を示す。

【図4】本発明の一実施形態による、シリコン・ベースの半導体ダイ130の第4製造段階を示す。

【図5】本発明の一実施形態による、シリコン・ベースの半導体ダイの第5製造段階を示す。

す。

【図 6】本発明の一実施形態による、シリコン・ベースの半導体ダイの第 6 製造段階を示す。

【図 7】本発明の一実施形態による、シリコン・ベースの半導体ダイの第 7 製造段階を示す。

【図 8】本発明の一実施形態による、完成した光ファイバ・オン・チップ導波路デバイスを示す。

【図 9】本発明の一実施形態による集積型導波路カブラの製造プロセスの流れ図を示す。

【図 10】本発明の一実施形態による第 1 の三次元集積回路を示す。

【図 11】本発明の一実施形態による第 2 の三次元集積回路を示す。

10

【符号の説明】

【0041】

- 100 : 第 1 製造段階
- 102 : エッチング領域
- 110 : フォトレジスト層
- 112 : 上部 SiN 層
- 112a : 第 1 上部 SiN 層
- 112b : 第 2 上部 SiN 層
- 114 : ダイヤモンド状炭素層
- 114a : 第 1 ダイヤモンド状炭素層 (DLC 層)
- 114b : 第 2 ダイヤモンド状炭素層
- 116 : SiO₂ 層
- 116a : 第 1 SiO₂ 層
- 116b : 第 2 SiO₂ 層
- 118 : 下部 SiN 層
- 120 : シリコン・ベースの半導体デバイス
- 130 : シリコン・ベースの半導体ダイ
- 200 : 第 2 製造段階
- 202 : 最初のトレンチ
- 300 : 第 3 製造段階
- 302 : 深いトレンチ
- 400 : 第 4 製造段階
- 402 : カブラ用トレンチ
- 500 : 第 5 製造段階
- 502 : 第 1 SiON 層
- 504 : SiON カブラ
- 506 : 第 2 SiON 層
- 600 : 第 6 製造段階
- 700 : 第 7 製造段階
- 702 : 切断線
- 704 : SiON カブラの露出面
- 800 : 完成した光ファイバ・オン・チップ導波路デバイス
- 802 : 光ファイバ
- 810 : 第 1 シリコン導波路
- 812 : 光電子回路
- 814 : 第 2 シリコン導波路
- 900 : 製造方法
- 901、902、903、904、906、908、910、912、914 : ステップ
- 1000 : 第 1 の 3 次元集積回路
- 1002、1102 : 光カブラ

20

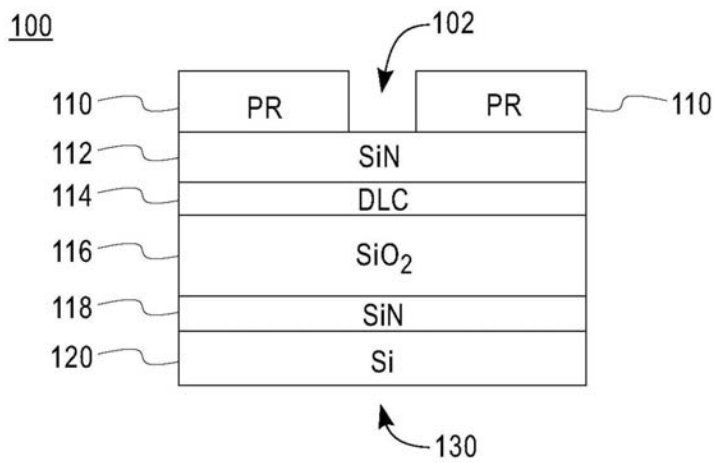
30

40

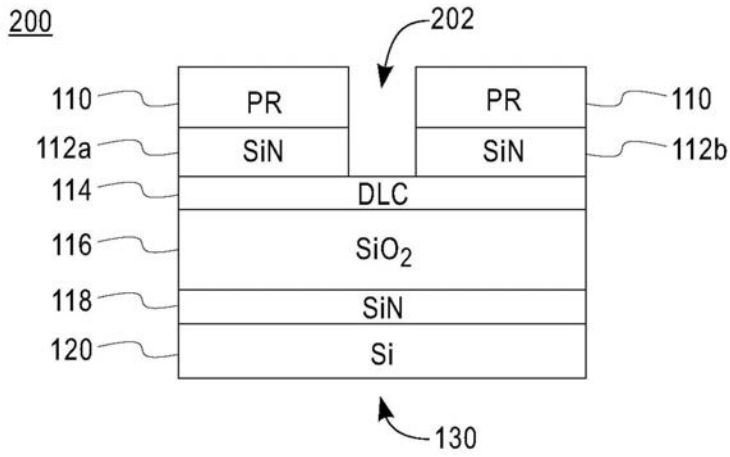
50

- 1 0 0 4、1 1 0 4 : フォトニクス層
- 1 0 0 6、1 1 0 6 : C M O S デジタル回路層
- 1 0 0 8 : 光ファイバ
- 1 0 1 0、1 1 1 0 : ピア
- 1 0 1 2 : 基板
- 1 1 0 0 : 第 2 の 3 次元集積回路

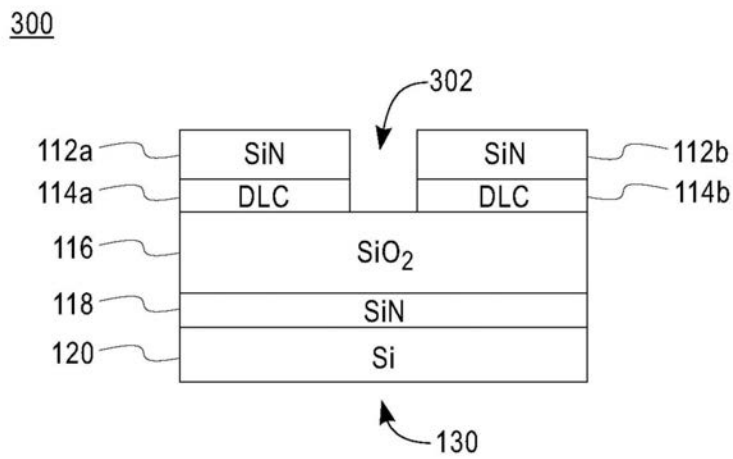
【 図 1 】



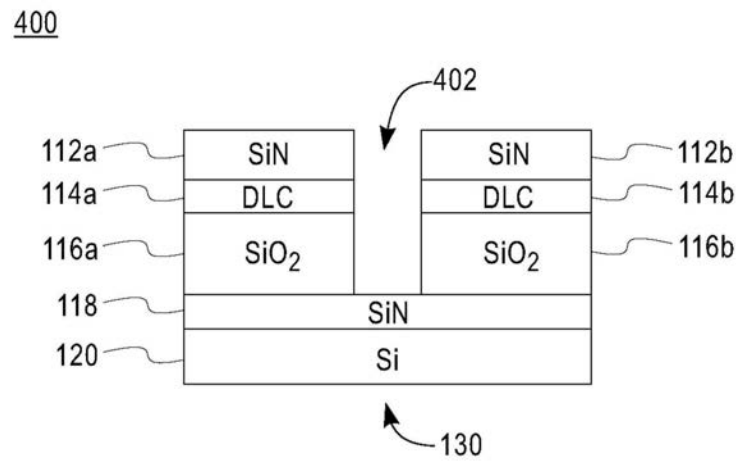
【 図 2 】



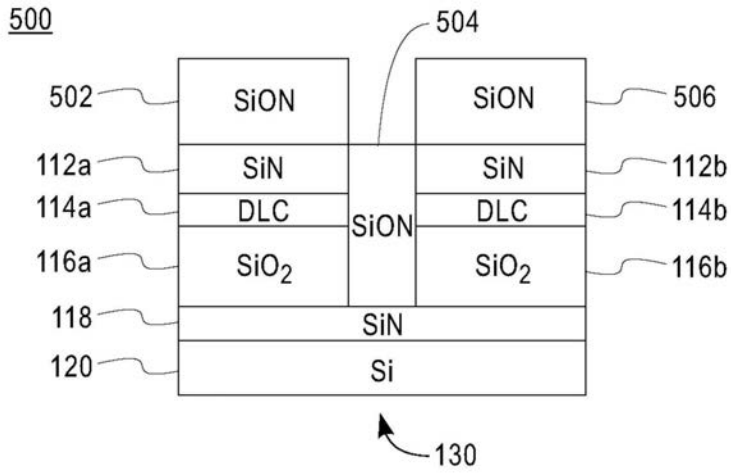
【 図 3 】



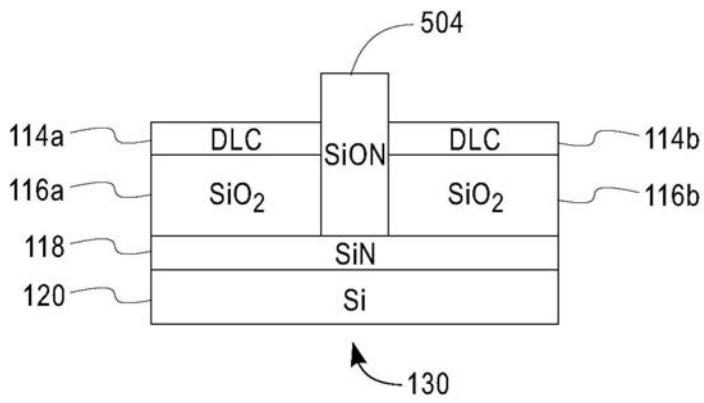
【 図 4 】



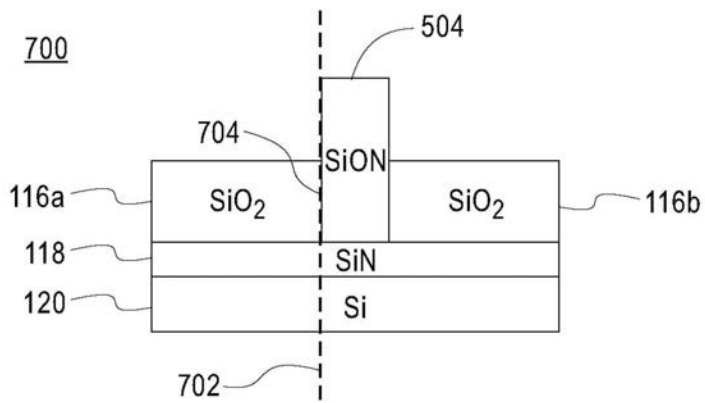
【 図 5 】



【 図 6 】

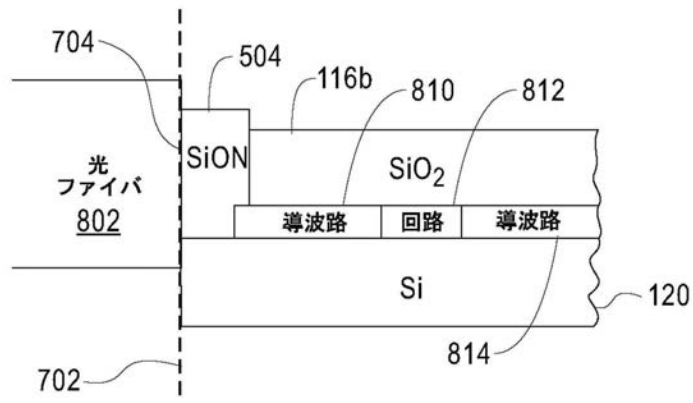


【 図 7 】

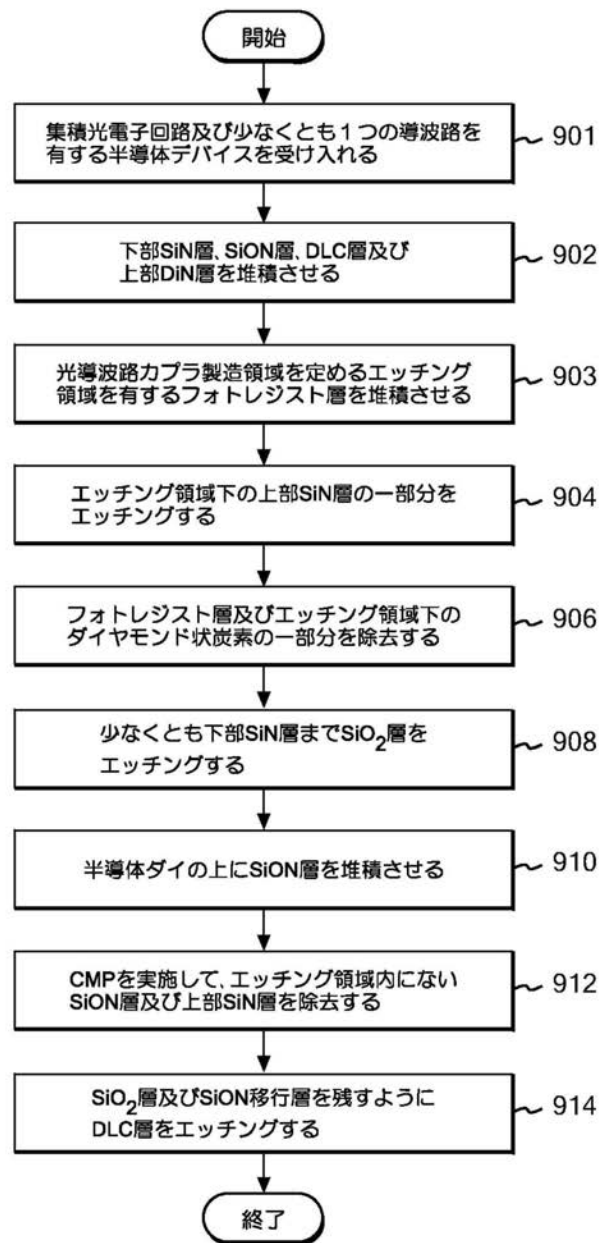


【図8】

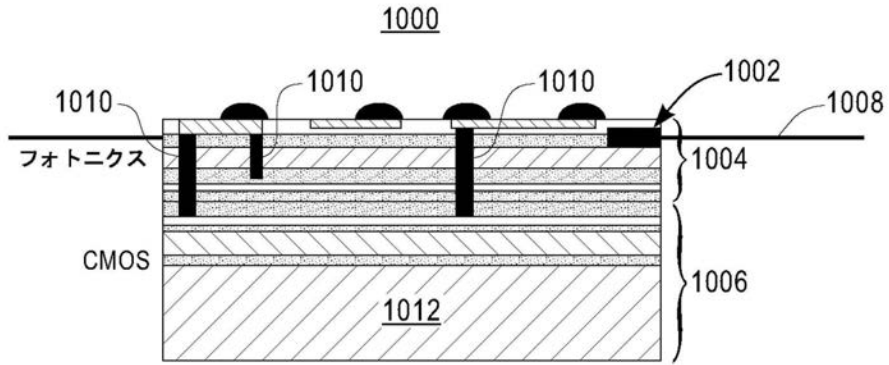
800



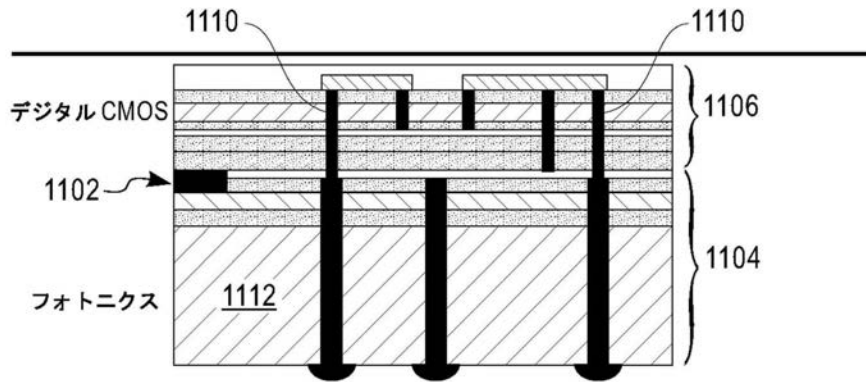
【図9】



【図10】



【図11】



フロントページの続き

- (72)発明者 ソロモン・アッセファ
アメリカ合衆国 10562 ニューヨーク州 オッシニング ブルック・クラブ・ドライブ 5
- 4
- (72)発明者 クリストファー・ヤーネス
アメリカ合衆国 07458 ニュージャージー州 アッパー・サドル・リバー サンライズ・レ
ーン 7
- (72)発明者 ユーリ・ブラソフ
アメリカ合衆国 10536 ニューヨーク州 カトナ メドウ・レーン 41

審査官 高 芳徳

- (56)参考文献 特開2004-157530(JP,A)
特開2005-115117(JP,A)
特開2005-077315(JP,A)
特開2005-172448(JP,A)
特開2006-047894(JP,A)
特開2003-161853(JP,A)
特表2006-529055(JP,A)
米国特許出願公開第2005/0185893(US,A1)
特開2002-76003(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02B 6/12 - 6/43
H01S 5/02 - 5/026
H01L 31/0232
JSTPlus(JDreamIII)
JST7580(JDreamIII)