



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I885254 B

(45)公告日：中華民國 114 (2025) 年 06 月 01 日

(21)申請案號：111112738

(22)申請日：中華民國 111 (2022) 年 04 月 01 日

(51)Int. Cl. : G01R31/26 (2020.01)

G06F17/18 (2006.01)

(30)優先權：2021/05/06 美國

63/184,793

2021/05/28 美國

17/333,770

(71)申請人：美商科磊股份有限公司(美國) KLA CORPORATION (US)

美國

(72)發明人：拉瑟 羅伯 J RATHERT, ROBERT J. (US)；普里斯 大衛 W PRICE, DAVID

W. (US)；萊諾克斯 切特 V LENOX, CHET V. (US)；唐賽拉 歐艾斯特

DONZELLA, ORESTE (US)；榭曼 卡拉 L SHERMAN, KARA L. (US)；羅賓

森 約翰 ROBINSON, JOHN (US)

(74)代理人：陳長文

(56)參考文獻：

TW 201903925A

TW 201945923A

KR 10-2019-0123792A

US 7739064B1

US 8711346B2

US 10761128B2

US 2007/0212798A1

US 2013/0007546A1

US 2018/0275189A1

US 2019/0295908A1

審查人員：机亮燁

申請專利範圍項數：25 項 圖式數：5 共 44 頁

(54)名稱

使用內嵌缺陷部分平均測試用於半導體適應測試之系統及方法

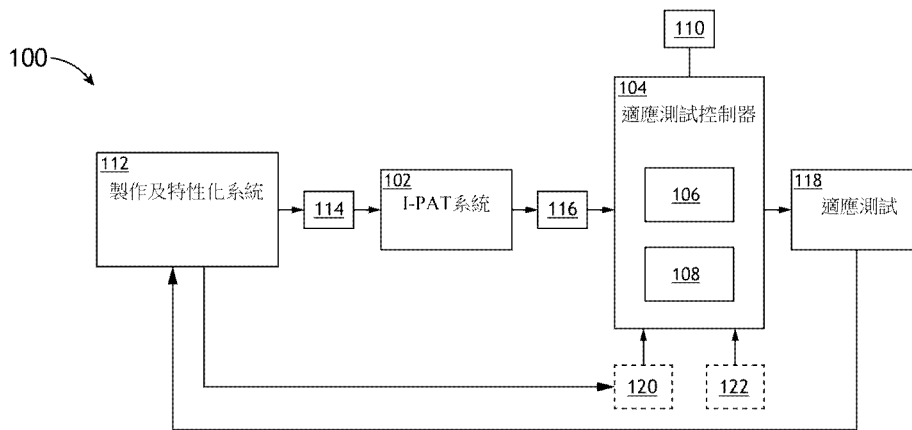
(57)摘要

使用內嵌缺陷部分平均測試用於半導體適應測試之系統及方法經組態以接收來自一內嵌缺陷部分平均測試(I-PAT)系統之複數個 I-PAT 分數，其中該複數個 I-PAT 分數係藉由該 I-PAT 系統基於複數個半導體晶粒之半導體晶粒資料而產生，其中該半導體晶粒資料包含該複數個半導體晶粒之特性化量測，其中該複數個 I-PAT 分數之各 I-PAT 分數表示藉由該 I-PAT 系統基於該複數個半導體晶粒之一對應半導體晶粒之一特性化量測所判定之一加權缺陷率；在一動態作決策程序期間，將一或多個規則應用至該複數個 I-PAT 分數；且基於該動態作決策程序來產生該複數個半導體晶粒之至少一個半導體晶粒之一或多個適應測試。

Systems and methods for semiconductor adaptive testing using inline defect part average testing are configured to receive a plurality of inline defect part average testing (I-PAT) scores from an I-PAT system, where the plurality of I-PAT scores is generated by the I-PAT system based on semiconductor die data for a plurality of semiconductor dies, where the semiconductor die data includes characterization measurements for the plurality of semiconductor dies, where each I-PAT score of the plurality of I-PAT scores represents a weighted defectivity determined by the I-PAT system based on a characterization measurement of a corresponding semiconductor die of the plurality of semiconductor dies; apply one or more rules to the plurality of I-PAT scores during a dynamic decision-making process; and generate one or more adaptive

tests for at least one semiconductor die of the plurality of semiconductor dies based on the dynamic decision-making process.

指定代表圖：



【圖1】

符號簡單說明：

100:系統

102:內嵌缺陷部分平均
測試(I-PAT)系統

104:適應測試控制器/
適應測試伺服器

106:處理器

108:記憶體

110:使用者介面

112:半導體製作及特性
化系統

114:半導體資料

116:加權彙總分數/內
嵌缺陷部分平均測試
(I-PAT)分數

118:適應測試

120:電排序程序

122:統計預測程序



I885254

【發明摘要】**【中文發明名稱】**

使用內嵌缺陷部分平均測試用於半導體適應測試之系統及方法

【英文發明名稱】

SYSTEMS AND METHODS FOR SEMICONDUCTOR ADAPTIVE TESTING USING INLINE DEFECT PART AVERAGE TESTING

【中文】

使用內嵌缺陷部分平均測試用於半導體適應測試之系統及方法經組態以接收來自一內嵌缺陷部分平均測試(I-PAT)系統之複數個I-PAT分數，其中該複數個I-PAT分數係藉由該I-PAT系統基於複數個半導體晶粒之半導體晶粒資料而產生，其中該半導體晶粒資料包含該複數個半導體晶粒之特性化量測，其中該複數個I-PAT分數之各I-PAT分數表示藉由該I-PAT系統基於該複數個半導體晶粒之一對應半導體晶粒之一特性化量測所判定之一加權缺陷率；在一動態作決策程序期間，將一或多個規則應用至該複數個I-PAT分數；且基於該動態作決策程序來產生該複數個半導體晶粒之至少一個半導體晶粒之一或多個適應測試。

【英文】

Systems and methods for semiconductor adaptive testing using inline defect part average testing are configured to receive a plurality of inline defect part average testing (I-PAT) scores from an I-PAT system, where the plurality of I-PAT scores is generated by the I-PAT system based on semiconductor die data for a plurality of semiconductor dies, where the semiconductor die data includes characterization

measurements for the plurality of semiconductor dies, where each I-PAT score of the plurality of I-PAT scores represents a weighted defectivity determined by the I-PAT system based on a characterization measurement of a corresponding semiconductor die of the plurality of semiconductor dies; apply one or more rules to the plurality of I-PAT scores during a dynamic decision-making process; and generate one or more adaptive tests for at least one semiconductor die of the plurality of semiconductor dies based on the dynamic decision-making process.

【指定代表圖】

圖1

【代表圖之符號簡單說明】

100: 系統

102: 內嵌缺陷部分平均測試(I-PAT)系統

104: 適應測試控制器/適應測試伺服器

106: 處理器

108: 記憶體

110: 使用者介面

112: 半導體製作及特性化系統

114: 半導體資料

116: 加權彙總分數/內嵌缺陷部分平均測試(I-PAT)分數

118: 適應測試

120: 電排序程序

122: 統計預測程序

【發明說明書】

【中文發明名稱】

使用內嵌缺陷部分平均測試用於半導體適應測試之系統及方法

【英文發明名稱】

SYSTEMS AND METHODS FOR SEMICONDUCTOR ADAPTIVE TESTING USING INLINE DEFECT PART AVERAGE TESTING

【技術領域】

【0001】 本發明大體上係關於半導體裝置且更特定言之，係關於使用內嵌缺陷部分平均測試用於半導體適應測試之系統及方法。

【先前技術】

【0002】 半導體裝置之製作通常可需要數百或數千個處理步驟來形成一功能裝置。在此等處理步驟之進程內，可執行各種特性化量測(例如，檢測及/或度量衡量測)以識別缺陷及/或監測裝置上之各種參數。代替各種特性化量測或除各種特性化量測之外，亦可執行電測試以驗證或評估裝置之功能性。然而，雖然一些經偵測缺陷及度量衡誤差可如此顯著以清楚地指示一裝置失效，但較小變動可能引起裝置在曝露於一工作環境之後之早期可靠性失效。半導體裝置之風險規避使用者(例如，諸如汽車、軍事、航空及醫療應用)現在正在尋找在十億分之幾(PPB)範圍內，超過當前百萬分之幾(PPM)位準之失效率。隨著汽車、軍事、航空及醫療應用中對半導體裝置之需求不斷增加，評估半導體晶粒之可靠性係滿足此等行業需求之關鍵。

【發明內容】

【0003】 根據本發明之一或多項實施例，揭示一種系統。在一項闡

釋性實施例中，該系統包含通信地耦合至一內嵌缺陷部分平均測試(I-PAT)系統之一適應測試控制器。在另一闡釋性實施例中，該適應測試控制器包含一或多個處理器及記憶體。在另一闡釋性實施例中，該記憶體經組態以儲存一組程式指令。在另一闡釋性實施例中，該一或多個處理器經組態以執行程式指令，從而引起該一或多個處理器接收來自該I-PAT系統之複數個I-PAT分數。在另一闡釋性實施例中，該複數個I-PAT分數係藉由該I-PAT系統基於複數個半導體晶粒之半導體晶粒資料產生。在另一闡釋性實施例中，該半導體晶粒資料包含該複數個半導體晶粒之特性化量測。在另一闡釋性實施例中，該複數個I-PAT分數之各I-PAT分數表示藉由該I-PAT系統基於該複數個半導體晶粒之一對應半導體晶粒之一特性化量測判定之一加權缺陷率。在另一闡釋性實施例中，該一或多個處理器經組態以執行程式指令，從而引起該一或多個處理器在一動態作決策程序期間將一或多個規則應用至該複數個I-PAT分數。在另一闡釋性實施例中，該一或多個處理器經組態以執行程式指令，從而引起該一或多個處理器基於該動態作決策程序產生該複數個半導體晶粒之至少一個半導體晶粒之一或多個適應測試。

【0004】 根據本發明之一或多項實施例，揭示一種方法。在一項闡釋性實施例中，該方法可包含但不限於經由一適應測試控制器接收來自一內嵌缺陷部分平均測試(I-PAT)系統之複數個I-PAT分數。在另一闡釋性實施例中，該複數個I-PAT分數係藉由該I-PAT系統基於複數個半導體晶粒之半導體晶粒資料產生。在另一闡釋性實施例中，該半導體晶粒資料包含該複數個半導體晶粒之特性化量測。在另一闡釋性實施例中，該複數個I-PAT分數之各I-PAT分數表示藉由該I-PAT系統基於該複數個半導體晶

粒之一對應半導體晶粒之一特性化量測判定之一加權缺陷率。在另一闡釋性實施例中，該方法可包含但不限於經由該適應測試控制器在一動態作決策程序期間將一或多個規則應用至該複數個I-PAT分數。在另一闡釋性實施例中，該方法可包含但不限於經由該適應測試控制器基於該動態作決策程序產生該複數個半導體晶粒之至少一個半導體晶粒之一或多個適應測試。

【0005】 根據本發明之一或多項實施例，揭示一種系統。在一項闡釋性實施例中，該系統包含一內嵌缺陷部分平均測試(I-PAT)系統。在另一闡釋性實施例中，該I-PAT系統經組態以接收複數個半導體晶粒之半導體晶粒資料且基於該半導體晶粒資料產生複數個I-PAT分數。在另一闡釋性實施例中，該半導體晶粒資料包含該複數個半導體晶粒之特性化量測。在另一闡釋性實施例中，該複數個I-PAT分數之各I-PAT分數表示藉由該I-PAT系統基於該複數個半導體晶粒之一對應半導體晶粒之一特性化量測判定之一加權缺陷率。在另一闡釋性實施例中，該系統包含通信地耦合至該I-PAT系統之一適應測試控制器。在另一闡釋性實施例中，該適應測試控制器包含一或多個處理器及記憶體。在另一闡釋性實施例中，該記憶體經組態以儲存一組程式指令。在另一闡釋性實施例中，該一或多個處理器經組態以執行程式指令，從而引起該一或多個處理器接收來自該I-PAT系統之該複數個I-PAT分數。在另一闡釋性實施例中，該一或多個處理器經組態以執行程式指令，從而引起該一或多個處理器在一動態作決策程序期間將一或多個規則應用至該複數個I-PAT分數。在另一闡釋性實施例中，該一或多個處理器經組態以執行程式指令，從而引起該一或多個處理器基於該動態作決策程序產生該複數個半導體晶粒之至少一個半導體晶粒之一

或多個適應測試。

【0006】 應理解，前文概述及下文詳細描述兩者僅係例示性及說明性的且未必限制如主張之本發明。併入本說明書中且構成本說明書之一部分之隨附圖式繪示本發明之實施例且與概述一起用於解釋本發明之原理。

【圖式簡單說明】

【0007】 熟習此項技術者藉由參考附圖可更佳理解本發明之許多優點，其中：

圖1係根據本發明之一或多項實施例之使用內嵌缺陷部分平均測試(I-PAT)用於半導體適應測試之一系統之一方塊圖(block diagram view)；

圖2係根據本發明之一或多項實施例之使用I-PAT用於半導體適應測試之一系統之一概念圖；

圖3係繪示根據本發明之一或多項實施例之在使用I-PAT用於半導體適應測試之一方法中執行之步驟之一流程圖；

圖4A係根據本發明之一或多項實施例之用於製作且特性化半導體裝置之一系統之一方塊圖；

圖4B係根據本發明之一或多項實施例之用於製作且特性化半導體裝置之一系統之一方塊圖；及

圖5係繪示根據本發明之一或多項實施例之在用於製作且特性化半導體裝置之一方法中執行之步驟之一流程圖。

【實施方式】

相關申請案之交叉參考

【0008】 本申請案主張2021年5月6日申請之美國臨時申請案第63/184,793號的權利，該案之全文係以引用的方式併入本文中。

【0009】 現將詳細參考在隨附圖式中繪示之所揭示標的物。已關於某些實施例及其等之特定特徵特別展示且描述本發明。將本文中闡述之實施例視為闡釋性而非限制性。一般技術者應容易瞭解，可作出形式及細節上之各種改變及修改而不脫離本發明之精神及範疇。

【0010】 半導體裝置之製作通常可需要數百或數千個處理步驟來形成一功能裝置。在此等處理步驟之進程內，可執行各種特性化量測(例如，檢測及/或度量衡量測)以識別缺陷及/或監測裝置上之各種參數。代替各種特性化量測或除各種特性化量測之外，亦可執行電測試以驗證或評估裝置之功能性。

【0011】 然而，雖然一些經偵測缺陷及度量衡誤差可非常顯著以清楚地指示一裝置失效，但較小變動可能引起裝置在曝露於一工作環境之後之早期可靠性失效。在製程期間產生之缺陷可對該領域中之裝置之效能具有廣泛範圍之影響。例如，出現在設計內之已知或未知位置中之「致命」缺陷可導致立即裝置失效。例如，在未知位置中之致命缺陷可尤其成問題，其中其等易受測試間隙中之可靠性逃逸(escape)之影響，其中一半導體裝置在處理之後可功能上失效但歸因於測試之限制，裝置製造商無法作出此判定。藉由另一實例，次要缺陷可在整個裝置壽命對裝置之效能具有較少或無影響。藉由另一實例，稱為潛伏可靠性缺陷(LRD)之一種類別之缺陷可能不在製造/測試期間導致失效或可能不在操作期間導致立即裝置失效，但可在操作期間在用於一工作環境中時導致裝置之早期失效。本文中應注意，為了本發明之目的，術語「製程」及「製作程序」以及該等術語之各自變體(例如，「製造線」及「製作線」及類似者)可被視為等效的。

【0012】 半導體裝置之風險規避使用者(例如，諸如汽車、軍事、航空及醫療應用)現在正在尋找在十億分之幾(PPB)範圍內，超過當前百萬分之幾(PPM)位準之失效率。隨著汽車、軍事、航空及醫療應用中對半導體裝置之需求不斷增加，評估半導體晶粒之可靠性係滿足此等行業需求之關鍵。

【0013】 在一個實例中，品質至關重要之半導體裝置可既在晶圓排序期間且又再次在單粒化及封裝之後之最後測試經歷廣泛電測試。此階段之生產面臨減少品質逃逸與藉由縮短測試時間而降低成本兩者之相互矛盾的壓力。實現兩個目標之一個方式係使用適應測試，其中使用各種先驗資訊源動態地調整各被測裝置之測試程式之變數。適應測試之輸出或結果可改變測試條件、製造流程、測試內容或測試限制或晶粒在適應測試之後之處置之一或多者。

【0014】 已知適應測試技術僅依賴於來自晶圓排序之初步電資料或電測試趨勢之統計預測及來自先前批次及相鄰晶粒之良率結果以動態地使測試程式成形。然而，由於取樣僅涵蓋生產材料之1%至2%，故所得內嵌程序控制資訊太稀疏而無法用於在一個別裝置級使測試成形。另外，已知適應測試技術缺乏輔助風險預測之晶粒級製造缺陷及/或度量衡資訊。此外，僅依賴於電晶圓排序資料可在使適應測試成形時忽略LRD之潛在存在，此係因為未啟動LRD對電測試而言不可見。此外，基於統計之預測演算法缺乏關於經歷測試之半導體晶粒之來源資料，且可遺漏由一局部製造偏差引起之個別離群點。此外，將一測試集削減為僅電測試之基於歷史回饋迴路之預測演算法可無法忽略製程偏移之不可預測性質及其等可產生之意外失效。此等缺點在一PPB測試環境中尤其成問題，此係因為其等可產

生不可接受的風險。

【0015】 本發明之實施例係關於使用內嵌缺陷部分平均測試(I-PAT)用於半導體適應測試之系統及方法。本發明之實施例亦係關於使用內嵌缺陷篩選或I-PAT以及半導體特性化程序以識別半導體晶粒離群點。本發明之實施例亦包含評估一特定適應測試對於一給定半導體晶粒之適合性。本發明之實施例亦包含評估特定適應測試參數對於一給定半導體晶粒之適合性。

【0016】 圖1及圖2大體上繪示根據本發明之一或多項實施例之使用內嵌缺陷部分平均測試(I-PAT)用於半導體適應測試之一系統100之方塊圖。

【0017】 在一些實施例中，系統100包含一I-PAT系統102及一適應測試控制器104 (或適應測試伺服器104)。適應測試控制器104可包含經組態以執行維持於記憶體108 (例如，一記憶體媒體、記憶體裝置或類似者)上或儲存於記憶體108中之程式指令之一或多個處理器106。本文中應注意，適應測試控制器104之一或多個處理器106可執行貫穿本發明描述之各種程序步驟之任一者。例如，一或多個處理器106可經組態以接收半導體晶粒資料，使用I-PAT系統102自半導體晶粒資料產生關於半導體晶粒之I-PAT分數，基於來自I-PAT系統102之I-PAT分數針對至少一些半導體晶粒產生適應測試且基於適應測試判定調整。

【0018】 系統100可包含耦合(例如，實體耦合、電耦合、通信地耦合或類似者)至適應測試控制器104之一使用者介面110。例如，使用者介面110可為耦合至適應測試控制器104之一分開的裝置。藉由另一實例，使用者介面110及適應測試控制器104可定位於一共同或共用外殼內。然

而，本文中應注意，適應測試控制器104可不包含、需要或耦合至使用者介面110。

【0019】 在一些實施例中，系統100包含耦合(例如，實體耦合、電耦合、通信地耦合或類似者)至I-PAT系統102之一半導體製作及特性化系統112。半導體製作及特性化系統112可傳輸半導體資料114，該半導體資料可由I-PAT系統102接收。例如，半導體資料114可在半導體製作及特性化系統112與I-PAT系統102之間直接傳輸。藉由另一實例，半導體資料114可經由一或多個輔助控制器或伺服器在半導體製作及特性化系統112與I-PAT系統102之間傳輸。因而，貫穿本發明描述之系統、子系統或控制器或伺服器之實例僅係為了闡釋性目的提供且不應被解釋為限制性。

【0020】 半導體資料114可作為由半導體製作及特性化系統112及I-PAT系統102共用之一標準化資料格式上傳至I-PAT系統102。例如，標準化資料格式可經格式化以搭配不同作業系統(包含但不限於Android、Apple iOS、Microsoft Windows、Apple macOS、Linux、ChromeOS、Unix、Ubuntu或類似者)使用。然而，本文中應注意，製作環境可使用一第一類型之檔案格式，而I-PAT環境可使用一不同類型之檔案格式。

【0021】 因而，半導體資料114可為需要轉換之一非標準化製作資料格式。例如，半導體製作及特性化系統112可將半導體資料114以非標準化製作資料格式傳輸至I-PAT系統102，且I-PAT系統102可在接收之後將半導體資料114轉換為一標準化測試資料格式。藉由另一實例，半導體製作及特性化系統112可在將半導體資料114傳輸至I-PAT系統102之前將該半導體資料114轉換為一標準化測試資料格式。另外，半導體資料114可作為專用於製作環境及/或測試環境之一專屬資料格式上傳至I-PAT系統

102。此外，半導體資料114可使用加密資料(例如，經由常駐程式)、網頁或雲端介面或使用晶粒可追溯性之其他安全連接共用以確保半導體資料114保持同步。

【0022】 I-PAT系統102可接收半導體資料114且對半導體資料114執行一或多個篩選檢測程序200。半導體資料114可包含關於複數個半導體晶圓202之一半導體晶圓202之資訊，其中該複數個半導體晶圓202之各半導體晶圓202包含在藉由數個製作程序執行之數個(例如，數十個、數百個、數千個)步驟之後製作之複數個(例如，1、2、...、N數目個)層，其中複數個層之各層包含複數個半導體晶粒204，其中複數個半導體晶粒204之各半導體晶粒204包含複數個區塊。在此方面，半導體資料114可包含晶圓級資料、層級資料、晶粒級資料及/或區塊級資料。為了本發明之目的，「半導體資料」應被理解為包含「半導體晶粒資料」，使得「半導體資料」及「半導體晶粒資料」可被視為等效的。然而，本文中應注意，「半導體資料」不旨在限於僅包含「半導體晶粒資料」。

【0023】 一或多個篩選檢測程序200可特性化複數個半導體晶粒204。例如，複數個半導體晶粒204之各半導體晶粒204可經特性化為一低缺陷率「良好」半導體晶粒206、一中等缺陷率「有風險」半導體晶粒208或一高缺陷率半導體晶粒210。

【0024】 本文中應注意，複數個半導體晶粒204之特性化可針對一特定半導體晶圓202上之複數個半導體晶粒204的全部(例如，100%)或一子集發生。另外，本文中應注意，複數個半導體晶粒204之特性化可針對一特定半導體晶圓202上之複數個半導體層的全部(例如，100%)或一子集發生。例如，複數個半導體層之子集可包含但不限於經判定為完全關鍵及

/或包含關鍵態樣的一或多個層。此外，本文中應注意，複數個半導體晶粒204之特性化可針對複數個半導體晶圓202的全部(例如，100%)或一子集發生。

【0025】 在I-PAT分數潛在地可用於100%之晶圓及100%之晶粒的情況下，關於各晶粒之相對健康或品質風險的重要資訊係可用的，且可由測試工程師採用以適應性地使其等的測試程式成形。在添加I-PAT資料之情況下，適應測試可以低延時動態地客製化測試內容以減少逃逸，同時減小測試的總成本。另外，在添加I-PAT資料之情況下，測試適應可針對各晶粒而不同，潛在地導致針對各被測半導體裝置之經調整測試時間、不同測試內容或不同測試限制。I-PAT方法論的例示性使用包含在2020年9月1日頒布之美國專利第10,761,128號及2020年11月23日申請之美國專利申請案第17/101,856號，該等案之全文各被併入本文中。

【0026】 在一些實施例中，I-PAT系統102將一經加權彙總分數116或I-PAT分數116輸出至適應測試控制器104。I-PAT分數116可表示存在於各半導體晶粒204中之缺陷的數量及風險等級，該數量及風險等級跨經檢測篩選層之各者加總，使得I-PAT分數116係一晶粒級分數。I-PAT分數116可包含(若干)缺陷發生於其(等)處之(若干)層，包含關於(若干)半導體晶粒204內之x, y位置的資訊。I-PAT分數116可描述缺陷之類型(例如，短路、開路或類似者)、缺陷之大小、一叢集中之內含物，或晶圓202上之位置(例如，x, y位置)。

【0027】 經加權彙總分數116可在輸出至適應測試控制器104之前用一或多個預設離群點臨限值或定製使用者定義之離群點臨限值分級。然而，本文中應注意，經加權彙總分數116可以類似於半導體晶粒資料114

之組織形式之一組織形式輸出至適應測試控制器104。

【0028】 I-PAT分數116可直接或經由一或多個輔助伺服器或控制器間接輸出至適應測試控制器104。因而，貫穿本發明描述之系統、子系統或控制器或伺服器之實例僅係為了闡釋性目的提供且不應被解釋為限制性。

【0029】 I-PAT分數116可作為由I-PAT系統102及適應測試控制器104共用之一標準化資料格式上傳至適應測試控制器104。例如，標準化資料格式可經格式化以搭配不同作業系統(包含但不限於Android、Apple iOS、Microsoft Windows、Apple macOS、Linux、ChromeOS、Unix、Ubuntu或類似者)使用。然而，本文中應注意，製作環境(包含I-PAT環境)可使用一第一類型之檔案格式(例如，缺陷資料格式及KLARF檔案格式)，而測試環境可使用一不同類型之檔案格式(例如，STDF檔案格式、BITdb檔案格式或類似者)。

【0030】 因而，I-PAT分數116可為需要轉換之一非標準化製作資料格式。例如，I-PAT系統102可將I-PAT分數116以非標準化製作資料格式傳輸至適應測試控制器104，且適應測試控制器104可在接收之後將I-PAT分數116轉換為一標準化測試資料格式。藉由另一實例，I-PAT系統102可在將I-PAT分數116傳輸至適應測試控制器104之前將該I-PAT分數116轉換為一標準化測試資料格式。另外，I-PAT分數116可作為專用於製作環境及/或測試環境之一專屬資料格式上傳至適應測試控制器104。此外，I-PAT分數116可使用加密資料(例如，經由常駐程式)、網頁或雲端介面或使用晶粒可追溯性之其他安全連接共用以確保各半導體晶粒204之I-PAT分數116保持同步。

【0031】本文中應注意，關於I-PAT系統102、適應測試控制器104及/或半導體製作及特性化系統112以「標準化資料格式」及/或「非標準化資料格式」操作之區別僅係為了闡釋性目的提供且不應被解釋為限制性。

【0032】在一些實施例中，適應測試控制器104自I-PAT分數116產生一或多個適應測試118，而非使用I-PAT分數116來作出關於立即剔除高度有缺陷晶粒之決策及/或將I-PAT分數116與電部分平均測試資料合併以在最終電測試之後作出針對半導體晶粒204之更明智之通過/不通過決策。

【0033】使用針對有關I-PAT分數116（及/或I-PAT分數116之貢獻元素）之限制之一組使用者定義規則或預設規則，適應測試控制器104可針對各半導體晶粒204使用關於I-PAT分數116之基於動態規則之作決策程序。例如，基於動態規則之作決策程序可用於取決於存在缺陷之數量、類型、位置或層而對在各被測裝置上運行之測試型樣之內容、持續時間及限制作出決策。本文中應注意，作決策之「動態」性質可歸於使用者定義規則之接收及作決策程序之後續調整、在接收到I-PAT分數116時作決策程序之連續操作及/或基於經定義規則之應用不斷改變適應測試118以產生一或多個適應測試118之一或多者。

【0034】適應測試控制器104可自行針對各半導體晶粒204使用關於I-PAT分數116之基於動態規則之作決策，或可將基於動態規則之作決策與其他程序組合。

【0035】例如，作決策可接收來自電排序程序120之晶粒級電排序資料212。例如，電排序資料212可包含但不限於在一製作製程結束時電評估裝置功能性之程序(例如，電晶圓排序(EWS)程序或類似者)期間或之

後自半導體製作及特性化系統112接收之晶圓探測資料或其他電測試資料。

【0036】藉由另一實例，作決策可接收來自統計預測程序122之統計預測回饋214。例如，統計預測回饋214可呈資料集或表、圖表、模型或其他形式之實體或圖形顯示之形式。

【0037】本文中應注意，可組合基於動態規則之作決策、電排序程序120及/或統計預測程序122。例如，組合可係基於在判定一或多個適應測試118之類型時待考量之一使用者定義之優先順序(例如，一加權因數)。

【0038】一或多個適應測試118可包含一或多個以下非限制性實例。例如，可基於低缺陷率「良好」半導體晶粒206與中等缺陷率「有風險」半導體晶粒208之間之一臨限值及/或基於中等缺陷率「有風險」半導體晶粒208與高缺陷率半導體晶粒210之間之一第二臨限值選擇一或多個適應測試118。

【0039】在一個非限制性實例中，一或多個適應測試118可包含一標稱測試216。可針對低缺陷率「良好」半導體晶粒206選擇標稱測試216。標稱測試216可包含一基線測試程式，其中基線測試程式處於一最佳化最小值(例如，最佳化最小值係在無對任何測試參數之改變將改良基線測試程式之操作時)。然而，本文中應注意，標稱測試216可為已透過反覆程序自一基線測試程式減少(其中基線測試程式未經最佳化)直至達成最佳化之一測試程式。例如，標稱測試216可貫穿反覆程序在測試向量之數目及/或類型、涵蓋量或類似者方面減少，直至達成最佳化。因而，具有低I-PAT分數116之低缺陷率「良好」半導體晶粒206可被指派標稱測試，

從而節省時間及成本。

【0040】 在另一非限制性實例中，一或多個適應測試118可包含一可調適測試218。可針對中等缺陷率「有風險」半導體晶粒208選擇可調適測試218。可調適測試218可包含對一基線測試程式之改變，包含將測試程式參數添加至目標已知缺陷。例如，改變可包含但不限於擴展測試涵蓋範圍，添加或調整故障模型，識別控制限制，使用一不同分級程序處置中等缺陷率「有風險」半導體晶粒208或類似者。因而，具有指示升高風險之I-PAT分數之中等缺陷率「有風險」半導體晶粒208可經指派具有額外透徹性之一「經調適」或「可調適」測試程式以判定其對於目的之適合度，從而改良結果之品質。

【0041】 在另一非限制性實例中，一或多個適應測試118可包含一跳過測試220。跳過測試220可藉由不封裝及/或測試如藉由I-PAT系統102判定之已知離群點高缺陷率半導體晶粒210而產生成本節省。此處，跳過測試220可藉由將未選定集辨識為已知離群點而運行未測試一未選定集之一精簡測試型樣集，使得未選定集實際上被類似地視為剔除或塗墨。因此，具有非常高I-PAT分數116之高缺陷率半導體晶粒210可被拒絕且因此完全跳過測試，此亦可導致成本節省。

【0042】 在另一非限制性實例中，一或多個適應測試118可包含一深度測試222。深度測試222可應用至作為故障偵測及涵蓋範圍之一透徹或完整特性化之潛在候選者之高缺陷率半導體晶粒210。因而，具有含有一目標所關注缺陷之I-PAT分數之高缺陷率半導體晶粒210可在該缺陷類型存在時觸發已知最佳辨識一故障之一唯一測試向量集之採用。另外，具有指示一偏移或新缺陷類型之I-PAT分數之高缺陷率半導體晶粒210可觸

發特性化缺陷之影響及有效涵蓋範圍之適當測試向量之一極其透徹的測試程式。

【0043】 本文中應注意，上文之非限制性實例僅係為了闡釋適應測試118之類型之目的而提供，且不應解釋為限制性。

【0044】 雖然I-PAT系統102及適應測試控制器104被繪示為系統100之分開的組件，但本文中應注意，I-PAT系統102及適應測試控制器104可整合在一起。例如，I-PAT系統102可整合至適應測試控制器104中(例如，經程序編碼以對適應測試控制器104進行操作)，使得適應測試控制器104接收來自半導體製作及特性化系統112之半導體晶粒資料114。藉由另一實例，適應測試控制器104可整合至I-PAT系統102中(例如，經程序編碼以對I-PAT系統102進行操作)，使得I-PAT系統102可產生一或多個適應測試118。

【0045】 圖3繪示根據本發明之一或多項實施例之使用內嵌缺陷部分平均測試用於半導體適應測試之一方法或程序300。本文中應注意，方法或程序300之步驟可全部或部分藉由圖1及圖2中繪示之系統100實施。然而，應進一步認知，方法或程序300不限於圖1及圖2中繪示之系統100，其中額外或替代系統級實施例可實行方法或程序300之步驟之全部或部分。

【0046】 在一步驟302中，接收半導體晶粒資料114。在一些實施例中，半導體晶粒資料114係由I-PAT系統102自半導體製作及特性化系統112接收。

【0047】 在一步驟304中，使用I-PAT系統102自半導體晶粒資料114產生關於半導體晶粒204之I-PAT分數116。在一些實施例中，I-PAT

分數116將半導體晶粒204分成低缺陷率「良好」半導體晶粒206、中等缺陷率「有風險」半導體晶粒208或高缺陷率半導體晶粒210。

【0048】 在一步驟306中，在一動態作決策程序期間將經定義規則應用至I-PAT分數116。經定義規則可經使用者定義且由適應測試控制器104 (例如，經由使用者介面110)接收。經定義規則可在適應測試控制器104內預設。經定義規則可基於對應I-PAT分數116及/或半導體晶粒204上之所觀察缺陷分離半導體晶粒204。

【0049】 在一步驟308中，基於動態作決策程序產生至少一些半導體晶粒204之適應測試118。在一些實施例中，適應測試118包含但不限於標稱測試216、可調適測試218、跳過測試220及/或深度測試222。

【0050】 在一步驟310中，基於適應測試118判定調整。在一些實施例中，將調整傳輸至製作或特性化系統112以經由一前饋迴路(例如，用以校正當前半導體裝置)或一回饋迴路(例如，用以調整未來半導體裝置)調整製作及/或特性化程序。在此方面，可改良製作及/或特性化程序，從而導致製作商之成本(例如，在時間、金錢或類似者上)之一降低同時維持一所要品質位準(例如，PPB失效率)。

【0051】 雖然本發明之實施例繪示方法或程序300之步驟係藉由適應測試控制器104執行，但本文中應注意，方法或程序300之一些或全部步驟可由通信地耦合至適應測試控制器104之一伺服器或控制器執行。例如，伺服器或控制器可包含處理器及記憶體及其他通信耦合組件，如貫穿本發明描述。

【0052】 圖4A及圖4B繪示根據本發明之一或多項實施例之半導體製作及特性化系統112或「系統112」之方塊圖。本文中應注意，系統112

可經組態以執行用以製作及/或分析半導體裝置及/或半導體裝置上之組件(例如，半導體晶粒)之處理步驟，如貫穿本發明描述。

【0053】 在一些實施例中，系統112包含經組態以在半導體晶粒204之半導體晶粒資料114內(或作為半導體晶粒204之半導體晶粒資料114)輸出特性化量測。例如，特性化量測可包含但不限於基線檢測(例如，基於取樣之檢測)、關鍵半導體裝置層處之篩選檢測或類似者。為了本發明之目的，「特性化」可係指內嵌缺陷檢測及/或內嵌度量衡量測。

【0054】 在一個非限制性實例中，一或多個半導體特性化子系統400可包含用於偵測一樣本404 (例如，半導體晶圓202)之一或多個層中之缺陷之至少一個檢測工具402 (例如，一內嵌樣本分析工具)。系統112通常可包含任何數目或類型之檢測工具402。例如，一檢測工具402可包含經組態以基於來自任何源(諸如但不限於一雷射源、一燈源、一X射線源或一寬頻電漿源)之光對樣本404之詢問而偵測缺陷之一光學檢測工具。藉由另一實例，一檢測工具402可包含經組態以基於一或多個粒子束(諸如但不限於一電子束、一離子束或一中性粒子束)對樣本之詢問而偵測缺陷之一粒子束檢測工具。例如，檢測工具402可包含一透射電子顯微鏡(TEM)或一掃描電子顯微鏡(SEM)。為了本發明之目的，本文中應注意，至少一個檢測工具402可為一單一檢測工具402或可表示檢測工具402之一群組。

【0055】 本文中應注意，樣本404可為複數個半導體晶圓之一半導體晶圓，其中複數個半導體晶圓之各半導體晶圓包含在藉由數個製作程序執行之數個(例如，數十個、數百個、數千個)步驟之後製作之複數個(例如，1、2、...、N數目個)層，其中複數個層之各層包含複數個半導體晶粒，其中複數個半導體晶粒之各半導體晶粒包含複數個區塊。另外，本文

中應注意，樣本404可為由以一裸晶粒之一2.5D橫向組合配置於一先進晶粒封裝或一3D晶粒封裝內部之一基板上之複數個半導體晶粒形成的一半導體晶粒封裝。

【0056】 為了本發明之目的，術語「缺陷」可係指藉由一內嵌檢測工具發現之一實體缺陷、一度量衡量測離群點或被視為一異常之半導體裝置之其他物理特性。可將一缺陷視為一經製作層或一層中之一經製作圖案自設計特性(包含但不限於物理、機械、化學或光學性質)之任何偏差。另外，可將一缺陷視為一經製作半導體晶粒封裝中之組件之對準或結合之任何偏差。此外，一缺陷可具有相對於一半導體晶粒或其上之特徵之任何大小。以此方式，一缺陷可小於一半導體晶粒(例如，在一或多個圖案化特徵之尺度上)或可大於一半導體晶粒(例如，作為一晶圓級劃痕或圖案之部分)。例如，一缺陷可包含在圖案化之前或之後一樣本層之一厚度或組合物之偏差。藉由另一實例，一缺陷可包含一圖案化特徵之一大小、形狀、定向或位置之一偏差。藉由另一實例，一缺陷可包含與微影及/或蝕刻步驟相關聯之瑕疵，諸如但不限於鄰近結構之間之橋接(或缺少橋接)、凹坑或孔。藉由另一實例，一缺陷可包含一樣本404之一受損部分，諸如但不限於一劃痕或一晶片。例如，缺陷之一嚴重性(例如，一劃痕之長度、一凹坑之深度、缺陷之經量測量值或極性或類似者)可具重要性且被納入考慮。藉由另一實例，一缺陷可包含引入至樣本404之一外來粒子。藉由另一實例，一缺陷可為樣本404上之一未對準及/或錯誤結合(mis-joined)封裝組件。因此，應理解，本發明中之缺陷之實例僅係為了闡釋性目的而提供且不應被解釋為限制性。

【0057】 在另一非限制性實例中，一或多個半導體特性化子系統

400可包含用於量測樣本404或其一或多個層之一或多個性質之至少一個度量衡工具406 (例如，一內嵌樣本分析工具)。例如，一度量衡工具406可特性化諸如但不限於層厚度、層組合物、臨界尺寸(CD)、疊對或微影處理參數(例如，一微影步驟期間之照明的強度或劑量)之性質。在此方面，一度量衡工具406可提供關於樣本404、樣本404之一或多個層或樣本404之一或多個半導體晶粒之製作的資訊，該資訊可與可導致所得經製作裝置之可靠性問題之製造缺陷之機率相關。為了本發明之目的，本文中應注意，至少一個度量衡工具406可為一單一度量衡工具406或可表示度量衡工具406之一群組。

【0058】 在一些實施例中，系統112包含至少一個半導體製造工具或程序工具408。例如，程序工具408可包含此項技術中已知之任何工具，包含但不限於一蝕刻器、掃描器、步進器、清潔器或類似者。例如，一製作程序可包含製作跨一樣本(例如，一半導體晶圓或類似者)之表面分佈之多個晶粒，其中各晶粒包含形成一裝置組件之材料之多個圖案化層。各圖案化層可藉由程序工具408經由一系列步驟形成，該系列步驟包含材料沈積、微影、用以產生一所關注圖案之蝕刻及/或一或多個曝光步驟(例如，由一掃描器、一步進器或類似者執行)。藉由另一實例，程序工具408可包含此項技術中已知之經組態以將半導體晶粒封裝及/或組合成一2.5D及/或3D半導體晶粒封裝之任何工具。例如，一製作程序可包含但不限於將半導體晶粒及/或半導體晶粒上之電組件對準。另外，一製作程序可包含但不限於經由混合接合(例如，晶粒至晶粒、晶粒至晶圓、晶圓至晶圓或類似者)焊料、一黏著劑、緊固件或類似者結合半導體晶粒及/或半導體晶粒上之電組件。為了本發明之目的，本文中應注意，至少一個程序工具

408可為一單一程序工具408或可表示程序工具408之一群組。本文中應注意，為了本發明之目的，術語「製作程序」及「製程」以及該等術語之各自變體(例如，「製作線」及「製造線」、「製作商」及「製造商」或類似者)可被視為等效的。

【0059】 在一些實施例中，系統112包含用於測試一經製造裝置之一或多個部分之功能性之一或多個測試工具子系統410。

【0060】 在一個非限制性實例中，一或多個測試工具子系統410可包含用以完成一晶圓級之一初步探測之任何數目或類型之電測試工具412。例如，初步探測可未經設計以嘗試在晶圓級強制一失效。

【0061】 在一些實施例中，使用半導體特性化子系統400 (例如，檢測工具402、度量衡工具406或類似者)、測試工具子系統410 (例如，包含電測試工具412及/或應力測試工具414或類似者)之任何組合(其等係在藉由一或多個程序工具408針對半導體晶粒及/或半導體晶粒封裝中之所關注層執行之一或多個處理步驟(例如，微影、蝕刻、對準、結合或類似者)之前或之後被利用)識別缺陷。在此方面，可將在製程之各個階段處之缺陷偵測稱為內嵌缺陷偵測。

【0062】 在一些實施例中，系統112包含一控制器416。控制器416可包含經組態以執行經維持於記憶體420 (例如，一記憶體媒體、記憶體裝置或類似者)上之程式指令之一或多個處理器418。例如，一或多個處理器418可經組態以獲取包含半導體晶粒204之特性化量測的半導體晶粒資料114，將半導體晶粒資料114傳輸至I-PAT系統102，且針對基於來自至少一些半導體晶粒之適應測試之輸出而判定的調整來產生控制信號，該等適應測試係基於來自I-PAT系統102之I-PAT分數116而進行。

【0063】 控制器416可係與系統112之任何組件通信地耦合，該等組件包含但不限於包含檢測工具402或度量衡工具406之半導體特性化子系統400、包含電測試工具412或應力測試工具414之測試工具子系統410，或類似者。本文中應注意，為了本發明之目的，圖4A中繪示之實施例及圖4B中繪示之實施例可被視為同一製作及特性化系統112的部分，或不同製作及特性化系統112的部分。另外，本文中應注意，圖4A中繪示之半導體製作及特性化系統112內之組件及圖4B中繪示之半導體製作及特性化系統112內之組件係可直接通信或可透過控制器416通信。

【0064】 一或多個處理器106或418可包含此項技術中已知之任何處理器或處理元件。為了本發明之目的，術語「處理器」或「處理元件」可被廣泛地定義以涵蓋具有一或多個處理或邏輯元件(例如，一或多個圖形處理單元(GPU)、微處理單元(MPU)、系統單晶片(SoC)、一或多個特定應用積體電路(ASIC)裝置、一或多個場可程式化閘陣列(FPGA)或一或多個數位信號處理器(DSP))的任何裝置。在此意義上，一或多個處理器106或418可包含經組態以執行演算法及/或指令(例如，儲存於記憶體中之程式指令)之任何裝置。在一項實施例中，一或多個處理器106或418可體現為一桌上型電腦、主機電腦系統、工作站、影像電腦、平行處理器、網路連結電腦或經組態以執行一程式(其經組態以操作系統100或112之組件或結合系統100或112之組件操作)之任何其他電腦系統，如貫穿本發明所描述。

【0065】 記憶體108或420可包含此項技術中已知之適用於儲存可由相關聯之各自一或多個處理器106或418執行之程式指令之任何儲存媒體。例如，記憶體108或420可包含一非暫時性記憶體媒體。藉由另一實

例，記憶體108或420可包含(但不限於一唯讀記憶體(ROM)、一隨機存取記憶體(RAM)、一磁性或光學記憶體裝置(例如，磁碟)、一磁帶、一固態硬碟及類似者。應進一步注意，記憶體108或420可與一或多個處理器106或418一起容置於一共同控制器外殼中。在一項實施例中，記憶體108或420可相對於各自一或多個處理器106或418之實體位置遠端定位。例如，各自一或多個處理器106或418可存取可透過一網路(例如，網際網路、內部網路及類似者)存取之一遠端記憶體(例如，伺服器)。

【0066】 在另一實施例中，系統112包含耦合(例如，實體耦合、電耦合、通信地耦合或類似者)至控制器416之一使用者介面422。例如，使用者介面422可為耦合至控制器416之一分開的裝置。藉由另一實施例，使用者介面422及控制器416可定位於一共同或共用外殼內。然而，本文中應注意，控制器416可不包含、需要或耦合至使用者介面422。

【0067】 使用者介面110或422可包含但不限於一或多個桌上型電腦、膝上型電腦、平板電腦及類似者。使用者介面110或422可包含用於將系統100或112之資料顯示給一使用者之一顯示器。使用者介面110或422之顯示器可包含此項技術中已知之任何顯示器。例如，顯示器可包含但不限於一液晶顯示器(LCD)、一基於有機發光二極體(OLED)之顯示器或一CRT顯示器。熟習此項技術者應認知，能夠與一使用者介面110或422整合之任何顯示裝置適用於本發明中之實施方案。在另一實施例中，一使用者可回應於經由使用者介面110或422之一使用者輸入裝置顯示給使用者之資料而輸入選擇及/或指令。

【0068】 圖5繪示根據本發明之一或多項實施例之使用內嵌缺陷部分平均測試用於半導體適應測試之一方法或程序500。本文中應注意，方

法或程序500之步驟可全部或部分藉由圖4A及圖4B中繪示之系統112實施。然而，應進一步認知，方法或程序500不限於圖4A及圖4B中繪示之系統112，其中額外或替代系統級實施例可實行方法或程序500之步驟之全部或部分。

【0069】 在一步驟502中，獲取半導體晶粒204之特性化量測。在一些實施例中，藉由半導體製作及特性化系統112獲取特性化量測。本文中應注意，晶粒級電排序資料212亦可(例如，在處理之後)自半導體製作及特性化系統112直接或間接獲取。

【0070】 在一步驟504中，將特性化量測傳輸至I-PAT系統102。在一些實施例中，I-PAT系統102基於特性化量測產生I-PAT分數116。在一些實施例中，適應測試控制器104基於I-PAT分數116判定一或多個適應測試118。

【0071】 在一步驟506中，針對基於來自至少一些半導體晶粒204之適應測試118之輸出判定之調整產生一或多個控制信號，該等適應測試118係基於來自I-PAT系統102之I-PAT分數116進行。在一些實施例中，一或多個控制信號係關於一或多個半導體裝置之製作、特性化或測試之至少一者。例如，一或多個控制信號可經由一前饋迴路(例如，用以校正當前半導體裝置)或一回饋迴路(例如，用以調整未來半導體裝置)調整半導體製作及特性化系統112及/或由半導體製作及特性化系統112採用之一或多個製作程序或方法或一或多個特性化程序或方法。

【0072】 雖然本發明之實施例繪示方法或程序500之步驟係藉由控制器416執行，但本文中應注意，方法或程序500之一些或全部步驟可由通信地耦合至控制器416之一伺服器或控制器執行。例如，伺服器或控制

器可包含處理器及記憶體以及其他通信耦合組件，如貫穿本發明描述。

【0073】本文中應注意，方法或程序300及500不限於所提供步驟及/或子步驟。方法或程序300及500可包含更多或更少步驟及/或子步驟。方法或程序300及500可同時執行步驟及/或子步驟。方法或程序300及500可循序(包含以所提供順序或除所提供之外之一順序)執行步驟及/或子步驟。因此，上文描述不應被解釋為對本發明之範疇之一限制而僅為一圖解。

【0074】在此方面，來自半導體製作及特性化系統112中之I-PAT篩選之唯一資料可有助於改良具有重大商業影響之多個重要度量，可藉由實現對低缺陷率「良好」半導體晶粒206之減少測試及對離群點剔除之高缺陷率半導體晶粒210之跳過測試而改良測試者生產力，可藉由移除離群點且標記「有風險」半導體晶粒208用於更透徹地評估其等對於目的之適合度之經調適測試而改良品質(具有與共用及定價相關聯之益處)，可藉由減少低缺陷率「良好」半導體晶粒206之誤宰(overkill)而改良良率，且可藉由提供高耗能對各種故障模式在偵測內嵌缺陷時之功效的深刻理解而改良效能。

【0075】將I-PAT程序及特性化程序與適應測試組合將容許一相關但分開的資料源主動使測試程式成形且降低成本同時保證結果之品質。例如，一測試工程師可負責測試汽車半導體裝置以滿足PPB(十億分之幾)品質位準之一要求。實現一PPB品質位準可需要廣泛的半導體裝置涵蓋範圍及多個重疊測試型樣，從而導致冗長且昂貴的測試時間與一些冗餘性。減少測試時間之成本壓力使得適應測試118之使用似乎在財務上有吸引力；然而，若晶圓排序資料及預測統計演算法係唯一輸入，則關於一裝置之品質之不完整知識導致可能曝露於製造偏移、潛伏缺陷及局部隨機失

效，使實施適應測試118成為一潛在風險。一般言之，據信，製作品質團隊將把將前端製作與後端測試連接之益處視為展示朝向PPB目標之持續改良之一差異化能力。

【0076】 關於100%之晶粒及100%之晶圓之缺陷資料之可用性表示用於作決策之品質資料之可用源之一拐點(inflection)。亦可藉由將I-PAT分數116及度量衡資料自製作篩選檢測正向饋送至適應測試控制器104，從而容許客製化適應測試118關於來自半導體裝置之製造歷史之有形資料成形而緩解風險。

【0077】 在一非限制性實例中，若適應測試控制器104識別半導體裝置之淺溝槽模組中之一缺陷，則適應測試118可觸發更多洩漏測試。

【0078】 在另一非限制性實例中，若適應測試控制器104識別半導體裝置之金屬互連模組中之一缺陷，則適應測試118可觸發更多延遲測試。

【0079】 在另一非限制性實例中，若適應測試控制器104識別具有非常低位準之缺陷率之一系列半導體晶粒206，則適應測試118可觸發以開始對測試內容進行次取樣(例如，開始僅對每十個晶粒中之一者運行一特定測試型樣，直至觀察到一失效.....接著返回至100%)，或甚至跳過內容以減少測試內容。

【0080】 在另一非限制性實例中，若適應測試控制器104在一難以測試高電壓類比區域中識別到一短路，則適應測試118可經觸發以執行更多測試，擴展參數測試範圍或簡單地使該裝置失效。

【0081】 在另一非限制性實例中，若適應測試控制器104識別具有閘級之厚度/疊對之一變動之一半導體晶粒204，則適應測試118可觸發額

外測試以判定正確速度分級。

【0082】 在另一非限制性實例中，若適應測試控制器104識別發生在與 < 3 之一「N缺陷」值之一特定接近度內之一缺陷，其中「N缺陷」係由不同重疊測試型樣運用一故障之次數，則適應測試118可觸發額外測試。

【0083】 在另一非限制性實例中，若系統識別發生在與 > 50 之一「N缺陷」值之一特定接近度內之一缺陷，其中「N缺陷」係由不同重疊測試型樣運用一故障之次數，則適應測試118可經指示以忽略此缺陷。

【0084】 本文中應注意，上文非限制性實例僅係為了闡釋適應測試118之類型及/或對適應測試118之修改之目的提供，且不應被解釋為限制性。

【0085】 本發明之優點係關於使用內嵌缺陷部分平均測試用於半導體適應測試之系統及方法。本發明之優點亦係關於使用內嵌缺陷篩選及/或內嵌部分平均測試(I-PAT)以及半導體特性化程序以識別半導體晶粒離群點。本發明之優點亦係關於評估一特定適應測試程式對於一給定半導體晶粒之適合性。本發明之優點亦係關於評估特定適應測試參數對於一給定半導體晶粒之適合性。

【0086】 顯然，本發明之優點係關於評估一標稱測試程式之適合性或對用於一給定晶粒之替代測試程式之需要。本發明之優點亦係關於評估哪些測試向量、測試型樣或故障模型應適用於一被測半導體裝置。本發明之優點亦係關於將額外測試向量、測試型樣或故障模型附加至一基線測試程式。本發明之優點亦係關於決定跳過被視為可能失效之晶粒之測試以節省時間及成本。本發明之優點亦係關於在歸因於新缺陷類型而需要進一步

特性化之情況下觸發半導體晶粒之持續失效測試。本發明之優點亦係關於調整對於可接受裝置效能之測試限制。本發明之優點亦係關於在關於測試減少及風險管理之基於規則之作決策中補充預測統計演算法及晶圓測試資料。本發明之優點亦係關於將額外測試向量、測試型樣或故障模型引導至具有離群點位準之缺陷率之一多核心圖形處理單元(GPU)、微處理單元(MPU)或系統單晶片(SoC)中之一或多個核心。

【0087】 本文中描述之標的物有時繪示其他組件內所含或與其他組件連接之不同組件。應理解，此等所描繪之架構僅僅係例示性，且事實上可實施達成相同功能性之許多其他架構。在一概念意義上，用以達成相同功能性之組件之任何配置有效「相關聯」，使得達成所要功能性。因此，在本文中組合以達成一特定功能性之任何兩個組件可被視為彼此「相關聯」，使得達成所要功能性而不考慮架構或中間組件。同樣地，如此相關聯之任何兩個組件亦可被視為彼此「連接」或「耦合」以達成所要功能性，且能夠如此相關聯之任何兩個組件亦可被視為彼此「可耦合」以達成所要功能性。可耦合之特定實例包含但不限於可實體互動及/或實體互動組件及/或可無線互動及/或無線互動組件及/或可邏輯互動及/或邏輯互動組件。

【0088】 據信本發明及許多其伴隨優點將藉由前文描述理解，且將明白，可對組件之形式、構造及配置做出多種改變而不脫離所揭示之標的物或不犧牲全部其重大優點。所描述之形式僅僅係解釋性，且以下發明申請專利範圍之意圖係涵蓋且包含此等改變。此外，應理解，本發明係由隨附發明申請專利範圍界定。

【符號說明】

【0089】

- 100: 系統
- 102: 內嵌缺陷部分平均測試(I-PAT)系統
- 104: 適應測試控制器/適應測試伺服器
- 106: 處理器
- 108: 記憶體
- 110: 使用者介面
- 112: 半導體製作及特性化系統
- 114: 半導體資料
- 116: 經加權彙總分數/內嵌缺陷部分平均測試(I-PAT)分數
- 118: 適應測試
- 120: 電排序程序
- 122: 統計預測程序
- 200: 篩選檢測程序
- 202: 半導體晶圓
- 204: 半導體晶粒
- 206: 低缺陷率「良好」半導體晶粒
- 208: 中等缺陷率「有風險」半導體晶粒
- 210: 高缺陷率半導體晶粒
- 212: 晶粒級電排序資料
- 214: 統計預測回饋
- 216: 標稱測試
- 218: 可調適測試

- 220: 跳過測試
- 222: 深度測試
- 300: 方法/程序
- 302: 步驟
- 304: 步驟
- 306: 步驟
- 308: 步驟
- 310: 步驟
- 400: 半導體特性化子系統
- 402: 檢測工具
- 404: 樣本
- 406: 度量衡工具
- 408: 程序工具
- 410: 測試工具子系統
- 412: 電測試工具
- 416: 控制器
- 418: 處理器
- 420: 記憶體
- 422: 使用者介面
- 500: 方法/程序
- 502: 步驟
- 504: 步驟
- 506: 步驟

【發明申請專利範圍】

【請求項1】

一種用於半導體適應測試之系統，其包括：

一適應測試控制器，其經通信地耦合至一內嵌缺陷部分平均測試 (inline defect part average testing; I-PAT)系統，其中該適應測試控制器包含一或多個處理器及記憶體，其中該記憶體經組態以儲存一組程式指令，其中該一或多個處理器經組態以執行程式指令，從而引起該一或多個處理器：

接收來自該I-PAT系統之複數個I-PAT分數，其中該複數個I-PAT分數係藉由該I-PAT系統基於複數個半導體晶粒之半導體晶粒資料而產生，其中該半導體晶粒資料包含該複數個半導體晶粒之特性化量測，其中該複數個I-PAT分數之各I-PAT分數表示藉由該I-PAT系統基於該複數個半導體晶粒之一對應半導體晶粒之一特性化量測而判定之一加權缺陷率；

在一動態作決策程序期間，將一或多個規則應用至該複數個I-PAT分數；且

基於該動態作決策程序來產生該複數個半導體晶粒之至少一個半導體晶粒的一或多個適應測試。

【請求項2】

如請求項1之系統，其中該一或多個處理器進一步經組態以執行程式指令，從而引起該一或多個處理器：

基於該一或多個適應測試來判定對一半導體製作及特性化系統之一或多個調整，其中該半導體製作及特性化系統經組態以獲取該半導體晶粒

資料之該等特性化量測。

【請求項3】

如請求項1之系統，其中該複數個I-PAT分數之至少一個I-PAT分數對應於由一經選定臨限值界定之一低缺陷率半導體晶粒，其中該一或多個適應測試包括針對該低缺陷率半導體晶粒之一最佳化基線測試。

【請求項4】

如請求項1之系統，其中該複數個I-PAT分數之至少一個I-PAT分數對應於由一經選定臨限值及一第二經選定臨限值界定之一中等缺陷率半導體晶粒，其中該一或多個適應測試包含經組態以將一或多個測試程式參數添加至該中等缺陷率半導體晶粒之一基線測試程式之一可調適測試，其中該一或多個測試程式參數包含一額外測試向量、測試型樣或故障模型之至少一者。

【請求項5】

如請求項1之系統，其中該複數個I-PAT分數之至少一個I-PAT分數對應於由一第二經選定臨限值界定之一高缺陷率半導體晶粒，其中該一或多個適應測試包含經組態以不測試該高缺陷率半導體晶粒之一跳過測試 (skip test)。

【請求項6】

如請求項1之系統，其中該複數個I-PAT分數之至少一個I-PAT分數對應於一高缺陷率半導體晶粒，其中該一或多個適應測試包含經組態以將故障偵測及涵蓋範圍之一完整特性化應用至該高缺陷率半導體晶粒之一測試。

【請求項7】

如請求項1之系統，其中該一或多個處理器進一步經組態以執行程式指令，從而引起該一或多個處理器：

基於該動態作決策程序及以下項之至少一者來產生該複數個半導體晶粒之該至少一個半導體晶粒的該一或多個適應測試：

藉由一或多個電排序程序(electrical sort processes)產生之晶粒級電排序資料；或

藉由一或多個統計預測程序產生之統計預測回饋。

【請求項8】

一種用於半導體適應測試之方法，其包括：

經由一適應測試控制器接收來自一內嵌缺陷部分平均測試(I-PAT)系統的複數個I-PAT分數，其中該複數個I-PAT分數係藉由該I-PAT系統基於複數個半導體晶粒之半導體晶粒資料而產生，其中該半導體晶粒資料包含該複數個半導體晶粒之特性化量測，其中該複數個I-PAT分數之各I-PAT分數表示藉由該I-PAT系統基於該複數個半導體晶粒之一對應半導體晶粒之一特性化量測而判定之一加權缺陷率；

經由該適應測試控制器，在一動態作決策程序期間，將一或多個規則應用至該複數個I-PAT分數；且

經由該適應測試控制器，基於該動態作決策程序產生該複數個半導體晶粒之至少一個半導體晶粒的一或多個適應測試。

【請求項9】

如請求項8之方法，進一步包括：

基於該一或多個適應測試來判定對一半導體製作及特性化系統之一或多個調整，其中該半導體製作及特性化系統經組態以獲取該半導體晶粒

資料之該等特性化量測。

【請求項10】

如請求項8之方法，其中該複數個I-PAT分數之至少一個I-PAT分數對應於由一經選定臨限值界定之一低缺陷率半導體晶粒，其中該一或多個適應測試包括針對該低缺陷率半導體晶粒之一最佳化基線測試。

【請求項11】

如請求項8之方法，其中該複數個I-PAT分數之至少一個I-PAT分數對應於由一經選定臨限值及一第二經選定臨限值界定之一中等缺陷率半導體晶粒，其中該一或多個適應測試包含經組態以將一或多個測試程式參數添加至該中等缺陷率半導體晶粒之一基線測試程式之一可調適測試，其中該一或多個測試程式參數包含一額外測試向量、測試型樣或故障模型之至少一者。

【請求項12】

如請求項8之方法，其中該複數個I-PAT分數之至少一個I-PAT分數對應於由一第二經選定臨限值界定之一高缺陷率半導體晶粒，其中該一或多個適應測試包含經組態以不測試該高缺陷率半導體晶粒之一跳過測試。

【請求項13】

如請求項8之方法，其中該複數個I-PAT分數之至少一個I-PAT分數對應於一高缺陷率半導體晶粒，其中該一或多個適應測試包含經組態以將故障偵測及涵蓋範圍之一完整特性化應用至該高缺陷率半導體晶粒之一測試。

【請求項14】

如請求項8之方法，其中該產生該複數個半導體晶粒之該至少一個半

導體晶粒之該一或多個適應測試係基於該動態作決策程序及以下項中之至少一者：

藉由一或多個電排序程序產生之晶粒級電排序資料；或

藉由一或多個統計預測程序產生之統計預測回饋。

【請求項15】

一種用於半導體適應測試之系統，其包括：

一內嵌缺陷部分平均測試(I-PAT)系統，其中該I-PAT系統經組態以接收複數個半導體晶粒之半導體晶粒資料且基於該半導體晶粒資料來產生複數個I-PAT分數，其中該半導體晶粒資料包含該複數個半導體晶粒之特性化量測，其中該複數個I-PAT分數之各I-PAT分數表示藉由該I-PAT系統基於該複數個半導體晶粒之一對應半導體晶粒之一特性化量測而判定之一加權缺陷率；及

一適應測試控制器，其經通信地耦合至該I-PAT系統，其中該適應測試控制器包含一或多個處理器及記憶體，其中該記憶體經組態以儲存一組程式指令，其中該一或多個處理器經組態以執行程式指令，從而引起該一或多個處理器：

接收來自該I-PAT系統之該複數個I-PAT分數；

在一動態作決策程序期間，將一或多個規則應用至該複數個I-PAT分數；且

基於該動態作決策程序來產生該複數個半導體晶粒之至少一個半導體晶粒之一或多個適應測試。

【請求項16】

如請求項15之系統，進一步包括：

一半導體製作及特性化系統，其經組態以獲取該半導體晶粒資料之該等特性化量測，

其中該一或多個處理器進一步經組態以執行程式指令，從而引起該一或多個處理器：

基於該一或多個適應測試來判定對該半導體製作及特性化系統之一或多個調整。

【請求項17】

如請求項15之系統，其中該複數個I-PAT分數之至少一個I-PAT分數對應於由一經選定臨限值界定之一低缺陷率半導體晶粒，其中該一或多個適應測試包括針對該低缺陷率半導體晶粒之一最佳化基線測試。

【請求項18】

如請求項15之系統，其中該複數個I-PAT分數之至少一個I-PAT分數對應於由一經選定臨限值及一第二經選定臨限值界定之一中等缺陷率半導體晶粒，其中該一或多個適應測試包含經組態以將一或多個測試程式參數添加至該中等缺陷率半導體晶粒之一基線測試程式之一可調適測試，其中該一或多個測試程式參數包含一額外測試向量、測試型樣或故障模型之至少一者。

【請求項19】

如請求項15之系統，其中該複數個I-PAT分數之至少一個I-PAT分數對應於由一第二經選定臨限值界定之一高缺陷率半導體晶粒，其中該一或多個適應測試包含經組態以不測試該高缺陷率半導體晶粒之一跳過測試。

【請求項20】

如請求項15之系統，其中該複數個I-PAT分數之至少一個I-PAT分數

對應於一高缺陷率半導體晶粒，其中該一或多個適應測試包含經組態以將故障偵測及涵蓋範圍之一完整特性化應用至該高缺陷率半導體晶粒之一測試。

【請求項21】

如請求項15之系統，其中該一或多個處理器進一步經組態以執行程式指令，從而引起該一或多個處理器：

基於該動態作決策程序及以下項中之至少一者來產生該複數個半導體晶粒之該至少一個半導體晶粒的該一或多個適應測試：

藉由一或多個電排序程序產生之晶粒級電排序資料；或

藉由一或多個統計預測程序產生之統計預測回饋。

【請求項22】

如請求項15之系統，其中該I-PAT系統經組態以在將該等I-PAT分數傳輸至該適應測試控制器之前對該等I-PAT分數進行分級。

【請求項23】

如請求項15之系統，其中該I-PAT系統經組態以依一第一資料格式來接收該半導體晶粒資料，且依一第二資料格式來傳輸該等I-PAT分數。

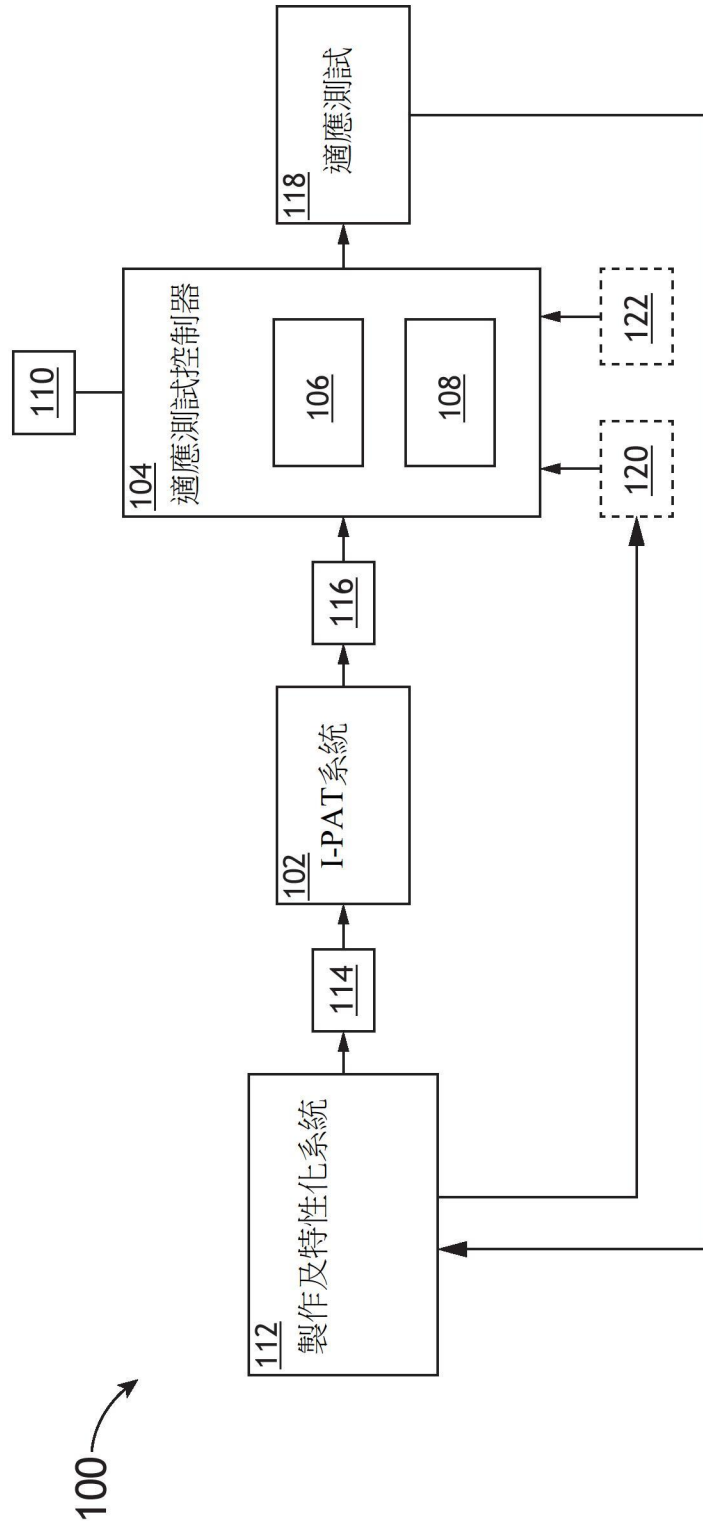
【請求項24】

如請求項15之系統，其中該I-PAT系統經組態以在將該等I-PAT分數傳輸至該適應測試控制器之前將該等I-PAT分數轉換為一標準化資料格式。

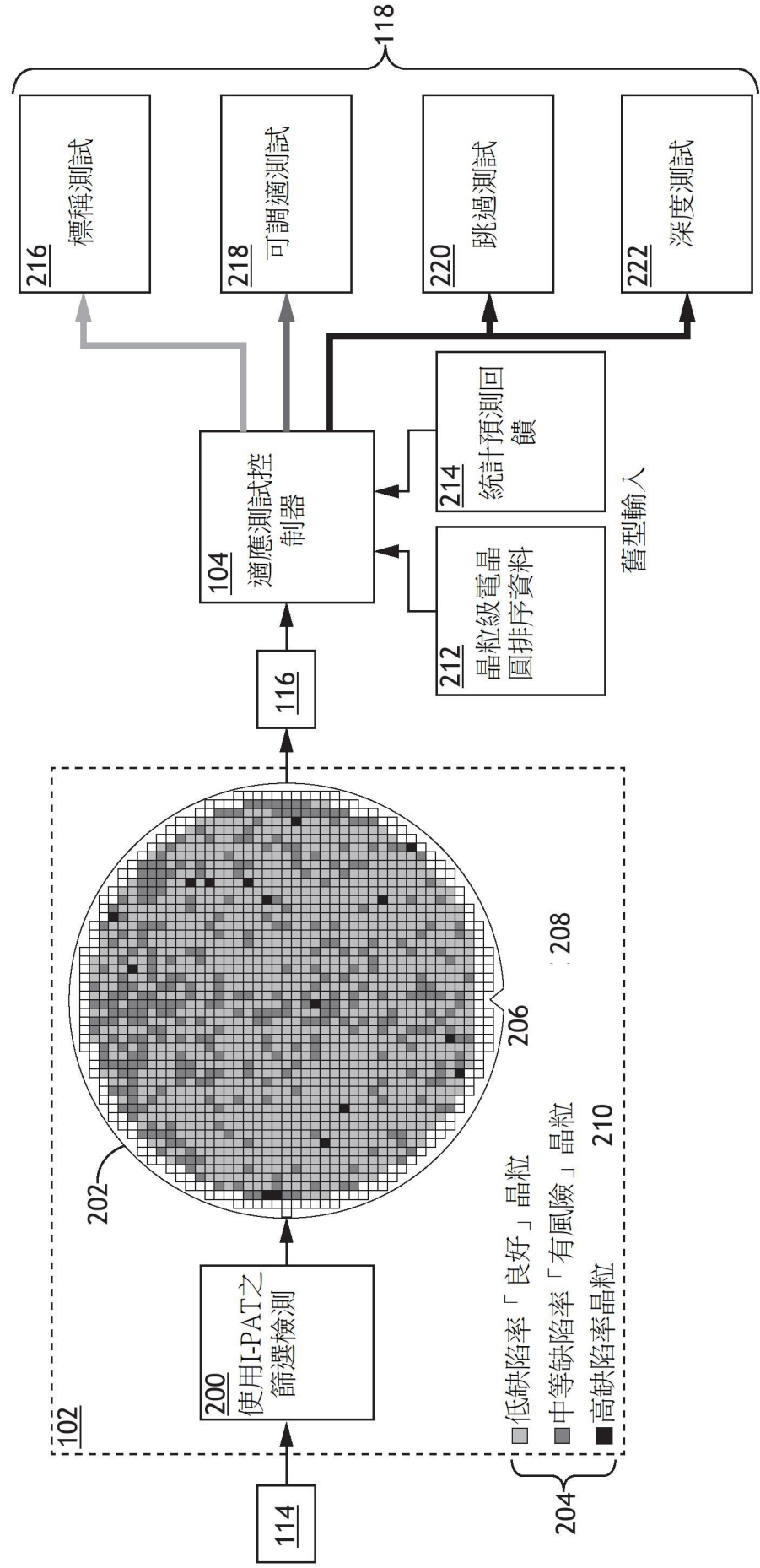
【請求項25】

如請求項15之系統，其中該適應測試控制器經組態以在接收來自該I-PAT系統之該等I-PAT分數之後將該等I-PAT分數轉換為一標準化資料格式。

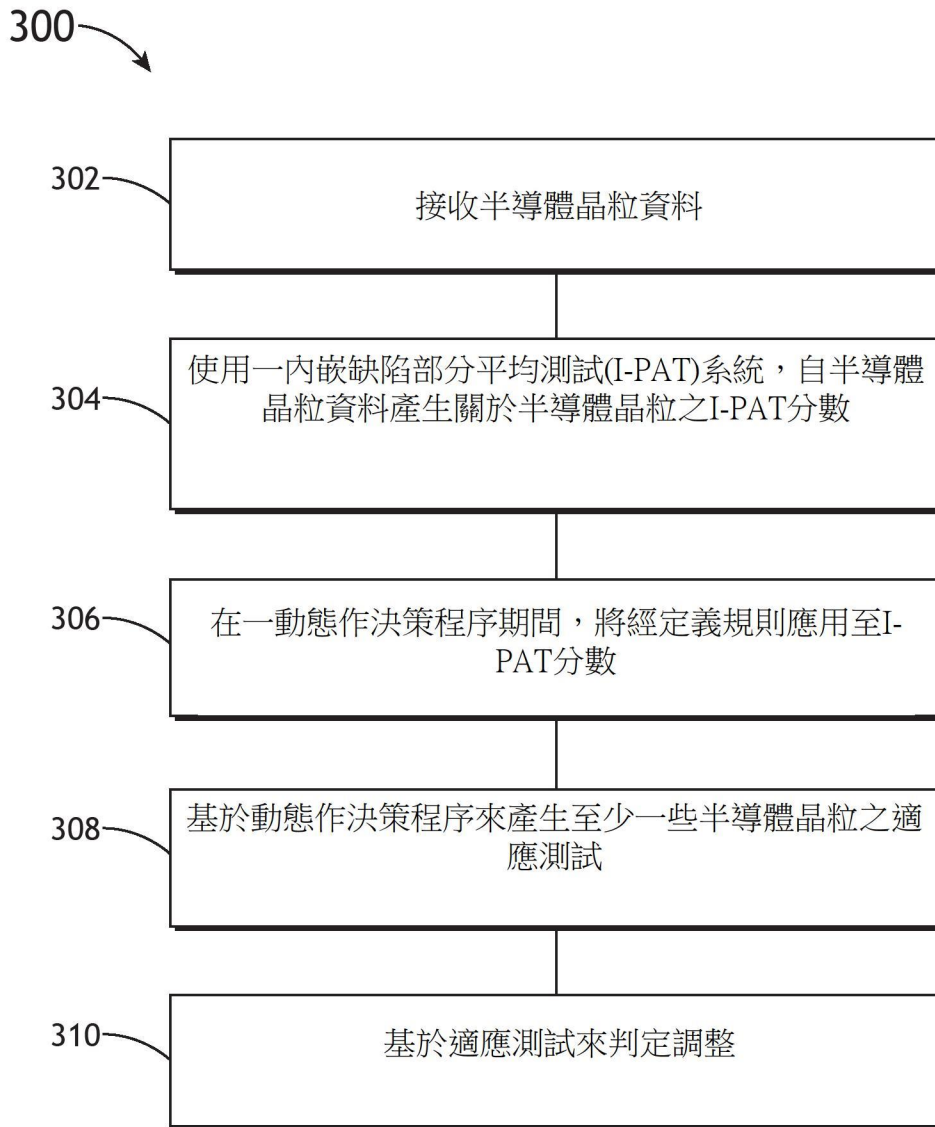
【發明圖式】



【圖1】

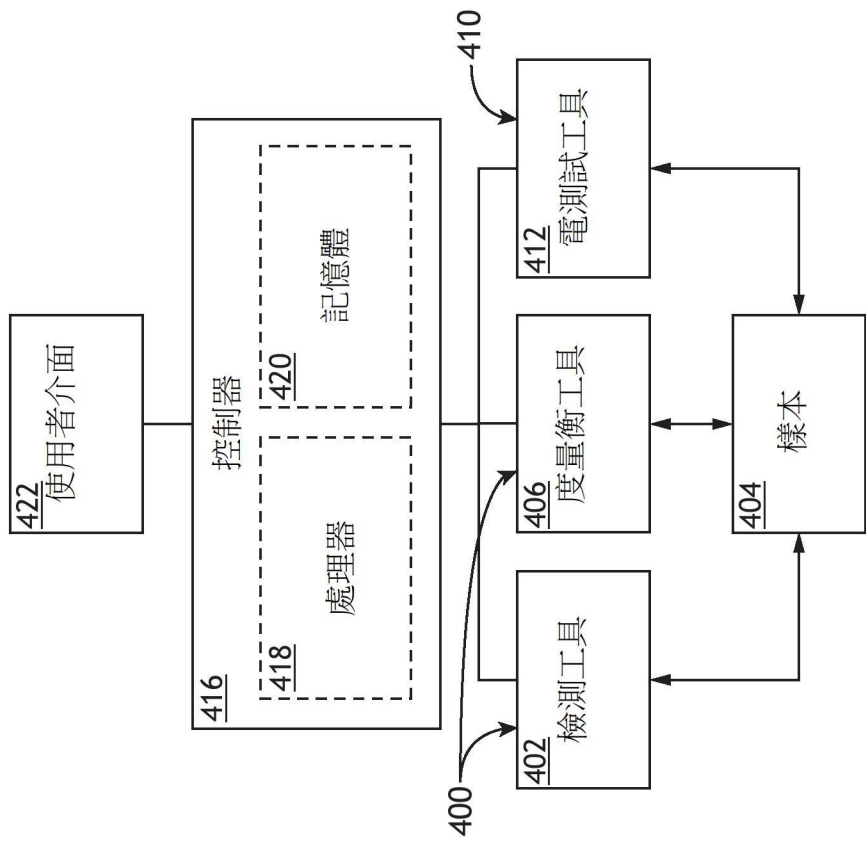


【圖2】



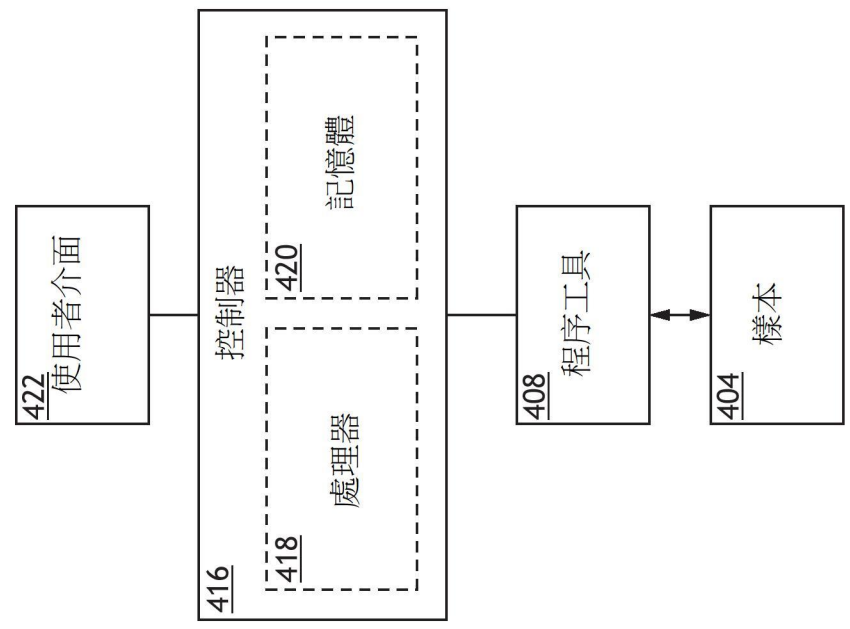
【圖3】

112 ↗

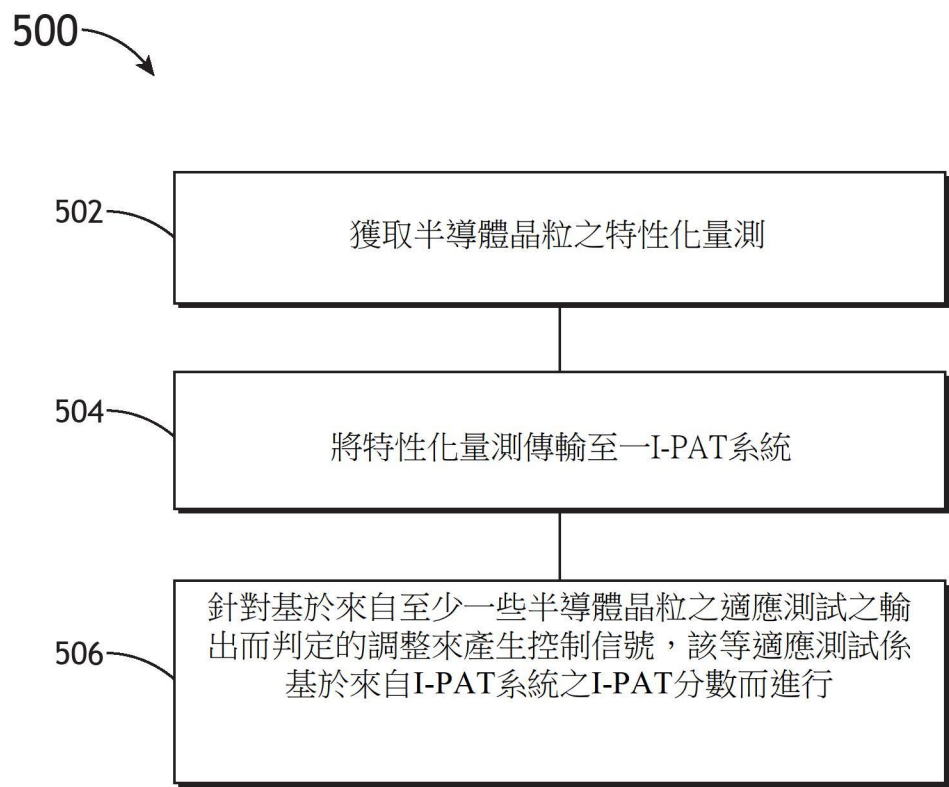


【圖4A】

112 ↗



【圖4B】



【圖5】