

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4499985号  
(P4499985)

(45) 発行日 平成22年7月14日(2010.7.14)

(24) 登録日 平成22年4月23日(2010.4.23)

(51) Int. Cl.	F I
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 B
HO 1 L 27/04 (2006.01)	GO 5 F 1/56 3 1 O A
GO 5 F 1/56 (2006.01)	GO 5 F 1/56 3 1 O Q
HO 2 M 3/155 (2006.01)	GO 5 F 1/56 3 1 O U
	HO 2 M 3/155 W

請求項の数 12 (全 13 頁)

(21) 出願番号	特願2002-362149 (P2002-362149)	(73) 特許権者	000006747
(22) 出願日	平成14年12月13日(2002.12.13)		株式会社リコー
(65) 公開番号	特開2004-193475 (P2004-193475A)		東京都大田区中馬込1丁目3番6号
(43) 公開日	平成16年7月8日(2004.7.8)	(74) 代理人	100081422
審査請求日	平成17年2月22日(2005.2.22)		弁理士 田中 光雄
前置審査		(74) 代理人	100068526
			弁理士 田村 恭生
		(74) 代理人	100098280
			弁理士 石野 正弘
		(72) 発明者	上里 英樹
			東京都大田区中馬込1丁目3番6号 株式
			会社リコー内
		(72) 発明者	吉井 宏治
			東京都大田区中馬込1丁目3番6号 株式
			会社リコー内

最終頁に続く

(54) 【発明の名称】 電源用IC及びその電源用ICを使用した通信装置

(57) 【特許請求の範囲】

【請求項1】

直流電源からの電源電圧から所定の定電圧を生成して出力する少なくとも1つのスイッチングレギュレータと、該直流電源からの電源電圧から所定の定電圧を生成して出力する少なくとも1つの高周波用シリーズレギュレータとを備えた電源回路を集積した、四角形のICチップで形成された電源用ICにおいて、

前記スイッチングレギュレータのスイッチングを行うドライバトランジスタは、前記ICチップの所定の一边に接した領域に配置され、前記高周波用シリーズレギュレータは、前記ICチップの該所定の一边と対向するICチップの辺に接した領域に配置され、

前記スイッチングレギュレータ及び高周波用シリーズレギュレータは、前記直流電源からの正側電源電圧が異なるパッドから入力されることを特徴とする電源用IC。

10

【請求項2】

前記スイッチングレギュレータ及び高周波用シリーズレギュレータは、前記直流電源からの負側電源電圧が異なるパッドから入力されるパッドをそれぞれ対応して設けられることを特徴とする請求項1記載の電源用IC。

【請求項3】

前記高周波用シリーズレギュレータは、高周波回路への電源供給を行うことを特徴とする請求項1又は2記載の電源用IC。

【請求項4】

前記スイッチングレギュレータのドライバトランジスタと前記高周波用シリーズレギュ

20

レータとの間に、所定の機能を有する回路が形成されることを特徴とする請求項 1、2 又は 3 記載の電源用 IC。

【請求項 5】

前記スイッチングレギュレータのドライバトランジスタ及び前記高周波用シリーズレギュレータは、ICチップの対角線上に対向してそれぞれ配置されることを特徴とする請求項 1、2、3 又は 4 記載の電源用 IC。

【請求項 6】

前記スイッチングレギュレータは、同期整流型の DC - DC コンバータをなすことを特徴とする請求項 1、2、3、4 又は 5 記載の電源用 IC。

【請求項 7】

直流電源からの電源電圧から所定の定電圧を生成して出力する少なくとも 1 つのスイッチングレギュレータと、該直流電源からの電源電圧から所定の定電圧を生成して出力する少なくとも 1 つの高周波用シリーズレギュレータとを備えた電源回路を集積した、四角形の IC チップで形成された電源用 IC を使用した通信装置において、

前記スイッチングレギュレータのスイッチングを行うドライバトランジスタは、前記 IC チップの所定の一边に接した領域に配置され、前記高周波用シリーズレギュレータは、前記 IC チップの該所定の一边と対向する IC チップの辺に接した領域に配置され、

前記スイッチングレギュレータ及び高周波用シリーズレギュレータは、前記直流電源からの正側電源電圧が異なるパッドから入力されることを特徴とする通信装置。

【請求項 8】

前記スイッチングレギュレータ及び高周波用シリーズレギュレータは、前記直流電源からの負側電源電圧が異なるパッドから入力されることを特徴とする請求項 7 記載の通信装置。

【請求項 9】

前記高周波用シリーズレギュレータは、高周波回路への電源供給を行うことを特徴とする請求項 7 又は 8 記載の通信装置。

【請求項 10】

前記スイッチングレギュレータのドライバトランジスタと前記高周波用シリーズレギュレータとの間に、所定の機能を有する回路が形成されることを特徴とする請求項 7、8 又は 9 記載の通信装置。

【請求項 11】

前記スイッチングレギュレータのドライバトランジスタ及び前記高周波用シリーズレギュレータは、ICチップの対角線上に対向してそれぞれ配置されることを特徴とする請求項 7、8、9 又は 10 記載の通信装置。

【請求項 12】

前記スイッチングレギュレータは、同期整流型の DC - DC コンバータをなすことを特徴とする請求項 7、8、9、10 又は 11 記載の通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の電源回路を搭載する電源用 IC 及びその電源用 IC を使用した通信装置に関し、特に高周波回路に電源供給を行うシリーズレギュレータとスイッチングレギュレータとを搭載した電源用 IC 及びその電源用 IC を使用した通信装置に関する。

【0002】

【従来の技術】

CPU や DSP 等のロジック回路は、低消費電力が要求される携帯機器の発達に伴って、例えば 2.5 V から 1.8 V 又は 1.5 V と動作電圧が低下しており、低電圧動作化が進んでいる。このような低電圧動作化が要求される IC への電源供給には、従来のシリーズレギュレータから効率のよいスイッチングレギュレータを使用することが望まれてきている。一方、携帯機器の小型化に対するニーズは高く、従来、別チップにしていた電源部を含

10

20

30

40

50

むアナログ回路をワンチップにし、小型化を実現しようとしていた。

【 0 0 0 3 】

【発明が解決しようとする課題】

しかし、携帯電話等の通信装置において、ノイズ源となるスイッチングレギュレータは、高周波ノイズの影響を受けると問題が発生するRF回路の電源部等とは別チップにし、プリント基板上においてチップ間距離をとることや、チップ間へのフィルタの取り付け等の様々な対策を行わなければならないという問題があった。

【 0 0 0 4 】

本発明は、上記のような問題を解決するためになされたものであり、高周波ノイズの発生源であるスイッチングレギュレータとRF回路用のシリーズレギュレータを1つのチップにすることができる電源用IC及びその電源用ICを使用した通信装置を得ることを目的とする。

10

【 0 0 0 5 】

【課題を解決するための手段】

この発明に係る電源用ICは、直流電源からの電源電圧から所定の定電圧を生成して出力する少なくとも1つのスイッチングレギュレータと、該直流電源からの電源電圧から所定の定電圧を生成して出力する少なくとも1つの高周波用シリーズレギュレータとを備えた電源回路を集積した、四角形のICチップで形成された電源用ICにおいて、

前記スイッチングレギュレータのスイッチングを行うドライバトランジスタは、前記ICチップの所定の一边に接した領域に配置され、前記高周波用シリーズレギュレータは、前記ICチップの該所定の一边と対向するICチップの辺に接した領域に配置され、

20

前記スイッチングレギュレータ及び高周波用シリーズレギュレータは、前記直流電源からの正側電源電圧が異なるパッドから入力されるものである。

【 0 0 0 6 】

また、前記スイッチングレギュレータ及び高周波用シリーズレギュレータは、前記直流電源からの負側電源電圧が異なるパッドから入力されるようにしてもよい。

【 0 0 0 8 】

具体的には、前記高周波用シリーズレギュレータは、高周波回路への電源供給を行うものである。

【 0 0 0 9 】

一方、前記スイッチングレギュレータのドライバトランジスタと前記シリーズレギュレータとの間に、所定の機能を有する回路が形成されるようにしてもよい。

30

【 0 0 1 0 】

また、具体的には、前記スイッチングレギュレータのドライバトランジスタ及び前記高周波用シリーズレギュレータは、ICチップの対角線上に対向してそれぞれ配置されるようにしてもよい。

【 0 0 1 1 】

前記スイッチングレギュレータは、同期整流型のDC - DCコンバータをなすようにしてもよい。

【 0 0 1 2 】

また、この発明に係る通信装置は、直流電源からの電源電圧から所定の定電圧を生成して出力する少なくとも1つのスイッチングレギュレータと、該直流電源からの電源電圧から所定の定電圧を生成して出力する少なくとも1つの高周波用シリーズレギュレータとを備えた電源回路を集積した、四角形のICチップで形成された電源用ICを使用した通信装置において、

40

前記スイッチングレギュレータのスイッチングを行うドライバトランジスタは、前記ICチップの所定の一边に接した領域に配置され、前記高周波用シリーズレギュレータは、前記ICチップの該所定の一边と対向するICチップの辺に接した領域に配置され、

前記スイッチングレギュレータ及び高周波用シリーズレギュレータは、前記直流電源からの正側電源電圧が異なるパッドから入力されるものである。

50

## 【 0 0 1 3 】

また、前記スイッチングレギュレータ及び高周波用シリーズレギュレータは、前記直流電源からの負側電源電圧が異なるパッドから入力されるようにしてもよい。

## 【 0 0 1 5 】

具体的には、前記高周波用シリーズレギュレータは、高周波回路への電源供給を行うものである。

## 【 0 0 1 6 】

一方、前記スイッチングレギュレータのドライバトランジスタと前記高周波用シリーズレギュレータとの間に、所定の機能を有する回路が形成されるようにしてもよい。

## 【 0 0 1 7 】

また、具体的には、前記スイッチングレギュレータのドライバトランジスタ及び前記高周波用シリーズレギュレータは、ICチップの対角線上に対向してそれぞれ配置されるようにしてもよい。

## 【 0 0 1 8 】

前記スイッチングレギュレータは、同期整流型のDC - DCコンバータをなすようにしてもよい。

## 【 0 0 1 9 】

## 【発明の実施の形態】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

第1の実施の形態 .

図1は、本発明の第1の実施の形態における電源用ICを使用する通信装置の例を示した図である。なお、図1では、通信装置として携帯電話を例にして示している。

## 【 0 0 2 0 】

図1において、通信装置1は、複数の電源回路からなる電源回路部2と、オーディオ回路部3と、送受信回路等からなるRF回路部4と、電源回路部2、オーディオ回路部3及びRF回路部4の各部の動作制御を行うCPUロジック回路部5と、表示部6と、アンテナ7と、操作ボタンからなる操作部8と、スピーカ9と、マイク10と、バッテリー11とで構成されている。電源回路部2、オーディオ回路部3、RF回路部4及びCPUロジック回路部5は、1つの基板上にモールドされて1つのモジュール12になっている。

## 【 0 0 2 1 】

電源回路部2は、バッテリー11から供給された電源から所定の定電圧を生成して、オーディオ回路部3、RF回路部4及びCPUロジック回路部5にそれぞれ出力して電源供給を行う。CPUロジック回路部5は、操作部8からの操作に応じて電源回路部2、オーディオ回路部3、RF回路部4及び表示部6の各部の動作制御を行う。RF回路部4は、アンテナ7を介して信号の送受信を行い、オーディオ回路部3は、マイク10からの信号が入力され、スピーカ9への信号出力を行う。

## 【 0 0 2 2 】

図2は、図1の電源回路部2の構成例を示した図である。なお、図2では、1つのスイッチングレギュレータと3つのシリーズレギュレータを有する場合を例にして示している。図2において、電源回路部2は、スイッチングレギュレータ21と、シリーズレギュレータSR1~SR3と、バッテリー11に対する充電を制御する充電制御回路22と、SIMカード27とCPUロジック回路部5とのインタフェースを行うSIMカードインタフェース回路23とを備えている。

## 【 0 0 2 3 】

更に、電源回路部2は、バッテリー11からの正側電源電圧Vbatに応じてスイッチングレギュレータ21、シリーズレギュレータSR1~SR3、充電制御回路22及びSIMカードインタフェース回路23の動作制御を行うパワーオンロジック回路24とを備えている。電源回路部2は、一部の集積化不可能な部品を除いて1つのICに集積されており、該ICは電源用ICをなす。

## 【 0 0 2 4 】

スイッチングレギュレータ21、シリーズレギュレータSR1～SR3及びSIMカードインタフェース回路23はバッテリー11から電源が供給されており、パワーオンロジック回路24は、バッテリー11の正側電源電圧Vbatをモニタしている。また、充電制御回路22は、AC/DCアダプタ28からDC電圧が入力されており、該DC電圧を用いたバッテリー11への充電制御を行う。

【0025】

パワーオンロジック回路24は、バッテリー11の正側電源電圧Vbatが所定値以上になると、充電制御回路22に対してバッテリー11への充電を抑制させる。スイッチングレギュレータ21はCPUロジック回路部5への電源供給を行い、シリーズレギュレータSR1、SR2はRF回路部4への電源供給を行い、シリーズレギュレータSR3はオーディオ回路部3への電源供給を行う。シリーズレギュレータSR1及びSR2は、CPUロジック回路部5によってイネーブル制御が行われる。

10

【0026】

図3は、スイッチングレギュレータ21の回路例を示した図である。なお、図3では、スイッチングレギュレータ21が同期整流型のDC-DCコンバータをなす場合を例にして示している。

図3において、スイッチングレギュレータ21は、スイッチングを行うドライバトランジスタをなすPチャンネル型MOSトランジスタ(以下、PMOSトランジスタと呼ぶ)31と、スイッチングを行うドライバトランジスタをなすNチャンネル型MOSトランジスタ(以下、NMOSトランジスタと呼ぶ)32と、該PMOSトランジスタ31及びNMOSトランジスタ32から出力される信号を平滑して出力する平滑回路部33とを備えている。

20

【0027】

更に、スイッチングレギュレータ21は、所定の基準電圧Vrを生成して出力する基準電圧発生回路部34と、平滑回路部33から出力される電圧Voを分圧して分圧電圧Vdを生成し出力する分圧回路部35と、基準電圧Vrに対する分圧電圧Vdの誤差を増幅して出力する誤差増幅器36と、該誤差増幅器36からの出力信号に応じて前記PMOSトランジスタ31及びNMOSトランジスタ32のスイッチング制御を行う制御回路部37とを備えている。

【0028】

バッテリー11の正側電源電圧Vbatに接続されたパッドVINとバッテリー11の負側電源電圧GNDに接続されたパッドGNDPとの間には、PMOSトランジスタ31及びNMOSトランジスタ32が直列に接続され、PMOSトランジスタ31及びNMOSトランジスタ32の各ゲートは、それぞれ制御回路部37に接続されている。PMOSトランジスタ31とNMOSトランジスタ32の接続部はパッドLXに接続され、該パッドLXと負側電源電圧GNDとの間には平滑回路部33を構成するコイルLとコンデンサCの直列回路が接続されている。コイルLとコンデンサCとの接続部がスイッチングレギュレータ21の出力端をなし、該出力端から所定の電圧Voが出力される。

30

【0029】

該出力電圧Voは、パッドOUTを介して分圧回路部35に入力され、分圧回路部35で分圧されて該分圧電圧Vdが誤差増幅器36の一方の入力端に入力される。分圧回路部35は、抵抗R1及びR2の直列回路で構成され、該直列回路は、出力電圧Voに接続されたパッドOUTと負側電源電圧GNDに接続されたパッドGNDAとの間に接続されている。抵抗R1とR2との接続部が、誤差増幅器36の一方の入力端に接続され、該入力端に分圧電圧Vdが入力されている。また、誤差増幅器36の他方の入力端には基準電圧Vrが入力され、誤差増幅器36の出力端は制御回路部37に接続されている。

40

【0030】

出力電圧Voは分圧回路部35で分圧され、該分圧電圧Vdと基準電圧Vrとの差電圧を誤差増幅器36で増幅する。制御回路部37は、例えば三角波のパルス信号を発生させる発振回路(図示せず)とコンパレータ(図示せず)とを備え、該発振回路の出力信号と誤

50

差増幅器 36 の出力信号の各電圧を該コンパレータで比較し、コンパレータは、該比較結果に応じて P M O S トランジスタ 31 及び N M O S トランジスタ 32 のオン時間を制御する。この際、制御回路部 37 は、P M O S トランジスタ 31 及び N M O S トランジスタ 32 を交互にオンさせて同時にオンしないようにスイッチング制御を行う。P M O S トランジスタ 31 及び N M O S トランジスタ 32 の接続部から出力された信号は、コイル L 及びコンデンサ C からなる平滑回路部 33 で平滑されて出力電圧  $V_o$  として出力される。

#### 【0031】

次に、図 4 は、シリーズレギュレータ S R 1 ~ S R 3 の回路例を示した図である。なお、図 4 では、シリーズレギュレータ S R 1 ~ S R 3 は同じ回路構成をなすものであり、ここでは任意の 1 つのシリーズレギュレータ S R m (  $m = 1 \sim 3$  ) を例にして説明する。

図 4 におけるシリーズレギュレータ S R m は、所定の基準電圧  $V_{r m}$  を生成して出力する基準電圧発生回路部 R E m と、分圧回路部 D E m と、誤差増幅器 A M P m と、該誤差増幅器 A M P m からゲートに入力される電圧に応じた電流をパッド O U T m に出力するドライバトランジスタをなす P M O S トランジスタ P m とを備えている。

#### 【0032】

正側電源電圧  $V_{b a t}$  に接続されたパッド  $V_{d d m}$  とパッド O U T m との間に P M O S トランジスタ P m が接続され、P M O S トランジスタ P m のドレイン電圧が出力電圧  $V_{o m}$  になる。パッド O U T m と負側電源電圧 G N D に接続されたパッド G N D S との間には、分圧回路部 D E m を構成する抵抗 R A m 及び R B m が直列に接続されており、抵抗 R A m と R B m との接続部から分圧電圧  $V_{d m}$  が出力され、該分圧電圧  $V_{d m}$  は、誤差増幅器 A M P m の反転入力端に入力される。

#### 【0033】

また、誤差増幅器 A M P m の非反転入力端には、基準電圧  $V_{r m}$  が入力されており、誤差増幅器 A M P m の出力端は、P M O S トランジスタ P m のゲートに接続され、誤差増幅器 A M P m には C P U ロジック回路部 5 からイネーブル信号 S E m が入力されている。イネーブル信号 S E m がアサートされると、誤差増幅器 A M P m は動作を停止し、P M O S トランジスタ P m がオフして出力電圧  $V_{o m}$  の出力が停止する。

#### 【0034】

出力電圧  $V_{o m}$  は、分圧回路部 D E m で分圧され、該分圧電圧  $V_{d m}$  と基準電圧  $V_{r m}$  との差電圧を誤差増幅器 A M P m で増幅して P M O S トランジスタ P m のゲートに出力される。このように、誤差増幅器 A M P m は、P M O S トランジスタ P m の動作制御を行って、出力電圧  $V_{o m}$  が所望の電圧で一定になるようにしている。

#### 【0035】

図 5 は、図 2 の電源回路部 2 をなす電源用 I C を示した概略図であり、図 5 では、I C チップ上におけるスイッチングレギュレータ 21 と、シリーズレギュレータ S R 1 ~ S R 3 の配置例を示している。なお、図 5 では、イネーブル信号 S E m が入力されるパッドは省略して示している。

図 5 において、スイッチングレギュレータ 21 の P M O S トランジスタ 31 ( 図 5 では P M O S T r と示す。 ) 及び N M O S トランジスタ 32 ( 図 5 では N M O S T r と示す。 ) は、4 角形をなす I C チップ 40 の所定の辺 41 の近傍に配置され、シリーズレギュレータ S R 1 ~ S R 3 の各 P M O S トランジスタ P 1 ~ P 3 は、I C チップ 40 の辺 41 に対向する辺 42 の近傍に配置される。また、スイッチングレギュレータ 21 とシリーズレギュレータ S R 1 ~ S R 3 は、I C チップ 40 の対角線上にほぼ位置するように配置されている。

#### 【0036】

また、スイッチングレギュレータ 21 における、基準電圧発生回路部 34、分圧回路部 35、誤差増幅器 36 及び制御回路部 37 は図 5 のコントローラ 43 で示した部分に配置され、P M O S トランジスタ 31 及び N M O S トランジスタ 32 の近傍に配置している。同様に、シリーズレギュレータ S R 1 ~ S R 3 において、基準電圧発生回路部 R E 1 ~ R E 3、分圧回路部 D E 1 ~ D E 3 及び誤差増幅器 A M P 1 ~ A M P 3 は、対応する図 5 のコ

10

20

30

40

50

ントローラ 44 ~ 46 で示した部分にそれぞれ配置され、対応する P M O S トランジスタ P 1 ~ P 3 の近傍に配置される。

【 0 0 3 7 】

一方、電源回路部 2 におけるその他の回路、すなわち充電制御回路 25、S I M カードインタフェース回路 26 及びパワーオンロジック回路 27 は、I C チップ 40 の中央部分 47 に配置されている。また、パッド V D D , V I N , V d d 1 ~ V d d 3 , V d d C は、バッテリー 11 からの正側電源電圧 V b a t にそれぞれ接続され、パッド G N D P , G N D A , G N D S , G N D C はバッテリー 11 の負側電源電圧 G N D にそれぞれ接続されている。平滑回路部 33 のコイル L とコンデンサ C は、パッド L X を介して I C チップ 40 に外付けされている。

10

【 0 0 3 8 】

図 6 は、800kHz で発振しているスイッチングレギュレータとシリーズレギュレータとの距離とノイズレベルの関係を示した図である。

図 6 から分かるように、スイッチングレギュレータからシリーズレギュレータを 1.5mm 離すことにより、スイッチングレギュレータとシリーズレギュレータとの距離が 0.2mm の場合よりもノイズが 5% 程度低減していることが分かる。図 5 で示した電源用 I C のチップサイズは、一辺が 3mm であることから、図 5 のように、スイッチングレギュレータ 21 のドライバトランジスタを辺 41 の近傍に配置し、各シリーズレギュレータ S R 1 ~ S R 3 の各ドライバトランジスタをそれぞれ辺 42 の近傍に配置することによって、スイッチングレギュレータ 21 から発生したノイズに対する各シリーズレギュレータ S R 1 ~ S R 3 への影響を低減させることができる。

20

【 0 0 3 9 】

なお、前記説明では、同期整流型の D C - D C コンバータをなすスイッチングレギュレータを使用した場合を例にして説明したが、図 3 において、N M O S トランジスタ 32 の代わりにフライホイールダイオードをなすダイオード 51 を使用してもよく、このようにした場合、図 3 のスイッチングレギュレータ 21 は、図 7 のようになる。なお、図 7 では、図 3 と同じもの又は同様のものは同じ符号で示しており、フライホイールダイオードを使用したスイッチングレギュレータは公知であり、ここではその動作の説明を省略する。

【 0 0 4 0 】

図 7 で示したようなスイッチングレギュレータを使用した場合、図 5 の電源用 I C を示した概略図は、図 8 のようになる。なお、図 8 では、図 5 と同じもの又は同様のものは同じ符号で示しており、ここではその説明を省略すると共に、図 5 との相違点のみ説明する。図 8 における図 5 との相違点は、N M O S トランジスタ 32 が配置されていた位置にフライホイールダイオードをなすダイオード 51 を設けるようにしたことにある。これ以外は、図 5 と同様であるのでその説明を省略する。

30

【 0 0 4 1 】

また、図 3 及び図 7 では降圧型のスイッチングレギュレータを例にして示したが、昇圧型のスイッチングレギュレータの場合は図 9 のようになる。なお、図 9 では、図 3 と同じもの又は同様のものは同じ符号で示しており、ここではその説明を省略する。

図 9 において、スイッチングレギュレータ 21 は、ゲートに入力される制御信号に応じてスイッチングを行うスイッチングトランジスタをなす N M O S トランジスタ 61 と、該 N M O S トランジスタ 61 からの出力信号を平滑して出力する平滑回路部 62 と、基準電圧発生回路部 34 と、分圧回路部 35 と、誤差増幅器 36 と、該誤差増幅器 36 からの出力信号に応じて前記 N M O S トランジスタ 61 のスイッチング制御を行う制御回路部 37 とを備えている。

40

【 0 0 4 2 】

出力電圧 V o は分圧回路部 35 で分圧され、該分圧電圧 V d と基準電圧 V r との差電圧を誤差増幅器 36 で増幅する。制御回路部 37 は、例えば三角波のパルス信号を発生させる発振回路（図示せず）とコンパレータ（図示せず）とを備え、該発振回路の出力信号と誤差増幅器 36 の出力信号の各電圧を該コンパレータで比較し、コンパレータは、該比較結

50

果に応じてNMOSトランジスタ61のオン時間を制御する。NMOSトランジスタ61から出力された信号は、整流ダイオードをなすダイオードD2、コイルL2及びコンデンサC2からなる平滑回路部62で平滑されて出力電圧V<sub>o</sub>として出力される。

【0043】

図9で示したようなスイッチングレギュレータを使用した場合、図5の電源用ICを示した概略図は、図10のようになる。なお、図10では、図5と同じもの又は同様のものは同じ符号で示しており、ここではその説明を省略すると共に、図5との相違点のみ説明する。

図10における図5との相違点は、PMOSトランジスタ31をなくし、NMOSトランジスタ32をNMOSトランジスタ61にしたことにある。これ以外は、図5と同様であるのでその説明を省略する。

10

【0044】

なお、前記第1の実施の形態では、1つのスイッチングレギュレータと3つのシリーズレギュレータを有する場合を例にして説明したが、本発明はこれに限定するものではなく、少なくとも1つのスイッチングレギュレータ及び少なくとも1つのシリーズレギュレータを有する場合に適用するものである。

また、前記スイッチングレギュレータのスイッチングを行うドライバトランジスタは、前記ICチップの所定の一边近傍に配置され、前記シリーズレギュレータは、前記ICチップの該所定の一边と対向するICチップの辺近傍に配置されるようにしてもよい。

【0045】

20

【発明の効果】

上記の説明から明らかなように、本発明の電源用ICによれば、スイッチングレギュレータのスイッチングを行うドライバトランジスタを、前記ICチップの所定の一边近傍に配置し、シリーズレギュレータは、ICチップの該所定の一边と対向するICチップの辺近傍に配置するようにした。このことから、スイッチングレギュレータから発生するノイズのシリーズレギュレータへの影響を低減させることができ、スイッチングレギュレータとシリーズレギュレータを1つのICに集積することができる。また、シリーズレギュレータから電源供給を受けている高周波回路へのスイッチングレギュレータからのノイズの影響を低減させることができ、電源用ICの信頼性の向上を図ることができる。

【0046】

30

また、本発明の通信装置によれば、電源用ICにおいて、スイッチングレギュレータのスイッチングを行うドライバトランジスタを、前記ICチップの所定の一边近傍に配置し、シリーズレギュレータは、ICチップの該所定の一边と対向するICチップの辺近傍に配置するようにした。このことから、スイッチングレギュレータから発生するノイズのシリーズレギュレータへの影響を低減させることができ、シリーズレギュレータから電源供給を受けている高周波回路の信号処理への影響を低減させることができると共にスイッチングレギュレータとシリーズレギュレータを1つのICに集積することができる。通信装置の小型化を図ることができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態における電源用ICを使用する通信装置の例を示した図である。

40

【図2】 図1の電源回路部2の構成例を示した図である。

【図3】 図2のスイッチングレギュレータ21の回路例を示した図である。

【図4】 図2で示したシリーズレギュレータの回路例を示した図である。

【図5】 図2の電源回路部2をなす電源用ICの例を示した概略図である。

【図6】 スwitchングレギュレータとシリーズレギュレータとの距離とノイズレベルの関係を示した図である。

【図7】 図2のスイッチングレギュレータ21の他の回路例を示した図である。

【図8】 図7のスイッチングレギュレータ21を使用した場合の電源用ICの例を示した概略図である。

50

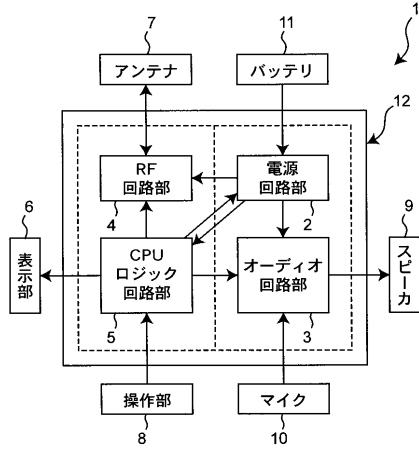
【図 9】 図 2 のスイッチングレギュレータ 2 1 の他の回路例を示した図である。

【図 1 0】 図 9 のスイッチングレギュレータ 2 1 を使用した場合の電源用 I C の例を示した概略図である。

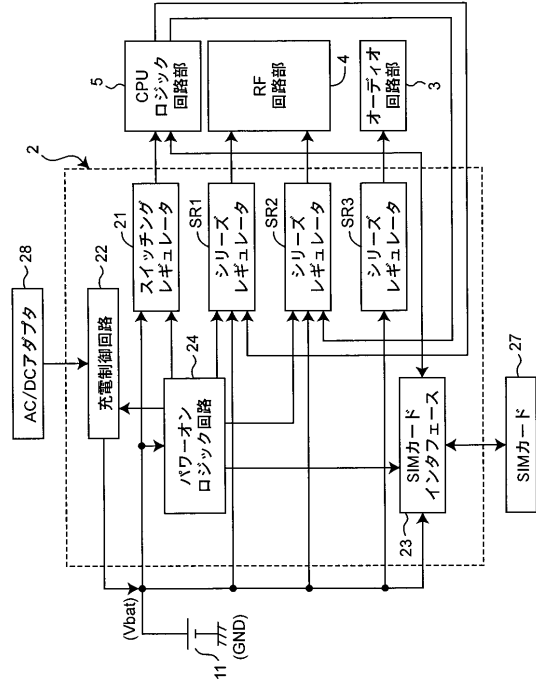
【符号の説明】

- 1 通信装置
- 2 電源回路部
- 5 CPUロジック回路部
- 1 1 バッテリ
- 2 1 スwitchングレギュレータ
- 2 2 充電制御回路 10
- 2 3 SIMカードインタフェース回路
- 2 4 パワーオンロジック回路
- 3 1 , P 1 ~ P 3 PMOSトランジスタ
- 3 2 , 6 1 NMOSトランジスタ
- 3 3 , 6 2 平滑回路部
- 3 4 , RE 1 ~ RE 3 基準電圧発生回路部
- 3 5 , DE 1 ~ DE 3 分圧回路部
- 3 6 , AMP 1 ~ AMP 3 誤差増幅器
- 3 7 制御回路部
- 4 0 ICチップ 20
- 4 1 , 4 2 ICチップの辺
- 4 3 ~ 4 6 コントローラ
- 4 7 ICチップの中央部分
- 5 1 ダイオード
- SR 1 ~ SR 3 シリーズレギュレータ
- VDD , VIN , Vdd 1 ~ Vdd 3 , GNDP , GNDA , GNDC , GNDS パッド

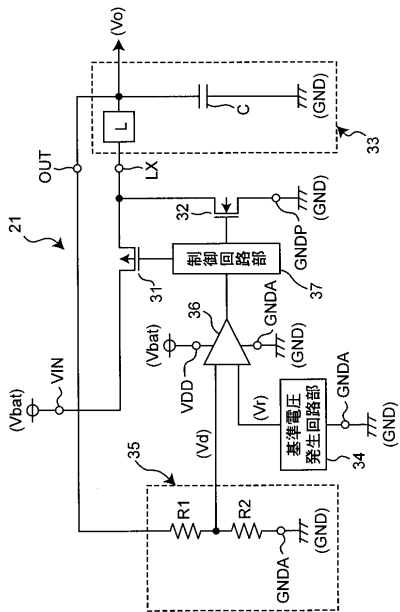
【図1】



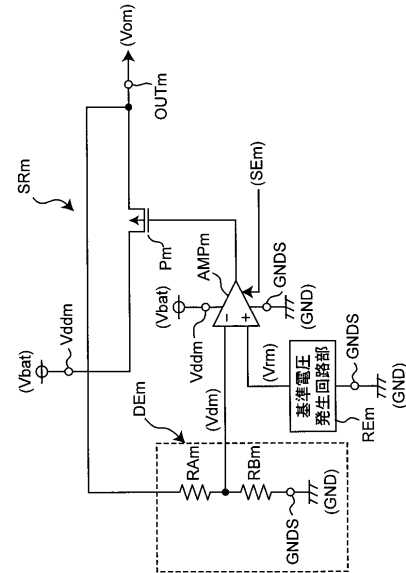
【図2】



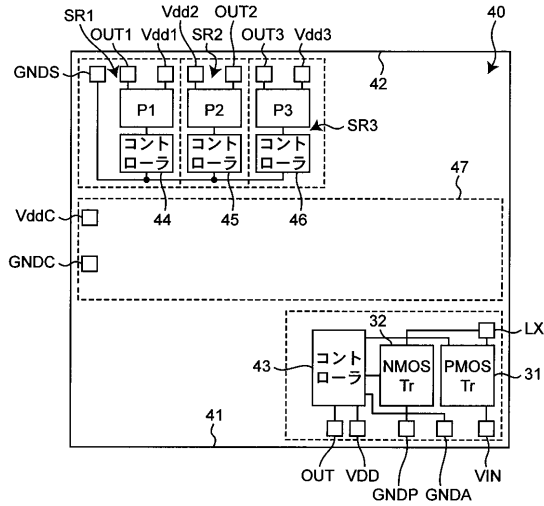
【図3】



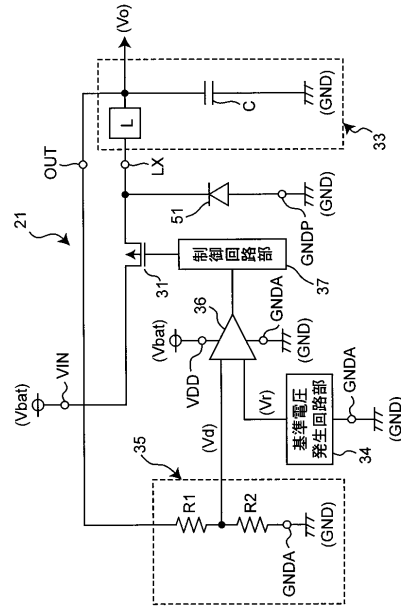
【図4】



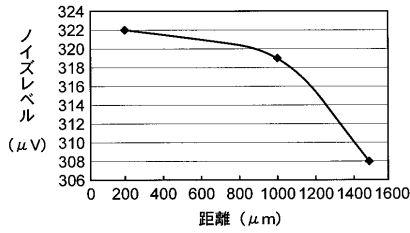
【図5】



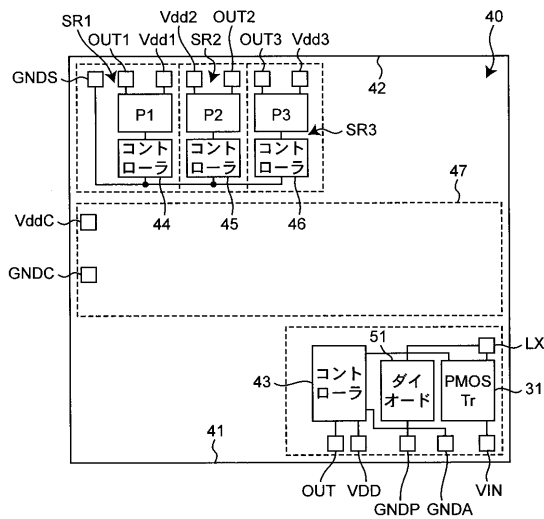
【図7】



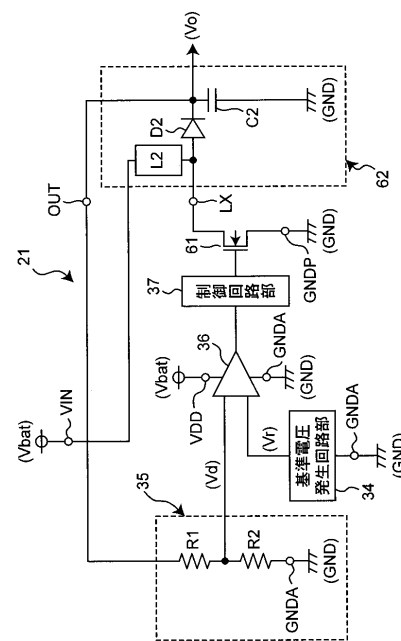
【図6】



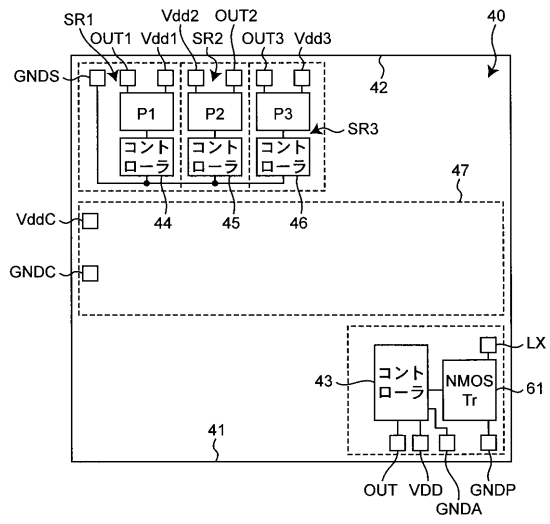
【図8】



【図9】



【図10】



---

フロントページの続き

審査官 棚田 一也

- (56)参考文献 特開平 1 1 - 3 5 3 0 4 0 ( J P , A )  
特開 2 0 0 1 - 0 2 8 4 3 0 ( J P , A )  
特開 2 0 0 2 - 1 8 2 7 5 8 ( J P , A )  
特開 2 0 0 1 - 1 1 0 1 8 4 ( J P , A )  
特開平 0 4 - 1 2 3 4 6 6 ( J P , A )  
特開 2 0 0 1 - 3 1 3 3 6 8 ( J P , A )  
特開 2 0 0 2 - 1 1 0 9 1 9 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/822

G05F 1/56

H01L 27/04

H02M 3/155