(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3571290号
(P3571290)
(45)発行日　平成16年9月29日(2004.9.29)　(24)登録日　平成16年7月2日(2004.7.2)

(51)Int.Cl.[7]　F I
H02M 3/28　H02M 3/28 H

請求項の数 13 (全 16 頁)

(21)出願番号　特願2000-504650(P2000-504650)
(86)(22)出願日　平成10年7月24日(1998.7.24)
(65)公表番号　特表2001-511640(P2001-511640A)
(43)公表日　平成13年8月14日(2001.8.14)
(86)国際出願番号　PCT/DE1998/002096
(87)国際公開番号　WO1999/005777
(87)国際公開日　平成11年2月4日(1999.2.4)
審査請求日　平成13年8月13日(2001.8.13)
(31)優先権主張番号　197 32 169.0
(32)優先日　平成9年7月25日(1997.7.25)
(33)優先権主張国　ドイツ(DE)

(73)特許権者　390039413
シーメンス　アクチエンゲゼルシヤフト
Ｓｉｅｍｅｎｓ　Ａｋｔｉｅｎｇｅｓｅｌｌｓｃｈａｆｔ
ドイツ連邦共和国　Ｄ－８０３３３　ミュンヘン　ヴィッテルスバッハープラッツ　２
(74)代理人　100061815
弁理士　矢野　敏雄
(74)代理人　100094798
弁理士　山崎　利臣
(74)代理人　100099483
弁理士　久野　琢也

最終頁に続く

(54)【発明の名称】直流電圧を供給する装置および直流電圧を供給する方法

(57)【特許請求の範囲】

【請求項１】

制御入力側（Ｇ）に印加される制御パルス（ＡＩ）のシーケンスにしたがって給電電圧（Ｖ）をタイミング制御してトランスの１次巻線（Ｌ１）に印加するための半導体スイッチング素子（Ｔ）を有しており、

出力電圧（U_A）を送出する出力端子（ＡＫ）を備えた整流器装置（ＧＬＡ）がトランスの２次巻線（Ｌ２）に接続されており、

制御パルス（ＡＩ）を形成するための制御回路（ＡＳ）を有しており、該制御回路は測定装置（ＭＡ）によって発生される負荷依存性のアナログ制御信号（ＲＳ）が印加される第１の入力側（ＡＳＥ１）と、制御パルス（ＡＩ）のスイッチオン時点を定めるスタート信号（ＳＳ）が印加される第２の入力側（ＡＳＥ２）とを有しており、前記制御信号（ＲＳ）に個々の制御パルス（ＡＩ）の持続時間が依存している、

出力端子（ＡＫ）に接続される負荷（Ｒ）に直流電圧を供給する装置において、

電圧時間変換器ユニット（ＳＺＷ）を備えたパルス発生器（ＩＧ）が設けられており、

該パルス発生器の出力端子（ＩＧＡ）は制御回路（ＡＳ）の第２の入力端子（ＡＳＥ２）に接続されてパルス状に構成されたスタート信号（ＳＳ）を前記制御信号（ＲＳ）にしたがって送出し、

ここで電圧時間変換器ユニットはその入力端子に印加される制御信号（ＲＳ）の振幅または制御信号（ＲＳ）を修正した修正制御信号（ＭＲＳ）に依存してパルス幅変調信号（Ｆ２）が調製され、該パルス幅変調信号によりスタート信号（ＳＳ）がトリガされる

ことを特徴とする直流電圧を供給する装置。
【請求項２】
前記パルス発生器（ＩＧ）に１次巻線（Ｌ１）に電圧が印加されない時点を検出する検出手段（ＤＭ）が設けられており、前記パルス発生器（ＩＧ）は論理手段（ＬＭ）を有しており、該論理手段によりスタート信号（ＳＳ）がパルス幅変調信号（Ｆ２）の所定のエッジの発生後に所定の時点でスイッチオンされる、請求項１記載の装置。
【請求項３】
前記論理手段（ＬＭ）によりスタート信号（ＳＳ）が前記時点の直後にスイッチオンされる、請求項２記載の装置。
【請求項４】
前記所定のエッジはパルス幅変調信号（Ｆ２）の下降エッジである、請求項２または３記載の装置。
【請求項５】
前記論理手段（ＬＭ）はＡＮＤ素子（２１）を有しており、該ＡＮＤ素子にパルス幅変調信号（Ｆ２）および検出手段（ＤＭ）によって調製されたパルス信号（ＮＤＧ）が供給されるとスタート信号（ＳＳ）が発生される、請求項３または４記載の装置。
【請求項６】
パルス発生器（ＩＧ）には第２の入力端子（ＩＧＥ２）を介して１次巻線信号（ＵＤＫ）が供給され、該１次巻線信号から検出手段（ＤＭ）によりパルス信号（ＮＤＧ）が発生される、請求項１から５までのいずれか１項記載の装置。
【請求項７】
パルス発生器（ＩＧ）は位相弁別器（ＰＤ）を有するフィードバック分岐路を有しており、該フィードバック分岐路により電圧時間変換器（ＳＺＷ）の出力側に印加されるパルス幅変調信号（Ｆ２）がフィードバックされ、該フィードバック分岐路の出力側（ＲＺＡ）に印加される位相弁別器（ＰＤ）の出力信号（ＵＰＤ）が加算器ユニット（１２）により制御信号（ＲＳ）に加えられて修正制御信号（ＭＲＳ）が形成される、請求項１から６までのいずれか１項記載の装置。
【請求項８】
位相弁別器（ＰＤ）は第２の入力端子（ＰＤＥ２）を有しており、該第２の入力端子に１次巻線信号（ＵＤＫ）が印加され、位相弁別器（ＰＤ）の出力側に印加される出力信号（ＵＰＤ）の振幅はパルス幅変調信号（Ｆ２）と１次巻線信号（ＵＤＫ）の２つのエッジの相互の時間間隔に依存する、請求項１から７までのいずれか１項記載の装置。
【請求項９】
位相弁別器（ＰＤ）は制御信号（ＲＳ）が供給される第３の入力端子（ＰＤＥ３）を有しており、該制御信号により出力側（ＵＰＤ）の最大振幅が作用される、請求項１から８までのいずれか１項記載の装置。
【請求項１０】
パルス発生器（ＩＧ）はパルス幅変調信号（Ｆ２）の個々のパルスの開始時点を定める第２のスタート信号が供給される第３の入力端子（ＩＧＥ３）を有する、請求項１から９までのいずれか１項記載の装置。
【請求項１１】
前記第２のスタート信号は制御パルス（ＡＩ）に依存する、請求項１０記載の装置。
【請求項１２】
制御入力側（Ｇ）に印加される制御パルス（ＡＩ）のシーケンスにしたがって給電電圧（Ｖ）をタイミング制御してトランスの１次巻線（Ｌ１）に印加するための半導体スイッチング素子（Ｔ）を有しており、
出力電圧（U_A）を送出する出力端子（ＡＫ）を備えた整流器装置（ＧＬＡ）がトランスの２次巻線（Ｌ２）に接続されており、
制御パルス（ＡＩ）を形成するための制御回路（ＡＳ）を有しており、該制御パルスの持続時間を負荷依存性のアナログ制御信号（ＲＳ）に依存して定め、該制御パルス（ＡＩ）

のスイッチオン時点をスタート信号により定める
装置を介して出力端子に接続された負荷（Ｒ）へ直流電圧を供給する方法において、
スタート信号（ＳＳ）を制御信号（ＲＳ）の振幅または制御信号を修正した修正制御信号（ＭＲＳ）に依存するパルス幅変調信号（Ｆ２）によりイネーブルする
ことを特徴とする直流電圧を供給する方法。

【請求項１３】
修正制御信号（ＭＲＳ）は制御信号（ＲＳ）に相応する、請求項１２記載の方法。

【発明の詳細な説明】

【０００１】
本発明は、直流電圧を供給する装置および直流電圧を供給する方法に関する。

【０００２】
この種の自由振動形のスイッチング電源回路部に使用されている装置の課題は、少なくともほぼ負荷から独立した出力電圧を出力端子において使用できるようにすることである。ここで出力端子は通常、整流器装置を介してトランスの２次巻線の端子に接続されている。出力電圧は負荷の他に１次巻線から２次巻線へ変換される電力に依存している。それぞれ所定の出力電圧を維持するためには、負荷が低下すれば伝達される電力を低下させる必要があり、また負荷が増大すれば伝達される電力を上昇させる必要がある。伝達される電力は、半導体スイッチング素子が閉成された場合に１次巻線によって収容されるエネルギと、半導体スイッチング素子が開放された場合に２次巻線へ送出されるエネルギとの時間的な平均から得られる。その際に収容エネルギが大きくなるにつれて、半導体スイッチング素子の閉成されている時間も長くなる。

【０００３】
半導体スイッチング素子のスイッチオン時間は制御パルスにより定められ、この制御パルスは制御回路により負荷に依存した制御信号に依存して形成される。制御パルスの可変の持続時間により１次巻線のチャージ期間、すなわち１次巻線がエネルギ収容のために給電電圧に接続されている持続時間が定められる。この場合負荷が小さくなればなるほど伝達すべき電力も小さくなり、通常は制御パルスも短くなる。逆も同様である。

【０００４】
放電期間、すなわち１次巻線がエネルギを２次巻線に送出している持続時間は、チャージ期間中に蓄積されたエネルギおよび制御パルスの持続時間に依存している。半導体スイッチング素子が放電期間中にスイッチオンしてしまうことを回避するために、切換損失の最小化に対して周知の装置では１次巻線信号が設けられており、この信号からどの時点で１次巻線がエネルギのない状態ないし電圧のかからない状態となるかが導出される。またこの１次巻線信号は制御パルスの発生時に考慮される。

【０００５】
周知の装置は通常の場合、スタート信号が直接に上述の１次巻線信号から導出され、選択されるように構成されている。このため制御パルスは放電期間の終了後に次の１次巻線に電圧がかからない時点で開始される。１次巻線に電圧がかかっていない時点のことを以下ではゼロ電圧時点と称する。

【０００６】
放電期間の終了後のスイッチオンにより、小さくなりつつある負荷のもとでは切換周波数が上昇し、この切換周波数は個々の制御パルスの時間間隔によって定められる。小さくなりつつある負荷のもとでは制御パルスの持続時間も短くなり、この持続時間は１次巻線のチャージ期間に等しいので、エネルギ収容量、放電期間および個々の制御パルス間の時間間隔も低減される。切換損失は切換周波数が増大するにつれて著しく増大するので、装置の効率は負荷が小さくなるにつれて大幅に低下する。

【０００７】
本発明の課題は、負荷に直流電圧を供給する装置を提供し、負荷が小さくなる場合に切換周波数が所定の値を上回らず、特に上述の欠点を生じさせないようにすることである。

【０００８】

ここで本発明では、電圧時間変換器ユニットを備えたパルス発生器が設けられており、このパルス発生器の出力端子は制御回路の第２の入力端子に接続されて、パルス状に構成されたスタート信号を制御信号にしたがって送出する。パルス発生器ではこの電圧時間変換器ユニットの入力端子に印加される制御信号の振幅または制御信号に依存して修正された修正制御信号に依存して、パルス幅変調信号が調製され、このパルス幅変調信号によりスタート信号がトリガされる。

【０００９】

制御パルスの持続時間の他、本発明の装置では、制御パルスの時間間隔も負荷に依存した制御信号に依存している。制御パルスのスイッチオン時点および切換周波数は、パルス状に形成されパルス発生器から発生されたスタート信号により定められる。その際にこの信号の周波数は負荷に依存した制御信号により影響される。

【００１０】

パルス発生器の電圧時間変換器ユニットは制御信号に依存して修正された修正制御信号に依存してパルス幅変調信号を発生する。パルス幅変調信号の個々のパルスの持続時間は修正制御信号の振幅に依存しており、この場合修正制御信号は測定装置から送出されパルス発生器の第１の入力端子に印加される制御信号と同一であってもよい。パルス幅変調信号はスタート信号をトリガする。すなわちパルス幅変調信号はスタート信号のパルスおよび制御パルスを発生すべき時点を定め、この時点以降できる限り早くパルスが発生される。汎用性を限定することなく次のように考えることができる。すなわち小さな負荷から大きな制御信号が生じ、その際にパルス幅変調信号のパルスの持続時間は制御信号が大きくなるにつれて長くなる。また逆も可能である。

【００１１】

切換損失を低減するために、半導体スイッチング素子を制御パルスを用いて１次巻線のゼロ電圧時点で閉成することが試みられている。スタート信号のパルスをこの時点でのみ発生させるために、パルス発生器は１次巻線信号からゼロ電圧時点を検出する検出手段を有しており、これにより例えば所定の持続時間の一連のパルスから成るパルス信号が送出される。これらのパルスは有利には検出されたゼロ電圧時点に時間的に一致する。１次巻線信号は１次巻線を介して下降する電圧に依存しており、これはパルス発生器に有利には第２の入力端子を介して供給される。パルス発生器はさらに論理手段を有しており、この論理手段はスタート信号のパルスをパルス幅変調信号の所定のエッジの発生後に検出された所定のゼロ電圧時点で発生する。

【００１２】

論理手段は有利には、スタート信号の個々のパルスをパルス幅変調信号の下降エッジの後の次のゼロ電圧時点で直接に発生する。有利には論理手段はこのためにＡＮＤ素子を有しており、このＡＮＤ素子にパルス幅変調信号と検出手段によって調製されたパルス信号が供給され、スタート信号が発生される。

【００１３】

負荷が大きく制御信号が小さい場合には、パルス発生器は短い持続時間のパルスを有するパルス幅変調信号と、個々のパルス間の時間間隔の短いスタート信号を発生する。スタート信号の個々のパルスはゼロ電圧時点で発生されるので、個々のパルスの最小間隔およびスタート信号の最大周波数は１次巻線の放電期間に依存する。この装置は負荷が大きい場合には周知のこの種の装置と同様にふるまう。

【００１４】

負荷が小さく制御信号が大きい場合には、パルス発生器は長い持続時間のパルスを有するパルス幅変調信号と、相応して個々のパルス間の時間間隔の長いスタート信号を発生し、切換周波数が低減される。通常半導体スイッチング素子の負荷区間に対して並列に接続されたキャパシタンスに起因して、１次巻線が放電期間後に直ちに給電電圧に接続されない場合に、このキャパシタンスと１次巻線との間にいわゆるトランスの自由振動（freie Trafoschwingungen）が発生する。トランス振動中に生じるゼロ電圧時点は検出手段により検出され、論理手段でパルス幅変調信号の所定のエッジの発生後にスタート信号の形成の

ために用いられる。

【００１５】

制御信号が同じ値にとどまり負荷が小さい場合には、半導体スイッチング素子が再び制御パルスの持続時間にわたってスイッチオンされるまで、トランスの自由振動の所定数の周期が許容される。装置は負荷が小さい場合には周波数が低減された動作モードで動作する。

【００１６】

パルス幅変調信号の所定のエッジが所定の制御信号のもとでそれぞれゼロ電圧時点の直前または直後に生じると、制御信号の変動が僅かでもスタート信号の個々のパルス間の時間間隔が変動してしまうことがある。こうした変動は少なくともトランスの自由振動の周期の１／２の範囲にある。なぜなら例えば所定のエッジが存在した後、次のゼロ電圧時点でスイッチオンされるからである。この変動からスタート信号の周波数変動、および切換周波数の周波数変動（ジッタ）が生じ、可聴のノイズ効果にいたる。

【００１７】

このような周波数変動を回避するためにパルス発生器にフィードバック分岐を有する制御回路が設けられており、フィードバック分岐は位相検出器を有している。制御回路は周波数が低減された動作モード中に一定の負荷のもとで制御信号の僅かな変動を較正するので、ほぼ一定のパルス持続時間を有するパルス幅変調信号が発生される。パルス幅変調信号は制御のためにフィードバック分岐の入力側に印加される。ここで位相弁別器から送出され、フィードバック分岐の出力側に印加される出力信号が制御信号に加算されてフィードバックされ、修正制御信号が形成される。パルス幅変調信号のパルスの持続時間は修正制御信号の振幅に依存しており、程度の差はあるにせよ大きな出力信号と制御信号とを加算することによりばらつきがある。制御信号変動の振幅は制御回路を用いて調整することができるが、これはフィードバック分岐の出力信号の最大振幅に依存している。

【００１８】

出力信号の振幅は例えばゼロ電圧時点前または後の所定のエッジのパルス幅変調信号の時間間隔に依存している。したがって位相弁別器には第２の入力端子を介して１次巻線信号が供給される。

【００１９】

周波数が低減された動作モードでは、負荷が比較的大きくスタート信号の２つのパルス間の時間間隔が短いと、トランスの自由振動の種々の数の周期後に発生する２つのゼロ電圧時点の間のスイッチオン時点の“ジャンプ”は負荷が小さくスタート信号の２つのパルス間にかなり長い待機時間がある場合よりも障害的である。したがって位相弁別器には有利には第３の入力端子を介して制御信号が供給される。これにより負荷が大きい場合には、負荷が小さい場合よりも大きな出力信号の最大振幅、およびより大きな制御信号の変動の適合調整が達成される。

【００２０】

本発明の有利な実施形態を以下に図に即して詳細に説明する。

【００２１】

図１には、負荷Ｒに直流電圧を供給する本発明の装置の概略図が示されておおり、この負荷は装置の出力端子ＡＫに接続されている。装置はトランスを有しており、このトランスは１次巻線Ｌ１および２次巻線Ｌ２を備えている。この２次巻線に並列に出力端子を有する整流器装置ＧＬＡが接続されており、この出力端子に直流電圧U_Aが加わっている。図示されている簡単な整流器装置は出力端子に並列に接続されたキャパシタンスＣ１および整流器ダイオードＤ１から成る。

【００２２】

１次巻線Ｌ１は給電電位Ｖの端子に接続されており、また半導体スイッチング素子Ｔの負荷区間Ｄ－Ｓを介して基準電位Ｍの他の端子に接続されている。半導体スイッチング素子はＭＯＳＦＥＴとして構成されている。半導体スイッチング素子Ｔの負荷区間Ｄ－Ｓに対して並列にキャパシタンスＣＤが配置されており、このキャパシタンスは一方では寄生容

量から成り、他方では負荷区間Ｄ－Ｓに対して並列に接続された所望のキャパシタンスから成る。半導体スイッチング素子Ｔの開放および閉成は制御パルスＡＩに依存して行われる。この制御パルスは半導体スイッチング素子Ｔの制御入力側Ｇに印加され、制御回路ＡＳの出力側ＡＳＡで使用可能となる。一般性を制限するものではないが、以下の説明では半導体スイッチング素子Ｔは制御パルスＡＩが制御入力側Ｇに印加される場合に閉成され、また制御パルスＡＩが制御入力側Ｇに印加されない場合に開放されると仮定する。制御回路ＡＳで発生される制御パルスＡＩの持続時間は制御回路ＡＳの第１の入力端子ＡＳＥ１に印加される負荷に依存したアナログ制御信号ＲＳに依存しており、この制御信号は測定回路ＭＡの出力側ＭＡＡから供給される。

【００２３】

制御回路ＡＳは第２の入力端子ＡＳＥ２を有しており、この第２の入力端子はパルス発生器ＩＧの出力端子ＩＧＡに接続されている。パルス発生器ＩＧから送出されたスタート信号ＳＳは制御回路ＡＳの第２の入力端子ＡＳＥ２に印加され、制御回路ＡＳによって個々に発生される制御パルスＡＩが開始される時点、すなわち半導体スイッチング素子Ｔのスイッチオン時点を定める。パルス発生器ＩＧによって形成されたスタート信号ＳＳは有利にはパルス状に構成されており、個々のパルスの持続時間は有利には制御パルスＡＩの最小持続時間よりも短い。スタート信号ＳＳの２つのパルスの時間間隔は、同様にパルス発生器ＩＧの第１の入力端子ＩＧＥ１に印加される負荷に依存したアナログ制御信号ＲＳに依存している。

【００２４】

図２には図１に示された装置の特別な実施例が示されている。その際により良く理解してもらうために制御回路ＡＳおよび測定回路ＭＡが例として詳細に示されている。

【００２５】

図示の測定装置ＭＡはインダクタンスＬを有しており、このインダクタンスは誘導的にトランスの２次巻線Ｌ２に結合されている。インダクタンスＬに並列に、ダイオードＤ２およびキャパシタンスＣ２から成る整流器装置が接続されており、ここでキャパシタンスＣ２において出力電圧U_Aに比例する電圧を取り出すことができる。測定装置ＭＡは図示の実施例ではさらに分圧器Ｒ１、Ｒ２を有しており、この分圧器はキャパシタンスＣ２に印加される電圧を同様に出力電圧U_Aに比例する電圧U'_Aに分割する。その際に電圧U'_Aは演算増幅器ＯＰ１の一方の入力端子に供給される。測定装置ＭＡの出力端子ＭＡＡに印加される制御信号は、演算増幅器ＯＰ１において電圧U'_Aを基準電圧U_{REF}から減算し、続いて差信号$U_{REF}-U'_A$を増幅することにより得られる。出力電圧U_Aの変動により制御信号ＲＳの変動が生じ、出力電圧U_Aが低下する場合に制御信号ＲＳが上昇する。逆も相応する。

【００２６】

図示の測定装置ＭＡにおける制御信号と出力電圧U_Aとの直接の依存関係により、出力電圧U_Aの変動が小さい場合にも制御信号ＲＳの大きな変動を生じさせるために演算増幅器ＯＰ１に大きな増幅度が必要となる。図示の測定装置ＭＡの比例特性により制御信号ＲＳは出力信号U_Aが変化すると迅速に変化するが、演算増幅器ＯＰ１の相応の増幅度があっても出力電圧U_Aが所定の目標値から僅かに偏差する。この種の制御偏差は例えば、それ自体では周知の積分制御回路または比例積分制御回路を測定装置ＭＡとして使用することにより回避される。

【００２７】

図２に例示されている制御回路ＡＳは、比較器Ｋ１、ＲＳフリップフロップＦＦ、切換トランジスタＴＳ、およびキャパシタンスＣ３を有しており、切換トランジスタはインバータＩＮおよび抵抗Ｒ４を介してフリップフロップＦＦの出力側に接続された制御入力側を有しており、キャパシタンスは一方の端子が基準電位Ｍに接続され、他方の端子が抵抗Ｒ３を介して給電電位Ｖに接続されている。ＲＳフリップフロップＦＦのリセット入力側ＲＥは比較器Ｋ１の出力側に接続されており、セット入力側ＳＥは第２の入力端子ＡＳＥ２に接続されている。フリップフロップＦＦの出力側Ｑは制御回路ＡＳの出力端子ＡＳＡに

接続されている。例として示された制御回路ＡＳの機能は次のようになっている。

【００２８】

スタート信号ＳＳのパルスの開始によりフリップフロップＦＦがセットされ、制御パルスＡＩの開始が定められる。切換トランジスタＴＳは阻止され、キャパシタンスＣ３は抵抗Ｒ３を介してこのキャパシタンスＣ３で取り出し可能な基準信号ＢＳが制御信号ＲＳの値に達するまでチャージされる。フリップフロップＦＦはこれに応じて比較器Ｋ１の出力側に印加される信号によりリセットされ、制御パルスＡＩは終了する。制御パルスＡＩの持続時間は制御信号ＲＳの振幅に依存している。制御信号ＲＳが大きくなるにつれて、キャパシタンスＣ３がフリップフロップＦＦのセット後に制御信号ＲＳの値までチャージされる期間も長くなる。逆も同様である。

【００２９】

出力電圧U_Aは図示の装置では所定の負荷Ｒのもとで１次巻線Ｌ１から２次巻線Ｌ２に伝達される電力に依存している。１次巻線Ｌ１によって収容される電力は制御パルスＡＩの持続時間と制御パルスＡＩが発生される切換周波数とに依存している。１次巻線Ｌ１は制御パルスＡＩの持続時間中、閉成している半導体スイッチング素子Ｔにおいて給電電圧Ｖを上回るエネルギを有しており、このエネルギを制御パルスＡＩが終了して半導体スイッチＴが開放された後に２次巻線Ｌ２へ送出する。制御パルスＡＩの持続時間はこの場合１次巻線Ｌ１がエネルギを収容するチャージ期間に相応する。１次巻線Ｌ１がエネルギを２次巻線に送出する放電期間は特に、チャージ期間中に１次巻線Ｌ１に蓄積されたエネルギに依存する。

【００３０】

切換損失を低減してこれによりトランス飽和のおそれを回避するために、放電期間中に新たな制御パルスＡＩが発生され、１次巻線Ｌ１がさらにチャージされる。１次巻線Ｌ１の放電状態に関する情報は例えば１次巻線信号ＵＤから取り出される。この１次巻線信号は半導体スイッチング素子Ｔの負荷区間Ｄ－Ｓに並列に取り出される。

【００３１】

図８にはスタート信号ＳＳおよび制御パルスＡＩに依存する１次巻線信号ＵＤの典型的な特性が示されている。スタート信号ＳＳのパルスが制御回路ＡＳの第２の入力端子ＡＳＥ２に存在する場合、負荷に依存した制御信号ＲＳに依存する持続時間を有する制御パルスＡＩが発生される。制御パルスＡＩが半導体スイッチング素子Ｔの制御入力側に印加される場合、１次巻線信号ＵＤは基準電位Ｍに相応している。以下では一般性を制限するのではないが基準電位Ｍをグラウンドと見なす。制御パルスＡＩの終了後、１次巻線信号ＵＤは給電電圧Ｖと１次巻線Ｌ１で誘導された電圧との和から得られる値へ跳躍的に変化する。１次巻線信号ＵＤはエネルギが２次巻線Ｌ２へ送出される間ほぼこのレベルにとどまる。放電期間の終了は１次巻線信号ＵＤが給電電圧Ｖの値へ下降することにより表され、この時点で１次巻線Ｌ１には電圧は印加されていない。

【００３２】

半導体スイッチング素子Ｔが放電期間の終了後直ちに再スイッチオンされない場合、いわゆるトランスの自由振動が図８に示されているように発生し、その周期の持続時間は１次巻線Ｌ１のインダクタンスとキャパシタンスＣＤとに依存する。

【００３３】

周知の装置では半導体スイッチング素子Ｔは放電期間の終了後直ちにスイッチオンされるが、本発明の装置では制御信号ＲＳに依存して、スタート信号ＳＳによって励起されて新たな制御パルスＡＩが発生されるまでトランスの自由振動が許容される。有利には半導体スイッチング素子Ｔのスイッチオンは、１次巻線に電圧が加わっていない時点、またはこの時点の直後に行われ、以下ではこの時点をゼロ電圧時点と称する。有利にはスイッチオンは、１次巻線信号ＵＤの下降エッジで生じるゼロ電圧時点で行われる。ゼロ電圧時点に関する情報は図２に示されている１次巻線信号ＵＤの他に、例えば直接に１次巻線Ｌ１での電圧取り出しによって発生される信号、測定装置ＭＡのインダクタンスＬでの電圧取り出しによって発生される信号、または２次巻線Ｌ２での電圧取り出しによって発生される

信号から取り出すことができる。

【００３４】

１次巻線Ｌ１のゼロ電圧時点に関する情報は、図示の実施例では重みづけされた１次巻線信号ＵＤＫとして、パルス発生器ＩＧに第２の入力端子ＩＧＥ２を介して供給される。図８では例としてここで図示された１次巻線信号ＵＤに対して重みづけされた１次巻線信号ＵＤＫが示されている。重みづけされた１次巻線信号ＵＤＫは２つのレベルのみを有しており、図示の重みづけされた１次巻線信号ＵＤＫはそれぞれのゼロ電圧時点で下方レベルから上方レベルへ変化する１次巻線信号ＵＤの上昇エッジと、それぞれのゼロ電圧時点で上方レベルから下方レベルへ変化する１次巻線信号ＵＤの下降エッジとを有する。この種の重みづけされた１次巻線信号ＵＤＫは、例えば図２に示された重みづけユニットＢＥにより発生される。重みづけユニットは主として比較器Ｋ２を有しており、この比較器は１次巻線信号ＵＤと給電電圧Ｖのレベルとを比較する。

【００３５】

図２に示されたパルス発生器ＩＧには第３の入力端子ＩＧＥ３を介してさらに制御パルスＡＩが供給され、ここで制御パルスＡＩはパルス発生器ＩＧにスタート信号ＳＳのパルスを発生させるようにトリガするために用いられる。

【００３６】

図３、図４にはパルス発生器ＩＧの可能な実施例がブロック回路図で示されている。図４に示されたパルス発生器は図３に示されたパルス発生器のユニット全体を有しており、その詳細は主として図５に示されている。パルス発生器ＩＧは電圧時間変換器ユニットＳＺＷを有しており、このユニットの入力端子には修正制御信号ＭＲＳが供給され、この修正制御信号ＭＲＳは図３に示されているようにパルス発生器ＩＧの第１の入力端子ＩＧＥ１に供給される制御信号ＲＳであってもよいし、また加算器ユニット１４において制御信号ＲＳとフィードバック分岐の出力側に印加される出力信号ＵＰＤとから形成されたものであってもよい。

【００３７】

電圧時間変換器ユニットＳＺＷの出力端子にパルス幅変調信号Ｆ２が供給され、このパルス幅変調信号Ｆ２の個々のパルスの持続時間は修正制御信号ＭＲＳの振幅に依存する。電圧時間変換器ユニットＳＺＷの第２の入力側はパルス発生器ＩＧの第３の入力端子ＩＧＥ３に接続されており、ここにパルス幅変調信号Ｆ２の個々のパルスの開始を定めるトリガ信号が印加される。トリガ信号は有利には制御パルスＡＩから成っており、パルス幅変調信号Ｆ２の個々のパルスは有利には制御パルスＡＩの下降エッジで開始される。

【００３８】

パルス発生器ＩＧはさらに検出手段ＤＭを有しており、この検出手段の入力端子はパルス発生器ＩＧの第２の入力端子ＩＧＥ２に接続されており、ここに重みづけされた１次巻線信号ＵＤＫが供給される。検出手段ＤＭの出力端子でパルス信号ＮＤＧが使用可能となる。パルス信号ＮＤＧの有利には同じ長さの個々のパルスは、重みづけされた１次巻線信号ＵＤＫの上昇エッジまたは下降エッジ、ひいては１次巻線Ｌ１のゼロ電圧時点を特徴づけている。検出手段ＤＭは有利には、パルス信号ＮＤＧが発生され、重みづけされた１次巻線信号ＵＤＫの下降エッジのみがパルスによって特徴づけられるように構成されている。パルス幅変調信号Ｆ２およびパルス信号ＮＤＧは論理手段ＬＭに供給される。この論理手段は出力側を有しており、この出力側はパルス発生器ＩＧの出力側ＩＧＡに接続され、この出力側でスタート信号ＳＳが使用可能となる。

【００３９】

論理手段ＬＭはパルス幅変調信号Ｆ２の所定のエッジが発生した後ごとに有利にはパルス信号ＮＤＧの次のパルスでスタート信号ＳＳのパルスを発生する。パルス幅変調信号Ｆ２はスタート信号ＳＳのパルスを発生することのできる最も早い時点を定め、一方パルス信号ＮＤＧは実際の時点を定める。

【００４０】

図５には電圧時間変換器ユニットＳＺＷの実施例が示されている。このユニットは主とし

て比較器１３と信号発生器ＳＧとから成っており、比較器の出力側でパルス幅変調信号Ｆ２が使用可能となる。信号発生器ＳＧは基準信号ＵＷを送出し、この基準信号は比較器１３のプラス入力側へ供給され、比較器１３のマイナス入力側には修正制御信号ＭＲＳが印加される。この信号発生器ＳＧは第１のトランジスタ４を有しており、このトランジスタの負荷区間は第２の給電電位ＵＳとキャパシタンス３の一方の電極との間に接続されており、キャパシタンス３の他方の電極は基準電位Ｍに置かれている。トランジスタ４の制御入力側には抵抗１を介してトリガ信号が印加され、このトリガ信号は図示の実施例では制御パルスＡＩから成る。キャパシタンス３の第１の端子は信号発生器ＳＧの出力端子ＳＧＡに接続されている。信号発生器ＳＧはさらに第２のトランジスタ７を有しており、このトランジスタの負荷区間は基準電位Ｍと電流源６の第１の端子の間に接続されている。電流源６の第２の端子は出力端子ＳＧＡに接続されている。第２のトランジスタ７の制御電極にはインバータ２および抵抗５を介してトリガ信号が印加される。図示の電圧時間変換器ユニットの機能は次のようになっている。

【００４１】

制御パルスＡＩの持続時間中、第１のトランジスタ４は導通され、第２のトランジスタ７は阻止される。キャパシタンス３は制御パルスＡＩの持続時間中に第２の給電電圧ＵＳの値までチャージされる。制御パルスＡＩの終了後、第１のトランジスタ４は阻止され、第２のトランジスタ７は導通され、キャパシタンス３は電流源６および第２のトランジスタ７を介して放電される。比較器１３の出力側は、基準信号ＵＷが修正制御信号ＭＲＳを上回る場合に上方の信号レベルまで上昇し、修正制御信号ＭＲＳが基準信号ＵＷを上回る場合に下方の信号レベルまで下降する。

【００４２】

図９には、修正制御信号ＭＲＳの振幅と基準信号ＵＷとに依存するパルス幅変調信号Ｆ２のパルスの時間特性が示されている。基準信号ＵＷの振幅が制御パルスＡＩの発生後きわめて迅速に上昇すると仮定すると、図示のパルス幅変調信号Ｆ２の持続時間ｔＦ２は修正制御信号ＭＲＳの振幅に比例する。パルスの持続時間ｔＦ２およびスタート信号ＳＳの２つのパルスの間の待機時間は、修正制御信号ＭＲＳが小さくなればなるほど大きくなる。逆も相応する。パルス幅変調信号Ｆ２のパルスの持続時間と修正制御信号ＭＲＳとの依存関係は概略的に図１１に示されている。ここでは修正制御信号ＭＲＳが下方へ向かっては最小信号MRS_{min}まで、上方へ向かっては最大信号MRS_{max}までに制限されており、パルスの最小持続時間$tF2_{min}$および最大時族時間$tF2_{max}$が得られることとする。

【００４３】

図５に示された論理手段ＬＭはＡＮＤ素子２２とインバータ２３とを有しており、このインバータはＡＮＤ素子２２の入力側に前置接続されている。反転されたパルス幅変調信号Ｆ２と検出手段ＤＭから送出されたパルス信号ＮＤＧとのＡＮＤ結合により、論理手段ＬＭ内でスタート信号ＳＳのパルスが発生される。スタート信号のパルスは図示の論理手段ＬＭでは、パルス幅変調信号Ｆ２のパルスが終了した後にパルス信号ＮＤＧのパルスが論理手段ＬＭの入力側に印加される際に発生される。このためパルス幅変調信号Ｆ２によりスタート信号ＳＳの２つのパルス間の最小の待機時間が定められ、一方スタート信号のパルスの実際のスイッチオン時点はパルス信号ＮＤＧに依存する。

【００４４】

負荷が同じ値にとどまり制御信号ＲＳの変動が小さい場合に、制御信号ＲＳの変動がパルス幅変調信号Ｆ２のパルス持続時間ｔＦ２の変動、ひいてはスタート信号ＳＳの個々のパルス間の望ましくない変動、および切換周波数の変動を生じさせることを回避するために、図４、図５に示されたパルス発生器ＩＧには位相弁別器ＰＤを有するフィードバック分岐路が設けられている。位相弁別器ＰＤはパルス幅変調信号Ｆ２が印加される第１の入力端子ＰＤＥ１と、出力信号ＵＰＤが印加される出力端子ＰＤＡとを有している。ここで出力信号ＵＰＤは加算器ユニット１４により制御信号ＲＳに加算される。出力信号ＵＰＤは制御信号ＲＳの変動を較正し、制御信号ＲＳの変動に対して所定の範囲内で一定の修正制

御信号ＭＲＳ、およびこの制御信号領域に対してパルス幅変調信号Ｆ２のパルスの一定の持続時間を発生させる。スタート信号ＳＳがつねに１次巻線信号ＵＤの下降エッジで、またはこの下降エッジの直後に発生される場合、出力信号ＵＤＰは有利には位相弁別器ＰＤで形成され、これにより制御された状態で修正制御信号ＭＲＳが発生される。パルス幅変調信号Ｆ２の個々のパルスは１次巻線信号ＵＤの上昇エッジで終了する。

【００４５】

出力信号ＵＤＰを形成するために位相弁別器ＰＤには第２の入力端子ＰＤＥ２を介して重みづけされた１次巻線信号ＵＤＫが供給される。出力信号ＵＤＰの振幅は図５に示された位相弁別器ＰＤでは重みづけされた１次巻線信号ＵＤＫの上昇エッジとパルス幅変調信号Ｆ２の下降エッジとの時間間隔に依存する。

【００４６】

図示の位相弁別器ＰＤは遅延素子１６、微分装置１４、インバータ１５、２つのＡＮＤ素子１７、１８、調整素子１９、調整素子に後置接続された電圧制限回路２０、および出力端子ＰＤＡと基準電位Ｍとの間に接続されたキャパシタンス２１とを有する。

【００４７】

図示の位相弁別器ＰＤの機能は図１０から見て取れる。ここでは図５に示された信号が時間に関して示されている。調整素子１９の一方の入力側に印加される信号ＵＰは、微分装置１４から送出された微分信号Ｆ２Ｄと、重みづけされた１次巻線信号ＵＤＫを遅延素子１６で遅延して得られた信号ＵＤＫＶとのＡＮＤ結合により生じる。微分装置１４の入力側にはパルス幅変調信号Ｆ２が印加され、微分信号Ｆ２Ｄのパルスは図示の実施例ではそれぞれパルス幅変調信号Ｆ２の下降エッジを表している。個々のパルスの幅はこの場合有利にはトランスの自由振動の周期持続時間よりも小さく選択されている。調整素子１９の第２の入力側に印加される信号ＤＯＷＮは、微分信号Ｆ２Ｄと、重みづけされたＵＤＫを遅延素子１６で遅延しさらに反転して得られた信号とのＡＮＤ結合により生じる。図１０からわかるように、信号ＵＰおよび信号ＤＯＷＮの個々のパルスの持続時間はパルス幅変調信号Ｆ２の下降エッジと重みづけされた１次巻線信号ＵＤＫの上昇エッジとの時間的な位置に依存する。これらの２つのエッジが時間的に一致する場合、信号ＵＰおよび信号ＤＯＷＮのパルスは同じ長さである。

【００４８】

重みづけされた１次巻線信号ＵＤＫを遅延素子１６において遅延する際の遅延の度合は有利には微分信号Ｆ２Ｄのパルスの持続時間の１／２である。

【００４９】

重みづけされた１次巻線信号ＵＤＫの上昇エッジおよびパルス幅変調信号Ｆ２の下降エッジの時間的な位置が変化する場合、信号ＵＰおよび信号ＤＯＷＮの個々のパルスの持続時間の比も変化する。積分制御特性を有する調整素子１９を介して、位相弁別器ＰＤのキャパシタンス２１で取り出される制御信号ＵＰＤが変更される。信号ＵＰのパルスの持続時間が例えば信号ＤＯＷＮのパルスの持続時間を上回る場合、キャパシタンス２１はチャージされ、出力信号ＵＰＤも上昇する。出力信号ＵＰＤは修正制御信号ＭＲＳが生じるまで変化し、この時点でパルス幅変調信号Ｆ２の下降エッジが再び重みづけされた１次巻線信号ＵＤＫの上昇エッジと一致する。

【００５０】

上述の調整素子１９とこれに後置接続される電圧制限回路２０の実施例は図７に示されている。参照番号１９１、１９２、１９３、１９４、２０３、２０４は図７では抵抗を表しており、参照番号１９５、１９６、２０１、２０２はトランジスタを表しており、参照番号２０５、２０６はツェナーダイオードを表しており、参照記号V_{cc}は第３の給電電圧を表している。

【００５１】

電圧制限回路２０の機能は図５に示された電圧制限回路１１の機能に相応しており、この回路はパルス発生器ＩＧの第１の入力端子ＩＧＥ１に後置接続されており、これにより制御信号ＲＳが制限される。

【００５２】
図５に示された位相弁別器ＰＤは図４に示されていない第３の入力端子ＰＤＥ３を有しており、この端子に制御信号ＲＳが印加される。制御信号ＲＳは電圧制限回路２０を介して出力信号ＵＰＤの上方限界値および下方限界値に作用する。ここで制御信号ＲＳが供給される電圧制限回路２０の入力側は図７には示されていない。制御信号ＲＳの変動のレベルは位相弁別器ＰＤの出力信号ＵＰＤにより較正することができ、出力信号ＵＰＤの振幅に依存している。制御信号ＲＳの変動が出力信号ＵＰＤによって較正できない場合、スタート信号ＳＳのパルスがトランスの自由振動の異なる数の周期後に発生されることにより、周波数の低減された動作中に切換周波数の変動が発生する。この変動は高い切換周波数および大きな制御信号ＲＳのもとでは、低い切換周波数および小さな制御信号ＲＳの場合よりも強く作用する。大きな制御信号における比較的大きな変動領域の制御は出力信号ＵＰＤの最大振幅を制御信号ＲＳを介して電圧制限回路２０で変化させることによって達成できる。
【００５３】
図１２には、位相弁別器ＰＤを有する制御回路をパルス発生器内で使用する際の修正制御信号ＭＲＳと制御信号ＲＳとの依存関係が示されている。修正制御信号ＭＲＳはこの場合制御信号ＲＳの予め設定されたインターバルにわたって一定であり、修正制御信号ＭＲＳが一定であるこのインターバルの長さは制御信号ＲＳが増大するにつれて増大する。矢印は上昇する制御信号ＲＳまたは下降する制御信号ＲＳにおいて修正制御信号ＭＲＳがどちらの方向に変化するかを示している。
【００５４】
図６には特にスペースを節約して簡単に実現できる、位相弁別器ＰＤを有するフィードバック分岐路の回路装置が示されている。図５に示された加算器ユニット１２の機能は図６に示された機能ユニットではトランジスタ４７によって引き継がれ、このトランジスタのエミッタ電極は抵抗４６を介して基準電位Ｍに接続され、またこのトランジスタは別の抵抗４５を介して制御信号ＲＳが印加される第１の入力端子ＩＧＥ１に接続されている。トランジスタ４７のコレクタ電極では修正制御信号ＭＲＳが取り出される。図６に示された位相弁別器ＰＤはキャパシタンス２１’を有しており、このキャパシタンスの機能は図５に示されたキャパシタンス２１の機能に相応する。キャパシタンス２１’に印加される出力電圧ＵＰＤはトランジスタ４７の制御電極に印加される。
【００５５】
図示の位相弁別器ＰＤはさらに第１の電流源Ｊ１および第２の電流源Ｊ２と、制限トランジスタ４１とを有している。制限トランジスタ４１の負荷区間はキャパシタンス２１’に並列接続されており、制限トランジスタ４１の制御電極に印加される制限信号ＵＬｉｍにより、キャパシタンス２１’を介して印加される最大の出力電圧を調整することができる。制限信号ＵＬｉｍは実施例に応じて一定の信号として位相弁別器ＰＤによって発生されるか、または制御信号ＲＳに依存して発生される。制限トランジスタ４１の機能は図５に示される電圧制限回路２０の機能に相応する。キャパシタンス２１’は並列接続された第２の電流源Ｊ２を介して時間平均により一定に放電される。この第２の電流源は第１の制御信号ＫＵＺにより周期的にスイッチオンされる。第１の電流源Ｊ１を介してキャパシタンス２１’は時間平均により一定にチャージされ、この第１の電流源は第２の制御信号Ｆ３によりスイッチオンされる。第１の制御信号ＫＵＺと第２の制御信号Ｆ３との比に依存して出力電圧ＵＰＤは上昇または下降するか、または一定にとどまる。第２の制御信号Ｆ３は有利にはパルス幅変調信号Ｆ２と制御パルスＡＩとに依存して発生される。第２の制御信号Ｆ３のパルスの持続時間は有利にはパルス幅変調信号Ｆ２のパルスの終了と次の制御パルスＡＩの開始の間の時間に相応する。
【００５６】
さらに図１３には、負荷に送出される電力P_{out}に依存する切換周波数の特性が示されている。第１の曲線ＦＫ１は従来使用されているスイッチング電源回路部の周波数特性を示しており、ここでは切換周波数は電力P_{out}の低減ないし負荷の低下につれて上昇す

る。第２の曲線ＦＫ２は本発明のスイッチング電源回路部の周波数特性を示しており、ここでは切換周波数は負荷の低下に対して固定の値に向かう。この図はパルス発生器内の位相弁別器が使用されない場合に基づいている。

【図面の簡単な説明】

【図１】直流電圧を供給する本発明の装置の概略図である。

【図２】測定装置および制御回路の例示的な図を有する本発明の概略図である。

【図３】位相弁別器の実施例の概略図である。

【図４】フィードバック分岐路を有する位相弁別器の実施例の概略図である。

【図５】別のフィードバック分岐路を有する位相弁別器の実施例の概略図である。

【図６】位相弁別器の別の実施例が示されている。

【図７】電圧制限回路を有する制御素子の実施例が示されている。

【図８】選択された図示の信号の信号特性が示されている。

【図９】選択された図示の信号の信号特性が示されている。

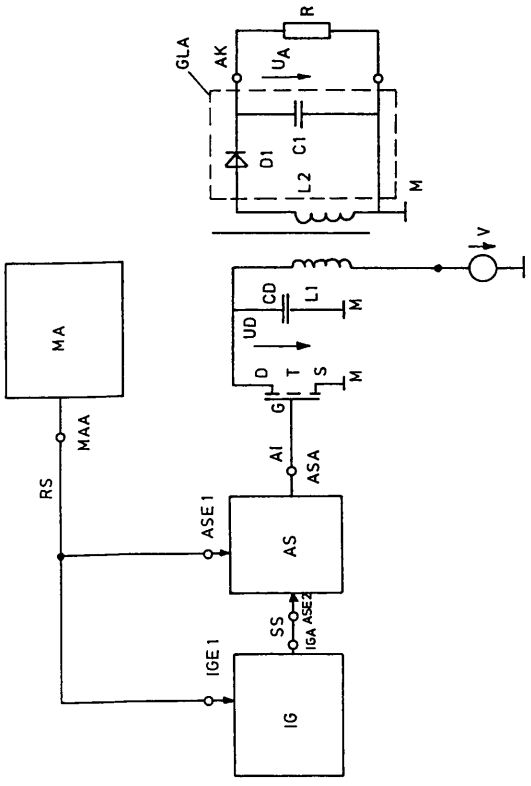
【図１０】選択された図示の信号の信号特性が示されている。

【図１１】選択された図示の信号の信号特性が示されている。

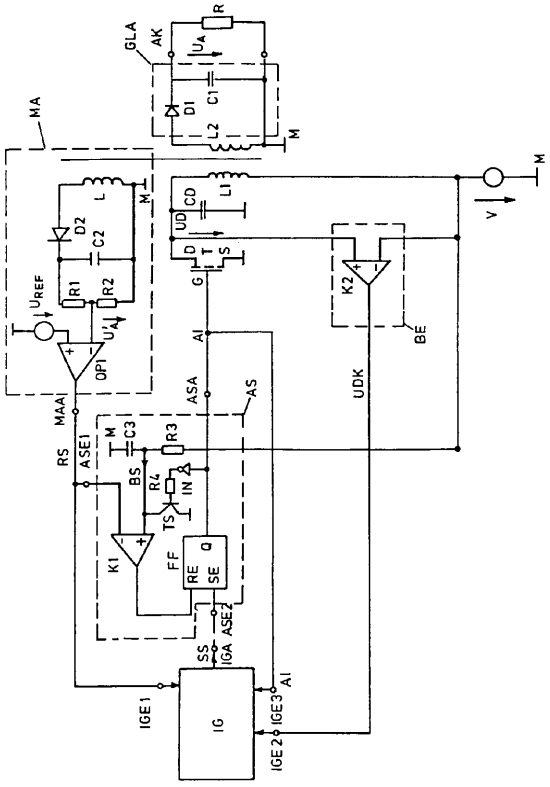
【図１２】選択された図示の信号の信号特性が示されている。

【図１３】切換周波数の負荷に依存する特性が示されている。

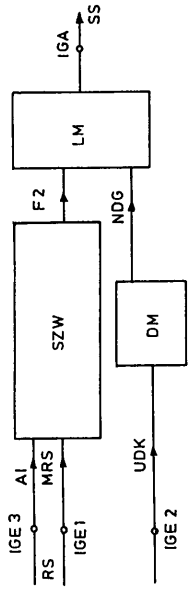
【図１】



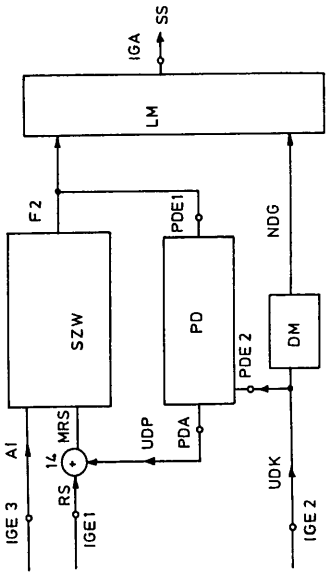
【図２】



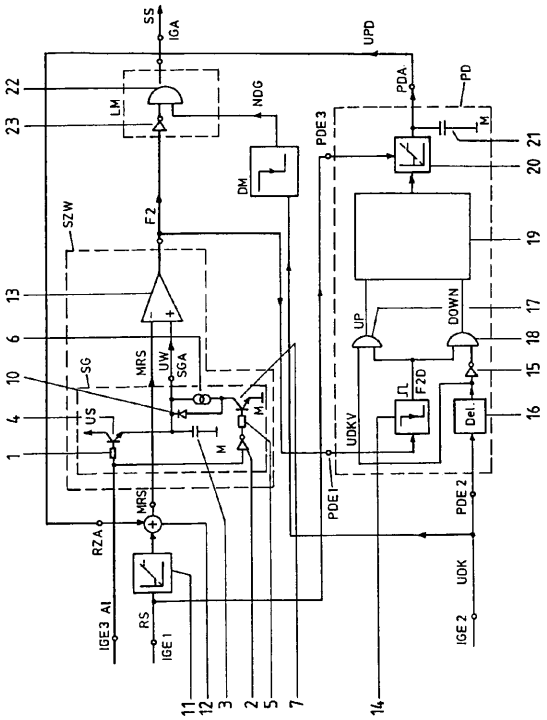
【図３】


IGA
SS
LM
F2
NDG
SZW
DM
AI
MRS
UDK
IGE 3
RS
IGE 1
IGE 2

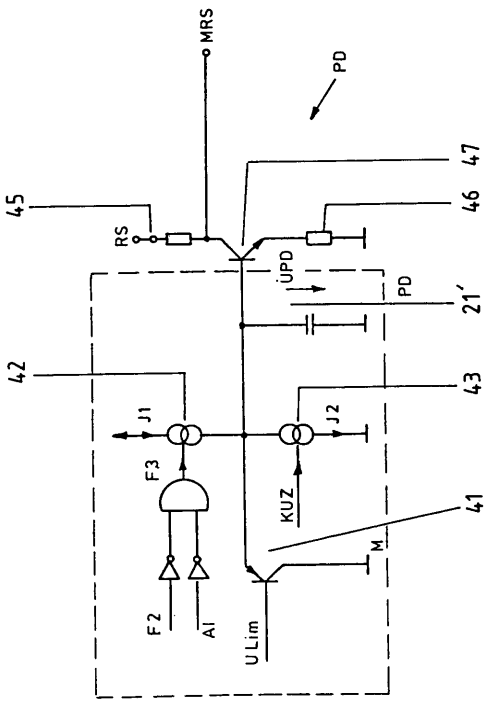
【図４】


IGA
SS
LM
F2
PDE1
NDG
SZW
PD
DM
PDE 2
AI
MRS
14
UDP
PDA
UDK
IGE 3
RS
IGE1
IGE 2

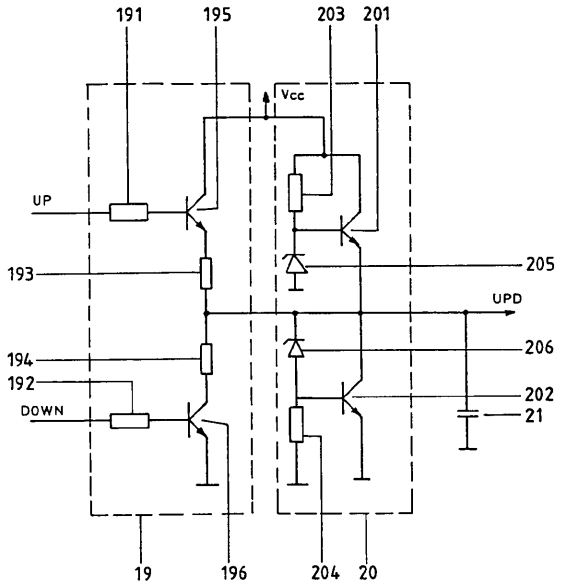
【図５】


SS
IGA
UPD
22
23
LM
NDG
PDA
PD
PDE3
DM
SZW
F2
13
6
10
4
1
SG
MRS
UW
SGA
US
M
UP
DOWN
F2D
Del
UDKV
PDE1
PDE 2
RZA
MRS
UDK
IGE3 AI
RS
IGE 1
IGE 2
11
12
3
2
5
7
14
19
20 21
17
18
15
16

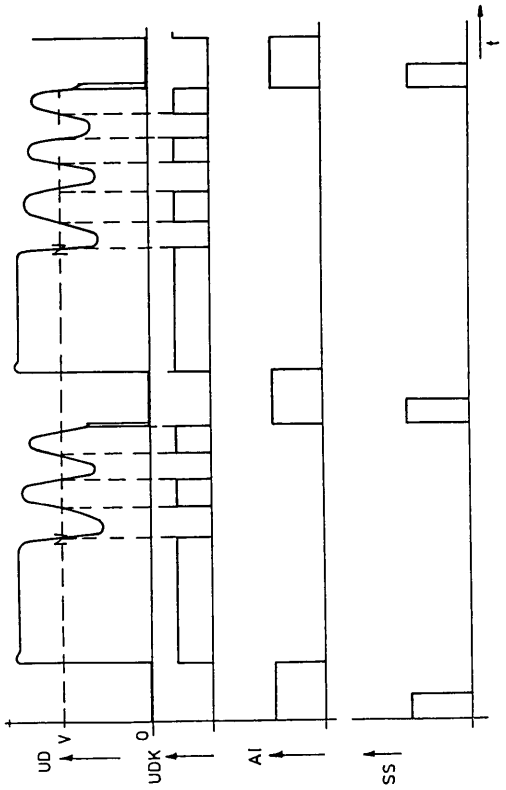
【図６】


MRS
PD
45
47
46
RS
ÜPD
PD
21'
42
43
J1
J2
F3
KUZ
41
M
F2
AI
U Lim

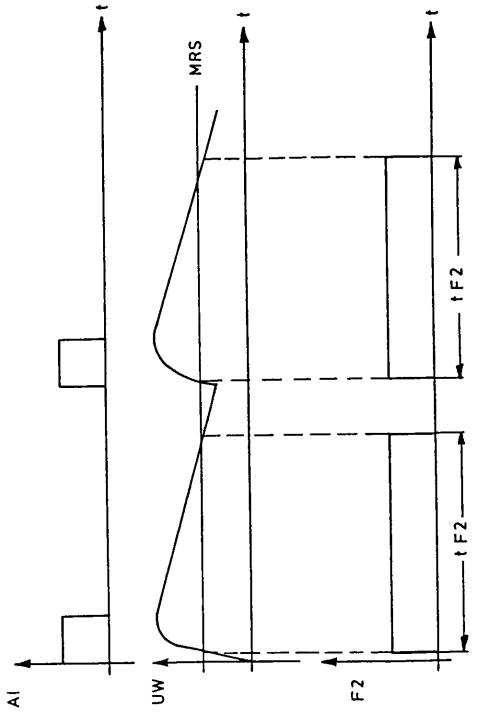
【図７】


191
195
203
201
Vcc
UP
193
205
UPD
194
206
192
202
DOWN
21
19
196
204
20

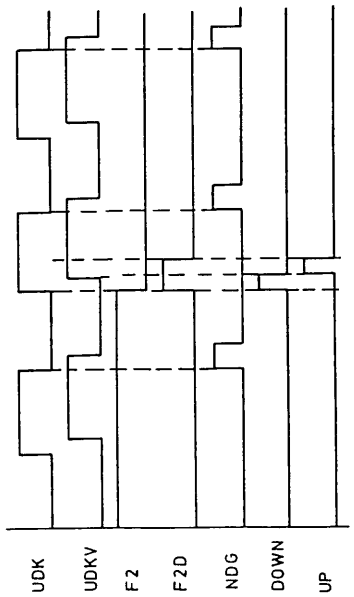
【図８】


t
UD
V
0
UDK
AI
SS

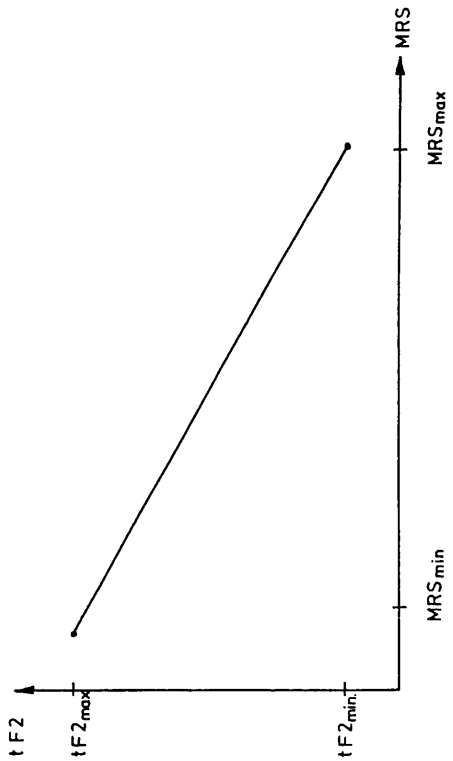
【図９】


t
MRS
t
t
t F2
t F2
AI
UW
F2

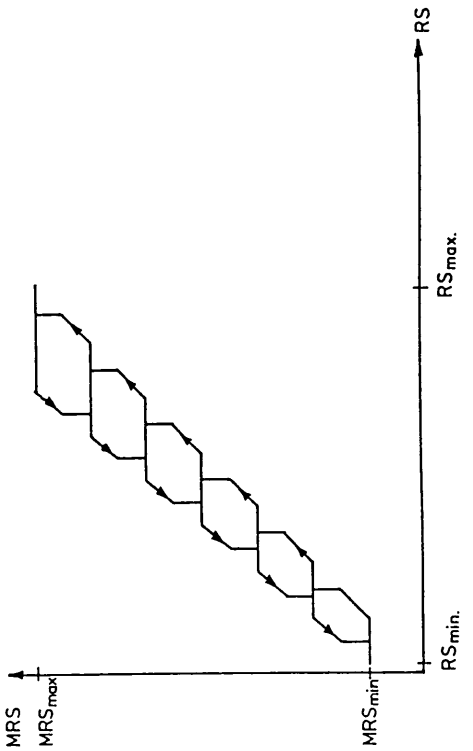
【図１０】


UDK
UDKV
F2
F2D
NDG
DOWN
UP

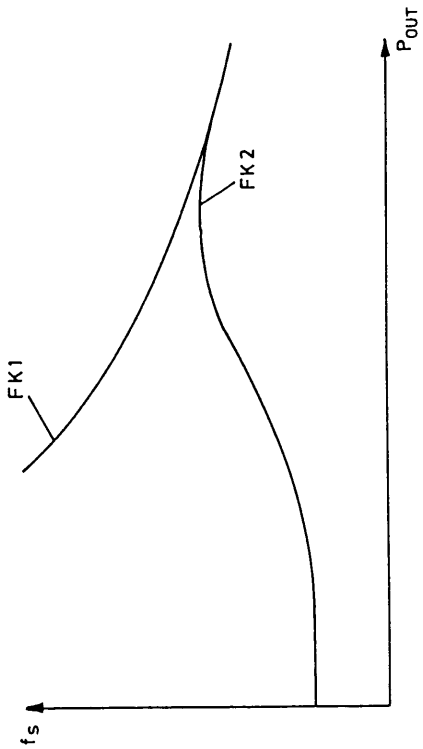
【図１１】


MRS
MRSmax
MRSmin
tF2
tF2max
tF2min

【図１２】


RS
RSmax.
RSmin.
MRS
MRSmax
MRSmin

【図１３】


POUT
FK2
FK1
fs

フロントページの続き

(74)代理人　100114890
弁理士　アインゼル・フェリックス＝ラインハルト
(74)代理人　230100044
弁護士　ラインハルト・アインゼル
(72)発明者　ペーター　プレラー
ドイツ連邦共和国　ミュンヘン　ハインリッヒーシュッツーヴェーク　５

審査官　川端　修

(56)参考文献　特開平０９－０９３８０６（ＪＰ，Ａ）
特開平０９－１１７１３５（ＪＰ，Ａ）
特開平０９－１４０１２８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
H02M　3/28