



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년04월04일

(11) 등록번호 10-1608953

(24) 등록일자 2016년03월29일

(51) 국제특허분류(Int. Cl.)

H01L 31/04 (2014.01)

(21) 출원번호 10-2010-7012348

(22) 출원일자(국제) 2008년10월28일

심사청구일자 2013년10월18일

(85) 번역출제출일자 2010년06월04일

(65) 공개번호 10-2010-0088151

(43) 공개일자 2010년08월06일

(86) 국제출원번호 PCT/JP2008/069992

(87) 국제공개번호 WO 2009/060808

국제공개일자 2009년05월14일

(30) 우선권주장

JP-P-2007-292650 2007년11월09일 일본(JP)

(56) 선행기술조사문헌

JP10335683 A*

JP07106617 A*

JP10093122 A*

JP2000150940 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

야마자키 순페이

일본국 2430036 가나가와켄 아쓰기시 하세 398 가

부시키가이샤 한도오파이 에네루기 켄큐쇼 내

아라이 야스유키

일본국 2430036 가나가와켄 아쓰기시 하세 398 가

부시키가이샤 한도오파이 에네루기 켄큐쇼 내

(74) 대리인

황의만

전체 청구항 수 : 총 16 항

심사관 : 방기인

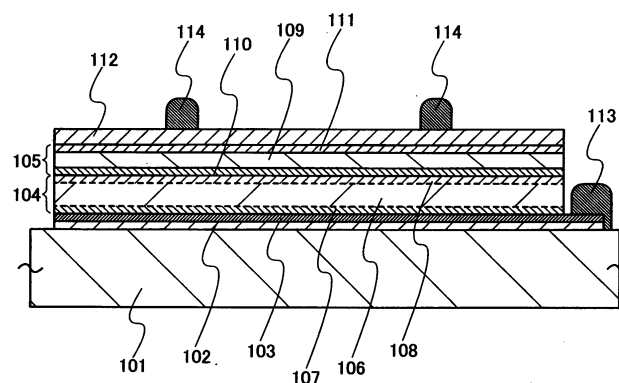
(54) 발명의 명칭 광전 변환 장치 및 그 제조 방법

(57) 요약

한정된 자재를 유효하게 이용하여, 수요를 충족시키는 양의 광전 변환 장치를 생산하는 것이 곤란했다. 따라서, 실리콘 반도체 재료를 유효하게 이용하여 광전 변환 특성이 우수한 광전 변환 장치를 제공하는 것을 목적으로 한다.

(뒷면에 계속)

대표도 - 도2



단결정 반도체층의 한쪽 면에 제 1 전극과 일도전형의 제 1 불순물 반도체층이 형성되고, 다른 한쪽 면에 일도전형과는 반대의 도전형의 제 2 불순물 반도체층이 형성된 제 1 유닛 셀과, 비단결정 반도체층의 한쪽 면에 일도전형의 제 3 불순물 반도체층이 형성되고, 다른 한쪽 면에 일도전형과는 반대의 도전형의 제 4 불순물 반도체층과 제 2 전극이 형성된 제 2 유닛 셀을 가지고, 제 1 유닛 셀과 제 2 유닛 셀은 제 2 불순물 반도체층과 제 3 불순물 반도체층이 접함으로써 직렬 접속되고, 제 1 전극의 단결정 반도체층과는 반대측의 면에 절연층이 형성되고, 절연층이 지지 기판과 접합하는 광전 변환 장치이다.

명세서

청구범위

청구항 1

단결정 반도체 기판의 한쪽 면에 제 1 불순물 반도체층을 형성하고,
 상기 제 1 불순물 반도체층 위에 제 1 전극을 형성하고,
 이온 도핑 장치를 이용하여 상기 제 1 전극과 상기 제 1 불순물 반도체층을 통과하도록 상기 한쪽 면으로부터 상기 단결정 반도체 기판에 대하여 클러스터 이온을 주입하여 손상층을 형성하고,
 상기 제 1 전극 위에 절연층을 형성하고,
 상기 절연층을 지지 기판에 접합하고,
 상기 단결정 반도체 기판을 상기 손상층에서 벽개하여 단결정 반도체층을 상기 지지 기판 위에 남기고,
 상기 단결정 반도체층의 벽개면측에 제 2 불순물 반도체층을 형성하고,
 상기 제 2 불순물 반도체층 위에 제 3 불순물 반도체층을 형성하고,
 상기 제 3 불순물 반도체층 위에 비단결정 반도체층을 형성하고,
 상기 비단결정 반도체층 위에 제 4 불순물 반도체층을 형성하고,
 상기 제 4 불순물 반도체층 위에 제 2 전극을 형성하는 광전 변환 장치의 제작 방법에 있어서,
 상기 이온 도핑 장치는 질량 분리없이 상기 단결정 반도체 기판에 상기 클러스터 이온을 주입하고,
 상기 클러스터 이온은 H^+ , H_2^+ , 및 H_3^+ 를 포함하고,
 H^+ , H_2^+ , 및 H_3^+ 의 총량에 대한 H_3^+ 의 비율은 70% 이상인, 광전 변환 장치의 제작 방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

단결정 반도체 기판의 한쪽 면에 제 1 불순물 반도체층을 형성하고,
 이온 도핑 장치를 이용하여 상기 한쪽 면으로부터 상기 단결정 반도체 기판에 클러스터 이온을 주입하여 손상층을 형성하고,

상기 제 1 불순물 반도체층 위에 제 1 전극을 형성하고,
 상기 제 1 전극 위에 절연층을 형성하고,
 상기 절연층을 지지 기판에 접합하고,
 상기 단결정 반도체 기판을 상기 손상층에서 벽개하여 단결정 반도체층을 상기 지지 기판 위에 남기고,
 상기 단결정 반도체층의 벽개면측에 제 2 불순물 반도체층을 형성하고,
 상기 제 2 불순물 반도체층 위에 제 3 불순물 반도체층을 형성하고,
 상기 제 3 불순물 반도체층 위에 비단결정 반도체층을 형성하고,
 상기 비단결정 반도체층 위에 제 4 불순물 반도체층을 형성하고,
 상기 제 4 불순물 반도체층 위에 제 2 전극을 형성하는 광전 변환 장치의 제작 방법에 있어서,
 상기 이온 도핑 장치는 질량 분리없이 상기 단결정 반도체 기판에 상기 클러스터 이온을 주입하고,
 상기 클러스터 이온은 H^+ , H_2^+ , 및 H_3^+ 를 포함하고,
 H^+ , H_2^+ , 및 H_3^+ 의 총량에 대한 H_3^+ 의 비율은 70% 이상인, 광전 변환 장치의 제작 방법.

청구항 8

제 1 항 또는 제 7 항에 있어서,
 상기 제 1 불순물 반도체층을 형성하기 전에, 상기 단결정 반도체 기판 위에 보호막을 형성하는 공정을 더 포함하는, 광전 변환 장치의 제작 방법.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

단결정 반도체 기판의 한쪽 면 위에 제 1 전극을 형성하고,
 상기 제 1 전극 위에 제 1 불순물 반도체층을 형성하고,
 이온 도핑 장치를 이용하여 상기 제 1 전극과 상기 제 1 불순물 반도체층을 통과하도록 상기 한쪽 면으로부터 상기 단결정 반도체 기판에 대하여 클러스터 이온을 주입하여 손상층을 형성하고,
 상기 제 1 전극 위에 절연층을 형성하고,
 상기 절연층을 지지 기판에 접합하고,
 상기 단결정 반도체 기판을 상기 손상층에서 벽개하여 단결정 반도체층을 상기 지지 기판 위에 남기고,
 상기 단결정 반도체층의 벽개면측에 제 2 불순물 반도체층을 형성하고,
 상기 제 2 불순물 반도체층 위에 제 3 불순물 반도체층을 형성하고,

상기 제 3 불순물 반도체층 위에 비단결정 반도체층을 형성하고,
 상기 비단결정 반도체층 위에 제 4 불순물 반도체층을 형성하고,
 상기 제 4 불순물 반도체층 위에 제 2 전극을 형성하는 광전 변환 장치의 제작 방법에 있어서,
 상기 이온 도핑 장치는 질량 분리없이 상기 단결정 반도체 기판에 상기 클러스터 이온을 주입하고,
 상기 클러스터 이온은 H^+ , H_2^+ , 및 H_3^+ 를 포함하고,
 H^+ , H_2^+ , 및 H_3^+ 의 총량에 대한 H_3^+ 의 비율은 70% 이상인, 광전 변환 장치의 제작 방법.

청구항 14

제 1 항, 제 7 항, 제 13 항 중 어느 한 항에 있어서,
 수소 이온이며 수소 분자보다 질량이 무거운 상기 클러스터 이온을 적어도 50% 함유하는 이온빔을 상기 단결정 반도체 기판에 조사함으로써 상기 클러스터 이온이 주입되는, 광전 변환 장치의 제작 방법.

청구항 15

제 1 항, 제 7 항, 제 13 항 중 어느 한 항에 있어서,
 상기 제 1 불순물 반도체층과 상기 제 3 불순물 반도체층은 일도전형을 가지고,
 상기 제 2 불순물 반도체층과 상기 제 4 불순물 반도체층은 상기 일도전형과 반대의 도전형을 가진, 광전 변환 장치의 제작 방법.

청구항 16

제 1 항, 제 7 항, 제 13 항 중 어느 한 항에 있어서,
 상기 비단결정 반도체층은, 전자 에너지를 사용하여 반도체 재료 가스를 포함하는 반응성 가스를 분해하여 형성되는, 광전 변환 장치의 제작 방법.

청구항 17

제 1 항, 제 7 항, 제 13 항 중 어느 한 항에 있어서,
 상기 클러스터 이온은 H_3^+ 인, 광전 변환 장치의 제작 방법.

청구항 18

지지 기판 위의 절연층과,
 상기 절연층 위의 제 1 전극과,
 상기 제 1 전극 위의 일도전형을 가진 제 1 불순물 반도체층과,
 상기 제 1 불순물 반도체층 위의 단결정 반도체층과,
 상기 단결정 반도체층 위의 상기 일도전형과 반대의 도전형을 가진 제 2 불순물 반도체층과,
 상기 제 2 불순물 반도체층 위의 상기 일도전형을 가진 제 3 불순물 반도체층과,
 상기 제 3 불순물 반도체층 위의 비단결정 반도체층과,
 상기 비단결정 반도체층 위의 상기 일도전형과 반대의 도전형을 가진 제 4 불순물 반도체층과,
 상기 제 4 불순물 반도체층 위의 제 2 전극을 포함하고,
 상기 제 1 전극은 금속층 및 질화물 금속층을 포함하고,

상기 금속층 및 상기 질화물 금속층은 티탄, 몰리브덴, 텅스텐, 탄탈, 크롬, 및 니켈로 이루어지는 그룹으로부터 선택된 동일한 금속 재료를 포함하고,

상기 질화물 금속층은 상기 제 1 불순물 반도체층과 접촉하는, 광전 변환 장치.

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

지지 기판 위의 절연층과,

상기 절연층 위의 제 1 전극과,

상기 절연층 및 상기 제 1 전극을 개재하여, 상기 지지 기판에 의해 지지되어 있는 단결정 반도체층을 포함한 제 1 유닛 셀과,

상기 제 1 유닛 셀 위의, 비단결정 반도체층을 포함하는 제 2 유닛 셀을 포함하고,

상기 제 1 유닛 셀과 상기 제 2 유닛 셀은 직렬로 접속되어 있고,

상기 제 1 전극은 금속층 및 질화물 금속층을 포함하고,

상기 금속층 및 상기 질화물 금속층은 티탄, 몰리브덴, 텅스텐, 탄탈, 크롬, 및 니켈로 이루어지는 그룹으로부터 선택된 동일한 금속 재료를 포함하고,

상기 질화물 금속층은 상기 제 1 유닛 셀과 접촉하는, 광전 변환 장치.

청구항 27

제 18 항 또는 제 26 항에 있어서,

상기 절연층은 상기 지지 기판에 접합되어 있는, 광전 변환 장치.

청구항 28

제 18 항 또는 제 26 항에 있어서,

상기 단결정 반도체층의 두께는 0.1 μm 이상 10 μm 이하인, 광전 변환 장치.

청구항 29

제 18 항 또는 제 26 항에 있어서,

상기 단결정 반도체층은 단결정 실리콘이고, 상기 비단결정 반도체층은 비정질 실리콘인, 광전 변환 장치.

청구항 30

제 18 항 또는 제 26 항에 있어서,

상기 절연층은 산화 실리콘층, 산화질화 실리콘층, 질화산화 실리콘층, 또는 질화 실리콘층인, 광전 변환 장치.

청구항 31

제 18 항 또는 제 26 항에 있어서,

상기 지지 기판은 유리 기판인, 광전 변환 장치.

청구항 32

제 18 항에 있어서,

상기 절연층의 폭은 상기 제 1 전극의 폭과 동일한, 광전 변환 장치.

발명의 설명

기술 분야

[0001] 본 발명은, 단결정 또는 다결정 반도체를 이용한 광전 변환 장치에 관한 것으로, 복수의 광전 변환 소자를 적층한 소위 탠덤형 광전 변환 장치에 관한 것이다.

배경 기술

[0002] 지구 온난화 방지 대책으로서, 세계 각국에서 태양광 발전의 보급이 진행되고 있다. 태양광 발전에는, 태양광을 이용하는 것도 있지만, 대부분은 반도체의 광전 특성을 이용하여 광 에너지를 전기 에너지로 변환하는 광전 변환 장치(태양전지라고도 불림)가 적용되고 있다.

[0003] 광전 변환 장치의 생산은 해마다 증가 경향에 있다. 예를 들면, 2005년의 태양전지의 전세계 생산량은 1759 MW이며, 전년도에 비해 147%의 큰폭으로 증가하였다. 세계적으로 보급이 진행되고 있는 것은 결정 반도체를 사용한 광전 변환 장치이며, 단결정 실리콘 기판 또는 다결정 실리콘 기판을 사용한 것이 생산량의 대부분을 차지하고 있다.

[0004] 실리콘을 재료로 하는 결정계 광전 변환 장치는, 태양광을 흡수하기 위해서 10 μm 정도의 두께가 있으면 충분하지만, 제품으로서 제조되는 단결정 실리콘 기판 또는 다결정 실리콘 기판은 200 μm 에서 300 μm 정도의 두께를 가지고 있다. 즉, 단결정 또는 다결정 반도체 기판을 이용한 광전 변환 장치는 광전 변환에 필요한 두께보다 10배 이상의 두께를 가지고 있고, 단결정 실리콘 기판 또는 다결정 실리콘 기판의 전체를 유효하게 이용하고 있다고는 말하기 어려운 상황에 있다. 극단적으로 말하면, 단결정 실리콘 기판 또는 다결정 실리콘 기판의 대부분은 광전 변환 장치의 형상을 유지하기 위한 구조체로서밖에 기능하고 있지 않다.

[0005] 광전 변환 장치의 생산량이 해마다 증가함에 따라, 실리콘 기판의 원료인 다결정 실리콘의 공급 부족과, 그에 따른 가격의 상승이 산업계의 문제가 되고 있다. 2007년의 다결정 실리콘의 생산량은 약 36,000톤이 예상되는

것에 대하여, 반도체(LSI)용으로 25,000톤 이상, 태양전지용으로 20,000톤 이상이 필요하게 되어, 약 10,000톤의 공급 부족이 될 것이라 예상되고 있다. 이러한 공급 부족은 향후에도 계속될 것으로 예상된다.

[0006]

그런데, 광전 변환 장치의 구조에는 다양한 것이 있다. 단결정 실리콘 기관 또는 다결정 실리콘 기관에 n형 또는 p형의 확산층을 형성한 전형적인 구성의 것에 대하여, 단결정 반도체로 구성되는 단위 셀과, 비정질 반도체로 구성되는 단위 셀을 조합한, 이중 단위 셀들을 조합한 적층형의 광전 변환 장치가 알려져 있다(일본국공개공보 H6-044638호 참조). 이 광전 변환 장치는 단결정 반도체 기관 또는 다결정 반도체 기관을 사용하는 것에 변함은 없다. 여기서, 단결정 반도체 기관을 이용하는 다른 형태의 광기전력 장치로서, 박편화된 단결정 반도체층을 이용하는 것이 있다. 예를 들면, 특허문헌 4(특허문헌 4 : 일본국공개특허공보 H10-335683호 참조)는 높은 변환 효율을 보유하면서 저비용화 및 자원 절약화를 도모하기 위해, 단결정 실리콘 기관에 수소를 이온 주입하여, 단결정 실리콘 기관으로부터 층상으로 박리한 단결정 실리콘층을 지지 기관의 위에 형성한 탠덤형 태양전지가 개시되어 있다. 이 탠덤형 태양전지는, 단결정 반도체층과 기관을 도전성 페이스트로 접착하고 있다.

[0007]

한편, 결정계 실리콘 박막을 이용한 광전 변환 장치의 개발도 진행되고 있다. 예를 들면, 플라즈마 CVD법으로, 27 MHz 이상의 VHF 주파수를 이용하여, 이것을 더 펄스 변조하여 결정성 실리콘막을 기관 위에 형성하는 실리콘 박막 태양전지의 제조 방법이 개시되어 있다(일본국특허출원 2005-50905호 참조). 또한, 텍스처 전극이라고 불리는 미세한 요철 구조를 가진 특수한 전극 위에, 박막 다결정 실리콘막을 플라즈마 CVD법으로 성막할 때에, 결정립과 결정립계로의 도펀트 농도를 최적화하기 위해, 플라즈마 처리 조건을 제어하는 기술이 개시되어 있다(일본국특허출원 2004-14958호 참조). 그러나, 결정계 박막 실리콘 태양전지는 단결정 실리콘에 비해 결정의 질이 나쁘고, 광전 변환 특성이 여전히 뒤떨어진다. 또한, 결정성 실리콘막을 화학 기상 성장법에 따라, 1 μm 이상의 두께로 형성할 필요가 있어, 생산성이 나쁘다는 것과 같은 문제가 있다.

발명의 내용

해결하려는 과제

[0008]

결국, 종래의 기술에서는, 한정된 자재를 유효하게 이용하여, 수요를 충족시키는 양의 광전 변환 장치를 생산하는 것이 곤란했다. 또한, 박편화된 단결정 반도체층을 도전성 페이스트에 이용하여 지지 기관에 접착하는 방법에서는, 장기간에 걸쳐 접착 강도를 유지할 수 없다는 문제가 있다. 특히, 광기전력 장치가 직사일광에 노출되는 환경하에서는, 도전성 페이스트에 포함되는 유기 재료가 변질되어 접착 강도가 저하된다는 문제가 발생한다. 또한, 도전성 페이스트 중의 도전성 재료(예를 들면, 은)가 단결정 반도체층측으로 확산하여, 반도체의 광전 변환 특성을 열화시킨다는 신뢰성 상의 문제가 발생한다. 이러한 상황을 감안하여, 실리콘 반도체 재료를 유효하게 이용하여, 광전 변환 특성이 우수한 광전 변환 장치와 그 제조 방법을 제공하는 것을 목적의 하나로 한다. 또한, 광기전력 장치의 신뢰성을 향상시키는 것을 목적의 하나로 한다.

과제의 해결 수단

[0009]

본 발명은, 광전 변환 장치에 있어서, 두께가 10 μm 이하의 단결정 반도체층을 광전 변환층에 포함하는 제 1 유닛 셀과, 이 제 1 유닛 셀 위에 형성된 비단결정 반도체층을 광전 변환층에 포함하는 제 2 유닛 셀을 가지는 것을 요지로 한다.

[0010]

본 발명의 하나는, 단결정 반도체층의 한쪽 면에 일도전형의 제 1 불순물 반도체층을 개재(介在)하여 제 1 전극이 형성되고, 다른 한쪽 면에 일도전형과는 반대의 도전형의 제 2 불순물 반도체층이 형성된 제 1 유닛 셀과, 비단결정 반도체층의 한쪽 면에 일도전형의 제 3 불순물 반도체층이 형성되고, 다른 한쪽 면에 일도전형과는 반대의 도전형의 제 4 불순물 반도체층을 개재하여 제 2 전극이 형성된 제 2 유닛 셀을 가지고, 제 1 유닛 셀과 제 2 유닛 셀은 제 2 불순물 반도체층과 제 3 불순물 반도체층이 접함으로써 직렬 접속되고, 제 1 전극의 단결정 반도체층과는 반대측의 면에 절연층이 형성되어, 절연층이 지지 기관과 접합하는 광전 변환 장치이다.

[0011]

본 발명의 하나는, 단결정 반도체 기관의 한쪽 면에, 이 단결정 반도체 기관의 표면으로부터 10 μm 이하의 깊이 에 클러스터 이온을 박아 손상층을 형성함과 동시에, 이 한쪽 면측에 제 1 불순물 반도체층, 제 1 전극 및 절연층을 형성하고, 절연층을 지지 기관과 접합시켜, 단결정 반도체 기관을 손상층으로부터 벽개하고, 이 지지 기관 위에 단결정 반도체층을 잔존시키고, 이 단결정 반도체층의 벽개면측에 제 2 불순물 반도체층을 형성하고, 반도체

체 재료 가스를 포함하는 반응성 가스를 전자 에너지에 의해 분해하고, 제 2 불순물 반도체층 위에, 일도전형의 제 3 불순물 반도체층, 비단결정 반도체층, 일도전형과는 반대의 도전형의 제 4 불순물 반도체층을 순차 형성하여, 제 4 불순물 반도체층 위에 제 2 전극을 형성하는 광전 변환 장치의 제작 방법이다.

[0012]

여기서, 단결정이란, 결정면, 결정축이 정렬되어 있는 결정이며, 그것을 구성하고 있는 원자 또는 분자가 공간적으로 규칙적인 배열로 되어 있는 것을 말한다. 단, 단결정은 원자가 규칙적으로 배열되는 것에 의해 구성되는 것이지만, 일부에 이 배열이 흐트러져 있는 격자 결함을 포함하는 것, 의도적 또는 비의도적으로 격자 변형을 가지는 것도 포함된다.

발명의 효과

[0013]

본 발명에 의하면, 단결정 반도체 기관의 표층부를 박층화하여 지지 기관에 접합시킴으로써, 10 μm 이하의 단결정 반도체층을 광전 변환층으로 하는 보텀 셀과, 그 위에 적층되는 비단결정 반도체층을 광전 변환층으로 하는 탑 셀을 가지는 광전 변환 장치를 얻을 수 있다. 즉, 내열 온도가 700℃ 이하의 대면적 유리 기관에, 단결정 반도체층을 광전 변환층으로 하는 보텀 셀과, 그 위에 적층되는 비단결정 반도체층을 광전 변환층으로 하는 탑 셀을 가지는 광전 변환 장치를 제조할 수 있다. 단결정 반도체층은 단결정 반도체 기관의 표층을 분리함으로써 얻어지지만, 이 단결정 반도체 기관은 반복하여 이용할 수 있으므로 자원을 유효하게 이용할 수 있다.

도면의 간단한 설명

[0014]

- 도 1은 탠덤형의 광전 변환 장치의 구성을 나타낸 평면도.
- 도 2는 탠덤형의 광전 변환 장치의 구성을 나타낸 단면도.
- 도 3은 탠덤형의 광전 변환 장치의 에너지 밴드도의 일례를 나타낸 도면.
- 도 4는 스택형의 광전 변환 장치의 구성을 나타낸 단면도.
- 도 5는 스택형의 광전 변환 장치의 제조 공정을 설명한 단면도.
- 도 6은 스택형의 광전 변환 장치의 제조 공정을 설명한 단면도.
- 도 7은 스택형의 광전 변환 장치의 제조 공정을 설명한 단면도.
- 도 8은 스택형의 광전 변환 장치의 제조 공정을 설명한 단면도.
- 도 9는 스택형의 광전 변환 장치의 제조 공정을 설명한 단면도.
- 도 10은 이온 도핑 장치의 구성을 설명한 개략도.
- 도 11은 레이저 처리 장치의 구성을 설명한 개념도.
- 도 12는 스택형의 광전 변환 장치의 제조 공정을 설명한 단면도.
- 도 13은 스택형의 광전 변환 장치의 제조 공정을 설명한 단면도.
- 도 14는 스택형의 광전 변환 장치의 제조 공정을 설명한 단면도.
- 도 15는 스택형의 광전 변환 장치의 제조 공정을 설명한 단면도.
- 도 16은 스택형의 광전 변환 장치의 제조 공정을 설명한 단면도.
- 도 17(A)은 태양광 발전 모듈의 구성을 설명한 평면도, 도 17(B)은 C-D 절단선의 단면도.
- 도 18은 태양광 발전 시스템의 일례를 설명한 도면.

발명을 실시하기 위한 구체적인 내용

[0015]

본 발명의 실시형태에 대하여, 도면을 이용하여 이하에 설명한다. 단, 본 발명은 이하의 설명에 한정되는 것은 아니고, 본 발명의 취지 및 그 범위로부터 벗어남이 없이 그 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용

에 한정하여 해석되는 것은 아니다. 이하에 설명하는 본 발명의 구성에서, 같은 것을 가리키는 부호는 다른 도면간에 공통으로 이용한다.

[0016] [실시형태 1]

[0017] 도 1은, 본 형태에 관한 광전 변환 장치(100)의 평면도를 나타낸다. 이 광전 변환 장치(100)는, 지지 기판(101) 위에 고정된 제 1 유닛 셀(104) 및 제 2 유닛 셀(105)이 형성되어 있다. 제 1 유닛 셀(104) 및 제 2 유닛 셀(105)은 반도체 접합을 함유하고, 그것에 의해 광전 변환을 행하도록 구성되어 있다.

[0018] 제 1 유닛 셀(104)의 지지 기판(101)측에는 제 1 전극이 형성되고, 제 2 유닛 셀(105)의 표면측에는 제 2 전극이 형성되어 있다. 제 1 전극은 제 1 보조 전극(113)과 접속하는 것이고, 제 2 보조 전극(114)은 제 2 전극 위에 형성되어 있다. 본 형태의 광전 변환 장치(100)는, 절연 표면을 가지는 지지 기판(101)에 제 1 유닛 셀(104) 및 제 2 유닛 셀(105)이 적층되는 구성이다. 따라서, 정극(正極)과 그에 대한 부극(負極)의 전극은, 지지 기판(101)의 같은 면측으로 노출되는 구성이 채용된다.

[0019] 도 1의 A-B 절단선에 대응하는 광전 변환 장치의 단면 구조를 도 2에 나타낸다. 도 2는 지지 기판(101)에 제 1 유닛 셀(104)과 제 2 유닛 셀(105)이 적층된 소위 탠덤형 광전 변환 장치를 나타낸다. 지지 기판(101)은 절연 표면을 가지는 기판 혹은 절연 기판이며, 예를 들면, 알루미늄 실리케이트 유리, 알루미늄 붕규산 유리, 바륨 붕규산 유리와 같은 전자 공업용으로 사용되는 각종 유리 기판이 적용된다.

[0020] 지지 기판(101)과 제 1 유닛 셀(104)과의 사이에는 절연층(102)이 형성되어 있다. 제 1 유닛 셀(104)과 절연층(102)과의 사이에는 제 1 전극(103)이 형성되고, 제 2 유닛 셀(105) 위에는 제 2 전극(112)이 형성되어 있다. 절연층(102)은 지지 기판(101)과 접합하고 있고, 또한, 제 1 전극(103)과 밀착되어 있음으로써, 제 1 유닛 셀(104)과 제 2 유닛 셀(105)을 지지 기판(101) 위에 고정하고 있다. 절연층(102)은 지지 기판(101)과 접합하기 위해, 평활면을 가지고 친수성 표면을 가지고 있는 절연막으로 형성된다.

[0021] 제 1 유닛 셀(104)의 단결정 반도체층(106)은, 대표적으로는 단결정 실리콘이 적용된다. 또한, 단결정 반도체층 대신에 다결정 반도체층(대표적으로는 다결정 실리콘)을 적용할 수도 있다. 일도전형의 제 1 불순물 반도체층(107)과, 일도전형과는 반대의 도전형인 제 2 불순물 반도체층(108)은, 소정의 불순물을 단결정 반도체층(106)에 첨가함으로써 제작된다. 제 1 불순물 반도체층(107)을 p형으로 하는 경우, 제 2 불순물 반도체층(108)은 n형이며, 그 반대의 선택도 가능하다. p형 불순물로서는 붕소 등의 원소 주기표 제 13 족의 원소가 적용되고, n형 불순물로서는 인, 비소 등 원소 주기표 제 15 족의 원소가 적용된다. 불순물 원소의 첨가는, 이온 주입 혹은 이온 도핑으로 행할 수 있다. 본 명세서에서, 이온 주입이란 이온화한 가스를 질량 분리하여 반도체에 주입하는 방식을 가리키고, 이온 도핑이란 이온화한 가스를 질량 분리하지 않고 반도체에 조사시키는 방식을 말한다.

[0022] 단결정 반도체층(106)은 단결정 반도체 기판을 박편화하여 형성된다. 예를 들면, 단결정 반도체 기판의 소정의 깊이로 수소 이온을 고농도로 주입하고, 그 후 열처리를 행하여 표층의 단결정 반도체층을 분리하기 위한, 수소 이온 주입 박리법으로 형성한다. 또한, 다공성 실리콘 위에 단결정 반도체를 에피택셜 성장시킨 후, 다공성 실리콘층을 워터제트로 벽개하여 분리하는 방법을 적용해도 좋다. 단결정 반도체 기판으로서, 대표적으로는 단결정 실리콘 웨이퍼가 적용된다. 단결정 반도체층(106)의 두께는 0.1 μm 이상, 10 μm 이하, 바람직하게는 1 μm 이상 5 μm 이하로 한다. 단결정 반도체층(106)으로서 단결정 실리콘 반도체를 적용하는 경우에는, 에너지 갭이 1.12 eV이며, 간접 천이형의 반도체이기 때문에, 태양광을 흡수하기 위해서는 이와 같은 두께가 요구된다.

[0023] 제 2 유닛 셀(105)의 비단결정 반도체층(109)은, 대표적으로는 비정질 실리콘이 적용된다. 또한, 비단결정 반도체층 대신에 미결정 반도체층(대표적으로는 미결정 실리콘)을 적용하는 것도 가능하다. 일도전형의 제 3 불순물 반도체층(110)과, 일도전형과는 반대의 도전형의 제 4 불순물 반도체층(111)은, 소정의 불순물을 포함하여 형성된 비정질 반도체층 또는 미결정 반도체층으로 제작된다. 대표적으로는, 비정질 실리콘 또는 미결정 실리콘이며, 그 외 비정질 실리콘 카바이드가 적용된다. 제 3 불순물 반도체층(110)을 p형으로 하는 경우, 제 4 불순물 반도체층(111)은 n형이며, 그 반대의 선택도 가능하다.

[0024] 비단결정 반도체층(109)은, 반도체 재료 가스를 포함하는 반응성 가스를 전자 에너지에 의해 분해하여 형성한다. 반도체 재료 가스로서는, 실란 혹은 디실란으로 대표되는 실리콘의 수소화물이며, 그 외 실리콘의 불화물 또는 실리콘의 염화물에 의한 가스를 이용한다. 이러한 반도체 재료 가스, 또는 반도체 재료 가스에 수소, 불활성 가스를 혼합하여 반응성 가스로서 이용한다. 비단결정 반도체층(109)은, 이 반응성 가스를 이용하

여, 전자 에너지로서 10 MHz에서 200 MHz의 고주파 전력을 인가하여 박막의 형성을 행하는 플라즈마 CVD 장치에 의해 형성한다. 전자 에너지로서는, 고주파 전력 대신에 1 GHz에서 5 GHz, 대표적으로는 2.45 GHz의 마이크로파 전력을 인가해도 좋다. 제 3 불순물 반도체층(110) 및 제 4 불순물 반도체층(111)도 마찬가지로 플라즈마 CVD법으로 형성되는 것이고, 상기 반응성 가스에, p형화하는 경우에는 불순물로서 디보란을, n형화하는 경우에는 불순물로서 포스핀을 첨가하여 성막을 행한다. 비단결정 반도체층(109)으로서 대표적으로는 비정질 실리콘층이 적용된다. 비단결정 반도체층(109)의 두께는 50 nm 이상, 300 nm 이하, 바람직하게는 100 nm 이상, 200 nm 이하로 한다. 비단결정 반도체층(109)으로서 비정질 실리콘 반도체를 적용하는 경우에는, 에너지 갭이 1.75 eV이며, 이 두께로 함으로써, 600 nm보다 짧은 파장 영역의 광을 흡수하여 광전 변환할 수 있다.

[0025]

제 2 유닛 셀(105)의 비단결정 반도체층(109)에 있어서, 미결정 반도체층(대표적으로는 미결정 실리콘층)을 적용할 수도 있다. 미결정 반도체층을 형성하기 위해 이용되는 대표적인 반도체 재료 가스는, SiH_4 이며, 그 외에도 Si_2H_6 가 적용된다. 또한, SiH_4 에 SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등을 적절히 혼합하여 이용해도 좋다. 이 반도체 재료 가스를 수소 혹은 불소, 수소 혹은 불소와 헬륨, 아르곤, 크립톤, 네온으로부터 선택된 일종 또는 복수종의 회가스 원소로 희석하여 이용함으로써 미결정 반도체층을 플라즈마 CVD법으로 제작한다. 희석율은 10배~3000배의 범위에서 반도체 재료 가스를 희석하는 것이 바람직하다. 성막은, 대략 0.1 Pa~133 Pa의 감압하에서 생성되는 글로우 방전 플라즈마로 성막이 행해진다. 플라즈마를 형성하기 위한 전력은 10 MHz에서 200 MHz의 고주파 전력 또는, 고주파 전력 대신에 1 GHz에서 5 GHz, 대표적으로는 2.45 GHz의 마이크로파 전력이 인가된다. 또한, 반도체 재료 가스 중에, CH_4 , C_2H_6 등의 탄화물 기체, GeH_4 , GeF_4 등의 게르마늄화 기체를 혼입시켜, 에너지 밴드폭을 1.5~2.4 eV, 혹은 0.9~1.1 eV로 조절해도 좋다. 미결정 반도체층은 격자 변형을 가지고, 이 격자 변형에 의해 광학 특성이 단결정 실리콘의 간접 천이형으로부터 직접 천이형으로 변화한다. 적어도 10%의 격자 변형에 의해, 광학 특성이 직접 천이형으로 변화하지만, 국부적인 변형이 존재함으로써, 직접 천이와 간접 천이가 혼재한 광학 특성을 나타낸다. 미결정 실리콘층에서는, 에너지 갭이 대략 1.45 eV이며, 단결정 실리콘보다 에너지 갭이 넓어지므로, 600 nm보다 짧은 파장 영역의 광을 흡수하여 광전 변환할 수 있다.

[0026]

본 형태의 광전 변환 장치는, 제 2 전극(112)측으로부터 광을 입사하는 구성이다. 제 2 전극(112)은, 산화인듐 주석, 산화주석, 산화아연 등의 투명 전극 재료를 이용하여 형성한다. 제 1 전극(103)은, 티탄, 몰리브덴, 텅스텐, 탄탈, 크롬, 니켈로부터 선택된 금속 재료로 형성한다. 또한, 제 1 전극(103)은, 티탄, 몰리브덴, 텅스텐, 탄탈의 질화물층을 가지고, 이 질화물층이 제 1 불순물 반도체층(107)과 접촉하는 구성으로 한다. 반도체층과 금속층의 사이에 질화물 금속을 개재시킴으로써, 밀착성을 향상시킬 수 있다.

[0027]

도 3은, 에너지 갭 1.12 eV의 단결정 반도체층(106)을 가지는 제 1 유닛 셀(104)과, 에너지 갭 1.75 eV의 비단결정 반도체층(109)을 가지는 제 2 유닛 셀(105)을 이용한 경우의 에너지 밴드도를 나타낸다. 광입사측에 에너지 갭이 넓은 비단결정 반도체층(109)을 가지는 제 2 유닛 셀(105)이 위치하고 있고, 그 후방에 에너지 갭이 좁은 단결정 반도체층(106)을 가지는 제 1 유닛 셀(104)이 배치되어 있다. 또한, 제 1 불순물 반도체층(107)과 제 3 불순물 반도체층(110)은 p형 반도체, 제 2 불순물 반도체층(108)과 제 4 불순물 반도체층(111)은 n형 반도체의 경우를 나타내고 있다.

[0028]

도 3의 밴드 모델도에 나타낸 바와 같이 광을 흡수하여 여기된 전자는 n형 반도체층으로 흐르고, 홀은 p형 반도체층으로 흐른다. 제 1 유닛 셀(104)과 제 2 유닛 셀(105)의 접속부는 pn 접합이 형성되고, 등가 회로적으로는 전류가 흐르는 방향과 반대 방향으로 다이오드가 삽입되는 형태가 된다. 이 경우, 제 2 불순물 반도체층(108)과 제 3 불순물 반도체층(110)의 접합 계면에 재결합 중심이 형성되도록 하여, 이 접합 계면에서 재결합 전류가 흐르도록 한다. 제 2 불순물 반도체층(108)은 단결정 반도체이며, 그 위에 제 3 불순물 반도체층(110)으로서, 비정질 반도체층 또는 미결정 반도체층을 플라즈마 CVD법 등으로 형성함으로써, 접합 계면에서 재결합 전류가 흐르는 접합을 형성할 수 있다.

[0029]

도 2의 탠덤형의 광전 변환 장치에 따르면, 단결정 반도체층(106)으로 형성되는 제 1 유닛 셀(104)을 보텀 셀로서 이용함으로써, 800 nm 이상의 장파장광의 흡수를 하여 광전 변환하는 것이 가능하게 되고, 광전 변환 효율의 향상에 기여한다. 이 경우, 단결정 반도체층(106)이 10 μm 이하로 박층화되어 있음으로써, 광생성 캐리어의 재결합에 의한 손실을 저감할 수 있다.

[0030]

도 4는 유닛 셀을 3층 적층한 적층형 광전 변환 장치(스택형 광전 변환 장치)의 예를 나타내고 있다. 지지 기판(101) 위에 설치되는 제 1 유닛 셀(104)은 단결정 반도체층(106)을 광전 변환층으로 하고, 그 위의 제 2 유닛 셀(105)은 비단결정 반도체층(109)을 광전 변환층으로 하고, 그 위의 제 3 유닛 셀(115)은 비단결정 반도체층

(116)을 광전 변환층으로 하는 것이다.

- [0031] 이 경우, 단결정 반도체층(106)의 에너지 갭이 1.12 eV이므로, 제 1 유닛 셀(104)보다 광입사측에 위치하는 제 2 유닛 셀(105)의 비단결정 반도체층(109)의 에너지 갭은 1.45 eV 내지 1.65 eV, 제 3 유닛 셀(115)의 비단결정 반도체층(116)의 에너지 갭은 1.7 eV 내지 2.0 eV로 하는 것이 바람직하다. 각각의 유닛 셀에서 흡수하는 광의 파장 대역을 다르게 함으로써, 태양광을 효율 좋게 흡수할 수 있기 때문이다.
- [0032] 제 2 유닛 셀(105)의 비단결정 반도체층(109)의 에너지 갭을 1.45 eV 내지 1.65 eV로 하기 위해서는, 비정질 실리콘 게르마늄, 혹은 비결정 실리콘을 적용한다. 제 3 유닛 셀(115)의 비단결정 반도체층(116)의 에너지 갭을 1.7 eV 내지 2.0 eV로 하기 위해서는, 비정질 실리콘(1.75 eV), 비정질 실리콘 카바이드(1.8 eV 내지 2.0 eV)를 적용한다.
- [0033] 또한, 도 4에 있어서, 제 5 불순물 반도체층(117)은 제 3 불순물 반도체층(110)과, 제 6 불순물 반도체층(118)은 제 4 불순물 반도체층(111)과 마찬가지로, 상세한 설명은 생략한다.
- [0034] [실시형태 2]
- [0035] 다음에, 도 1의 A-B 절단선에 대응하는 단면 구조로서 도 2의 경우를 전제로 하여 광전 변환 장치(100)의 제조 방법에 대해 설명한다.
- [0036] 도 5(A)에 나타난 반도체 기판(119)은 원형의 단결정 반도체 기판으로부터 대략 사변(四邊)형으로 잘려진 것이다. 물론, 반도체 기판(119)의 평면 형상은 특별히 한정되지 않지만, 단결정 반도체층을 형성하는 지지 기판이 직사각형인 경우에는, 반도체 기판(119)은 대략 사변형인 것이 바람직하다. 반도체 기판(119)은, 대표적으로는 단결정 실리콘이며, 표면이 경면 연마된 것이 바람직하다. 지지 기판에 접합용의 절연층을 개재하여 밀착시키기 때문이다. 예를 들면, 반도체 기판(119)은 p형이고 저항율이 1 Ωcm 내지 10 Ωcm 정도의 단결정 실리콘 웨이퍼를 이용한다. 반도체 기판(119)의 평면 형상은 상기와 같이 대략 사변형으로 하는 것이 바람직하다.
- [0037] 보호막(120)은 산화실리콘 또는 질화실리콘으로 형성하는 것이 바람직하고 플라즈마 CVD법으로 대표되는 화학적 기상 성장법에 의해 형성한다. 반도체 기판(119)에 손상층을 형성할 때, 표면에 이온이 조사되어 평탄성이 손상되기 때문에, 보호막(120)을 형성하는 것이 바람직하다. 보호막(120)은 50 nm에서 200 nm의 두께로 형성하는 것이 바람직하다.
- [0038] 그리고, 반도체 기판(119)에 일도전형의 제 1 불순물 반도체층(107)을 형성한다. 예를 들면, 일도전형의 불순물로서 붕소를 첨가하고, 제 1 불순물 반도체층(107)을 p형에 형성한다. 제 1 불순물 반도체층(107)은 본 형태의 광전 변환 장치에 있어서, 광입사측과 반대측의 면에 배치되어, 이면 전계(BSF: Back Surface Field)를 형성한다. 붕소의 첨가는, B₂H₆, BF₃를 소스 가스로 하여, 생성된 이온을 질량 분리하지 않고 전계에서 가속하여, 생성되는 이온류를 기판에 조사하는 이온 도핑 장치를 이용하여 행하는 것이 바람직하다. 반도체 기판(119)의 면적이 대각 300 mm를 넘는 크기의 경우에도 이온 빔의 조사 면적을 크게 할 수 있어, 효율 좋게 처리할 수 있기 때문이다. 예를 들면, 긴 변의 길이가 300 mm를 넘는 선상 이온 빔을 형성하고, 이 선상 이온 빔이, 반도체 기판(119)의 일단으로부터 타단까지 조사되도록 처리하면, 반도체 기판(119)의 전면에 제 1 불순물 반도체층(107)을 균일하게 형성할 수 있다.
- [0039] 도 5(B)는 보호막(120)을 제거하여, 제 1 불순물 반도체층(107) 위에 제 1 전극(103)을 형성하고 있다. 제 1 전극(103)은 내열성 금속으로 형성하는 것이 바람직하다. 내열성 금속으로서는, 티탄, 몰리브덴, 텅스텐, 탄탈, 크롬, 니켈 등의 금속 재료가 적용된다. 또한, 이러한 금속 재료의 질화물을 제 1 불순물 반도체층(107)에 접하여 형성하고, 제 1 전극(103)을 적층 구조로 해도 좋다. 질화물 금속을 형성함으로써, 제 1 전극(103)과 제 1 불순물 반도체층(107)과의 밀착성을 향상시킬 수 있다. 제 1 전극(103)은 진공 증착법 또는 스퍼터링법으로 형성한다.
- [0040] 도 5(C)는 제 1 전극(103)이 형성된 면으로부터, 수소 이온을 포함하는 이온 빔(122)을 반도체 기판(119)에 조사하여, 손상층(121)을 형성하는 단계를 나타내고 있다. 수소 이온은, 바람직하게는 H₃⁺로 대표되는 클러스터 이온을 박아, 표면으로부터 일정한 깊이의 영역에 손상층(121)을 형성한다. 손상층(121)의 깊이는, 이온의 가속 에너지에 의해 제어된다. 손상층(121)의 깊이에 따라 반도체 기판(119)으로부터 분리되는 단결정 반도체층의 두께가 결정되므로, 클러스터 이온을 가속하는 전계 강도는 그것을 고려하여 결정된다. 손상층(121)은, 반

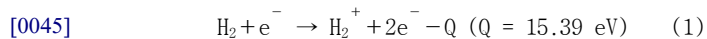
도체 기관(119)의 표면으로부터 10 μm 미만의 깊이, 즉 50 nm 이상 10000 nm 미만, 바람직하게는 100 nm에서 5000 nm의 깊이에 형성하는 것이 바람직하다. 제 1 전극(103)을 통하여 클러스터 이온을 반도체 기관(119)에 박음으로써, 이온의 조사에 의해 표면이 손상을 받게 되는 것을 방지할 수 있다.

[0041] 수소 이온으로서 H_3^+ 로 대표되는 클러스터 이온은, 이온 도핑 장치를 이용하여 수소 플라즈마를 생성하고, 이 플라즈마 중에 생성되는 이온을 질량 분리하지 않고, 그대로 전계에서 가속함으로써 Si 웨이퍼에 조사할 수 있다. 이온 도핑 장치를 이용함으로써, 면적이 큰 반도체 기관(119)에 대해서도 용이하게 행할 수 있다.

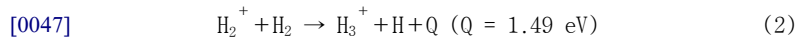
[0042] 도 10은 이온원(200)에 있어서 생성된 복수종의 이온을 질량 분리하지 않고, 반도체 기관(119)에 조사하는 이온 도핑 장치의 구성을 설명하는 개략도이다. 이온원(200)에는 가스 공급부(204)로부터 수소 등의 소정의 가스가 공급된다. 이온원(200)에는 필라멘트(201)가 구비되어 있다. 필라멘트 전원(202)은 필라멘트(201)에, 아크 방전 전압을 인가하여, 필라멘트(201)에 흐르는 전류를 조절한다. 가스 공급부(204)로부터 공급된 가스는 배기계(209)에 의해 배기된다.

[0043] 이온원(200)에서 생성된 이온은, 인출 전극계(205)에 의해 인출되고, 이온 빔(122)을 형성한다. 이온 빔(122)은 재치대(206)에 놓여진 반도체 기관(119)에 조사된다. 이온 빔(122)에 포함되는 이온종의 비율은 재치대(206)의 근방에 설치된 질량 분석관(207)에 의해 계량된다. 질량 분석관(207)에 의해 계수된 이온 밀도는 질량 분석계(208)에 의해 신호 변환되고, 그 결과를 전원 제어부(203)에 피드백시키도록 해도 좋다. 전원 제어부(203)는 이온 밀도의 계수 결과에 따라, 필라멘트 전원(202)을 제어할 수 있다.

[0044] 가스 공급부(204)로부터 공급된 수소 등의 가스는, 이온 도핑 장치의 챔버 내를 흘러 배기계(209)에 의해 배출되는 구성으로 되어 있다. 이온원(200)에 공급된 수소는 식 (1)의 반응에 의해 이온화한다.



[0046] 이온 도핑 장치의 챔버 내의 압력은 1×10^{-2} Pa에서 1×10^{-1} Pa이며, 또한, 전리도(電離度)가 그다지 높지 않으므로 H_2^+ 이온보다 원료 가스인 H_2 가 많이 존재한다. 따라서, 이온원으로 생성된 H_2^+ 이온은 인출 전극계(205)에 인출될 때까지 H_2 와 반응하여, 식 (2)의 반응이 일어난다.



[0048] H_3^+ 는, H^+ 및 H_2^+ 보다 안정적인 분자로서 존재하기 때문에, H_2 와 충돌하는 비율이 높으면 H_3^+ 가 다량으로 생성되게 된다.

[0049] 이것은, 질량 분석관(207)을 이용한 재치대(206)에 흘러 들어오는 이온 빔(122)의 질량 분석 결과를 보면 명확하고, 이온종 H^+ , H_2^+ , H_3^+ 의 총량에 대하여 H_3^+ 이온의 비율은 70% 이상으로 되어 있다. 그것에 의해, 클러스터 이온인 H_3^+ 를 다량으로 발생시킨 이온 빔을 기관에 조사함으로써, H^+ , H_2^+ 를 조사하는 것보다도 수소 원자의 조사 효율이 향상되어, 도스량이 적어도 수소를 반도체 기관(119)에 고농도로 함유할 수 있다는 의미 있는 효과를 얻을 수 있다.

[0050] 이와 같이 H_3^+ 의 비율을 높여 줌으로써, 손상층(121)에는 $1 \times 10^{20} \text{ atoms/cm}^3$ 이상의 수소를 포함시키는 것이 가능하다. 반도체 기관(119)에 형성되는 손상층(121)은 결정 구조가 없어지고 미소한 공공(空孔)이 형성되어 다공질 구조로 되어 있다. 따라서, 비교적 저온(600℃ 이하)의 열처리에 의해 손상층(121)에 형성된 미소한 공동(空洞)의 체적 변화가 일어나, 손상층(121)을 따라 단결정 반도체층을 벽개할 수 있다.

[0051] 또한, 대략 사변형으로 형성되는 반도체 기관(119)의 한 변의 길이보다 긴 선상 이온 빔을 이 반도체 기관(119)의 표면에 주사하여 클러스터 이온을 박으면, 손상층(121)의 깊이를 균일한 것으로 할 수 있다.

[0052] 도 5(D)는, 제 1 전극(103) 위에 절연층(102)을 형성하는 단계를 나타낸다. 절연층(102)은 산화실리콘, 산화질화실리콘, 질화산화실리콘, 질화실리콘 등의 절연막으로 형성한다. 절연층(102)은 절연성의 피막이라면 형성재료에 한정되는 것은 아니지만, 평활하고 친수성의 표면을 가지는 것이면 좋다. 절연층(102)의 평활성은, 평균 먼거칠기(Ra값)가 1 nm 이하, 바람직하게는 0.5 nm 이하인 것이 바람직하다. 또한, 여기서 말하는 평균 먼

거칠기값이란, JIS B0601로 정의되는 중심선 평균 거칠기를 면에 대하여 적용할 수 있도록 삼차원으로 확장한 것이다.

[0053] 산화질화실리콘막은, 그 조성으로서, 질소보다 산소의 함유량이 많은 것으로, 러더포드 후방 산란법(RBS: Rutherford Backscattering Spectrometry) 및 수소 전방 산란법(HFS: Hydrogen Forward Scattering)을 이용하여 측정된 경우에, 조성 범위로서 산소가 50~70 원자%, 질소가 0.5~15 원자%, 실리콘이 25~35 원자%, 수소가 0.1~10 원자%의 범위로 포함되는 것을 말한다. 또한, 질화산화실리콘막이란, 그 조성으로서 산소보다 질소의 함유량이 많은 것으로서, RBS 및 HFS를 이용하여 측정된 경우에, 조성 범위로서 산소가 5~30 원자%, 질소가 20~55 원자%, 실리콘이 25~35 원자%, 수소가 10~30 원자%의 범위로 포함되는 것을 말한다. 단, 산화질화실리콘막 또는 질화산화실리콘막을 구성하는 원자의 합계를 100 원자%로 했을 때, 질소, 산소, 실리콘 및 수소의 함유 비율이 상기의 범위내에 포함되는 것으로 한다.

[0054] 수소를 함유하는 산화실리콘으로서는, 예를 들면 유기 실란을 이용하여 화학 기상 성장법에 의해 제작되는 산화실리콘은 바람직하다. 유기 실란을 이용하여 형성된 절연층(102)으로서, 예를 들면, 산화실리콘막을 이용함으로써, 지지 기판과 전치용 반도체층과의 접합을 강고하게 할 수 있기 때문이다. 유기 실란으로서는, 테트라에톡시실란(TEOS: 화학식 $\text{Si}(\text{OC}_2\text{H}_5)_4$), 테트라메틸실란(TMS: 화학식 $\text{Si}(\text{CH}_3)_4$), 테트라메틸시클로테트라실록산(TMCTS), 옥타메틸시클로테트라실록산(OMCTS), 헥사메틸디실라잔(HMDS), 트리에톡시실란($\text{SiH}(\text{OC}_2\text{H}_5)_3$), 트리스티메틸아미노실란($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 등의 실리콘 함유 화합물을 이용할 수 있다.

[0055] 수소를 함유하는 질화실리콘은, 실란 가스와 암모니아 가스를 이용하여 플라즈마 CVD법에 의해 제작할 수 있다. 상기 가스에 수소가 첨가되어도 좋다. 산소와 수소를 함유하는 질화실리콘은, 실란 가스와 암모니아 가스와 아산화질소 가스를 이용하여 플라즈마 CVD법으로 제작할 수 있다. 어쨌든, 플라즈마 CVD법, 감압 CVD법, 상압 CVD법 등의 화학 기상 성장법에 의해, 실란 가스 등을 원료 가스로서 이용하여 제작되는 산화실리콘, 산화질화실리콘, 질화산화실리콘으로서 수소가 포함되는 것이면 적용할 수 있다. 절연층(102)의 성막 온도는, 단결정 반도체 기판에 형성한 손상층(121)으로부터 수소가 이탈하지 않는 온도로서 350℃ 이하의 성막 온도가 추천된다.

[0056] 도 6(A)은 지지 기판(101)과 반도체 기판(119)을 접착하는 단계를 나타낸다. 이 접착은, 평활하고 친수성 표면을 가지는 절연층(102)이 지지 기판(101)에 밀착함으로써 이루어진다. 이 접합은, 수소 결합이나 반데르발스(Van der Waals)력이 작용하고 있다. 접합은 친수성이 된 반도체 기판(119) 및 지지 기판(101)의 표면의 수산기나 물 분자가 접착제로서 기능함으로써 일어난다. 열처리에 의해 물 분자가 확산하여, 잔류 성분의 실라놀기(Si-OH)들이 수소 결합으로 결합한다. 또한, 이 접합부는, 수소가 빠짐으로써 실록산 결합(Si-O-Si)이 형성되어 공유 결합이 되고, 반도체 기판(119)과 지지 기판(101)의 접합이 강고하게 된다. 또한, 지지 기판(101)의 접착면에도, 배리어층(123)으로서 질화실리콘막, 질화산화실리콘막 등을 형성해 두어도 좋다. 배리어층(123)을 형성함으로써, 지지 기판(101)으로부터의 불순물 오염을 방지할 수 있다.

[0057] 또한, 지지 기판(101)과 절연층(102)과의 접착을 양호하게 행하기 위해, 접착면을 활성화해 두는 것은 바람직하다. 예를 들면, 접착하는 면의 한쪽 또는 쌍방에 원자 빔 혹은 이온 빔을 조사한다. 원자 빔 혹은 이온 빔을 이용하는 경우에는, 아르곤 등의 불활성 가스 중성 원자 빔 혹은 불활성 가스 이온 빔을 이용할 수 있다. 그 외에, 플라즈마 조사 혹은 라디칼 처리를 행함으로써 접합면을 활성화 할 수도 있다. 이와 같은 표면 처리에 의해, 400℃ 이하의 온도에서도 이중 재료간의 접합을 형성하는 것이 용이하게 된다.

[0058] 도 6(B)은, 가열 처리에 의해 손상층(121)을 벽개면으로서 반도체 기판(119)을 지지 기판(101)으로부터 분리하는 단계를 나타낸다. 가열 처리의 온도는 절연층(102)의 성막 온도 이상, 지지 기판(101)의 내열 온도 이하에서 행하는 것이 바람직하다. 예를 들면 400℃에서 600℃의 가열 처리를 행함에 따라, 손상층(121)에 형성된 미소한 공동의 퇴적 변화가 일어나고, 그 영역을 따라 벽개한다. 절연층(102)은 지지 기판(101)과 접착되어 있으므로, 지지 기판(101)에는 단결정 반도체층(106)과 제 1 전극(103)이 잔존한다. 이 때, 단결정 반도체층(106)의 두께는, 손상층(121)의 깊이에 거의 대응하고, 50 nm 이상 10000 nm 미만, 바람직하게는 100 nm에서 5000 nm의 두께로 형성한다.

[0059] 이상의 공정에 의해, 지지 기판(101) 위에 절연층(102)에 의해 고정된 단결정 반도체층(106)을 형성할 수 있다.

[0060] 도 7(A)은, 단결정 반도체층(106)에 제 1 불순물 반도체층(107)과는 반대의 도전형의 불순물을 첨가하여, 제 2 불순물 반도체층(108)을 형성하는 단계를 나타낸다. 예를 들면, 인 또는 비소를 첨가하여 제 2 불순물 반도체층(108)을 n형으로 형성한다. 또한, 단결정 반도체층(106)의 표면은 손상층(121)에 가장 가까운 영역, 또는 손

상층(121)의 일부를 포함하는 영역이므로, 에칭에 의해 제거해 두는 것이 바람직하다. 에칭은 드라이 에칭 또는 웨트 에칭에 의해 행해진다.

[0061] 다음에, 도 7(B)에 나타난 바와 같이, 제 3 불순물 반도체층(110), 비단결정 반도체층(109) 및 제 4 불순물 반도체층(111)을 형성한다. 각각의 층의 두께는, 제 3 불순물 반도체층(110)을 p형의 비정질 반도체층(예를 들면, p형의 비정질 실리콘층) 또는 p형의 미결정 반도체층(예를 들면, p형의 미결정 실리콘층)에서 10 nm 내지 20 nm, 비단결정 반도체층(109)으로서 비정질 실리콘층을 100 nm 내지 300 nm(바람직하게는 100 nm 이상 200 nm 이하), 제 4 불순물 반도체층(111)을 n형의 비정질 반도체층(예를 들면, n형의 비정질 실리콘층) 또는 n형의 미결정 반도체층(예를 들면, n형의 미결정 실리콘층)에서 20 nm 내지 60 nm로 형성한다.

[0062] 제 3 불순물 반도체층(110), 비단결정 반도체층(109) 및 제 4 불순물 반도체층(111)은, 플라즈마 CVD법에 의해 형성한다. 플라즈마를 여기하는 전력 주파수는, 10 MHz에서 200 MHz의 HF대 혹은 VHF대의 고주파 전력, 또는 1 GHz에서 5 GHz, 대표적으로는 2.45 GHz의 마이크로파 전력을 인가한다. 반도체 재료 가스를 포함하는 반응성 가스에는, 실란 혹은 디실란으로 대표되는 실리콘의 수소화물, 그 외 실리콘의 불화물 또는 실리콘의 염화물에 의한 가스를 이용하여, 적절히 수소, 불활성 가스를 혼합하여 이용한다. p형으로의 가전자 제어는 디보란(BH_3)을 첨가하고, n형에 대한 가전자 제어는 포스핀(PH_3)을 이용한다. 또한, 비단결정 반도체층(109)은 불순물이 저감되어 있는 것이 바람직하고, 산소 및 질소가 $1 \times 10^{19}/cm^3$ 이하, 바람직하게는 $5 \times 10^{18}/cm^3$ 이하로 하는 것이 바람직하다.

[0063] 도 7(C)에 나타난 바와 같이, 제 4 불순물 반도체층(111) 위에 제 2 전극(112)을 형성한다. 제 2 전극(112)은 투명 도전 재료를 이용하여 형성한다. 투명 도전 재료로서는 산화인듐·주석 합금(ITO), 산화아연(ZnO), 산화주석(SnO_2), ITO-ZnO 합금 등 산화물 금속을 이용한다. 제 2 전극(112)의 막 두께는, 40~200 nm(바람직하게는 50~100 nm)로 한다. 제 2 전극(112)의 시트 저항은 $20 \sim 200 \Omega / \square$ (ohm/square) 정도로 하면 좋다.

[0064] 제 2 전극(112)은 스퍼터링법 또는 진공 증착법으로 형성한다. 이 경우, 제 2 전극(112)이, 제 1 유닛 셀(104)과 제 2 유닛 셀(105)이 중첩되는 영역에 선택적으로 형성되도록, 웨도우 마스크를 이용하여 성막한다. 플라즈마 CVD법에 의해 제작되는 제 3 불순물 반도체층(110), 비단결정 반도체층(109) 및 제 4 불순물 반도체층(111)은 지지 기판(101)의 전면에 형성되므로, 불필요한 영역을 제거하는 경우에는, 이 제 2 전극(112)을 에칭의 마스크로서 이용할 수 있다.

[0065] 또한, 제 2 전극(112)은 상술한 산화물 금속으로 바꾸어 도전성 고분자 재료(도전성 폴리머라고도 함)를 이용할 수 있다. 도전성 고분자 재료로서는, π 전자 공액계 도전성 고분자를 이용할 수 있다. 예를 들면, 폴리아닐린 혹은 그 유도체, 폴리피롤 혹은 그 유도체, 폴리티오펜 혹은 그 유도체, 또는 이들의 2종 이상의 공중합체 등을 들 수 있다.

[0066] 도 8(A)은 제 2 전극(112)을 마스크로 하여, 제 4 불순물 반도체층(111), 비단결정 반도체층(109), 제 3 불순물 반도체층(110), 제 2 불순물 반도체층(108), 단결정 반도체층(106) 및 제 1 불순물 반도체층(107)을 에칭하여 제 1 전극(103)의 단부를 노출시키는 단계를 나타내고 있다. 에칭은 NF_3 , SF_6 등의 가스를 이용하여 드라이 에칭을 행한다.

[0067] 도 8(B)은, 제 1 유닛 셀(104) 및 제 2 유닛 셀(105)이 형성된 지지 기판(101) 위에 반사 방지층을 겸한 패시베이션층(124)을 형성하는 단계를 나타내고 있다. 패시베이션층(124)은, 질화실리콘, 질화산화실리콘, 또는 불화마그네슘으로 형성한다. 패시베이션층(124)은, 보조 전극과 콘택트를 형성하기 위해, 제 1 전극(103)과 제 2 전극(112)의 표면의 일부가 노출하도록 개구부를 형성한다. 패시베이션층(124)의 개구부는 에칭 가공에 의해 형성한다. 또는, 개구부가 형성된 패시베이션층(124)을 형성한다. 이 경우는, 상술한 바와 같이 웨도우 마스크를 이용하는 방법 또는, 리프트 오프법을 이용하는 방법을 적용할 수 있다.

[0068] 도 8(C)은, 제 1 전극(103)에 접하는 제 1 보조 전극(113)과, 제 2 전극(112)에 접하는 제 2 보조 전극(114)을 형성하는 단계를 나타낸다. 제 2 보조 전극(114)은, 도 1에 나타난 바와 같이 빗형 또는 격자상의 전극이다. 제 1 보조 전극(113)과 제 2 보조 전극(114)은 알루미늄, 은, 연석(鉛錫)(땜납) 등으로 형성하면 좋다. 예를 들면, 은 페이스트를 이용하여 스크린 인쇄법으로 형성한다.

[0069] 이와 같이 하여 광전 변환 장치를 제조할 수 있다. 본 공정에 의하면, 이종 재료간의 접합 기술을 이용함으로써, 700℃ 이하(바람직하게는 500℃ 이하)의 프로세스 온도로 10 μm 이하의 단결정 반도체층을 광전 변환층으로 하는 보텀 셀과, 그 위에 적층되는 비단결정 반도체층을 광전 변환층으로 하는 탑 셀을 가지는 광전 변환 장치

를 제조할 수 있다. 즉, 내열 온도가 700℃ 이하의 대면적 유리 기판에, 단결정 반도체층을 광전 변환층으로 하는 보텀 셀과, 그 위에 적층되는 비단결정 반도체층을 광전 변환층으로 하는 탑 셀을 가지는 광전 변환 장치를 제조할 수 있다. 단결정 반도체층은 단결정 반도체 기판의 표층을 분리함으로써 얻어지지만, 이 단결정 반도체 기판은 반복하여 이용할 수 있으므로 자원을 유효하게 이용할 수 있다.

[0070] [실시형태 3]

[0071] 실시형태 2에 있어서, 도 6(B)에서 반도체 기판(119)을 분리함으로써 노출된 단결정 반도체층(106)의 표면은, 손상층(121)을 형성한 것에 의해 결정 결함이 잔류하는 경우가 있다. 그 경우에는 단결정 반도체층(106)의 표층부를 에칭에 의해 제거해 두는 것이 바람직하다. 에칭은 드라이 에칭 또는 웨트 에칭으로 행한다. 또한, 단결정 반도체층(106)의 벽면은, 평균 면거칠기(Ra)가 7 nm~10 nm, 피크(peak)와 밸리(valley)의 최대 높낮이차(P-V)가 300 nm~400 nm인 요철면이 잔류하는 경우가 있다. 또한, 여기서 말하는 피크와 밸리의 최대 높낮이차란, 피크와 밸리의 높이의 차이를 나타낸다. 또한, 여기서 말하는 피크와 밸리는 JIS B0101에 의해 정의된 「피크」 「밸리」를 삼차원으로 확장한 것으로, 피크는 지정면의 피크들에 있어서 가장 표고(標高)가 높은 곳, 밸리는 지정면의 밸리들에 있어서 가장 표고가 낮은 곳이라고 표현된다.

[0072] 또한, 결정 결함이 잔류하는 단결정 반도체층(106)의 수복(修復)을 하기 위해, 레이저 처리를 하는 것이 바람직하다. 도 9는, 단결정 반도체층(106)에 대한 레이저 처리를 나타내고 있다. 레이저 빔(125)을 단결정 반도체층(106)에 조사함으로써, 단결정 반도체층(106)의 적어도 표면층은 용융하고, 고상 상태 하층부를 중 결정으로 하고, 그 후의 냉각 과정에서 재단결정화한다. 그 과정에서 단결정 반도체층(106)의 결함을 수복할 수 있다. 또한, 불활성 분위기 중에서 레이저 처리를 하면, 단결정 반도체층(106)의 표면을 평탄화시킬 수 있다.

[0073] 이 레이저 처리 시, 적어도 레이저 빔의 조사 영역은 250℃에서 600℃의 온도로 가열되어 있는 것이 바람직하다. 조사 영역을 가열해 둌으로써, 레이저 빔의 조사에 의한 용융 시간을 길게 할 수 있어, 결함의 수복을 보다 효과적으로 행할 수 있다. 레이저 빔(125)은 단결정 반도체층(106)의 표면층을 용융시키지만, 지지 기판(101)은 대부분 가열되지 않기 때문에, 유리 기판과 같은 내열성이 낮은 지지 기판을 이용하는 것이 가능하게 된다. 또한, 제 1 전극(103)은 내열성 금속으로 형성되어 있으므로, 상기 온도로 가열되어도 단결정 반도체층(106)에 악영향을 미치는 일이 없다. 제 1 전극(103)과 제 1 불순물 반도체층(107)의 계면에서는 실리사이드가 형성되어, 보다 전류가 흐르기 쉬워진다. 이 레이저 처리는 제 2 불순물 반도체층(108)의 활성화를 겸할 수 있다.

[0074] 이 레이저 처리를 행할 수 있는 레이저 처리 장치의 일례를, 도 11을 참조하여 설명한다. 레이저 처리 장치는, 레이저 발진기(210), 레이저광을 가는 선상 빔에 집광 신장시키는 광학계(211), 레이저 조사 영역의 분위기를 제어하는 가스 분사통(212), 이 가스 분사통(212)에 분위기를 제어 가스를 공급하는 가스 공급부(213), 유량 제어부(214), 가스 가열부(215), 지지 기판(101)을 부유시키고 반송하는 기판 스테이지(222), 기판의 양단을 지지하여 반송하는 가이드 레일(223), 기판 스테이지(222)에 부유용으로 가스를 공급하는 가스 공급부(216)를 구비하고 있다.

[0075] 레이저 발진기(210)는, 그 발진 파장이 자외광역 내지 가시광역에 있는 것이 선택된다. 레이저 발진기(210)는, 펄스 발진형의 ArF, KrF 또는 XeCl 엑시머 레이저, 혹은 Nd-YAG 레이저, YLF 레이저 등의 고체 레이저로, 반복 주파수 1 MHz 이하, 펄스폭 10 n초 이상 500 n초 이하의 것이 바람직하다. 예를 들면, 반복 주파수 10 Hz~300 Hz, 펄스폭 25 n초, 파장 308 nm의 XeCl 엑시머 레이저를 이용한다.

[0076] 광학계(211)는 레이저광을 집광 및 신장하여, 피조사면에 단면 형상이 선상이 되는 레이저 빔을 형성한다. 선상 빔을 형성하는 광학계(211)는, 실린드리컬 렌즈 어레이(217), 실린드리컬 렌즈(218), 미러(219), 더블릿 실린드리컬 렌즈(220)에 의해 구성된다. 렌즈의 크기에도 의하지만, 긴 방향은 100 mm~700 mm, 짧은 방향은 100~500 μm 정도의 선상 레이저광을 조사하는 것이 가능하다.

[0077] 선상으로 집광된 레이저 빔은 가스 분사통(212)의 광도입창(221)을 통해 지지 기판(101)에 조사된다. 가스 분사통(212)은 지지 기판(101)과 근접하여 배치되어 있다. 가스 분사통(212)에는 가스 공급부(213)로부터 질소 가스가 공급된다. 질소 가스는 가스 분사통(212)의 지지 기판(101)에 면한 개구부로부터 분사한다. 가스 분사통(212)의 개구부는 광도입창(221)으로부터 입사한 레이저 빔이 지지 기판(101)에 조사되도록, 선상 레이저 빔의 광축에 맞추어 배치되어 있다. 가스 분사통(212)의 개구부로부터 분사하는 질소 가스에 의해, 레이저 빔의 조사 영역은 질소 분위기가 된다.

- [0078] 가스 분사통(212)에 공급하는 질소 가스는, 가스 가열부(215)에서 250℃에서 600℃로 가열함으로써, 가열된 질소 가스로 지지 기관(101)의, 레이저 빔 조사면의 온도를 제어할 수 있다. 조사 영역을 가열해 덩으로써, 상기와 같이 레이저 빔의 조사에 의한 용융 시간을 제어할 수 있다.
- [0079] 기관 스테이지(222)에는, 가스 공급부(216)로부터 공기 또는 질소가 유량 제어부(214)를 통해 공급된다. 가스 공급부(216)로부터 공급되는 기체는, 기관 스테이지(222)의 상면으로부터, 지지 기관(101)의 하면으로 내뿜도록 분출시키고, 이 지지 기관(101)을 부유시킨다. 지지 기관(101)은 양단이 가이드 레일(223) 위를 움직이는 슬라이더(224)에 실려 반송되지만, 기관 스테이지(222)측으로부터 가스가 내뿜어짐으로써, 만곡하지 않고 부유한 상태로 반송할 수 있다. 본 형태의 레이저 처리 장치에서는, 지지 기관(101)의 상면에 가스 분사통(212)으로부터 질소 가스가 분출하므로, 지지 기관(101)의 뒷쪽으로부터도 가스를 내뿜음으로써, 지지 기관(101)의 휨을 방지할 수 있다.
- [0080] 기관 스테이지(222)는, 레이저 조사부 근방과, 그 이외의 영역으로 구획되어 있어도 좋다. 기관 스테이지(222)의 레이저 조사부 근방에서는, 가스 가열부(215)에 의해 가열된 질소 가스를 내뿜도록 해도 좋다. 그것에 의해, 지지 기관(101)을 가열할 수 있다.
- [0081] 도 9에 나타난 레이저 처리는, 단결정 반도체층(106)의 결함을 수복한다는 의미에 있어서 유용하다. 즉, 광전 변환 장치에 있어서는, 광전 변환에 의해 반도체 내에서 생성된 캐리어(전자 및 정공)를 반도체층의 표면에 형성된 전극에 수집하여 전류로서 추출하고 있다. 이 때, 반도체층의 표면에 있어서의 재결합 중심이 많으면, 거기서 광생성 캐리어가 소멸하게 되어 광전 변환 특성을 악화시키는 원인이 되게 된다. 따라서, 레이저 처리에 의해 단결정 반도체층의 결함을 수복해 두는 것은 유효한 처리가 된다.
- [0082] [실시형태 4]
- [0083] 본 형태는, 실시형태 1과 다른 제조 공정을 도 12에 나타낸다. 도 12에 있어서, (A) 보호막(120)을 형성하여 제 1 불순물 반도체층(107)을 형성한 후, (B) 보호막(120)을 그대로 남겨 손상층(121)을 형성해도 좋다. 그 후, (C) 보호막(120)을 제거하여 제 1 전극(103)을 형성한다. 이러한 공정으로 함으로써, 보호막(120)을 유효하게 이용할 수 있다. 즉, 이온의 조사로 손상을 받은 보호막(120)을, 제 1 전극(103)의 형성 전에 제거함으로써, 반도체 기관(119)의 표면의 손상을 방지할 수 있다. 또한, 제 1 불순물 반도체층(107)을 통해 수소의 클러스터 이온이 박히는 손상층(121)을 형성함으로써, 제 1 불순물 반도체층(107)의 수소화를 검할 수 있다. 이후의 공정은, 실시형태 1과 마찬가지로 행하면 좋다.
- [0084] [실시형태 5]
- [0085] 본 형태는, 실시형태 1과 다른 제조 공정을 도 13에 나타낸다. 도 13에 있어서, (A) 반도체 기관(119)에 제 1 전극(103)을 형성하고, (B) 제 1 전극(103)을 통하여 일도전형의 불순물을 첨가하여, 제 1 불순물 반도체층(107)을 형성한다. 그리고, (C) 제 1 전극(103)을 통해 수소의 클러스터 이온을 박아 손상층(121)을 형성한다. 본 공정에서는, 제 1 전극(103)을 최초로 형성함으로써, 이것을 이온 도핑에 있어서의 손상 방지층으로서 이용할 수 있다. 또한, 이온 도핑을 위해 보호막을 형성하는 공정을 생략할 수 있다. 이후의 공정은, 실시형태 1과 마찬가지로 행하면 좋다.
- [0086] [실시형태 6]
- [0087] 본 형태는, 실시형태 1과 다른 제조 공정을 도 14에 나타낸다. 도 14에 있어서, (A) 반도체 기관(119)에 제 1 전극(103)을 형성하고, (B) 제 1 전극(103)을 통해 수소의 클러스터 이온을 박아 손상층(121)을 형성한다. 그리고, (C) 제 1 전극(103)을 통해 일도전형의 불순물을 첨가하여 제 1 불순물 반도체층(107)을 형성한다. 본 공정에서는, 제 1 전극(103)을 최초로 형성함으로써, 이것을 이온 도핑에 있어서의 손상 방지층으로서 이용할 수 있다. 본 형태에서는, 이온 도핑을 위해 보호막을 형성하는 공정을 생략할 수 있다. 이후의 공정은, 실시형태 1과 마찬가지로 행하면 좋다.

- [0088] [실시형태 7]
- [0089] 본 형태는, 실시형태 1과 다른 제조 공정을 도 15에 나타낸다. 도 15에 있어서, (A) 보호막(120)을 형성하여 수소의 클러스터 이온을 박아 손상층(121)을 형성하고, (B) 보호막(120)을 그대로 남겨 제 1 불순물 반도체층(107)을 형성한다. 그리고, (C) 보호막(120)을 제거하여 제 1 전극(103)을 형성한다. 이러한 공정으로 함으로써, 보호막(120)을 유효하게 이용할 수 있다. 또한, 손상층(121)을 형성한 후에, 제 1 불순물 반도체층(107)을 형성함으로써, 이 제 1 불순물 반도체층(107)의 불순물 농도를 고농도화할 수 있고, 얇은 접합을 형성할 수 있다. 그것에 의해, 이면 전계(BSF: Back Surface Field) 효과에 의해 광생성 캐리어의 수집 효율이 높은 광전 변환 장치를 제조할 수 있다. 이후의 공정은, 실시형태 1과 마찬가지로 행하면 좋다.
- [0090] [실시형태 8]
- [0091] 본 형태는, 실시형태 1과 다른 제조 공정을 도 16에 나타낸다. 도 16에 있어서, (A) 보호막(120)을 형성하여 수소의 클러스터 이온을 박아 손상층(121)을 형성하고, (B) 보호막(120)을 제거하여 제 1 전극(103)을 형성한다. 그리고, (C) 제 1 전극(103)을 통하여 일도전형의 불순물을 첨가하여 제 1 불순물 반도체층(107)을 형성한다. 제 1 전극(103)을 통하여 제 1 불순물 반도체층(107)을 형성함으로써, 제 1 불순물 반도체층(107)의 두께를 제어하는 것이 용이해진다. 이후의 공정은, 실시형태 1과 마찬가지로 행하면 좋다.
- [0092] [실시형태 9]
- [0093] 실시형태 1 내지 8에 의해 제조되는 광전 변환 장치를 이용한 태양광 발전 모듈의 일례를 도 17(A)에 나타낸다. 이 태양광 발전 모듈(128)은, 지지 기관(101) 위에 형성된 제 1 유닛 셀(104)과 제 2 유닛 셀(105)에 의해 구성되어 있다.
- [0094] 제 1 보조 전극(113)과 제 2 보조 전극(114)은 지지 기관(101)의 일면에 형성되고, 지지 기관(101)의 단부 영역에서 커넥터용의 제 1 이면 전극(126) 및 제 2 이면 전극(127)과 각각 접속한다. 도 17(B)은, C-D 절단선에 대응하는 단면도이며, 지지 기관(101)의 관통구를 통하여 제 1 보조 전극(113)이 제 1 이면 전극(126)과 접속하고, 제 2 보조 전극(114)이 제 2 이면 전극(127)과 접속하고 있다.
- [0095] 이와 같이, 지지 기관(101)에 제 1 유닛 셀(104)과 제 2 유닛 셀(105)을 형성하여 광전 변환 장치(100)를 형성함으로써, 태양광 발전 모듈(128)의 박형화를 도모할 수 있다.
- [0096] [실시형태 10]
- [0097] 도 18은 태양광 발전 모듈(128)을 이용한 태양광 발전 시스템의 일례를 나타낸다. 하나 또는 복수의 태양광 발전 모듈(128)의 출력 전력은, 충전 제어 회로(129)에 의해 축전지(130)를 충전한다. 축전지(130)의 충전량이 많은 경우에는, 부하(131)에 직접 출력되는 경우도 있다.
- [0098] 축전지(130)로서 전기 이중층 커패시터를 이용하면, 충전에 화학 반응을 필요로 하지 않고, 급속히 충전할 수 있다. 또한, 화학 반응을 이용하는 납축전지 등에 비하여, 수명을 약 8배, 충방전 효율을 1.5배로 높일 수 있다. 부하(131)로서는, 형광등, 발광 다이오드, 일렉트로 루미네스스 패널 등의 조명, 소형의 전자기기 등 다양한 용도에 응용할 수 있다.

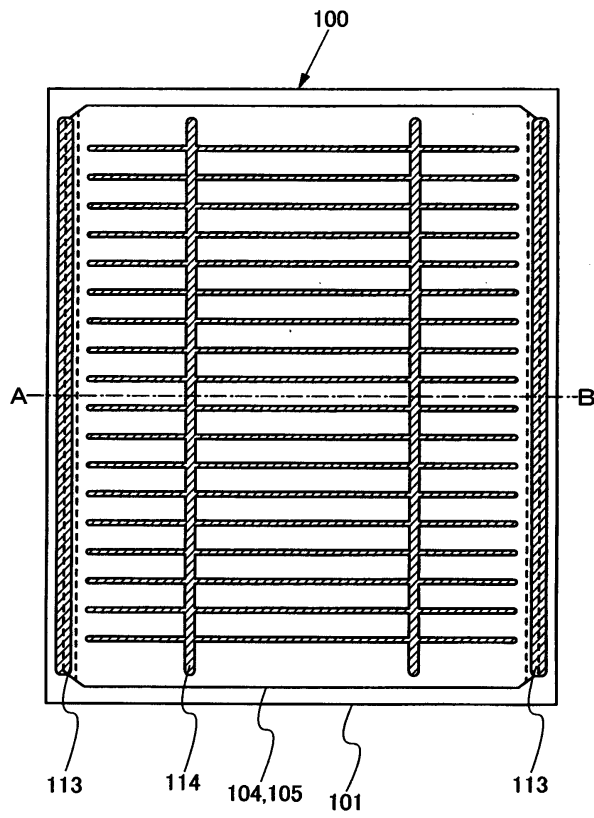
부호의 설명

- [0099]
- | | |
|-------------------|-------------------|
| 100: 광전 변환 장치 | 101: 지지 기관 |
| 102: 절연층 | 103: 제 1 전극 |
| 104: 제 1 유닛 셀 | 105: 제 2 유닛 셀 |
| 106: 단결정 반도체층 | 107: 제 1 불순물 반도체층 |
| 108: 제 2 불순물 반도체층 | 109: 비단결정 반도체층 |

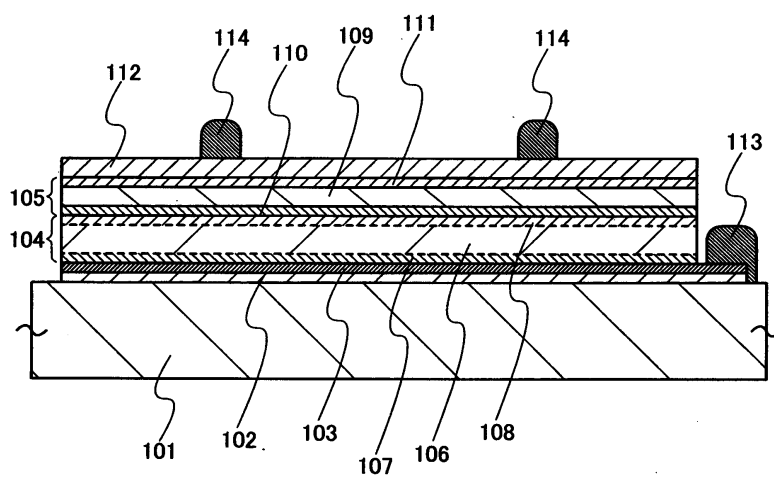
110: 제 3 불순물 반도체층	111: 제 4 불순물 반도체층
112: 제 2 전극	113: 제 1 보조 전극
114: 제 2 보조 전극	115: 제 3 유닛 셀
116: 비단결정 반도체층	117: 제 5 불순물 반도체층
118: 제 6 불순물 반도체층	119: 반도체 기관
120: 보호막	121: 손상층
122: 이온 빔	123: 배리어층
124: 패시베이션층	125: 레이저 빔
126: 제 1 이면 전극	127: 제 2 이면 전극
128: 태양광 발전 모듈	129: 충전 제어 회로
130: 축전지	131: 부하
200: 이온원	201: 필라멘트
202: 필라멘트 전원	203: 전원 제어부
204: 가스 공급부	205: 인출 전극계
206: 채치대	207: 질량 분석관
208: 질량 분석계	209: 배기계
210: 레이저 발진기	211: 광학계
212: 가스 분사통	213: 가스 공급부
214: 유량 제어부	215: 가스 가열부
216: 가스 공급부	217: 실린드릭얼 렌즈 어레이
218: 실린드릭얼 렌즈	219: 밀러
220: 더블릿 실린드릭얼 렌즈	221: 광도입창
222: 기관 스테이지	224: 슬라이더

도면

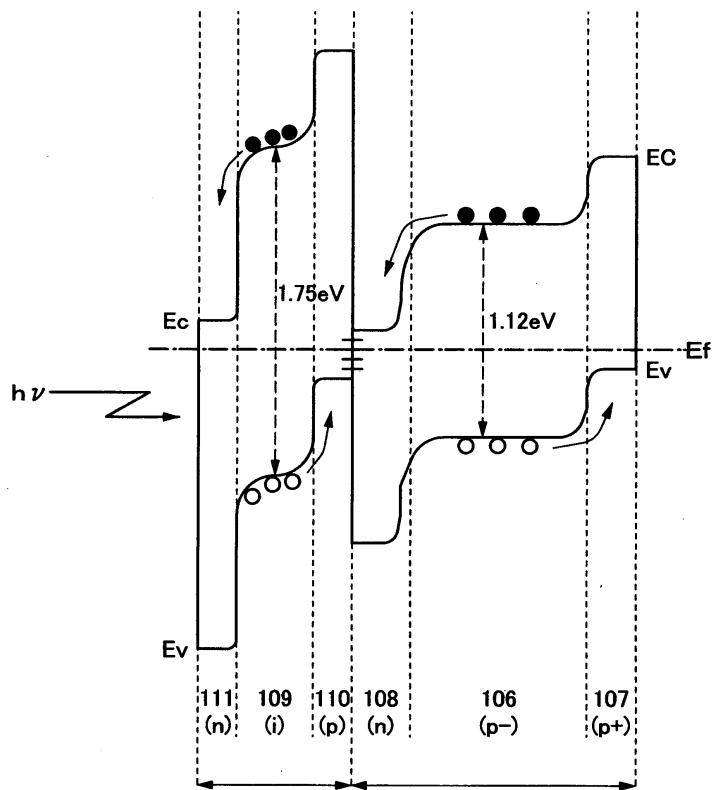
도면1



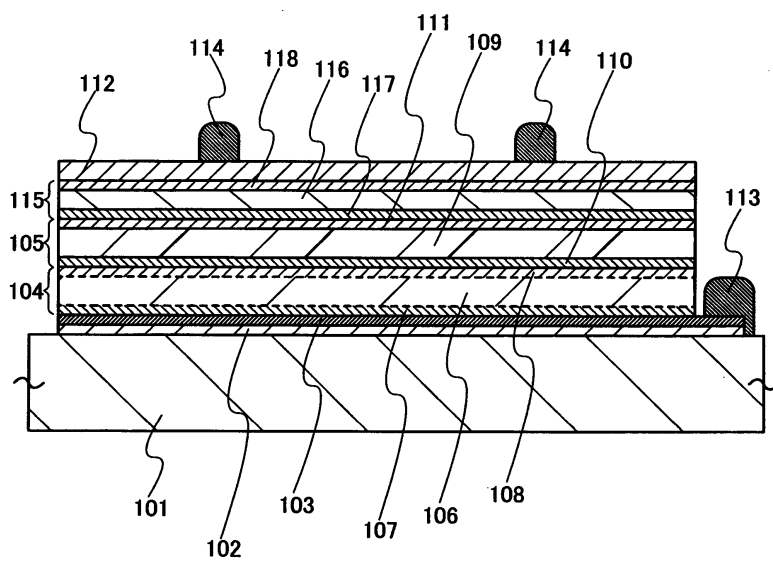
도면2



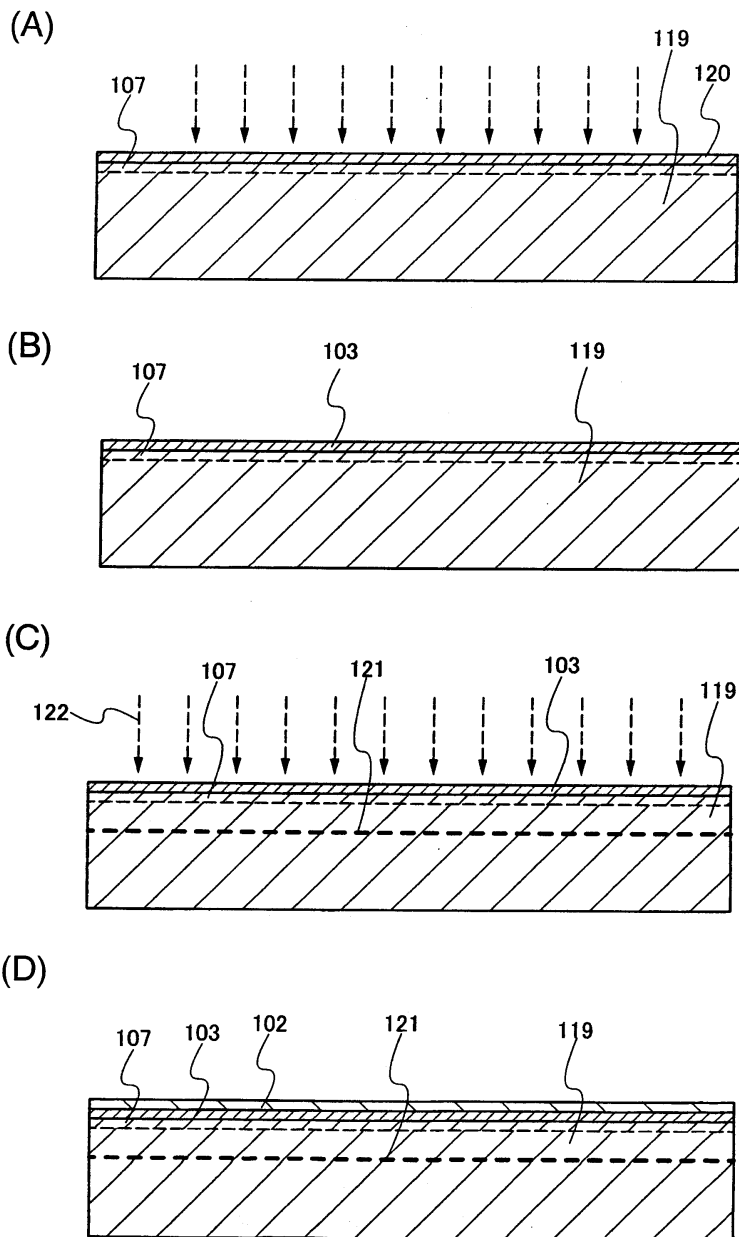
도면3



도면4

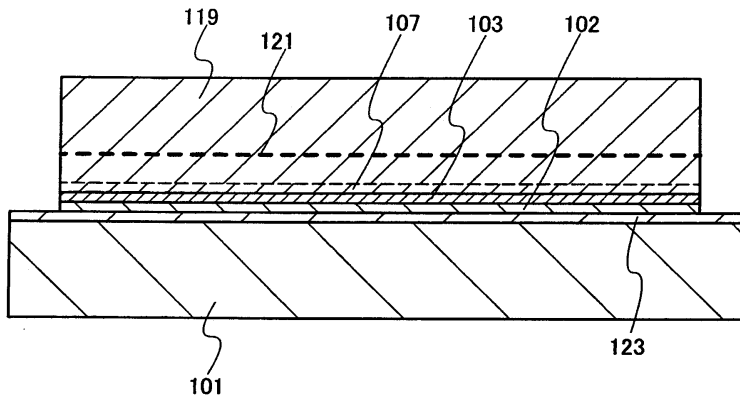


도면5

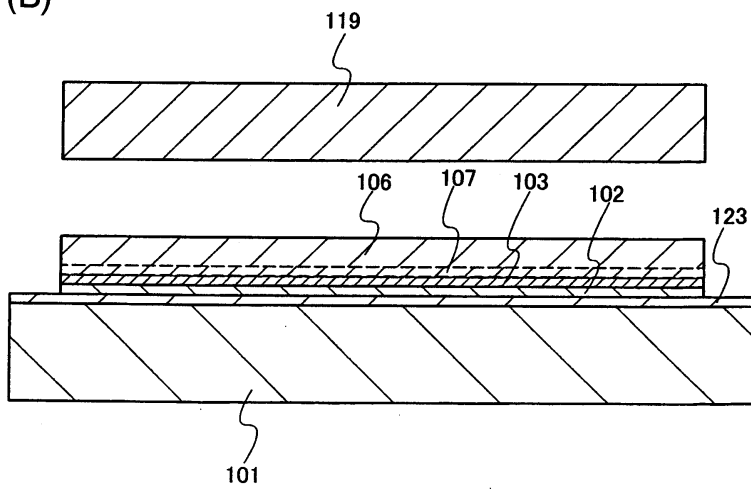


도면6

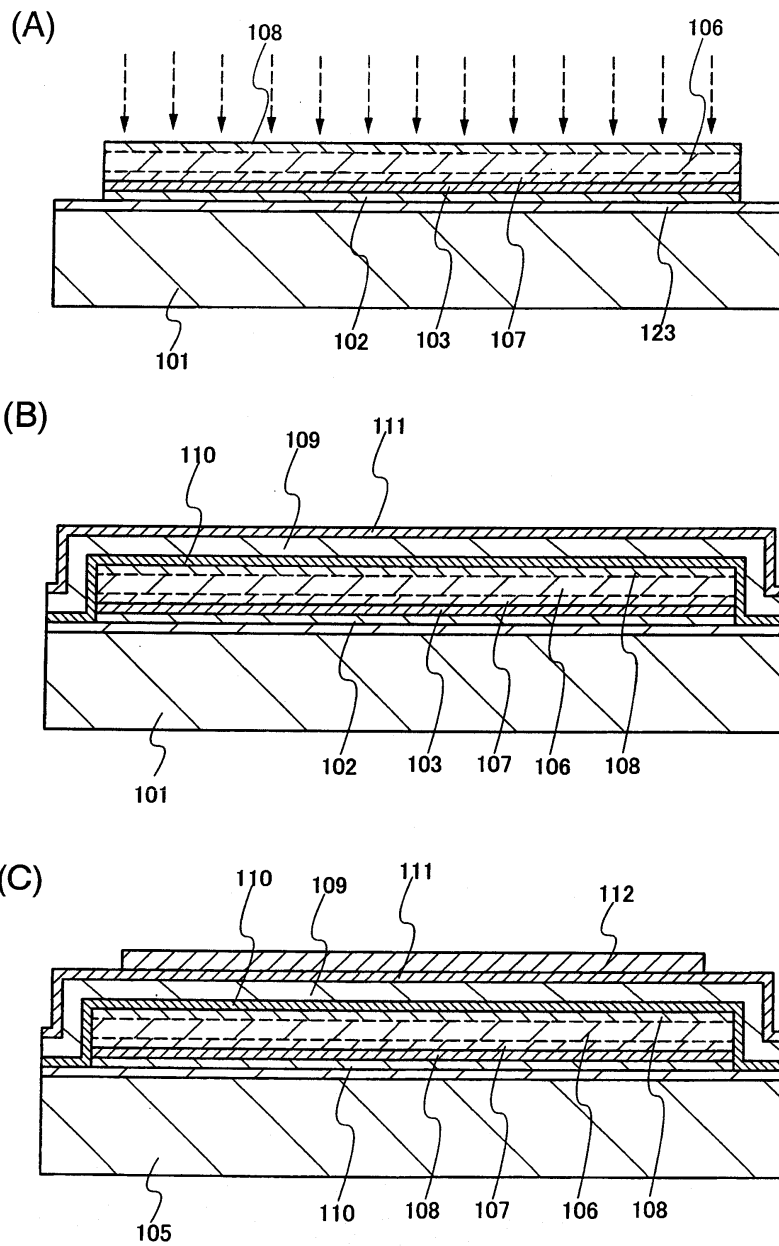
(A)



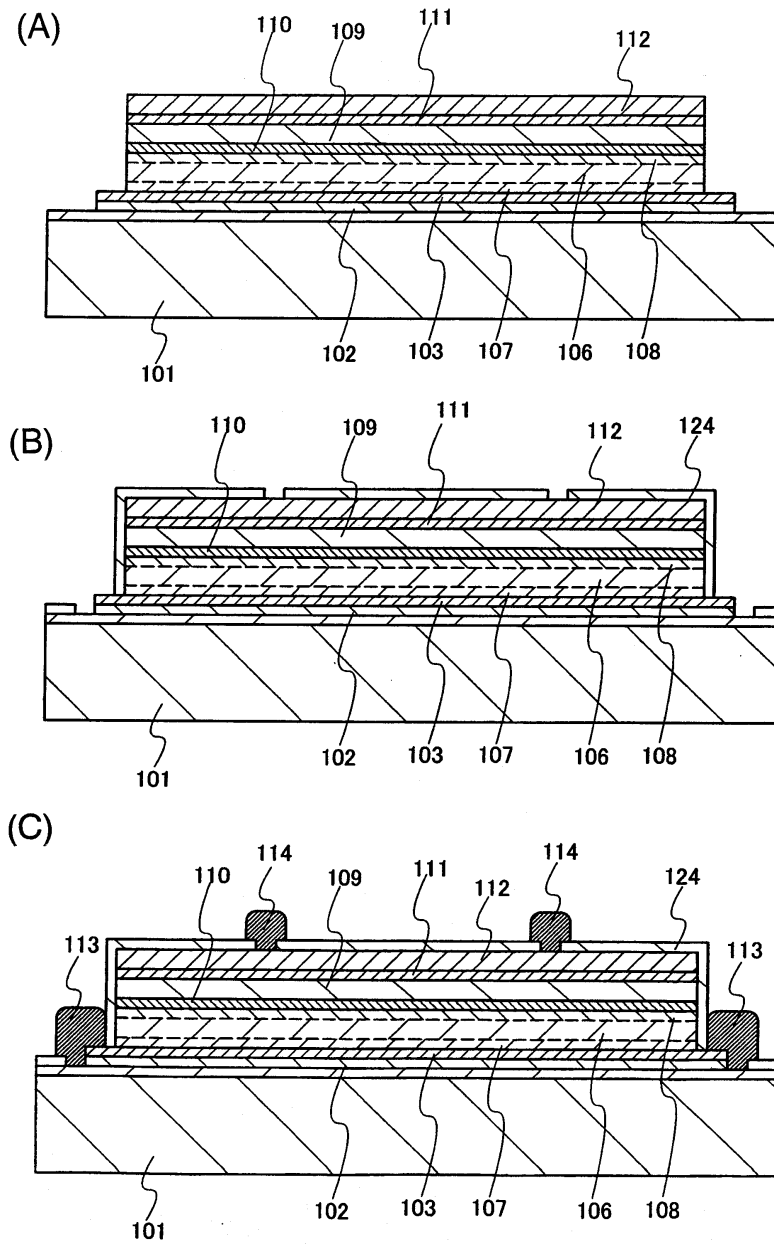
(B)



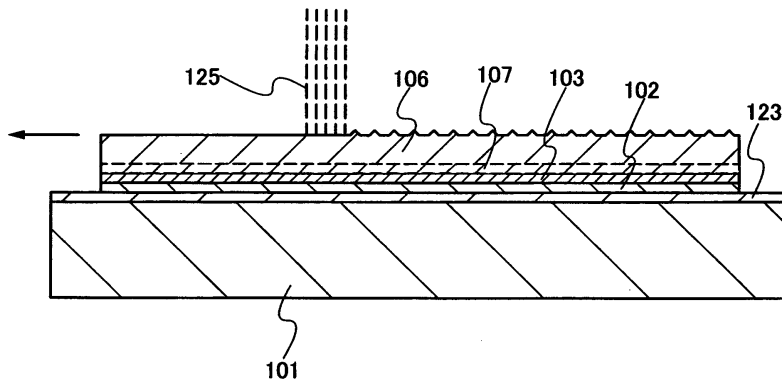
도면7



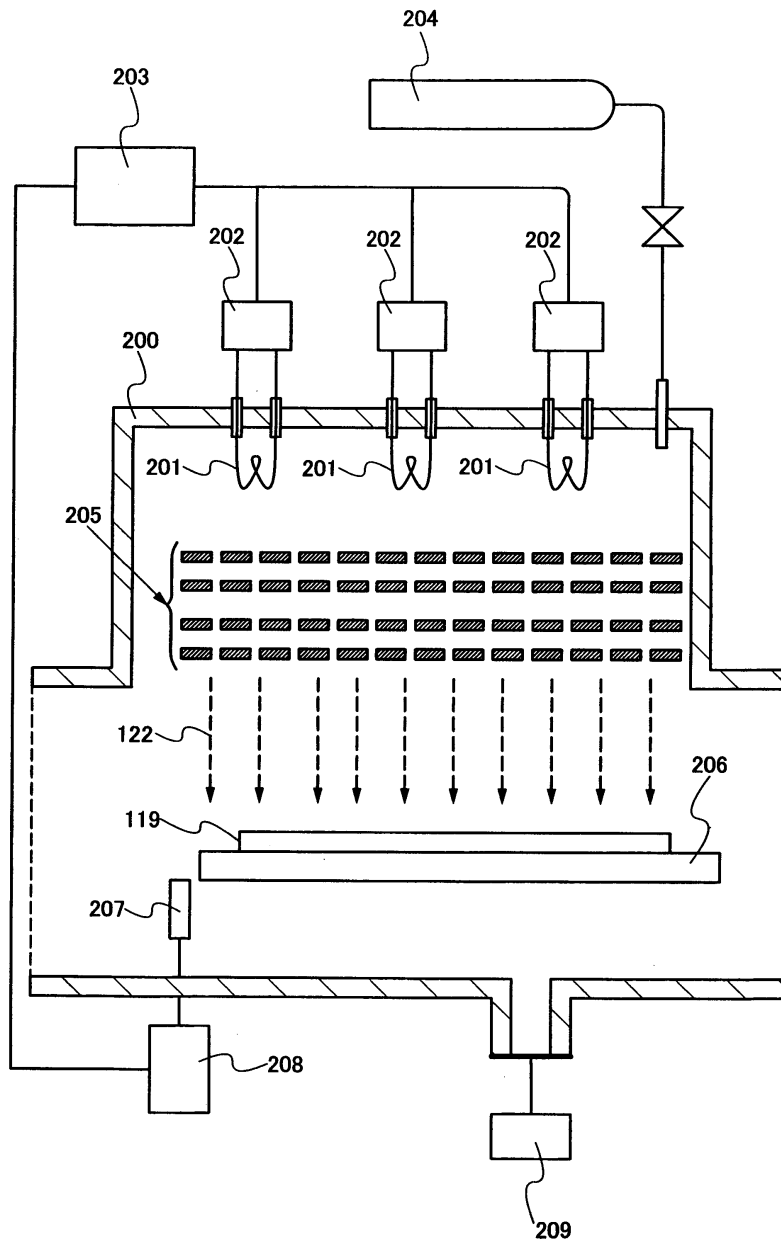
도면8



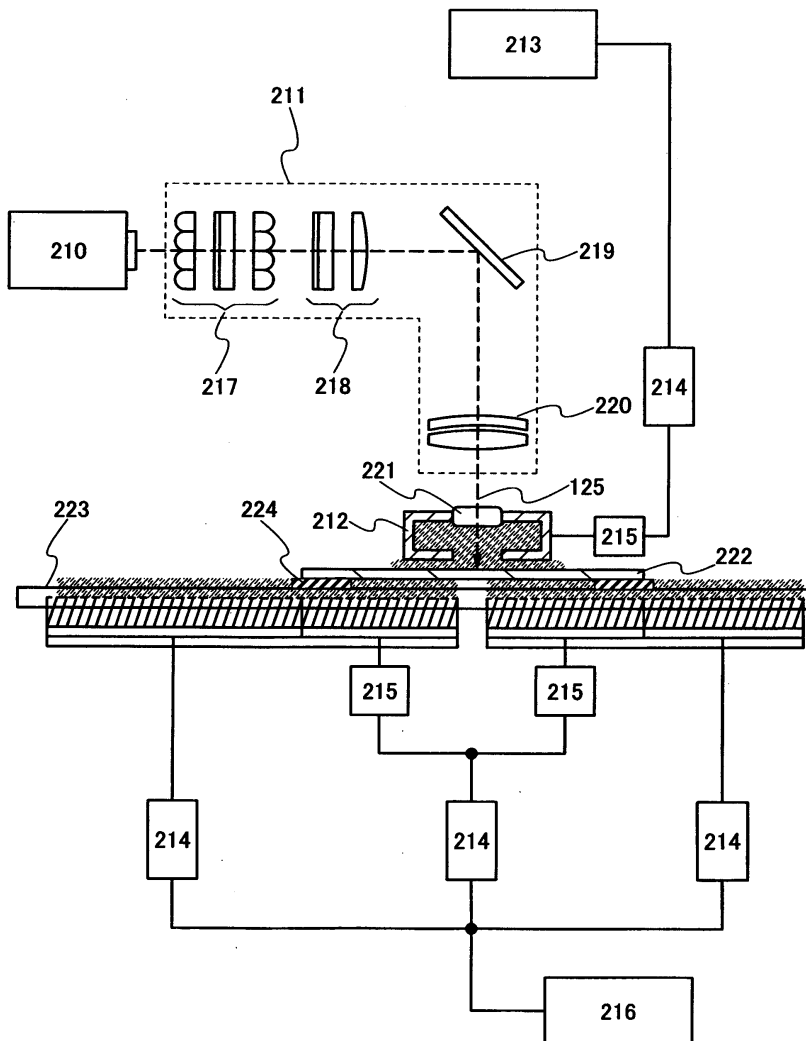
도면9



도면10

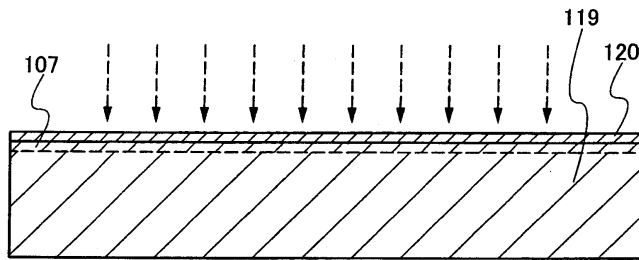


도면11

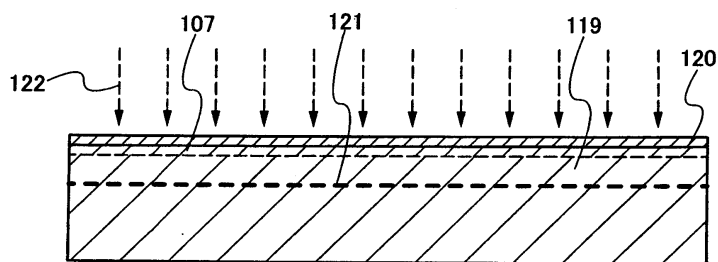


도면12

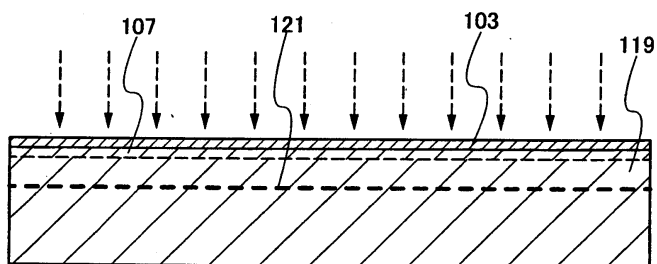
(A)



(B)

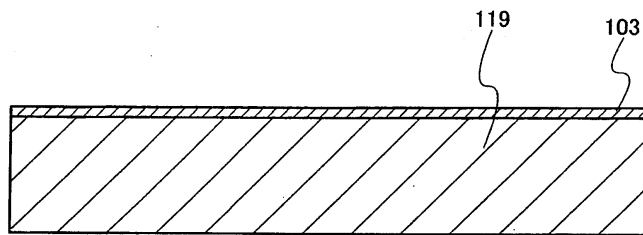


(C)

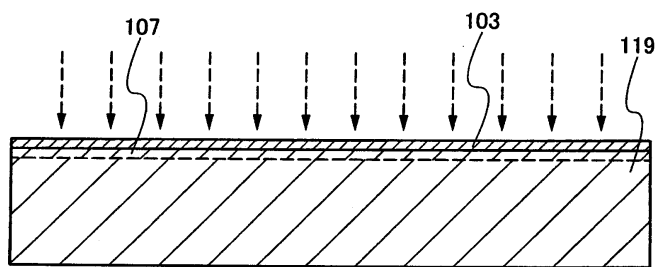


도면13

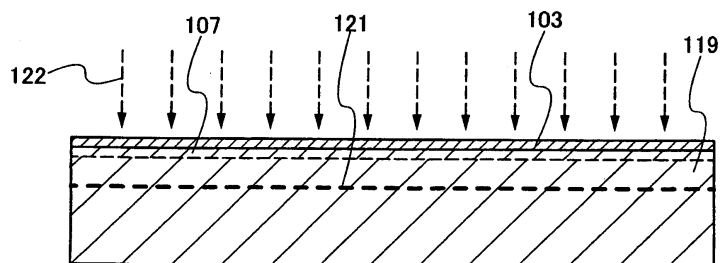
(A)



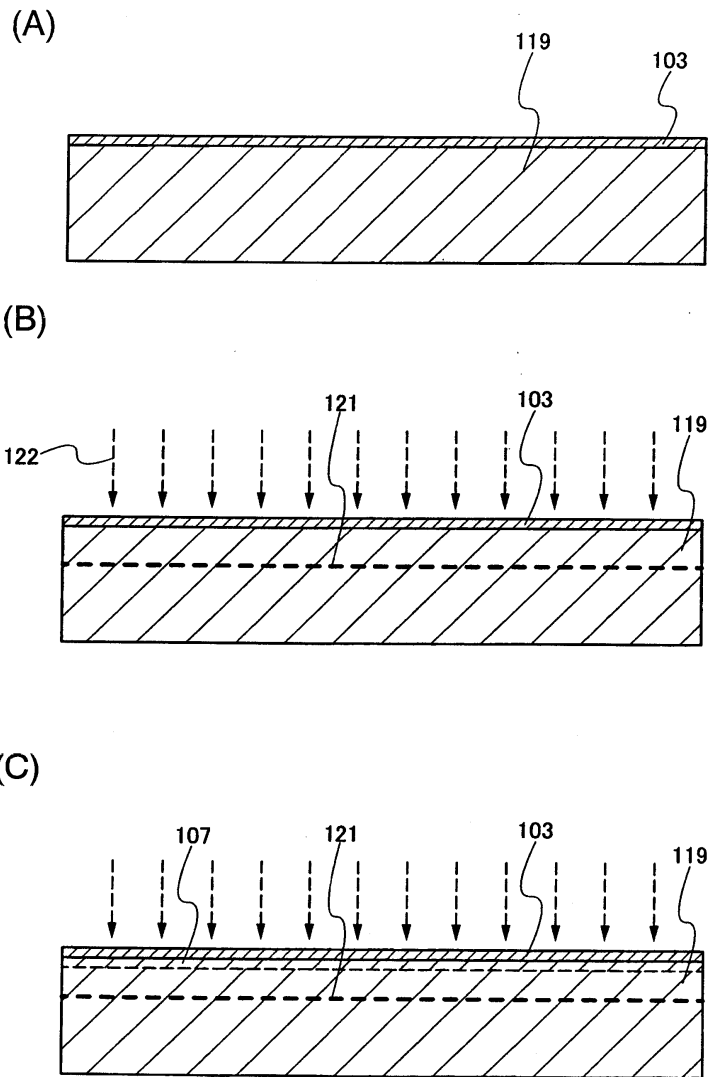
(B)



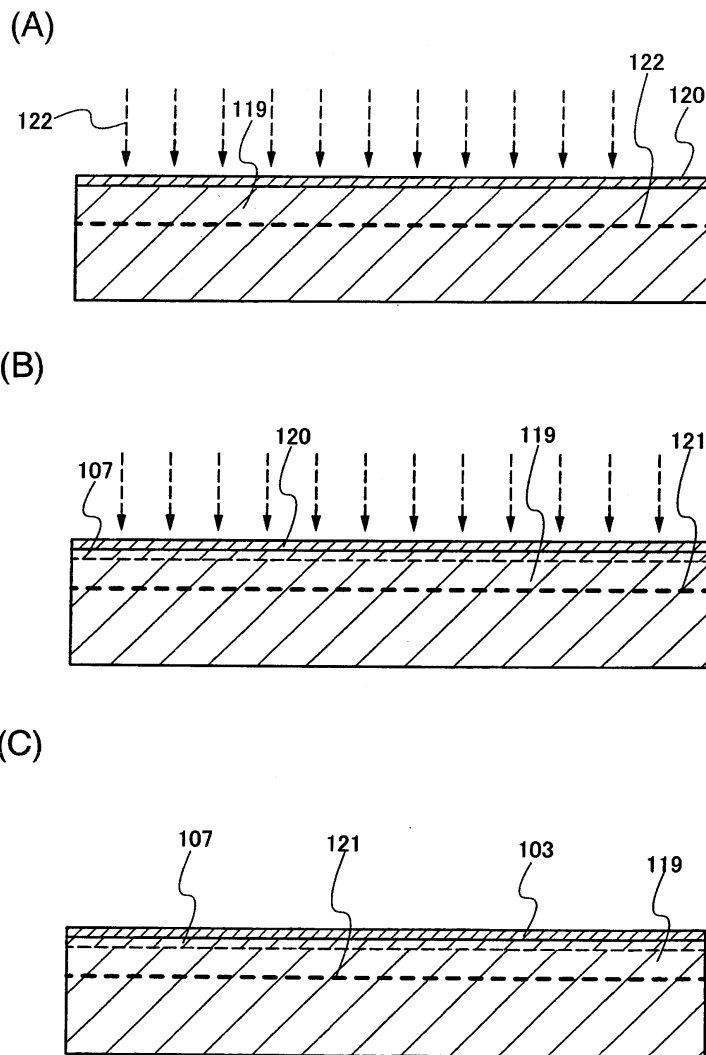
(C)



도면14

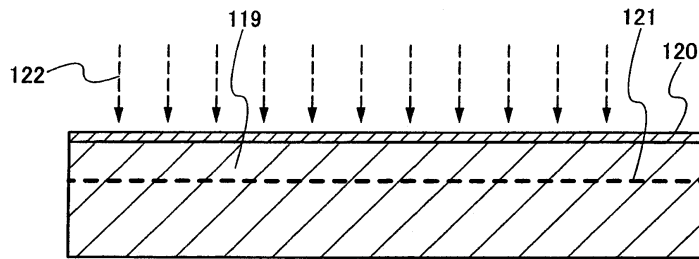


도면15

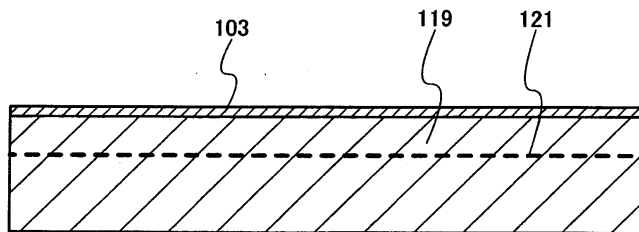


도면16

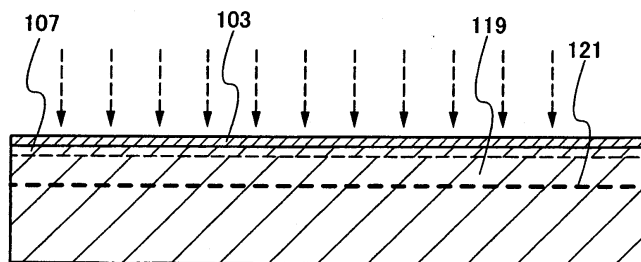
(A)



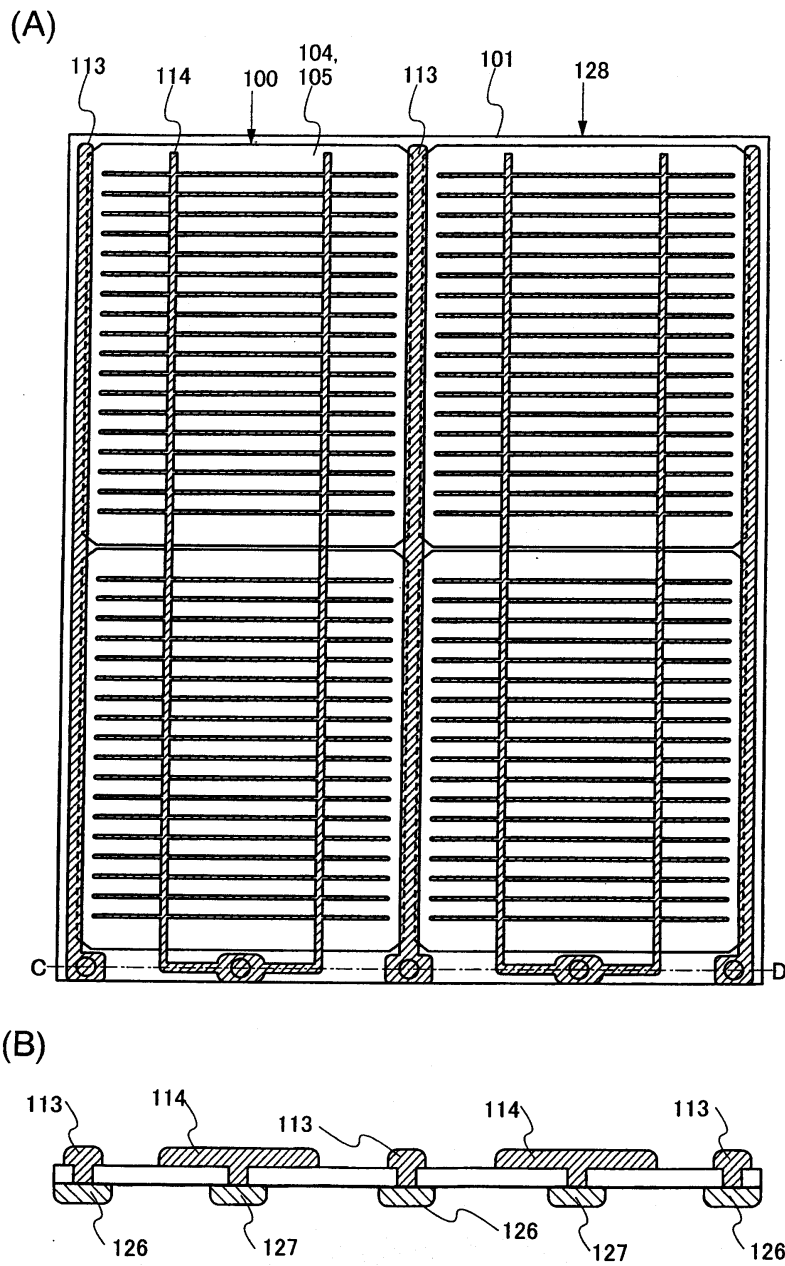
(B)



(C)



도면17



도면18

