



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2019년08월01일  
 (11) 등록번호 10-2006586  
 (24) 등록일자 2019년07월26일

(51) 국제특허분류(Int. Cl.)  
 G11C 11/408 (2006.01) G11C 11/405 (2006.01)  
 H01L 27/11521 (2017.01) H01L 27/1156 (2017.01)  
 (52) CPC특허분류  
 G11C 11/4087 (2013.01)  
 G11C 11/405 (2013.01)  
 (21) 출원번호 10-2018-7034536 (분할)  
 (22) 출원일자(국제) 2011년07월19일  
 심사청구일자 2018년11월28일  
 (85) 번역문제출일자 2018년11월28일  
 (65) 공개번호 10-2018-0130595  
 (43) 공개일자 2018년12월07일  
 (62) 원출원 특허 10-2013-7004843  
 원출원일자(국제) 2011년07월19일  
 심사청구일자 2016년06월17일  
 (86) 국제출원번호 PCT/JP2011/066791  
 (87) 국제공개번호 WO 2012/017844  
 국제공개일자 2012년02월09일  
 (30) 우선권주장  
 JP-P-2010-178168 2010년08월06일 일본(JP)  
 JP-P-2011-108190 2011년05월13일 일본(JP)  
 (56) 선행기술조사문헌  
 JP2001044297 A\*  
 JP2001351386 A\*  
 K.Nomura et al., 'Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor', Science, Vol.300, pages 1269~1272, 23 May 2003. 1부.\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 가부시카이가이샤 한도오따이 에네루기 켄큐쇼  
 일본국 가나가와켄 아쓰기시 하세 398  
 (72) 발명자  
 나가츠카 슈헤이  
 일본 2430036 가나가와켄 아쓰기시 하세 398 가부  
 시카이가이샤 한도오따이 에네루기 켄큐쇼 내  
 마츠자키 다카노리  
 일본 2430036 가나가와켄 아쓰기시 하세 398 가부  
 시카이가이샤 한도오따이 에네루기 켄큐쇼 내  
 (뒷면에 계속)  
 (74) 대리인  
 장수길, 박충범, 이중희

전체 청구항 수 : 총 10 항

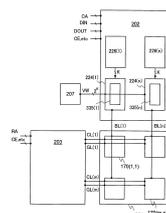
심사관 : 손윤식

(54) 발명의 명칭 **반도체 장치**

**(57) 요약**

전력이 공급되지 않는 상황에서도 기억 내용의 유지가 가능하고, 또한, 기입 횟수에도 제한이 없는 신규한 구조의 반도체 장치를 제공하는 것을 목적으로 한다. 와이드 갭 반도체, 예를 들어 산화물 반도체를 포함하는 메모리 셀을 이용해서 구성된 반도체 장치이다. 반도체 장치는 메모리 셀로부터의 관독을 위한 기준 전위보다 낮은 (뒷면에 계속)

**대표도**



전위를 출력하는 기능을 갖는 전위 전환 회로를 구비한다. 와이드 갭 반도체를 이용함으로써, 메모리 셀에 포함되는 트랜지스터의 오프 전류를 충분히 작게 할 수 있으며, 장기간에 걸쳐 데이터를 보유하는 것이 가능한 반도체 장치를 제공할 수 있다.

(52) CPC특허분류

*H01L 27/11521* (2013.01)

*H01L 27/1156* (2013.01)

(72) 발명자

**이노우에 히로키**

일본 2430036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오따이 에네루기 켄큐쇼 내

**가토 기요시**

일본 2430036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오따이 에네루기 켄큐쇼 내

**명세서**

**청구범위**

**청구항 1**

삭제

**청구항 2**

반도체 장치로서,

$m \times n$ 개의 메모리 셀을 포함하는 메모리 셀 어레이;

제1 구동 회로;

제2 구동 회로;

전위 생성 회로;

비트선;

소스선; 및

게이트선

을 포함하고,

상기 제1 구동 회로는 상기 메모리 셀의 열마다 K 비트 래치부와, K 비트 멀티플렉서를 포함하는 기입 회로를 포함하고,

상기 기입 회로는 상기 전위 생성 회로 및 상기 K 비트 래치부에 접속되고,

상기 메모리 셀 중 하나를 포함하는 복수의 메모리 셀은 상기 비트선과 상기 소스선 사이에 직렬로 접속되는, 반도체 장치.

**청구항 3**

반도체 장치로서,

$m \times n$ 개의 메모리 셀을 포함하는 메모리 셀 어레이;

제1 구동 회로;

제2 구동 회로;

K 비트 카운터(K는 자연수);

전위 생성 회로;

비트선;

소스선; 및

게이트선

을 포함하고,

상기 제1 구동 회로는 상기 메모리 셀의 열마다 K 비트 래치부와 판독 회로를 포함하고,

상기 K 비트 카운터는 상기 K 비트 래치부의 입력과 상기 판독 회로에 전기적으로 접속되고,

상기 판독 회로는 상기 K 비트 래치부에 접속되는, 반도체 장치.

**청구항 4**

반도체 장치로서,

$m \times n$ 개의 메모리 셀을 포함하는 메모리 셀 어레이;

제1 구동 회로;

제2 구동 회로;

K 비트 카운터(K는 자연수);

전위 생성 회로;

비트선;

소스선; 및

게이트선

을 포함하고,

상기 제1 구동 회로는 상기 메모리 셀의 열마다 K 비트 래치부와, K 비트 멀티플렉서를 포함하는 기입 회로와, 판독 회로를 포함하고,

상기 K 비트 카운터는 상기 K 비트 래치부의 입력과 상기 판독 회로에 전기적으로 접속되고,

상기 K 비트 래치부는 상기 기입 회로와 상기 판독 회로에 접속되는, 반도체 장치.

#### 청구항 5

제2항 내지 제4항 중 어느 한 항에 있어서,

상기 메모리 셀 중 하나는,

제1 게이트 전극, 제1 소스 전극, 제1 드레인 전극 및 제1 채널 형성 영역을 포함하는 제1 트랜지스터; 및

제2 게이트 전극, 제2 소스 전극, 제2 드레인 전극 및 제2 채널 형성 영역을 포함하는 제2 트랜지스터

를 포함하고,

상기 소스선은 상기 제1 소스 전극에 접속되고,

상기 비트선은 상기 제1 드레인 전극 및 상기 제2 드레인 전극에 접속되고,

상기 게이트선은 상기 제2 게이트 전극에 접속되고,

상기 제1 게이트 전극은 상기 제2 소스 전극에 접속되는, 반도체 장치.

#### 청구항 6

제2항 내지 제4항 중 어느 한 항에 있어서,

상기 메모리 셀 중 하나는,

제1 게이트 전극, 제1 소스 전극, 제1 드레인 전극 및 제1 채널 형성 영역을 포함하는 제1 트랜지스터; 및

제2 게이트 전극, 제2 소스 전극, 제2 드레인 전극 및 제2 채널 형성 영역을 포함하는 제2 트랜지스터

를 포함하고,

상기 제1 트랜지스터는 p채널형 트랜지스터이며 상기 제2 트랜지스터는 n채널형 트랜지스터인, 반도체 장치.

#### 청구항 7

제2항 내지 제4항 중 어느 한 항에 있어서,

상기 메모리 셀 중 하나는,

제1 게이트 전극, 제1 소스 전극, 제1 드레인 전극 및 제1 채널 형성 영역을 포함하는 제1 트랜지스터; 및

제2 게이트 전극, 제2 소스 전극, 제2 드레인 전극 및 제2 채널 형성 영역을 포함하는 제2 트랜지스터를 포함하고,

상기 제2 트랜지스터의 상기 제2 채널 형성 영역은 산화물 반도체를 포함하는, 반도체 장치.

**청구항 8**

제3항 또는 제4항에 있어서,

상기 메모리 셀 중 하나를 포함하는 복수의 메모리 셀은 상기 비트선과 상기 소스선 사이에 병렬로 접속되는, 반도체 장치.

**청구항 9**

제3항 또는 제4항에 있어서,

상기 메모리 셀 중 하나를 포함하는 복수의 메모리 셀은 상기 비트선과 상기 소스선 사이에 직렬로 접속되는, 반도체 장치.

**청구항 10**

제3항 또는 제4항에 있어서,

상기 판독 회로는 부하와, 센스 앰프와, NAND 회로를 포함하고,

상기 센스 앰프는 상기 NAND 회로의 입력의 한쪽에 접속되고,

메모리 판독선은 상기 NAND 회로의 상기 입력의 다른 쪽에 접속되고,

상기 K 비트 래치부는 상기 NAND 회로의 출력에 접속되는, 반도체 장치.

**청구항 11**

제2항 내지 제4항 중 어느 한 항에 있어서,

상기 전위 생성 회로는 상기 제1 구동 회로 및 상기 제2 구동 회로에 접속되는, 반도체 장치.

**청구항 12**

삭제

**발명의 설명**

**기술 분야**

[0001] 본 발명은 반도체 소자를 이용한 반도체 장치 및 반도체 장치의 구동 방법에 관한 것이다.

**배경 기술**

[0002] 반도체 소자를 이용한 기억 장치는 전력의 공급이 없어지면 기억 내용을 잃어버리는 휘발성의 장치와, 전력의 공급이 없어져도 기억 내용은 유지되는 불휘발성의 장치인 2개의 카테고리로 대별된다.

[0003] 휘발성 기억 장치의 대표적인 예로서는, DRAM(Dynamic Random Access Memory)이 있다. DRAM은 기억 소자를 구성하는 트랜지스터를 선택해서 용량 소자에 전하를 축적하는 것으로 데이터를 기억한다.

[0004] 상술한 원리로부터, DRAM에서는, 데이터를 판독하면 용량 소자의 전하를 잃어버리기 때문에, 데이터의 판독 시에, 또 하나의 기입 동작이 필요해진다. 또한, 기억 소자를 구성하는 트랜지스터에서는 오프 상태에서의 소스와 드레인 간의 리크 전류(오프 전류) 등에 의해, 트랜지스터가 선택되지 않고 있는 상황에서도 전하가 유출 또는 유입하기 때문에, 데이터의 유지 기간이 짧다. 이로 인해, 소정의 주기에서 또 하나의 기입 동작(리프레시 동작)이 필요해져서, 소비 전력을 충분히 저감하는 것은 곤란하다. 또한, 전력의 공급이 없어지면 기억 내용이 잃어버려지기 때문에, 장기간의 기억의 유지에는, 자성 재료나 광학 재료를 이용한 다른 기억 장치가 필요해진다.

- [0005] 휘발성 기억 장치의 다른 예로서는 SRAM(Static Random Access Memory)이 있다. SRAM은 플립플롭 등의 회로를 이용해서 기억 내용을 유지하므로, 리프래시 동작이 불필요해서, 이 점에서는 DRAM보다 유리하다. 그러나, 플립플롭 등의 회로를 이용하고 있기 때문에, 기억 용량 당의 단가가 높아진다는 문제가 있다. 또한, 전력의 공급이 없다면 SRAM에서 기억 내용이 잃어버려진다는 점에 대해서는, DRAM과 마찬가지로이다.
- [0006] 불휘발성 기억 장치의 대표 예로서는 플래시 메모리가 있다. 플래시 메모리는 트랜지스터의 게이트 전극과 채널 형성 영역 사이에 플로팅 게이트를 포함하고, 당해 플로팅 게이트에 전하를 유지시키는 것으로 기억을 행한다. 그러므로, 데이터의 유지 기간은 지극히 길고(반 영구적), 휘발성 기억 장치에 필요한 리프래시 동작이 불필요하다는 이점을 갖고 있다(예를 들어, 특허 문헌 1 참조).
- [0007] 그러나, 기입 시에 발생하는 터널 전류에 의해 기억 소자를 구성하는 게이트 절연층이 열화하므로, 소정 횟수의 기입에 의해 기억 소자가 기능하지 않는다는 문제가 발생한다. 이 문제의 영향을 완화하기 위해서, 예를 들어, 각 기억 소자의 기입 횟수를 균일화하는 방법이 채용되지만, 이것을 실현하기 위해서는 복잡한 주변 회로가 필요하게 된다. 그리고, 이러한 방법을 채용해도, 근본적인 수명의 문제가 해소되는 것은 아니다. 즉, 플래시 메모리는, 데이터의 재기입 빈도가 높은 용도에는 부적합하다.
- [0008] 또한, 플로팅 게이트에 전하를 주입시키기 위해서, 또는, 그 전하를 제거하기 위해서는, 높은 전압이 필요하고, 또한, 그로 인해 높은 전압을 발생하는 회로도 필요하다. 또한, 전하의 주입, 또는 제거에 비교적 긴 시간이 필요로 하고, 기입, 소거의 고속화가 용이하지 않다는 문제도 있다.

**선행기술문헌**

**특허문헌**

- [0009] (특허문헌 0001) 일본 특개 소 57-105889호 공보

**발명의 내용**

- [0010] 상술한 문제를 감안하여, 본 발명의 한 실시 형태에서는, 전력이 공급되지 않는 상황에서도 기억 내용의 유지가 가능하고, 또한, 기입 횟수에도 제한이 없는 신규한 구조의 반도체 장치를 제공하는 것을 목적으로 한다.
- [0011] 본 발명의 한 실시 형태에서는, 트랜지스터의 오프 전류를 충분히 작게 할 수 있는 재료, 예를 들어, 와이드 갭 반도체인 산화물 반도체 재료를 이용해서 반도체 장치를 구성한다. 트랜지스터의 오프 전류를 충분히 작게 할 수 있는 반도체 재료를 이용함으로써, 반도체 장치는 장기간에 걸쳐 데이터를 보유하는 것이 가능하다.
- [0012] 본 발명의 한 실시 형태에서는, 예를 들어, 와이드 갭 반도체를 이용해서 구성된 메모리 셀을 포함하는 반도체 장치이다. 이 반도체 장치는, 메모리 셀로부터의 데이터 판독을 위한 기준 전위보다 낮은 전위를 출력하는 기능을 갖는 전위 전환 회로를 구비한 반도체 장치를 포함한다.
- [0013] 구체적으로는, 예를 들어 다음과 같은 구성을 채용할 수 있다.
- [0014] 본 발명의 한 실시 형태는  $m \times n$ 개의 메모리 셀을 포함하는 메모리 셀 어레이와, 제1 구동 회로와, 제2 구동 회로와, 전위 생성 회로와, 비트선과, 소스선과, 게이트선을 포함하는 반도체 장치이다. 메모리 셀 중 하나는 제1 게이트 전극, 제1 소스 전극, 제1 드레인 전극, 및 제1 채널 형성 영역을 포함하는 제1 트랜지스터와, 제2 게이트 전극, 제2 소스 전극, 제2 드레인 전극, 및 제2 채널 형성 영역을 포함하는 제2 트랜지스터를 포함한다. 제1 채널 형성 영역은 제2 채널 형성 영역과는 상이한 반도체 재료를 포함한다. 제1 구동 회로는 메모리 셀의 열마다  $K$  비트 래치부와,  $K$  비트 멀티플렉서를 포함하는 기입 회로를 포함한다. 기입 회로는 전위 생성 회로와,  $K$  비트 래치부에 접속된다.
- [0015] 또한, 본 발명의 한 실시 형태는  $m \times n$ 개의 메모리 셀을 포함하는 메모리 셀 어레이와, 제1 구동 회로와, 제2 구동 회로와,  $K$  비트 카운터( $K$ 는 자연수)와, 전위 생성 회로와, 비트선과, 소스선과, 게이트선을 포함하는 반도체 장치이다. 메모리 셀 중 하나는 제1 게이트 전극, 제1 소스 전극, 제1 드레인 전극, 및 제1 채널 형성 영역을 포함하는 제1 트랜지스터와, 제2 게이트 전극, 제2 소스 전극, 제2 드레인 전극, 및 제2 채널 형성 영역을 포함하는 제2 트랜지스터를 포함한다. 제1 채널 형성 영역은 제2 채널 형성 영역과는 상이한 반도체 재료를 포함한다. 제1 구동 회로는 메모리 셀의 열마다  $K$  비트의 래치부와 판독 회로를 포함한다.  $K$  비트 카운터는 판독 회

로에 접속되고, 판독 회로는 K 비트 래치부에 접속된다.

- [0016] 또한, 본 발명의 한 실시 형태는  $m \times n$ 개의 메모리 셀을 포함하는 메모리 셀 어레이와, 제1 구동 회로와, 제2 구동 회로와, K 비트 카운터(K는 자연수)와, 전위 생성 회로와, 비트선과, 소스선과, 게이트선을 포함하는 반도체 장치이다. 메모리 셀 중 하나는 제1 게이트 전극, 제1 소스 전극, 제1 드레인 전극, 및 제1 채널 형성 영역을 포함하는 제1 트랜지스터와, 제2 게이트 전극, 제2 소스 전극, 제2 드레인 전극, 및 제2 채널 형성 영역을 포함하는 제2 트랜지스터를 포함한다. 제1 채널 형성 영역은 제2 채널 형성 영역과는 상이한 반도체 재료를 포함한다. 제1 구동 회로는 메모리 셀의 열마다 K 비트 래치부와, K 비트 멀티플렉서를 포함하는 기입 회로와, 판독 회로를 포함한다. K 비트 카운터는 판독 회로에 접속되고, K 비트 래치부는 기입 회로와 판독 회로에 접속된다.
- [0017] 상기에서, 소스선은 제1 소스 전극과 접속되고, 비트선은 제1 드레인 전극과 제2 드레인 전극과 접속되고, 게이트선은 제2 게이트 전극과 접속되고, 제1 게이트 전극은 제2 소스 전극과 접속되는 구성으로 할 수 있다.
- [0018] 또한, 상기에서, 제1 트랜지스터는 p채널형 트랜지스터로 하고 제2 트랜지스터는 n채널형 트랜지스터로 할 수 있다. 또는, 상기에서, 제1 트랜지스터는 n채널형 트랜지스터로 하고, 제2 트랜지스터는 n채널형 트랜지스터로 할 수도 있다.
- [0019] 상기에서, 제2 트랜지스터의 제2 채널 형성 영역은 산화물 반도체를 이용하여 구성될 수 있다.
- [0020] 상기에서, 메모리 셀 중의 하나를 포함하는 복수의 메모리 셀이 비트선과 소스선 사이에 병렬로 접속된 구성으로 할 수도 있다. 또는, 상기에서, 메모리 셀 중의 하나를 포함하는 복수의 메모리 셀이 비트선과 소스선 사이에 직렬로 접속된 구성으로 할 수도 있다.
- [0021] 상기에서, 판독 회로는 부하와, 센스 앰프와, NAND 회로를 포함하고, NAND 회로의 입력의 한 쪽에는 센스 앰프가 접속되어 있고, NAND 회로의 입력의 다른 쪽에는 메모리 판독선이 접속되어 있고, NAND 회로의 출력에는 K 비트 래치부가 접속된 구성으로 할 수 있다.
- [0022] 상기에서, 전위 생성 회로는 제1 구동 회로 및 제2 구동 회로에 각각 접속된 구성으로 할 수 있다.
- [0023] 상기에서, K 비트 카운터는 K 비트 래치부의 입력에 전기적으로 접속된 구성으로 할 수 있다.
- [0024] 상기에서, 산화물 반도체를 포함하는 트랜지스터를 구성하는 경우가 있지만, 본 발명은 이것에 한정되지 않는다는 점에 주목한다. 산화물 반도체와 동등한 오프 전류 특성이 실현되는 재료, 예를 들어, 탄화 실리콘을 비롯한 와이드 갭 재료(구체적으로는, 예를 들어, 에너지 갭  $E_g$ 이 3eV보다 큰 반도체 재료) 등을 적용할 수 있다.
- [0025] 본 명세서 등에서 "위"나 "아래"의 용어는, 구성 요소의 위치 관계가 "바로 위" 또는 "바로 아래"인 것을 한정하는 것은 아니라는 점에 주목한다. 예를 들어, "게이트 절연층 위의 게이트 전극"의 표현이면, 게이트 절연층과 게이트 전극 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다. "위"나 "아래"의 용어는 설명의 편의상 이용하는 표현에 불과하다.
- [0026] 또한, 본 명세서 등에서 "전극"이나 "배선"의 용어는, 이것들의 구성 요소를 기능적으로 한정하는 것은 아니다. 예를 들어, "전극"은 "배선"의 일부로서 이용되는 경우가 있고, 그 역도 또 마찬가지이다. 또한, "전극"이나 "배선"의 용어는, 복수의 "전극"이나 "배선"이 일체로 되어서 형성되어 있을 경우 등도 포함할 수 있다.
- [0027] "소스"나 "드레인"의 기능은, 상이한 극성의 트랜지스터를 채용할 경우나, 회로 동작에서 전류의 방향이 변화될 경우 등에는 교체하는 경우가 있다. 이로 인해, 본 명세서 등에서는, "소스"나 "드레인"의 용어는, 교체해서 이용할 수 있는 것으로 한다.
- [0028] 본 명세서 등에서, "전기적으로 접속"에는, "어떠한 전기적 작용을 갖는 것"을 통해서 접속되어 있을 경우가 포함된다는 점에 주목한다. 여기서, "어떠한 전기적 작용을 갖는 것"은 접속 대상 간에서의 전기 신호의 수수를 가능하게 하는 것이면, 특히 제한을 받지 않는다.
- [0029] 예를 들어, "어떠한 전기적 작용을 갖는 것"에는, 전극이나 배선을 비롯하여, 트랜지스터 등의 스위칭 소자, 저항 소자, 인덕터, 용량 소자, 그 밖의 각종 기능을 갖는 소자 등이 포함된다.
- [0030] 산화물 반도체를 포함하는 트랜지스터는 오프 전류가 매우 작기 때문에, 이트랜지스터를 이용함으로써 지극히 장기에 걸쳐 기억 내용을 유지하는 것이 가능하다. 즉, 리프레시 동작이 불필요해지거나, 또는, 리프레시 동작의 빈도를 지극히 낮게 하는 것이 가능하게 되기 때문에, 소비 전력을 충분히 저감할 수 있다. 또한, 전력의

공급이 없을 경우(단, 전위는 고정되어 있는 것이 바람직하다)에도, 장기에 걸쳐서 기억 내용을 유지하는 것이 가능하다.

[0031] 또한, 본 발명에 관한 반도체 장치로는 데이터의 기입에 높은 전압을 필요로 하지 않고 소자의 열화의 문제도 없다. 예를 들어, 종래의 불휘발성 메모리와 같이, 플로팅 게이트에의 전자의 주입이나, 플로팅 게이트로부터의 전자의 추출을 행할 필요가 없기 때문에, 게이트 절연층의 열화 등의 문제가 전혀 발생하지 않는다. 즉, 본 발명에 관한 반도체 장치로는 종래의 불휘발성 메모리에서 문제되고 있는 재기입 횟수에 제한은 없고, 신뢰성이 비약적으로 향상된다. 또한, 트랜지스터의 온 상태, 오프 상태에 따라서, 데이터의 기입이 행해지기 때문에, 고속 동작도 용이하게 실현할 수 있다. 또한, 데이터를 소거하기 위한 동작이 불필요하다는 장점도 있다.

[0032] 산화물 반도체 이외의 재료를 포함하는 트랜지스터는 충분한 고속 동작이 가능하기 때문에, 이것을 산화물 반도체를 포함하는 트랜지스터와 조합해서 이용함으로써, 반도체 장치의 동작(예를 들어, 데이터 판독)의 고속성을 충분히 확보할 수 있다. 또한, 산화물 반도체 이외의 재료를 포함하는 트랜지스터에 의해, 고속 동작이 요구되는 각종 회로(논리 회로, 구동 회로 등)를 양호하게 실현하는 것이 가능하다.

[0033] 이와 같이, 산화물 반도체 이외의 재료를 포함하는 트랜지스터(환언하면, 충분한 고속 동작이 가능한 트랜지스터)와, 산화물 반도체를 포함하는 트랜지스터(환언하면, 오프 전류가 충분히 작은 트랜지스터)를 일체로 구비함으로써, 신규한 특징을 갖는 반도체 장치를 실현할 수 있다.

**도면의 간단한 설명**

- [0034] 도 1a, 1b, 및 1c는 반도체 장치의 회로도.
- 도 2는 반도체 장치의 블록도.
- 도 3a는 반도체 장치의 블록도 및 도 3b 및 3c는 반도체 장치의 회로도.
- 도 4는 반도체 장치의 회로도.
- 도 5는 반도체 장치의 회로도.
- 도 6은 반도체 장치의 블록도.
- 도 7은 반도체 장치의 회로도.
- 도 8은 반도체 장치의 회로도.
- 도 9a, 9ba, 9bb, 9bc, 9bd, 및 9be는 반도체 장치의 회로도.
- 도 10은 반도체 장치의 회로도.
- 도 11은 타이밍 차트.
- 도 12는 타이밍 차트.
- 도 13은 타이밍 차트.
- 도 14는 반도체 장치의 회로도.
- 도 15는 타이밍 차트.
- 도 16은 타이밍 차트.
- 도 17a는 반도체 장치의 단면도 및 도 17b는 반도체 장치의 평면도.
- 도 18의 (a) 내지 (g)는 SOI 기판의 제작 공정에 관한 단면도.
- 도 19의 (a) 내지 (e)는 반도체 장치의 제작 공정에 관한 단면도.
- 도 20의 (a) 내지 (d)는 반도체 장치의 제작 공정에 관한 단면도.
- 도 21의 (a) 내지 (d)는 반도체 장치의 제작 공정에 관한 단면도.
- 도 22의 (a) 내지 (c)는 반도체 장치의 제작 공정에 관한 단면도.
- 도 23a 내지 23f는 전자 기기의 도.

- 도 24는 반도체 장치의 블록도.
- 도 25는 반도체 장치의 블록도.
- 도 26a 및 26b는 반도체 장치의 단면도.
- 도 27a 내지 27c는 반도체 장치의 제작 공정에 관한 단면도.
- 도 28a 내지 28c는 반도체 장치의 단면도.
- 도 29a 내지 29e는 산화물 재료의 구조를 설명하는 도면.
- 도 30의 (a) 내지 (c)는 산화물 재료의 구조를 설명하는 도면.
- 도 31의 (a) 내지 (c)는 산화물 재료의 구조를 설명하는 도면.
- 도 32는 계산에 의해 얻어진 이동도의 게이트 전압 의존성을 설명하는 도면.
- 도 33a 내지 33c는 계산에 의해 얻어진 드레인 전류와 이동도의 게이트 전압 의존성을 설명하는 도면.
- 도 34a 내지 34c는 계산에 의해 얻어진 드레인 전류와 이동도의 게이트 전압 의존성을 설명하는 도면.
- 도 35a 내지 35c는 계산에 의해 얻어진 드레인 전류와 이동도의 게이트 전압 의존성을 설명하는 도면.
- 도 36a 및 36b는 계산에 이용한 트랜지스터의 단면 구조를 설명하는 도면.
- 도 37a 내지 37c는 트랜지스터의 특성을 도시하는 도면.
- 도 38a 및 38b는 트랜지스터의 특성을 도시하는 도면.
- 도 39a 및 39b는 트랜지스터의 특성을 도시하는 도면.
- 도 40은 트랜지스터의 특성을 도시하는 도면.
- 도 41a 및 41b는 트랜지스터의 특성을 도시하는 도면.
- 도 42는 산화물 재료의 XRD 스펙트럼을 도시하는 도.
- 도 43는 트랜지스터의 특성을 도시하는 도면.
- 도 44a는 반도체 장치의 단면도 및 도 44b는 반도체 장치의 평면도.
- 도 45a는 반도체 장치의 단면도 및 도 45b는 반도체 장치의 평면도.

**발명을 실시하기 위한 구체적인 내용**

- [0035] 본 발명의 실시 형태의 일례에 대해서, 도면을 이용해서 이하에 설명한다.
- [0036] 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위로부터 이탈하지 않고 그 형태 및 상세를 여러가지로 변경할 수 있는 것은 당업자이면 용이하게 이해된다는 점에 주목한다. 따라서, 본 발명은 이하에 도시하는 실시 형태의 기재 내용에 한정해서 해석되는 것은 아니다.
- [0037] 도면 등에서 도시하는 각 구성의, 위치, 크기, 범위 등은, 이해의 간단 화를 위해, 실제의 위치, 크기, 범위 등을 나타내지 않는 경우가 있다는 점에 주목한다. 이로 인해, 본 발명은 반드시 도면 등에 개시된 위치, 크기, 범위 등에 한정되지 않는다.
- [0038] 본 명세서 등에서의 "제1", "제2", "제3" 등의 서수는, 구성 요소의 혼동을 피하기 위해 붙인 것이며, 수적으로 한정하는 것은 아니다.
- [0039] (실시 형태 1)
- [0040] 본 실시 형태에서는, 본 발명의 한 실시 형태에 관한 반도체 장치의 기본적인 회로 구성 및 그 동작에 대해서 도 1a, 1b, 및 1c를 참조하여 설명한다. 회로도에서는, 산화물 반도체를 포함하는 트랜지스터인 것을 도시하기 위해서, "OS"의 부호를 트랜지스터 옆에 붙이는 경우가 있다는 점에 주목한다.
- [0041] <기본 회로>
- [0042] 먼저, 가장 기본적인 회로 구성 및 그 동작에 대해서 도 1a, 1b, 및 1c를 참조하여 설명한다. 도 1a에

도시하는 반도체 장치에서, 비트선 BL과 트랜지스터(160)의 소스 전극(또는 드레인 전극)과 트랜지스터(162)의 소스 전극(또는 드레인 전극)은 서로 전기적으로 접속된다. 소스선 SL과 트랜지스터(160)의 드레인 전극(또는 소스 전극)은 서로 전기적으로 접속되어 있다. 게이트선 GL과 트랜지스터(162)의 게이트 전극은 서로 전기적으로 접속되어 있다. 트랜지스터(160)의 게이트 전극과 트랜지스터(162)의 드레인 전극(또는 소스 전극)은 용량 소자(164)의 전극의 한쪽과 전기적으로 접속된다. 용량소자선 CL과 용량 소자(164)의 전극의 다른 쪽은 전기적으로 접속되어 있다. 트랜지스터(160)의 소스 전극(또는 드레인 전극)과 트랜지스터(162)의 소스 전극(또는 드레인 전극)을 전기적으로 접속시키지 않고, 각각이 다른 배선과 전기적으로 접속하는 구성으로 할 수 있다는 점에 주목한다.

[0043] 여기서, 트랜지스터(162)에는, 예를 들어, 산화물 반도체를 포함하는 트랜지스터가 적용된다. 산화물 반도체를 포함하는 트랜지스터는 오프 전류가 매우 작다는 특징을 갖고 있다. 이로 인해, 트랜지스터(162)를 오프 상태로 함으로써 트랜지스터(160)의 게이트 전극의 전위를 지극히 장시간에 걸쳐 유지하는 것이 가능하다. 용량 소자(164)를 가짐으로써, 트랜지스터(160)의 게이트 전극에 부여된 전하의 유지 및 유지된 데이터의 판독이 용이해진다.

[0044] 트랜지스터(160)의 반도체 재료에 대해서는 특별히 한정되지 않는다는 점에 주목한다. 데이터의 판독 속도를 향상시킨다는 관점에서는, 예를 들어, 단결정 실리콘을 이용한 트랜지스터 등, 스위칭 속도가 높은 트랜지스터를 적용하는 것이 적합하다. 도 1aa, 1ab, 및 도 1b에, 트랜지스터(160)로서, p채널형 트랜지스터를 이용할 경우에 대해서 도시한다. 도 1c에, 트랜지스터(160)로서, n채널형 트랜지스터를 이용할 경우에 대해서 도시한다.

[0045] 또한, 도 1b에 도시하는 것 같이, 용량 소자(164)를 생략할 수 있다.

[0046] 도 1aa에 도시하는 반도체 장치로는, 트랜지스터(160)의 게이트 전극의 전위가 유지 가능하다는 특징을 살리는 것으로, 다음과 같이, 데이터의 기입, 유지, 판독이 가능하다.

[0047] 먼저, 데이터의 기입 및 유지에 대해서 설명한다. 우선, 게이트선 GL의 전위를 트랜지스터(162)가 온 상태로 되는 전위로 해서, 트랜지스터(162)를 온 상태로 한다. 이에 의해, 비트선 BL의 전위가 트랜지스터(162)의 드레인 전극(또는 소스 전극)과, 트랜지스터(160)의 게이트 전극과, 용량 소자(164)의 한쪽의 전극이 전기적으로 접속된 노드(플로팅 게이트부 FG라고도 한다)에 부여된다. 즉, 플로팅 게이트부 FG에는 소정의 전하가 부여된다(기입). 여기에서는, 다른 두개의 전위를 부여하는 전하(이하, 저전위를 부여하는 전하를 전하  $Q_L$ , 고전위를 부여하는 전하를 전하  $Q_H$ 라고 함) 중 어느 것이 부여되는 것으로 한다. 다른 세 개 또는 그 이상의 전위를 부여하는 전하를 적용하여 기억 용량을 향상시킬 수 있다는 점에 주목한다. 그 후, 게이트선 GL의 전위를 트랜지스터(162)가 오프 상태로 되는 전위로 해서, 트랜지스터(162)를 오프 상태로 한다. 따라서, 플로팅 게이트부 FG에 부여된 전하가 유지된다(유지).

[0048] 트랜지스터(162)의 오프 전류는 매우 작기 때문에, 트랜지스터(160)의 게이트 전극의 전하는 장시간에 걸쳐 유지된다.

[0049] 그 다음에, 데이터의 판독에 대해서 설명한다. 소스선 SL에 소정의 전위(정 전위)를 부여한 상태에서 용량소자선 CL에 적절한 전위(판독 전위)를 부여하면, 플로팅 게이트부 FG에 유지된 전하량에 따라 비트선 BL은 다른 전위를 취한다. 즉, 트랜지스터(160)의 컨덕턴스는 트랜지스터(160)의 게이트 전극(플로팅 게이트부 FG라고도 한다)에 유지되는 전하에 의해 제어된다.

[0050] 일반적으로, 트랜지스터(160)를 p채널형으로 하면, 트랜지스터(160)의 게이트 전극에  $Q_H$ 가 부여되고 있을 경우의 피상 임계 전압  $V_{th,H}$ 는 트랜지스터(160)의 게이트 전극에  $Q_L$ 이 부여되고 있을 경우의 피상 임계 전압  $V_{th,L}$ 보다 낮아진다. 예를 들어, 기입에서  $Q_L$ 이 부여되었을 경우에는, 용량소자선 CL의 전위가  $V_0$ ( $V_{th,H}$ 와  $V_{th,L}$ 의 중간의 전위)이 되면, 트랜지스터(160)는 온 상태가 된다. 기입에서  $Q_H$ 가 부여되었을 경우에는, 용량소자선 CL의 전위가  $V_0$ 이 되어도, 트랜지스터(160)는 오프 상태로 유지된다. 이로 인해, 비트선 BL의 전위를 측정함으로써 유지되고 있는 데이터를 판독할 수 있다.

[0051] 그 다음에, 데이터의 재기입에 대해서 설명한다. 데이터의 재기입은 상기 데이터의 기입 및 유지와 마찬가지로 행해진다. 즉, 게이트선 GL의 전위를, 트랜지스터(162)가 온 상태로 되는 전위로 설정해서, 트랜지스터(162)를 온 상태로 한다. 이에 의해, 비트선 BL의 전위(새로운 데이터에 관한 전위)가 플로팅 게이트부 FG에 부여된다. 그 후, 용량소자선 CL을 트랜지스터(162)가 오프 상태로 되는 전위로 해서, 트랜지스터(162)를 오프 상태로 한

다. 결과적으로, 플로팅 게이트부 FG는 새로운 데이터에 관한 전하가 부여된 상태로 된다.

- [0052] 본 발명의 한 실시 형태에 관한 반도체 장치에서, 상술한 바와 같이 또 하나의 데이터의 기입에 의해 직접적으로 데이터를 재기입하는 것이 가능하다. 이것 때문에, 플래시 메모리 등에서 필요해지는 고전압을 이용한 플로팅 게이트로부터의 전하의 추출이 불필요해서, 소거 동작에 기인하는 동작 속도의 저하를 억제할 수 있다. 즉, 반도체 장치의 고속 동작이 실현될 수 있다.
- [0053] 이하에, 일례로서, 플로팅 게이트부 FG에 전위 VDD 또는 접지 전위 GND 중 어느 것을 부여했을 경우의 기입, 유지, 판독의 방법에 대해서 구체적으로 설명한다. 이하에서는, 플로팅 게이트부 FG에 전위 VDD를 부여했을 경우에 유지되는 데이터를 데이터 "1"이라고 하고, 플로팅 게이트부 FG에 접지 전위 GND를 부여했을 경우에 유지되는 데이터를 데이터 "0"이라고 한다. 플로팅 게이트부 FG에 부여하는 전위의 관계는 이것에 한정되는 것은 아니라는 점에 주목한다.
- [0054] 데이터를 기입할 경우에는, 소스선 SL의 전위를 GND로 하고, 용량소자선 CL의 전위를 GND로 하고, 게이트선 GL의 전위를 VDD로 하여, 트랜지스터(162)를 온 상태로 한다. 플로팅 게이트부 FG에 데이터 "1"을 기입할 경우에는, 비트선 BL에는 GND를 부여한다. 플로팅 게이트부 FG에 데이터 "0"을 기입할 경우에는, 플로팅 게이트부 FG의 전위가 트랜지스터(162)의 임계값 전압( $V_{th\_OS}$ )과 동일한 전압만큼 강하하지 않도록 비트선 BL의 전위를 VDD로 하고 게이트선 GL의 전위를  $VDD+V_{th\_OS}$ 로 할 수 있다.
- [0055] 데이터를 보유할 경우에는, 게이트선 GL의 전위를 GND로 하여, 트랜지스터(162)를 오프 상태로 한다. p채널형 트랜지스터인 트랜지스터(160)를 통하여 비트선 BL과 소스선 SL에 전류가 발생해서 전력이 소비되는 것을 억제하기 위해서, 비트선 BL의 전위와 소스선 SL의 전위는 동 전위로 한다. 비트선 BL의 전위와 소스선 SL의 전위가 동 전위이면, 용량소자선 CL의 전위는 VDD 또는 GND일 수 있다는 점에 주목한다.
- [0056] 상기 표현에서, "동 전위"는 "대략 동 전위"를 포함한다는 점에 주목한다. 즉, 상기에서는 비트선 BL과 소스선 SL의 전위차를 충분히 저감하고, 비트선 BL과 소스선 SL에 발생하는 전류를 억제하는 것을 목적으로 하고 있기 때문에, 소스선 SL의 전위를 GND 등으로 고정했을 경우와 비교해서 소비 전력을 충분히(100분의 1 이하로) 저감할 수 있는 전위 등, "대략 동 전위"라고 하는 전위가 포함되는 것이다. 또한, 배선 저항 등에 기인하는 전위 편차 정도의 차는 충분히 허용된다.
- [0057] 데이터를 판독할 경우에는, 게이트선 GL의 전위를 GND로 하고, 용량소자선 CL의 전위를 GND로 하고, 소스선 SL의 전위를 VDD 혹은 VDD보다 어느 정도 낮은 전위(이하 VSL이라고 한다)로 한다. 여기서, 플로팅 게이트부 FG에 데이터 "1"이 기입되고 있는 경우에는, p채널형 트랜지스터인 트랜지스터(160)는 오프 상태로 되고, 비트선 BL의 전위는 판독 개시 시의 전위가 유지되거나 또는 상승한다. 비트선 BL의 전위의 유지 또는 상승은 비트선 BL에 접속되는 판독 회로에 의존한다는 점에 주목한다. 플로팅 게이트부 FG에 데이터 "0"이 기입되고 있는 경우에는, 트랜지스터(160)가 온 상태로 되고, 비트선 BL의 전위는 소스선 SL의 전위와 동 전위의 VDD 혹은 VSL이 된다. 따라서, 비트선 BL의 전위에 따라 플로팅 게이트부 FG에 유지된 데이터 "1" 또는 데이터 "0"을 판독할 수 있다.
- [0058] 플로팅 게이트부 FG에 전위 VDD가 유지되고 있는(즉, 데이터 "1"이 기입되고 있는) 경우, 판독 시에 소스선 SL의 전위를 VDD로 하면, 트랜지스터(160)의 게이트와 소스 간의 전압(이하,  $V_{gsp}$ 라고 한다)은  $V_{gsp}=VDD-VDD=0V$ 가 되고,  $V_{gsp}$ 이 트랜지스터(160)의 임계값 전압(이하,  $V_{thp}$ 라고 한다)보다도 커지기 때문에, p채널형 트랜지스터인 트랜지스터(160)는 오프 상태로 된다는 점에 주목한다. 여기서, 플로팅 게이트부 FG에 기입된 전위가 VDD보다 작기 때문에, 플로팅 게이트부 FG에 유지된 전위가 VDD보다도 낮은 경우에도, 플로팅 게이트부 FG의 전위가  $VDD-|V_{thp}|$  이상이면,  $V_{gsp}=(VDD-|V_{thp}|)-VDD=-|V_{thp}|=V_{thp}$ 이 되어 트랜지스터(160)가 오프 상태로 되므로, 정상적으로 데이터 "1"을 판독할 수 있다. 그러나, 플로팅 게이트부 FG의 전위가  $VDD-|V_{thp}|$ 보다 낮을 경우에는,  $V_{gsp}$ 이  $V_{thp}$ 보다 작아지므로, 트랜지스터(160)는 온 상태로 되고, 데이터 "1"이 아니라 데이터 "0"이 판독된다. 즉, 데이터 "1"을 기입했을 경우, 판독가능한 전위의 하한값은, 소스선 SL의 전위 VDD보다  $|V_{thp}|$  만큼 낮은,  $VDD-|V_{thp}|$ 이 된다. 한편, 판독 시에 소스선 SL의 전위를 VSL로 하면, 상술한 대로, 데이터 "1"이 판독이 가능한 전위의 하한값은, 소스선 SL의 전위 VSL보다도  $|V_{thp}|$  만큼 낮은,  $VSL-|V_{thp}|$ 이 된다. 여기서, VSL은 VDD보다도 낮은 전위이므로,  $VSL-|V_{thp}|$ 은  $VDD-|V_{thp}|$ 보다 작아진다. 즉, 소스선 SL의 전위를 VSL로 할 때, 데이터 "1"이 판독이 가능한 전위의 하한값은 낮아진다. 따라서, 소스선 SL의 전위는 VDD로 하는 것보다도 VSL로 하는 것이 데이터 "1"이 판독이 가능한 전위의 폭을 넓게 할 수 있기 때문에 바람직하다. 상한값에 대해서는, 소스선 SL의 전위를 VSL로 했을 경우, 플로팅 게이트부 FG에 VDD가 기입되고 있을 경우의  $V_{gsp}$ 은  $VDD-VSL>V_{thp}(VDD>VSL$ 로 인해)이 되어 문제없이 오프 상태로 할 수 있다는 점에 주목한다.

- [0059] 여기서, 트랜지스터(162)의 드레인 전극(또는 소스 전극)과, 트랜지스터(160)의 게이트 전극과, 용량 소자(164)의 한쪽의 전극이 전기적으로 접속된 노드(플로팅 게이트부 FG)는 불휘발성 메모리 소자로서 이용되는 플로팅 게이트형 트랜지스터의 플로팅 게이트와 동등한 작용을 발휘한다. 트랜지스터(162)가 오프의 경우, 당해 플로팅 게이트부 FG는 절연체 중에 매설되었다고 볼 수 있으므로, 플로팅 게이트부 FG에는 전하가 유지된다. 산화물 반도체를 포함하는 트랜지스터(162)의 오프 전류는 실리콘 반도체 등으로 형성되는 트랜지스터의 10만분의 1 이하이기 때문에, 트랜지스터(162)의 리크 전류로 인해 플로팅 게이트부 FG에 축적된 전하의 손실을 무시하는 것이 가능하다. 즉, 산화물 반도체를 포함하는 트랜지스터(162)에 의해 전력의 공급이 없어도 데이터의 유지가 가능한 불휘발성의 기억장치를 실현하는 것이 가능하다.
- [0060] 예를 들어, 트랜지스터(162)의 실온(25℃)에서의 오프 전류가 10zA(1zA(zeptoampere)는  $1 \times 10^{-21}$ A) 이하이며, 용량 소자(164)의 용량값이 10fF 정도일 경우에는, 적어도  $10^4$ 초 이상의 데이터 유지가 가능하다. 당해 유지 시간이 트랜지스터 특성이나 용량 값에 의해 변동하는 것은 물론이다.
- [0061] 또한, 본 발명의 한 실시 형태에 관한 반도체 장치에서는, 종래의 플로팅 게이트형 트랜지스터에서 지적되어 있는 게이트 절연층(터널 절연막)의 열화라고 하는 문제가 존재하지 않는다. 즉, 문제로 간주되었던, 전자를 플로팅 게이트에 주입할 때의 게이트 절연층의 열화라고 하는 문제를 해소할 수 있다. 이것은 원칙적으로 기입 횟수의 제한이 존재하지 않는 것을 의미하는 것이다. 또한, 종래의 플로팅 게이트형 트랜지스터에서 기입이나 소거 시에 필요했던 고전압도 불필요하다.
- [0062] 도 1aa에 도시하는 반도체 장치는 당해 반도체 장치를 구성하는 트랜지스터 등의 요소가 저항 소자 및 용량 소자를 포함하는 것으로서, 도 1ab와 같이 생각하는 것이 가능하다. 즉, 도 1ab에서는, 트랜지스터(160) 및 용량 소자(164)가 각각 저항 소자 및 용량 소자를 포함하는 것으로 간주한다. R1 및 C1은 각각, 용량 소자(164)의 저항값 및 용량값이다. 저항값 R1은 용량 소자(164)를 구성하는 절연층에 의한 저항값에 상당한다. R2 및 C2은 각각, 트랜지스터(160)의 저항값 및 용량값이다. 저항값 R2은 트랜지스터(160)가 온 상태인 때의 게이트 절연층에 의한 저항값에 상당한다. 용량값 C2은 소위 게이트 용량(게이트 전극과 소스 전극 또는 드레인 전극 사이에 형성되는 용량 및, 게이트 전극과 채널 형성 영역 사이에 형성되는 용량)의 용량값에 상당한다.
- [0063] 트랜지스터(162)가 오프 상태에 있을 경우의 소스 전극과 드레인 전극 사이의 저항값(실효 저항이라도 한다)을 ROS라고 하면, 트랜지스터(162)의 게이트 리크 전류가 충분히 작은 조건에서, R1 및 R2이  $R1 \geq ROS$ ,  $R2 \geq ROS$ 를 만족할 경우에는, 전하의 유지 기간(데이터 유지 기간이라고도 한다)은 주로 트랜지스터(162)의 오프 전류에 의해 결정된다.
- [0064] 반대로, 당해 조건을 충족시키지 않을 경우에는, 트랜지스터(162)의 오프 전류가 충분히 작더라도 유지 기간을 충분히 확보하는 것이 곤란해진다. 트랜지스터(162)의 오프 전류 이외의 리크 전류(예를 들어, 소스 전극과 게이트 전극의 사이에 발생하는 리크 전류 등)이 크기 때문이다. 따라서, 본 실시 형태에 관한 반도체 장치는  $R1 \geq ROS$  및  $R2 \geq ROS$ 의 관계를 충족시키는 것이 바람직하다고 말할 수 있다.
- [0065] 한편, C1과 C2은,  $C1 \geq C2$ 의 관계를 충족시키는 것이 바람직하다. C1을 크게 하는 것으로, 용량소자선 CL에 의해 플로팅 게이트부 FG의 전위를 제어할 때에, 용량소자선 CL의 전위를 효율적으로 플로팅 게이트부 FG에 부여할 수 있게 되고, 용량소자선 CL에 부여하는 전위간(예를 들어, 판독 전위와 비판독 전위)의 전위차를 낮게 억제할 수 있기 때문이다.
- [0066] 이와 같이, 상술의 관계를 충족시키는 것으로, 보다 적합한 반도체 장치를 실현하는 것이 가능하다. R1 및 R2은 트랜지스터(160)의 게이트 절연층이나 용량 소자(164)의 절연층에 의해 제어된다는 점에 주목한다. C1 및 C2에 대해서도 마찬가지이다. 따라서, 게이트 절연층의 재료나 두께 등을 적절히 설정하고, 상술의 관계를 충족시키도록 하는 것이 바람직하다.
- [0067] 본 실시 형태에서 설명하는 반도체 장치에서는, 플로팅 게이트부 FG가 플래시 메모리 등의 플로팅 게이트형 트랜지스터의 플로팅 게이트와 동등한 작용을 하지만, 본 실시 형태의 플로팅 게이트부 FG는 플래시 메모리 등의 플로팅 게이트와 본질적으로 다른 특징을 갖고 있다.
- [0068] 플래시 메모리에서는, 컨트롤 게이트에 인가되는 전위가 높기 때문에, 그 전위가 인접하는 셀의 플로팅 게이트에 영향을 주지 않도록 셀과 셀과의 간격을 어느 정도 유지할 필요가 있다. 이것은 반도체 장치의 고집적화를 저해하는 요인의 하나이다. 당해 요인은 고 전계를 걸어서 터널 전류를 발생시킨다고 하는 플래시 메모리의 근본적인 원리에 기인한 것이다.

- [0069] 한편, 본 실시 형태에 관한 반도체 장치는 산화물 반도체를 포함하는 트랜지스터의 스위칭에 의해 동작하고, 상술한 바와 같은 터널 전류에 의한 전하 주입의 원리를 이용하지 않는다. 즉, 플래시 메모리와는 다르게, 전하를 주입하기 위한 고전계가 불필요하다. 이에 의해, 인접 셀에 대한 컨트롤 게이트에 의한 고전계의 영향을 고려할 필요가 없기 때문에, 고집적화가 용이해진다.
- [0070] 또한, 고전계가 불필요해서, 대형의 주변 회로(승압 회로 등)가 불필요한 점도, 플래시 메모리에 비해 우위 점이다. 예를 들어, 본 실시 형태에 관한 메모리 셀에 인가되는 전압(메모리 셀의 각 단자에 동시에 인가되는 전위의 최대의 것과 최소의 것 간의 차)의 최대값은, 2 단계(1 비트)의 데이터를 기입할 경우, 하나의 메모리 셀에서, 5V 이하, 바람직하게는 3V 이하로 할 수 있다.
- [0071] 용량 소자(164)에 포함되는 절연층의 비유전률  $\epsilon r1$ 과, 트랜지스터(160)에 포함되는 절연층의 비유전률  $\epsilon r2$ 를 다르게 할 경우에는, 용량 소자(164)에 포함되는 절연층의 면적  $S1$ 과, 트랜지스터(160)에서 게이트 용량을 구성하는 절연층의 면적  $S2$ 가  $2 \times S2 \geq S1$ (바람직하게는  $S2 \geq S1$ )을 만족하면서,  $C1 \geq C2$ 을 실현하는 것이 용이하다. 즉, 용량 소자(164)에 포함되는 절연층의 면적을 작게 하면서,  $C1 \geq C2$ 을 실현하는 것이 용이하다. 구체적으로는, 예를 들어, 용량 소자(164)에 포함되는 절연층에서는, 산화 하프늄 등의 high-k 재료로 형성되는 막, 또는 산화 하프늄 등의 high-k 재료로 형성되는 막과 산화물 반도체로 형성되는 막과의 적층 구조를 채용해서  $\epsilon r1$ 을 10 이상, 바람직하게는 15 이상으로 해서 게이트 용량을 구성하는 절연층에 산화 실리콘으로 형성된 막을 채용할 때,  $\epsilon r2$ 를 3 내지 4로 설정할 수 있다.
- [0072] 이러한 구성을 더붙어서 이용함으로써, 본 발명의 한 실시 형태에 관한 반도체 장치의 더욱 높은 고집적화가 가능하다.
- [0073] <응용 예>
- [0074] 그 다음에, 도 1aa, 1ab, 1b, 및 1c에 도시하는 회로를 응용한 보다 구체적인 회로 구성 및 동작에 대해서 도면을 참조하여 설명한다. 본 실시 형태에서는, 복수의 상태를 하나의 메모리 셀에 유지시키는 소위 다치 메모리에 대해서 설명한다.
- [0075] 도 2는 반도체 장치의 블록도의 일례이다. 도 2에 도시하는 반도체 장치의 블록도는 구동 회로의 기입 동작에 관한 부분에 특징을 갖는다. 도 2에 도시하는 반도체 장치는  $2^K$  값(K는 1 이상의 정수)의 상태를 하나의 메모리 셀에 유지하는 다치 메모리이며, 복수의 메모리 셀을 포함하는 메모리 셀 어레이(201)와, 열 구동 회로(202)와, 행 구동 회로(203)와, 전위 생성 회로(207)를 포함한다.
- [0076] 메모리 셀 어레이(201)는 복수(예를 들어, m개)의 게이트선 GL 및 용량소자선 CL과, 복수(예를 들어, n개)의 비트선 BL과, 소스선 SL(도시 생략)과, 매트릭스 형상으로 배치된 복수의 메모리 셀(170)을 포함한다.
- [0077] 메모리 셀(170)은 도 1aa에 도시하는 메모리 셀을 적용할 수 있다. 또한, 메모리 셀(170)로서, 도 1b에 도시하는 메모리 셀을 적용할 수도 있다. 그 경우에는, 용량소자선 CL을 생략할 수 있다. 또한, 대안적으로, 메모리 셀(170)로서, 도 1c에 도시하는 메모리 셀을 적용할 수 있다.
- [0078] 전위 생성 회로(207)는 복수의 아날로그 전위  $VW(1)$  내지  $VW(2^K)$ 이 부여되는  $2^K$  개의 전원선 VW를 통해서 열 구동 회로(202)에 접속되어 있다. 전위 생성 회로(207)는 복수의 아날로그 전위  $VW(1)$  내지  $VW(2^K)$ 를 생성하고 열 구동 회로(202)에 출력한다.
- [0079] 열 구동 회로(202)에는 칼럼 어드레스 신호선 CA, 입력 데이터 신호선 DIN, 출력 데이터 신호선 DOUT, 제어 신호선 CE 등이 접속되어 있다. 열 구동 회로(202)에서는, 메모리 셀(170)의 열마다, K 비트 래치부와 기입 회로를 갖는다. 래치 군(226(1) 내지 226(n))은 K개의 래치 출력 신호선을 통하여, 기입 회로(224(1) 내지 224(n))에 각각 접속되어 있다. 열 구동 회로(202)는 비트선 BL 및 소스선 SL을 제어하고, 비트선 BL 및 소스선 SL을 통해서 메모리 셀 어레이(201)에 접속되어 있다.
- [0080] 기입 회로(224(1) 내지 224(n))에는, 전위 생성 회로(207)가 출력하는 아날로그 전위  $VW(1)$  내지  $VW(2^K)$ 가 부여된  $2^K$  개의 전원선 VW와 K개의 래치 출력 신호선이 접속되어 있다. 기입 회로(224(1) 내지 224(n))는 멀티플렉서(335(1) 내지 335(n))를 각각 포함한다. 멀티플렉서(335(1) 내지 335(n))는 K비트 래치 군(226(1) 내지 226(n))의 출력 신호에 기초하여, 전위 생성 회로(207)가 출력하는 복수의 아날로그 전위  $VW(1)$  내지  $VW(2^K)$ 로부터 하나의 전위를 선택한다. 그리고, 기입 회로(224(1) 내지 224(n))는 기입 동작 가능한 상태에서 멀티플렉

서(335(1) 내지 335(n))가 선택한 전위를 출력한다.

- [0081] 행 구동 회로(203)에는, 로우 어드레스 신호선 RA, 제어 신호선 CE 등이 접속되어 있다. 행 구동 회로(203)는 게이트선 GL 및 용량소자선 CL을 제어하고, 게이트선 GL 및 용량소자선 CL을 통해서 메모리 셀 어레이(201)에 접속되어 있다.
- [0082] 그 다음에, 각 열의 K 비트 래치 군(226(1) 내지 226(n))에 저장된 데이터를 한 행의 메모리 셀들에 동시에 기입하는 방법에 대해서 설명한다.
- [0083] 행 구동 회로(203)에서는, 제어 선 CE에 High 전위(이하, H 전위라고 한다)를 부여하고, 행 구동 회로(203)를 동작 가능한 상태로 해서 로우 어드레스 신호선 RA에 로우 어드레스 신호를 입력하고, 로우 어드레스 신호가 지정한 행을 선택한다. 소정의 제어 선 CE에 기입 상태인 것을 전하는 신호가 입력되어, 선택된 행의 용량소자선 CL과 게이트선 GL 및 비선택 행의 용량소자선 CL과 게이트선 GL에, 각각 기입을 행하기 위한 전위가 부여된다. 도 2에 도시한 구성의 메모리 셀(170(1, 1) 내지 170(m, n))에서는, 선택 행의 용량소자선 CL의 전위는 Low 전위(이하, L 전위라고 한다), 게이트선 GL의 전위는 전위 VH가 되고, 비선택 행의 용량소자선 CL의 전위는 전위 VH, 게이트선 GL의 전위는 L 전위가 된다.
- [0084] 열 구동 회로(202)에서는, 제어 선 CE에 H 전위를 부여하고, 열 구동 회로(202)를 동작 가능한 상태로 한다. 소정의 제어 선 CE에 기입 상태인 것을 전하는 신호가 입력되는 것으로, 각 열의 기입 회로(224(1) 내지 224(n))는 복수의 아날로그 전위  $VW(1)$  내지  $VW(2^k)$ 로부터 선택된 하나의 전위를 비트선 BL(1) 내지 BL(n)에 출력한다. 선택된 하나의 전위는 기입 회로(224(1) 내지 224(n))에 포함된 멀티플렉서(335(1) 내지 335(n))가 K 비트 래치 군(226(1) 내지 226(n))의 출력 신호를 기초로 하여 선택한 전위이다.
- [0085] 그 결과, 행 구동 회로(203)에 의해 선택된 행의 메모리 셀의 플로팅 게이트부 FG에는 각 열의 기입 회로(224(1) 내지 224(n))가 출력한 아날로그 전위가 비트선 BL을 통하여 부여된다.
- [0086] 그 다음에, 행 구동 회로(203)에서, 소정의 제어 선 CE에 기입 상태가 종료하는 것을 전하는 신호를 입력하고, 선택된 행의 용량소자선 CL과 게이트선 GL 및 비선택 행의 용량소자선 CL과 게이트선 GL에, 각각 기입을 종료하기 위한 전위가 부여된다. 도 2에 도시한 구성의 메모리 셀(170)에서는, 선택 행의 게이트선 GL의 전위는 L 전위가 된다. 그 결과, 선택 행의 메모리 셀이 갖는 트랜지스터(162)는 오프 상태로 되고, 플로팅 게이트부 FG에 축적된 전하가 유지된다. 비선택 행의 용량소자선 CL의 전위는 L 전위가 된다. 이상에 의해, 메모리 셀(170(1, 1) 내지 170(m, n))에의 기입 동작이 종료한다.
- [0087] 이상과 같이 하여, 도 2에 도시한 반도체 장치는 한 행의 메모리 셀들에 다치의 데이터를 동시에 기입할 수 있다.
- [0088] 일례로서, H 전위를 VDD, L 전위를 GND로 할 수 있다는 점에 주목한다.
- [0089] 도 2에 도시한 반도체 장치는 메모리 셀에 포함된 비트선 BL과 플로팅 게이트부 FG가 트랜지스터(162)를 통해서 접속되는 구조를 가지므로, 기입 동작에서, 전하를 축적하는 부위인 플로팅 게이트부 FG에 직접 전위를 부여하는 것이 가능하다. 그 결과, 개개의 메모리 셀에의 기입 동작을 고속으로 행하는 것이 가능하다. 특히, 불휘발성 메모리 소자로서 이용되는 플로팅 게이트형의 트랜지스터와 같이, 미소한 터널 전류에서 전하 주입을 행하는 기입 방법과 비교하여, 단시간에 또한 높은 정밀도로 플로팅 게이트부 FG의 전위를 제어하고 기입을 행할 수 있다.
- [0090] 또한, 도 2에 도시한 반도체 장치는, 전위 생성 회로(207)에 의해 생성한 복수의 아날로그 전위를 모든 열의 기입 회로(224(1) 내지 224(n))에 공급함으로써, 각 열의 기입 회로(224(1) 내지 224(n))는 복수의 아날로그 전위로부터 기입 데이터에 대응한 전위를 독립적으로 선택할 수 있다. 그 결과, 다치의 데이터를 한 행의 메모리 셀들에 한번에 또한 고속으로 기입하는 것이 가능하게 된다.
- [0091] 불휘발성 메모리 소자로서 이용되는 플로팅 게이트형의 트랜지스터와 같이 미소한 터널 전류에서 전하 주입을 행하는 기입을 행하는 경우에는, 기입 데이터에 따라 기입 시간을 바꿀 필요가 있다는 점에 주목한다. 즉, 전하 주입량이 적은 데이터를 기입하기 위해서는 단시간의 기입을, 전하 주입량이 많은 데이터를 기입하기 위해서는 장시간의 기입을 행할 필요가 있다. 그 결과, 기입을 복수 회 행하는 것이 필요해지고, 복잡한 동작이 되는 동시에, 저속 동작이 되어 버린다. 한편, 도 2에 도시한 반도체 장치는 기입 데이터에 상관없이 다치의 데이터를 한 행의 메모리 셀들에 한번에 또한 고속으로 기입할 수 있다.

- [0092] 또한, 도 2에 도시한 반도체 장치는,  $2^K$  값의 메모리의 기입 방법에서, 메모리 셀에 저장하는  $2^K$  값의 데이터를 K 비트 래치부에 대응시킬 수 있고, 회로 규모를 작게 할 수 있다. 예를 들어, 4 값의 데이터를 저장할 경우, 2 비트 래치부를 포함하는 구성으로 된다. 특히,  $2^K$  값의 메모리의 기입 방법에서, 메모리 셀에 저장하는  $2^K$  값의 개개의 데이터를 하나의 래치에 대응시킬 경우에는,  $2^K$  비트의 래치부가 필요해진다. 그러한 구성과 비교하여, 회로 규모를 작게 하는 것이 가능하다.
- [0093] 본 실시 형태에서는, 도 1aa에 도시한 메모리 셀에서, 트랜지스터(160)의 소스 전극 또는 드레인 전극과 트랜지스터(162)의 소스 전극 또는 드레인 전극이 비트선 BL에 의해 접속된 메모리 셀들을 병렬로 접속한 NOR형 메모리 셀 어레이의 구성을 예에 도시했지만, 본 발명의 실시 형태는 이 구성에 한하지 않는다는 점에 주목한다. 트랜지스터(160)의 소스 전극 또는 드레인 전극과 트랜지스터(162)의 소스 전극 또는 드레인 전극은 서로 다른 배선에 접속될 수 있다. 도 1c에 도시하는 것 같이, 메모리 셀에 포함된 트랜지스터(160)를 n채널형 트랜지스터로 할 수 있다. 또한, 도 5에 도시하는 것 같이, 메모리 셀들을 직렬로 접속한 NAND형 메모리 셀 어레이가 이용될 수 있다.
- [0094] 이것은 도 2에 도시한 반도체 장치는, 메모리 셀의 구성에 상관없이, 각 열의 기입 회로(224(1) 내지 224(n))는 복수의 아날로그 전위로부터 기입 데이터에 대응한 전위를 독립적으로 선택할 수 있기 때문이다. 또한, 게이트선 GL과 플로팅 게이트부 FG가 트랜지스터(162)를 통해서 접속되는 메모리 셀 구성이면, 플로팅 게이트부 FG에 직접 전위를 부여하는 것이 가능하며, 고속으로 기입할 수 있기 때문이다.
- [0095] 본 실시 형태에서는, 열 구동 회로(202)에 입력 데이터 신호선 DIN과 출력 데이터 신호선 DOUT가 접속되는 구성으로 했지만, 본 발명의 실시 형태는 이 구성에 한하지 않는다는 점에 주목한다. 대안적으로 입출력 데이터 신호선 DINOUT가 접속될 수 있다.
- [0096] 도 24는 반도체 장치의 블록도의 다른 일례이다. 도 24에 도시하는 반도체 장치의 블록도는 구동 회로의 관동 동작에 관한 부분에 특징을 갖는다. 도 24에 도시하는 반도체 장치는,  $2^K$  값(K는 1 이상의 정수)의 상태를 하나의 메모리 셀에 유지하는 다치 메모리이며, 복수의 메모리 셀을 포함하는 메모리 셀 어레이(201)와, 열 구동 회로(202)와, 행 구동 회로(203)와, 전위 생성 회로(207)와, K 비트 카운터(206)를 포함한다.
- [0097] 메모리 셀 어레이(201)는 복수의 게이트선 GL 및 복수의 용량소자선 CL과, 복수의 비트선 BL과, 소스선 SL과, 매트릭스 형상으로 배치된 복수의 메모리 셀(170)을 포함한다.
- [0098] 메모리 셀(170)은 도 1aa에 도시하는 메모리 셀을 적용할 수 있다. 또한, 메모리 셀(170)로서, 도 1b에 도시하는 메모리 셀을 적용할 수도 있다. 그 경우에는, 용량소자선 CL을 생략할 수 있다. 또한, 메모리 셀(170)로서, 도 1c에 도시하는 메모리 셀을 적용할 수 있다.
- [0099] K 비트 카운터(206)는 K개의 카운트 신호 COUNT(1) 내지 COUNT(K)를 열 구동 회로(202) 및 전위 생성 회로(207)에 각각 출력한다. K 비트 카운터(206)는 K개의 카운트 신호선을 통해서 열 구동 회로(202) 및 전위 생성 회로(207)에 각각 접속되어 있다.
- [0100] 전위 생성 회로(207)에는 K개의 카운트 신호 COUNT(1) 내지 COUNT(K)가 입력되어, 전위 생성 회로(207)는 아날로그 전위를 행 구동 회로(203)에 출력한다. 전위 생성 회로(207)는 카운트 신호의 값에 따라 다른 값을 취하는 아날로그 전위를 생성한다. 전위 생성 회로(207)는 아날로그 전위가 부여되는 가변 전원선 VR을 통해서 행 구동 회로(203)에 접속되어 있다.
- [0101] 열 구동 회로(202)는 칼럼 어드레스 신호선 CA, 입력 데이터 신호선 DIN, 출력 데이터 신호선 DOUT, 제어 신호선 CE 등에 접속된다. 열 구동 회로(202)에서, 메모리 셀(170)의 열마다 K 비트 래치부와 관동 회로를 갖는다. 래치 군(226(1) 내지 226(n))은 K개의 래치 입력 신호선을 통하여 관동 회로(225(1) 내지 225(n))에 각각 접속되어 있다. 열 구동 회로(202)는 비트선 BL 및 소스선 SL을 제어하고, 비트선 BL 및 소스선 SL을 통해서 메모리 셀 어레이(201)에 접속되어 있다.
- [0102] 메모리 셀(170)은 관동 회로(225(1) 내지 225(n))에 비트선 BL을 통해서 부하로서 접속된다. 관동 회로(225(1) 내지 225(n))는 K개의 출력 신호선을 포함한다. 관동 회로(225(1) 내지 225(n))는 관동 동작 가능한 상태에서 부하 저항이 클 때 H 전위, 작을 때 L 전위가 되는 내부 신호를 각각 출력한다. 또한, 관동 회로(225(1) 내지 225(n))는 관동 동작 가능한 상태에서 내부 신호가 H 전위이면, 출력 신호선에 K 비트 카운터(206)로부터 입력되는 K개의 카운트 신호 COUNT(1) 내지 COUNT(K)를 부여하고, 내부 신호가 L 전위이면, 출력 신호선을 고 임피

던스 상태로 한다. 래치 군(226(1) 내지 226(n))은 K개의 래치 입력 신호선에 부여된 데이터를 저장한다.

- [0103] 행 구동 회로(203)는 로우 어드레스 신호선 RA, 제어 신호선 CE 등에 접속된다. 행 구동 회로(203)는 게이트선 GL 및 용량소자선 CL을 제어하고, 게이트선 GL 및 용량소자선 CL을 통해서 메모리 셀 어레이(201)에 접속되어 있다.
- [0104] 그 다음에, 원하는 행의 메모리 셀로부터 다치의 데이터를 판독하고, 각 열의 K 비트 래치 군(226(1) 내지 226(n))에 데이터를 저장하는 판독 방법에 대해서 설명한다.
- [0105] 행 구동 회로(203)에서는, 제어 선 CE에 H 전위를 부여하고, 행 구동 회로(203)를 동작가능한 상태로 해서 로우 어드레스 신호선 RA에 로우 어드레스 신호를 입력하고, 로우 어드레스 신호가 지정한 행을 선택한다. 소정의 제어 선 CE에 판독 상태인 것을 전하는 신호가 입력되어, 선택된 행의 용량소자선 CL과 게이트선 GL 및 비선택 행의 용량소자선 CL과 게이트선 GL에, 각각 판독 동작을 행하기 위한 전위가 부여된다. 도 24에 도시한 구성의 메모리 셀(170(1, 1) 내지 170(n, m))에서는, 선택 행의 용량소자선 CL에는 전위 생성 회로(207)로부터 출력되는 아날로그 전위가 부여되고, 비선택 행의 용량소자선 CL에는 전위 VH가 부여된다. 게이트선 GL에는 L 전위가 부여된다.
- [0106] 열 구동 회로(202)에서는, 제어 선 CE에 H 전위를 부여하고 열 구동 회로(202)를 동작 가능한 상태로 한다. 소정의 제어 선 CE에 판독 상태인 것을 전하는 신호가 입력됨으로써, 각 열의 판독 회로(225(1) 내지 225(n))가 판독 동작 가능한 상태가 된다. 소스선 SL에 전위 VSR가 부여된다.
- [0107] 또한, 판독 기간에서, K 비트 카운터(206)는 "0"부터 " $2^k-1$ "까지 카운트를 행한다. 전위 생성 회로(207)는 카운터의 값이 "i"(i=0 내지  $2^k-1$ )일 경우에 아날로그 전위 VR(i)을 생성하여 출력한다. 본 실시 형태에서는, 카운터의 값이 클수록, 낮은 아날로그 전위를 생성하는 것으로 한다. 즉, VR(i)>VR(i+1)(i=0 내지  $2^k-2$ )으로 한다. 그 결과, 선택 행의 용량소자선 CL에는 카운터의 값에 따라 높은 아날로그 전위 VR(0)로부터 낮은 아날로그 전위 VR( $2^k-1$ )까지 순서대로 부여된다.
- [0108] 용량소자선 CL의 전위가 변동하면, 플로팅 게이트부 FG의 전위가 용량 결합에 의해 변동한다. 트랜지스터(160)를 온 상태로 하기 위해 필요한 용량소자선 CL의 전위를 메모리 셀의 임계값 전압이라고 한다. 본 실시 형태에서는, 트랜지스터(160)는 p채널형 트랜지스터이기 때문에, 용량소자선 CL의 전위가 메모리 셀의 임계값 전압보다 높을 경우에 트랜지스터(160)가 오프 상태가 되고, 용량소자선 CL의 전위가 메모리 셀의 임계값 전압보다 낮을 경우에 트랜지스터(160)가 온 상태가 된다. 메모리 셀의 임계값 전압은 메모리 셀이 저장하고 있는 데이터에 따라 상이하다. 메모리 셀이 저장하는 데이터가 j(j=0 내지  $2^k-1$ )일 경우의 메모리 셀의 임계값 전압을 Vth(i)로 한다.
- [0109] 전위 생성 회로(207)가 생성하는 VR(i)은, VR(i)>Vth(i)(i=0 내지  $2^k-1$ ), 또한, Vth(i)>VR(i+1)(i=0 내지  $2^k-2$ )을 만족한다. 즉, VR(i)로서, 데이터 "j"(j=i 내지  $2^k-1$ )을 저장하는 메모리 셀의 임계값 전압보다 크고, 데이터 "j"(j=0 내지 i-1)을 저장하는 메모리 셀의 임계값 전압보다 작은 전위를 생성한다.
- [0110] 용량소자선 CL의 전위가 카운터의 값과 함께 저하되어 선택된 메모리 셀의 임계값 전압보다 작아지면, 트랜지스터(160)는 오프 상태로부터 온 상태로 이행한다. 각 열의 판독 회로(225(1) 내지 225(n))의 부하는, 대응하는 열의 메모리 셀의 트랜지스터(160)가 오프 상태로부터 온 상태로 이행하면, 큰 부하 저항으로부터 작은 부하 저항으로 변화되게 된다.
- [0111] 판독 회로(225(1) 내지 225(n))는, 부하 저항이 클 때 K 비트 카운터(206)로부터 입력되는 K개의 카운트 신호 COUNT(1) 내지 COUNT(K)를 출력한다. 그리고, 판독 회로(225(1) 내지 225(n))의 출력 신호인 카운트 신호의 값이 K 비트 래치부에 저장된다. 한편, 부하 저항이 작을 때 판독 회로(225(1) 내지 225(n))의 출력 신호선은 고 임피던스 상태로 된다. 이때, K 비트 래치 군(226(1) 내지 226(n))에 저장되어 있는 데이터가 유지된다. 그 결과, 용량소자선 CL의 전위가 메모리 셀의 임계값 전압보다 작아지는 시점에서의 카운터의 값이 K 비트 래치 군(226(1) 내지 226(n))에 저장되게 된다. 즉, 데이터 "i"를 저장하는 메모리 셀을 판독했을 경우, 래치부에는 데이터 "i"가 저장되게 된다.
- [0112] 이상과 같이 하여, 도 24에 도시한 반도체 장치는, 원하는 한 행의 메모리 셀들로부터 다치의 데이터를 판독할 수 있다.

- [0113] 일례로서, H 전위를 VDD, L 전위를 GND, 전위 VSR를 VDD로 할 수 있다는 점에 주목한다.
- [0114] 도 24에 도시한 반도체 장치는,  $2^K$  값의 메모리의 판독 방법에서, 메모리 셀에 저장하는  $2^K$  값의 데이터를 K 비트 래치부에 대응시킬 수 있고, 회로 규모를 작게 할 수 있다. 예를 들어, 4 값의 데이터를 저장할 경우, 2 비트 래치부를 갖는 구성으로 된다. 특히,  $2^K$  값의 메모리의 판독 방법에서, 메모리 셀에 저장된  $2^K$  값의 개개의 데이터를 하나의 래치에 대응시킬 경우에는,  $2^K$  개의 래치가 필요해진다. 그러한 구성과 비교하여, 회로 규모를 작게 하는 것이 가능하다.
- [0115] 본 실시 형태에서는, 도 1aa에 도시한 메모리 셀에서, 트랜지스터(160)의 소스 전극 또는 드레인 전극과, 트랜지스터(162)의 소스 전극 또는 드레인 전극이 비트선 BL에 의해 접속된 메모리 셀들을 병렬로 접속한 NOR형 메모리 셀 어레이의 구성을 예에 도시했지만, 본 발명의 실시 형태는 이 구성에 한하지 않는다는 점에 주목한다. 트랜지스터(160)의 소스 전극 또는 드레인 전극과 트랜지스터(162)의 소스 전극 또는 드레인 전극은 서로 다른 배선에 접속될 수 있다. 도 1c에 도시하는 것 같이, 메모리 셀에 포함된 트랜지스터(160)를 n채널형 트랜지스터로 할 수 있다. 또한, 도 4에 도시하는 것 같이, 메모리 셀들을 직렬로 접속한 NAND형 메모리 셀 어레이가 이용될 수 있다.
- [0116] 이것은 도 24에 도시한 반도체 장치는 메모리 셀 구조에 상관없이, 각 열의 판독 회로(225(1) 내지 225(n))가 부하 저항이 변화되는 시점에서의 카운터의 값을 래치부에 저장하는 구성으로 되어 있기 때문이다. 또한, K 비트 카운터(206)의 값에 의해 메모리 셀의 상태(트랜지스터(160)가 온 상태인지 또는 오프 상태인지)를 제어할 수 있기 때문이다.
- [0117] 본 실시 형태에서는, 판독 기간에서, K 비트 카운터(206)가 "0"부터 " $2^K-1$ "까지 카운트하는 구성으로 했지만, 본 발명의 실시 형태는 이 구성에 한하지 않는다는 점에 주목한다. K 비트 카운터(206)는 " $2^K-1$ "부터 "0"까지 카운트할 수 있다. 또한, 본 실시 형태에서는, 선택 행의 용량소자선 CL에는 높은 아날로그 전위로부터 낮은 아날로그 전위까지 순서대로 부여되지만, 본 발명의 실시 형태는 이 구성에 한하지 않는다. 선택 행의 용량소자선 CL에는, 낮은 아날로그 전위로부터 높은 아날로그 전위까지 순서대로 부여될 수 있다. 또한, 본 실시 형태에서는, 데이터 "j"를 저장하는 메모리 셀의 임계값 전압  $V_{th}(j)$ 을 데이터 "j+1"을 저장하는 메모리 셀의 임계값 전압  $V_{th}(j+1)$ 보다 큰 구성으로 했지만, 본 발명의 실시 형태는 이 구성에 한하지 않는다. 데이터 "j"를 저장하는 메모리 셀의 임계값 전압  $V_{th}(j)$ 을 데이터 "j+1"을 저장하는 메모리 셀의 임계값 전압  $V_{th}(j+1)$ 보다 작은 구성으로 할 수 있다.
- [0118] 본 실시 형태에서는, 열 구동 회로(202)에 입력 데이터 신호선 DIN과 출력 데이터 신호선 DOUT가 접속되는 구성으로 했지만, 본 발명의 실시 형태는 이 구성에 한하지 않는다는 점에 주목한다. 대안적으로 입출력 데이터 신호선 DINOUT가 접속될 수 있다.
- [0119] 도 25는 반도체 장치의 블록도의 일례이다. 도 25에 도시하는 반도체 장치의 블록도는 구동 회로의 기입 동작 및 판독 동작에 관한 부분에 특징을 갖는다. 도 25에 도시하는 반도체 장치는  $2^K$  값(K는 1 이상의 정수)의 상태를 하나의 메모리 셀에 유지하는 다치 메모리이며, 복수의 메모리 셀을 포함하는 메모리 셀 어레이(201)와, 열 구동 회로(202)와, 행 구동 회로(203)와, 전위 생성 회로(207)와, K 비트 카운터(206)를 포함한다.
- [0120] 메모리 셀 어레이(201)는 복수(예를 들어, m개)의 게이트선 GL 및 복수의 용량소자선 CL과, 복수(예를 들어, n개)의 비트선 BL과, 소스선 SL(도시 생략)과, 매트릭스 형상으로 배치된 복수의 메모리 셀(170)을 포함한다.
- [0121] 메모리 셀(170)은 도 1aa에 도시하는 메모리 셀을 적용할 수 있다. 또한, 메모리 셀(170)로서, 도 1b에 도시하는 메모리 셀을 적용할 수도 있다. 그 경우에는, 용량소자선 CL을 생략할 수 있다. 또한, 메모리 셀(170)로서, 도 1c에 도시하는 메모리 셀을 적용할 수 있다.
- [0122] 전위 생성 회로(207)는 복수의 아날로그 전위  $VW(1)$  내지  $VW(2^K)$ 를 생성하고, 열 구동 회로(202)에 출력한다. 전위 생성 회로(207)는 아날로그 전위  $VW(1)$  내지  $VW(2^K)$ 가 부여되는  $2^K$  개의 전원선을 통해서 열 구동 회로(202)에 접속되어 있다. K개의 카운트 신호 COUNT(1) 내지 COUNT(K)가 전위 생성 회로(207)에 입력되어, 전위 생성 회로(207)는 아날로그 전위를 행 구동 회로(203)에 출력한다. 전위 생성 회로(207)는 카운트 신호의 값에 따라 다른 값을 취하는 아날로그 전위를 생성한다. 전위 생성 회로(207)는 아날로그 전위가 부여되는 전원선을 통해서 행 구동 회로(203)에 접속되어 있다.

- [0123] 열 구동 회로(202)는 칼럼 어드레스 신호선 CA, 입력 데이터 신호선 DIN, 출력 데이터 신호선 DOUT, 제어 신호선 CE 등에 접속된다. 열 구동 회로(202)에서, 메모리 셀의 열마다, K 비트 래치부와 기입 회로와 판독 회로를 갖는다. 래치 군(226(1) 내지 226(n))은 K개의 래치 입력 신호선을 통하여 기입 회로(224(1) 내지 224(n)) 및 판독 회로(225(1) 내지 225(n))에 각각 접속되어 있다. 열 구동 회로(202)는 비트선 BL 및 소스선 SL을 제어하고, 비트선 BL 및 소스선 SL을 통해서 메모리 셀 어레이(201)에 접속되어 있다.
- [0124] 기입 회로(224(1) 내지 224(n))는 전위 생성 회로(207)가 출력하는 아날로그 전위 VW(1) 내지 VW( $2^K$ )가 부여된  $2^K$  개의 전위선 VW와 K개의 래치 출력 신호선에 접속된다. 기입 회로(224(1) 내지 224(n))는 멀티플렉서(335(1) 내지 335(n))를 각각 포함한다. 멀티플렉서(335(1) 내지 335(n))는 각각 K 비트 래치 군(226(1) 내지 226(n))의 출력 신호에 기초하여, 전위 생성 회로(207)가 출력하는 복수의 아날로그 전위 VW(1) 내지 VW( $2^K$ )로부터 하나의 전위를 선택한다. 기입 회로(224(1) 내지 224(n))는 기입 동작 가능한 상태에서, 멀티플렉서(335(1) 내지 335(n))가 선택한 전위를 출력한다.
- [0125] 메모리 셀(170)은 판독 회로(225(1) 내지 225(n))에 비트선 BL을 통해서 부하로서 접속된다. 판독 회로(225(1) 내지 225(n))는 K개의 출력 신호선을 포함한다. 판독 회로(225(1) 내지 225(n))는 판독 동작 가능한 상태에서 부하 저항이 클 때 H 전위, 작을 때 L 전위가 되는 내부 신호를 출력한다. 또한, 판독 회로(225(1) 내지 225(n))는, 판독 동작 가능한 상태에서 내부 신호가 H 전위이면, 출력 신호선에 K 비트 카운터(206)로부터 입력되는 K개의 카운트 신호 COUNT(1) 내지 COUNT(K)를 부여하고, 내부 신호가 L 전위이면, 출력 신호선을 고 임피던스 상태로 한다. 래치 군(226(1) 내지 226(n))은 K개의 래치 입력 신호선에 부여된 데이터를 저장한다.
- [0126] 행 구동 회로(203)는 로우 어드레스 신호선 RA, 제어 신호선 CE 등에 접속된다. 행 구동 회로(203)는 게이트선 GL 및 용량소자선 CL을 제어하고, 게이트선 GL 및 용량소자선 CL을 통해서 메모리 셀 어레이(201)에 접속되어 있다.
- [0127] 그 다음에, 각 열의 K 비트 래치 군(226(1) 내지 226(n))에 저장된 데이터를 한 행의 메모리 셀들에 동시에 기입하는 방법에 대해서는, 도 2에 도시하는 반도체 장치에서의 동작 방법과 같으므로, 그 설명은 생략한다.
- [0128] 원하는 행의 메모리 셀로부터 다치의 데이터를 판독하고, 각 열의 K 비트 래치 군(226(1) 내지 226(n))에 데이터를 저장하는 판독 방법에 대해서는 도 24에 도시하는 반도체 장치에서의 동작 방법과 같으므로, 그 설명은 생략한다.
- [0129] 도 25에 도시한 반도체 장치는 메모리 셀에 포함된 비트선 BL과 노드 FG가 트랜지스터(162)를 통해서 접속되는 구조를 가지므로, 기입 동작에서, 전하를 축적하는 부위인 플로팅 게이트부 FG에 직접 전위를 부여하는 것이 가능하다. 그 결과, 개개의 메모리 셀에의 기입 동작을 고속으로 행하는 것이 가능하다. 특히, 불휘발성 메모리 소자로서 이용되는 플로팅 게이트형의 트랜지스터와 같이, 미소한 터널 전류에서 전하 주입을 행하는 기입 방법과 비교하여, 단시간에, 또한, 높은 정밀도로 플로팅 게이트 FG의 전위를 제어하고 기입을 행할 수 있다.
- [0130] 또한, 도 25에 도시한 반도체 장치는 전위 생성 회로(207)에 의해 생성한 복수의 아날로그 전위를 모든 열의 기입 회로(224(1) 내지 224(n))에 공급함으로써, 각 열의 기입 회로(224(1) 내지 224(n))는 복수의 아날로그 전위로부터 기입 데이터에 대응한 전위를 독립적으로 선택할 수 있다. 그 결과, 다치의 데이터를 한 행의 메모리 셀들에 한번에, 또한 고속으로 기입하는 것이 가능하게 된다.
- [0131] 불휘발성 메모리 소자로서 이용되는 플로팅 게이트형의 트랜지스터와 같이, 미소한 터널 전류에서 전하 주입을 행하는 기입을 행하는 경우에는, 기입 데이터에 따라 기입 시간을 바꿀 필요가 있다는 점에 주목한다. 즉, 전하 주입량이 적은 데이터를 기입하기 위해서는 단시간의 기입을, 전하 주입량이 많은 데이터를 기입하기 위해서는 장시간의 기입을 행할 필요가 있다. 그 결과, 기입을 복수 회 행하는 것이 필요해지고, 복잡한 동작이 되는 동시에, 저속 동작이 되어 버린다. 한편, 도 25에 도시한 반도체 장치는, 기입 데이터에 상관없이, 다치의 데이터를 한 행의 메모리 셀들에 한번에 또한 고속으로 기입할 수 있다.
- [0132] 또한, 도 25에 도시한 반도체 장치는  $2^K$  값의 메모리의 기입 및 판독 방법의 양쪽에서, 메모리 셀에 저장하는  $2^K$  값의 데이터를 K 비트 래치부에 대응시킬 수 있고, 회로 규모를 작게 할 수 있다. 특히, 메모리 셀에 기입하는 데이터와 메모리 셀로부터 판독한 데이터를 같은 K 비트 래치 회로에 저장할 수 있기 때문에, 회로 규모를 작게 할 수 있다. 예를 들어, 4 값의 데이터를 저장할 경우, 2 비트 래치부를 포함하는 구성이 이용된다.
- [0133]  $2^K$  값의 메모리의 기입 방법에서, 메모리 셀에 저장하는  $2^K$  값의 개개의 데이터를 하나의 래치에 대응시킬 경우

에는,  $2^k$  비트의 래치부가 필요해진다. 혹은,  $2^k$  값의 메모리의 관독 방법에서, 메모리 셀에 저장된  $2^k$  값의 개의 데이터를 하나의 래치에 대응시킬 경우에는,  $2^k$  비트의 래치부가 필요해진다. 메모리 셀에 기입하는 데이터와 메모리 셀로부터 관독한 데이터가 함께 K 비트의 데이터이라 해도, 데이터 형식이 상이한 경우에는, 관독 동작용의 K 비트 래치부와, 기입 동작용의 K 비트 래치부를 별도로 설치할 필요가 있어, 회로 규모가 커져 버린다. 도 25에 도시한 구성의 반도체 장치는 상기 어느 것의 구성과 비교하여 회로 규모를 작게 하는 것이 가능하다.

[0134] 본 실시 형태에서는, 도 1aa에 도시한 메모리 셀에서, 트랜지스터(160)의 소스 전극 또는 드레인 전극과, 트랜지스터(162)의 소스 전극 또는 드레인 전극이 비트선 BL에 의해 접속된 메모리 셀을, 도 4에 도시하는 것 같이, 병렬로 접속한 NOR형 메모리 셀 어레이의 구성을 예에 도시했지만, 본 발명의 실시 형태는 이 구성에 한하지 않는다는 점에 주목한다. 트랜지스터(160)의 소스 전극 또는 드레인 전극과 트랜지스터(162)의 소스 전극 또는 드레인 전극은 서로 다른 배선에 접속될 수 있다. 도 1c에 도시하는 것 같이, 메모리 셀을 포함하는 트랜지스터(160)를 n채널형 트랜지스터로 할 수 있다. 또한, 도 5에 도시하는 것 같이, 메모리 셀들을 직렬로 접속한 NAND형 메모리 셀 어레이가 이용될 수 있다.

[0135] 이것은 도 25에 도시한 반도체 장치는 메모리 셀의 구성에 상관없이, 각 열의 기입 회로(224(1) 내지 224(n))는 복수의 아날로그 전위로부터 기입 데이터에 대응한 전위를 독립적으로 선택할 수 있기 때문이다. 또한, 게이트선 GL과 플로팅 게이트부 FG가 트랜지스터(162)를 통해서 접속되는 메모리 셀 구성이면, 플로팅 게이트부 FG에 직접 전위를 부여하는 것이 가능하며, 고속으로 기입할 수 있기 때문이다.

[0136] 또한, 이것은 도 25에 도시한 반도체 장치는 메모리 셀 구조에 상관없이, 각 열의 관독 회로(225(1) 내지 225(n))가 부하 저항이 변화되는 시점에서의 카운터의 값을 래치부에 저장하는 구성으로 되어 있기 때문이다. 또한, K 비트 카운터(206)의 값에 의해 메모리 셀의 상태(트랜지스터(160)가 온 상태인지 오프 상태인지)를 제어할 수 있기 때문이다.

[0137] 본 실시 형태에서는, 관독 기간에서, K 비트 카운터(206)가 "0"부터 " $2^k-1$ "까지 카운트하는 구성으로 했지만, 본 발명의 실시 형태는 이 구성에 한하지 않는다는 점에 유의한다. K 비트 카운터(206)가 " $2^k-1$ "부터 "0"까지 카운트할 수 있다. 또한, 본 실시 형태에서는, 선택 행의 용량소자선 CL에는 높은 아날로그 전위로부터 낮은 아날로그 전위까지 순서대로 부여되지만, 본 발명의 실시 형태는 이 구성에 한하지 않는다. 선택 행의 용량소자선 CL에는 낮은 아날로그 전위로부터 높은 아날로그 전위까지 순서대로 부여될 수 있다. 또한, 본 실시 형태에서는, 데이터 "j"를 저장하는 메모리 셀의 임계값 전압  $V_{th}(j)$ 을 데이터 "j+1"을 저장하는 메모리 셀의 임계값 전압  $V_{th}(j+1)$ 보다 큰 구성으로 했지만, 본 발명의 실시 형태는 이 구성에 한하지 않는다. 데이터 "j"를 저장하는 메모리 셀의 임계값 전압  $V_{th}(j)$ 을 데이터 "j+1"을 저장하는 메모리 셀의 임계값 전압  $V_{th}(j+1)$ 보다 작은 구성으로 할 수 있다.

[0138] 본 실시 형태에서는, 열 구동 회로(202)에 입력 데이터 신호선 DIN과 출력 데이터 신호선 DOUT가 접속되는 구성으로 했지만, 본 발명의 실시 형태는 이 구성에 한하지 않는다는 점에 주목한다. 대안적으로 입출력 데이터 신호선 DINOUT가 접속될 수 있다.

[0139] 그 다음에, 상술한 회로를 적용한 반도체 장치의 구성에 대해서 설명한다.

[0140] 구체적으로는, 입출력 데이터 신호선 I/O를 8개 포함하고, 1개의 메모리 셀에 대하여 4 비트(16값 ( $2^4$ 값))의 데이터를 기입 또는 관독하는 회로 구성을 예로서 설명한다. 또한, 다른 표시가 없는 한, H 전위는 VDD, L 전위는 GND를 표시한다.

[0141] 도 3a는 반도체 장치의 블록도의 일례이다. 도 3a에 도시하는 반도체 장치는 복수의 메모리 셀(170)을 포함하는 메모리 셀 어레이(201)와, 열 구동 회로(202)와, 행 구동 회로(203)와, 컨트롤러(204)와, 카운터(206)와, I/O 제어 회로(205)와, 전위 생성 회로(207)를 포함한다.

[0142] 메모리 셀 어레이(201)는 비트선 BL 및 소스선 SL을 제어하는 열 구동 회로(202)와, 게이트선 GL 및 용량소자선 CL을 제어하는 행 구동 회로(203)에 접속되어 있다. 열 구동 회로(202)는 전위 생성 회로(207)와, 카운터(206)와, I/O 제어 회로(205)에 접속되어 있다. 행 구동 회로(203)는 전위 생성 회로(207)에 접속되어 있다. 전위 생성 회로(207)는 카운터(206)에 접속되어 있다. 메모리 셀 어레이(201)를 제외한 이것들의 회로는 컨트롤러(204)에 접속되어 있다.

- [0143] I/O 제어 회로(205)는 8개의 입출력 데이터 신호선 I/01 내지 I/08에 접속되고, 입력 데이터 신호선 DIN1 내지 DIN8 및 출력 데이터 신호선 DOUT1 내지 DOUT8을 통해서 열 구동 회로(202)에 접속되어 있다. I/O 제어 회로(205)는 컨트롤러(204)에 의해 제어된다. 예를 들어, I/O 제어 회로(205)에 컨트롤러(204)와 접속되는 제어 선에서 H 전위가 입력되었을 경우, 8개의 입출력 데이터 신호선 I/01 내지 I/08의 신호가 I/O 제어 회로(205)에 입력된다. 8개의 입출력 데이터 신호선 I/01 내지 I/08은 각각 8개의 입력 데이터 신호선 DIN1 내지 DIN8과 전기적으로 통하여, 8개의 출력 데이터 신호선 DOUT1 내지 DOUT8의 신호를 열 구동 회로(202)에 출력한다. 또한, I/O 제어 회로(205)에 컨트롤러(204)에 접속되는 제어 선에서 L 전위가 입력되었을 경우, 열 구동 회로(202)로부터 8개의 출력 데이터 신호선 DOUT1 내지 DOUT8의 신호가 I/O 제어 회로(205)에 입력된다. 8개의 출력 데이터 신호선 DOUT1 내지 DOUT8은 각각 8개의 입출력 데이터 신호선 I/01 내지 I/08과 전기적으로 통하여, 8개의 출력 데이터 신호선 DOUT1 내지 DOUT8의 신호를 입출력 데이터 신호선 I/01 내지 I/08에 출력한다.
- [0144] 카운터(206)는 카운터 신호선 COUNT0 내지 COUNT3을 통해서 열 구동 회로(202) 및 전위 생성 회로(207)에 접속되어 있다. 카운터(206)는 컨트롤러(204)에 의해 제어되어, 4 비트의 카운터 신호선 COUNT0 내지 COUNT3의 데이터를 열 구동 회로(202) 및 전위 생성 회로(207)의 각각에 출력한다.
- [0145] 전위 생성 회로(207)는 아날로그 전원 전압선 V1 내지 V16 및 정전원선 VREAD을 통해서 열 구동 회로(202)에 접속되고, 가변 전원선 VR을 통해서 행 구동 회로(203)에 접속되어 있다. 전위 생성 회로(207)는 컨트롤러(204)에 의해 제어된다. 전위 생성 회로(207)는 고 전원 전압 VH와, 아날로그 전원 전압선 V1 내지 V16의 전압과, 정전원선 VREAD의 전압을, 열 구동 회로(202)에 출력한다. 전위 생성 회로(207)는 카운터 신호선 COUNT0 내지 COUNT3의 데이터에 의해 전압이 변동하는 가변 전원선 VR의 전압과, 고 전원 전압 VH를 행 구동 회로(203)에 출력한다. 본 실시 형태에서는, 아날로그 전원 전압선 V1 내지 V16의 전압의 관계는 V1 < V2 < V3 < V4 < V5 < V6 < V7 < V8 < V9 < V10 < V11 < V12 < V13 < V14 < V15 < V16 < VH로 한다. 아날로그 전원 전압선 V1의 전압은 GND로 한다. 가변 전원선 VR의 전압은, 카운터 신호선 COUNT0 내지 COUNT3의 데이터가 작아질수록 커지는 것으로 한다. 가변 전원선 VR은 컨트롤러(204)에 의해 제어된다는 점에 주목한다. 판독 동작 시에는 가변 전원선 VR은 카운터 신호선 COUNT0 내지 COUNT3의 데이터에 따른 전압을 출력한다. 그 이외의 경우에는, 가변 전원선 VR은 L 전위를 출력한다.
- [0146] 도 3b에 도시하는 메모리 셀(170)은 도 1a에 도시하는 메모리 셀을 적용할 수 있다. 또한, 메모리 셀(170)로서, 도 1b에 도시하는 메모리 셀을 적용할 수도 있다. 도 3c에 도시하는 것 같이, 용량소자선 CL을 생략할 수 있다. 또한, 메모리 셀(170)로서, 도 1c에 도시하는 메모리 셀을 적용할 수도 있다.
- [0147] 그 다음에, 메모리 셀 어레이(201)의 구성에 대해서 도 4 및 도 5를 참조하여 설명한다.
- [0148] 도 4에 메모리 셀 어레이(201)의 예를 나타낸다. 도 4에 도시하는 메모리 셀 어레이(201)는 m개의 게이트선 GL과, m개의 용량소자선 CL과, n개의 비트선 BL과, (n/8)개의 소스선 SL과, 복수의 메모리 셀(170)을 포함한다. 여기서, 메모리 셀(170)은 (수직 방향) m개(행) × (수평 방향) n개(열)의 매트릭스 형상으로 배치되어 있다. 여기에서는, 소스선 SL은 메모리 셀(170)이 8열로 설치될 때마다 1개 설치되어 있다. 이에 의해, 1열마다 소스선 SL을 설치할 경우에 비해 배선의 수를 저감할 수 있다. 또한, 메모리 셀 어레이(201)의 공간 절약화를 도모할 수 있다. 물론, 도 4에 도시하는 메모리 셀 어레이(201)는 n개의 소스선 SL을 설치할 수 있다.
- [0149] n개의 비트선 BL 및 (n/8)개의 소스선 SL은 도 3a에 도시하는 열 구동 회로(202)에 포함되는 비트선 및 소스선 구동 회로(221)에 접속되어 있다. m개의 게이트선 GL 및 용량소자선 CL은 도 3a에 도시하는 행 구동 회로(203)에 포함되는 게이트선 및 용량소자선 구동 회로(231)에 접속되어 있다.
- [0150] 도 5에 메모리 셀 어레이(201)의 다른 예를 나타낸다. 도 5에 도시하는 메모리 셀 어레이(201)는 1개의 선택선 G(1)과, m개의 게이트선 GL과, m개의 용량소자선 CL과, n개의 비트선 BL과, 1개의 소스선 SL과, 복수의 메모리 셀(170)을 포함한다. 여기서, 메모리 셀(170)은 (수직 방향) m개(행) × (수평 방향) n개(열)의 매트릭스 형상으로 배치되어 있다.
- [0151] n개의 비트선 BL 및 1개의 소스선 SL은 도 3a에 도시하는 열 구동 회로(202)에 포함되는 비트선 및 소스선 구동 회로(221)에 접속되어 있다. 1개의 선택선 G(1), m개의 게이트선 GL과, m개의 용량소자선 CL은 도 3a에 도시하는 행 구동 회로(203)에 포함되는 게이트선 및 용량소자선 구동 회로(231)에 접속되어 있다.
- [0152] 그 다음에, 메모리 셀 어레이(201)에 접속된 열 구동 회로(202)의 구성에 대해서 도 6을 참조하여 설명한다.
- [0153] 도 6에서, 열 구동 회로(202)는 비트선 및 소스선 구동 회로(221)와 열 디코더(222)를 포함한다. 비트선 및 소

스션 구동 회로(221)는 셀렉터(229)를 포함한다. 비트선 및 소스선 구동 회로(221)에서, 메모리 셀의 열마다, 셀렉터(228)와, 래치 군(226)(래치부라고도 한다)과, 기입 회로(224)와, 판독 회로(225)와, 아날로그 스위치(223a, 223b)가 포함된다. 메모리 셀의 8열마다, 버퍼(230)를 갖는다. 메모리 판독 신호선 PRE는 버퍼(230)를 통해서 소스선 SL과 접속되어 있다.

[0154] 열 디코더(222)는 셀렉터(229)와 접속되어 있다. 셀렉터(229)는 셀렉터(228)와 접속되어 있다. 셀렉터(228)는 래치 군(226)과 접속되어 있다. 래치 군(226)은 판독 회로(225) 및 기입 회로(224)와 각각 접속되어 있다. 예를 들어, 제1열의 판독 회로(225(1))는 아날로그 스위치(223a)를 통해서 비트선 BL(1)과 접속되어 있고, 제1열의 기입 회로(224(1))는, 아날로그 스위치(223b)를 통해서 비트선 BL(1)과 접속되어 있다. 제n열의 판독 회로(225(n))는 아날로그 스위치(223a)를 통하여 비트선 BL(n)과 접속되어 있고, 제n열의 기입 회로(224(n))는 아날로그 스위치(223b)를 통해서 비트선 BL(n)과 접속되어 있다.

[0155] 열 디코더(222)에는,  $N_c$ 개( $2^{N_c} \times 2^3 = n$ )의 열 어드레스 신호선 CA와 1개의 제어 선 CE이 접속된다. 열 디코더(222)는 (n/8)개의 열 디코드 신호선을 통해서 셀렉터(229)에 접속되어 있다. 열 디코더(222)에는,  $N_c$ 개( $2^{N_c} \times 2^3 = n$ )의 열 어드레스 신호선 CA의 데이터와 제어 신호 CE가 입력되어, 열 디코더(222)가 (n/8)개의 열 디코드 신호선에 데이터를 출력한다. (n/8)개의 열 디코드 신호선들 중 한 개의 데이터는, 제어 선 CE가 H 전위일 때에는,  $N_c$ 개( $2^{N_c} \times 2^3 = n$ )의 열 어드레스 신호선 CA의 데이터에 따라 H 전위로 된다. 제어 선 CE가 L 전위일 때에는,  $N_c$ 개( $2^{N_c} \times 2^3 = n$ )의 열 어드레스 신호선 CA의 데이터에 상관없이 모든 열 디코드 신호선의 데이터가 L 전위로 된다.

[0156] 셀렉터(229)에는 (n/8)개의 열 디코드 신호선과, 입력 데이터 신호선 DIN1 내지 DIN8과, 출력 데이터 신호선 DOUT1 내지 DOUT8과, 입력 셀렉트 신호선 DI1(1) 내지 DI8(n)과, 출력 셀렉트 신호선 DO1(1) 내지 DO8(n)이 접속되어 있다. (n/8)개의 열 디코드 신호선의 데이터에 의해, 입력 데이터 신호선 DIN1 내지 DIN8과, 입력 셀렉트 신호선 DI1(1) 내지 DI8(n)의 8개의 선이 도통한다. 마찬가지로, 출력 데이터 신호선 DOUT1 내지 DOUT8과, 출력 셀렉트 신호선 DO1(1) 내지 DO8(n)의 8개의 선이 도통한다. 예를 들어, 제5열 디코드 신호선의 데이터의 전위가 H 전위인 경우, 입력 데이터 신호선 DIN1 내지 DIN8과, 입력 셀렉트 신호선 DI1(5) 내지 DI8(5)이 도통하여, 출력 데이터 신호선 DOUT1 내지 DOUT8과, 출력 셀렉트 신호선 DO1(5) 내지 DO8(5)이 도통한다. 이 경우, 그 밖의 입력 셀렉트 신호선과 출력 셀렉트 신호선은 각각 입력 데이터 신호선 DIN1 내지 DIN8과 출력 데이터 신호선 DOUT1 내지 DOUT8에 대하여 플로팅 상태로 된다. 모든 열 디코드 신호선의 데이터의 전위가 L 전위인 경우, 모든 입력 셀렉트 신호선 DI1(1) 내지 DI8(n) 및 출력 셀렉트 신호선 DO1(1) 내지 DO8(n)은 입력 데이터 신호선 DIN1 내지 DIN8 및 출력 데이터 신호선 DOUT1 내지 DOUT8에 대하여 플로팅 상태로 된다.

[0157] 셀렉터(228) 및 래치 군(226)의 보다 상세한 구성에 대해서 도 7을 참조하여 설명한다.

[0158] 셀렉터(228(1))는 입력 셀렉트 신호선 DI1(1)과, 출력 셀렉트 신호선 DO1(1)과, 기입 어드레스 신호선 BA\_W1 내지 BA\_W4과, 판독 어드레스 신호선 BA\_R1 내지 BA\_R4과, 래치 입력 신호선 I(1, 1) 내지 I(4, 1)과, 래치 출력 신호선 O(1, 1) 내지 O(4, 1)에 접속되어 있다. 마찬가지로, 셀렉터(228(8))는 입력 셀렉트 신호선 DI8(1)과, 출력 셀렉트 신호선 DO8(1)과, 기입 어드레스 신호선 BA\_W1 내지 BA\_W4과, 판독 어드레스 신호선 BA\_R1 내지 BA\_R4과, 래치 입력 신호선 I(1, 8) 내지 I(4, 8)과, 래치 출력 신호선 O(1, 8) 내지 O(4, 8)에 접속되어 있다. 또한, 셀렉터(228(n))는 입력 셀렉트 신호선 DI8(n/8)과, 출력 셀렉트 신호선 DO8(n/8)과, 기입 어드레스 신호선 BA\_W1 내지 BA\_W4과, 판독 어드레스 신호선 BA\_R1 내지 BA\_R4과, 래치 입력 신호선 I(1, n) 내지 I(4, n)과, 래치 출력 신호선 O(1, n) 내지 O(4, n)에 접속되어 있다.

[0159] 기입 어드레스 신호선 BA\_W1 내지 BA\_W4은 각 셀렉터(228(1) 내지 228(n))의 래치 입력 신호선 I(1, 1) 내지 I(4, n)과 대응하고 있다. 기입 어드레스 신호선 BA\_W1의 데이터가 H 전위인 경우, 셀렉터(228(1))의 래치 입력 신호선 I(1, 1)은 입력 셀렉트 신호선 DI1(1)과, 셀렉터(228(8))의 래치 입력 신호선 I(1, 8)은 입력 셀렉트 신호선 DI8(1)과, 셀렉터(228(n))의 래치 입력 신호선 I(1, n)은 입력 셀렉트 신호선 DI8(n/8)과 도통한다. 판독 어드레스 신호선 BA\_R1 내지 BA\_R4은 각 셀렉터(228(1) 내지 (n))의 래치 출력 신호선 O(1, 1) 내지 O(4, n)과 대응하고 있다. 판독 어드레스 신호선 BA\_R1의 데이터가 H 전위인 경우, 셀렉터(228(1))의 래치 출력 신호선 O(1, 1)은 출력 셀렉트 신호선 DO1(1)과, 셀렉터(228(8))의 래치 출력 신호선 O(1, 8)은 출력 셀렉트 신호선 DO8(1)과, 셀렉터(228(n))의 래치 출력 신호선 O(1, n)은 출력 셀렉트 신호선 DO8(n/8)과 도통한다. 기입 어드레스 신호선 BA\_W1 내지 BA\_W4의 데이터와 판독 어드레스 신호선 BA\_R1 내지 BA\_R4의 데이터는, 어느 하나

만이 H 전위가 되며, 어느 조합이든 복수의 기입 어드레스 신호선 의 데이터와 판독 어드레스 신호선의 데이터가 동시에 H 전위는 안된다. 모든 기입 어드레스 신호선 BA\_W1 내지 BA\_W4의 데이터와 판독 어드레스 신호선 BA\_R1 내지 BA\_R4의 데이터가 L 전위인 경우, 모든 셀렉터(228(1) 내지 228(n))의 래치 입력 신호선 I(1, 1) 내지 I(4, n) 및 래치 출력 신호선 O(1, 1) 내지 O(4, n)은, 모든 입력 셀렉트 신호선 DI1(1) 내지 DI8(n/8) 및 출력 셀렉트 신호선 DO1(1) 내지 DO8(n/8)에 대하여 플로팅 상태로 된다.

[0160] 래치 군(226)은 메모리 셀의 열 수만 준비된다. 래치 군(226(1))은 4개의 래치(227(1, 1) 내지 227(4, 1))를 포함한다. 래치(227(1, 1) 내지 227(4, 1))는 래치 입력 신호선 I(1, 1) 내지 I(4, 1) 및 래치 출력 신호선 O(1, 1) 내지 O(4, 1)과 각각 접속되어 있다. 예를 들어, 래치(227(1, 1))에는 래치 입력 신호선 I(1, 1)과 래치 출력 신호선 O(1, 1)가 각각 접속되어 있고, 래치(227(4, 1))에는 래치 입력 신호선 I(4, 1)과 래치 출력 신호선 O(4, 1)가 각각 접속된다.

[0161] 마찬가지로, 래치 군(226)(8)은 4개의 래치(227(1, 8) 내지 227(4, 8))를 포함한다. 또한, 래치 군(226(n))은 4개의 래치(227(1, n) 내지 227(4, n))를 포함한다.

[0162] 래치(227(1, 1) 내지 227(4, n))는, 각각의 래치 입력 신호선 I(1, 1) 내지 I(4, n)이, 기입 어드레스 신호선 BA\_W1 내지 BA\_W4의 데이터 및 열 디코드 신호선의 데이터에 의해, 입력 데이터 신호선 DIN1 내지 DIN8과 도통했을 경우, 입력 데이터 신호선 DIN1 내지 DIN8의 데이터를 기억한다. 래치(227(1, 1) 내지 227(4, n))는, 각각의 래치 입력 신호선 I(1, 1) 내지 I(4, n)이, 입력 데이터 신호선 DIN1 내지 DIN8에 대하여 플로팅 상태로 되었을 경우, 그 직전까지 래치(227(1, 1) 내지 227(4, n))에 기억되어 있었던 데이터를 유지한다. 래치 출력 신호선 O(1, 1) 내지 O(4, n)은, 래치 입력 신호선 I(1, 1) 내지 I(4, n)에 의해 래치(227(1, 1) 내지 227(4, n))에 유지된 데이터를 출력한다.

[0163] 구체적으로는, 열 디코드 신호선의 제x열(x는 1 내지 n/8까지의 정수)은 H 전위가 되고, 기입 어드레스 신호선 BA\_W2이 H 전위가 되었을 경우, 입력 데이터 신호선 DIN1 내지 DIN8이, 입력 셀렉트 신호선 DI1(x) 내지 DI8(x) 및 셀렉터(228(8x-7) 내지 228(8x))의 각 래치 입력 신호선 I(2, 8x-7) 내지 I(2, 8x)과 도통하여, 래치 군(226(8x-7) 내지 226(8x))의 래치(227(2, 8x-7) 내지 227(2, 8x))에 입력 데이터 신호선 DIN1 내지 DIN8의 데이터가 기억된다.

[0164] 기입 회로(224(1))에는 래치 출력 신호선 O(1, 1) 내지 O(4, 1)과, 메모리 기입 제어 신호선 PWE과, 아날로그 전원 전압선 V1 내지 V16이 접속되어 있다. 기입 회로(224)(1)는 아날로그 스위치(223b)를 통해서 비트선 BL(1)에 접속되어 있다.

[0165] 도 8에 기입 회로의 일례를 나타낸다. 도 8에 도시하는 기입 회로는 NAND 회로(321)와, 레벨 시프터(322)와, 4 비트 멀티플렉서(336)를 포함한다. NAND 회로(321)와 레벨 시프터(322)는 1열마다 4개씩 준비된다. NAND 회로(321)의 입력에는 메모리 기입 제어 신호선 PWE과 래치(227)의 래치 출력 신호선 O(1, 1) 내지 O(4, 1)이 각각 접속되어 있다. NAND 회로(321)의 각 출력에는 레벨 시프터(322)가 접속되어 있다. 또한, 레벨 시프터(322)는 4 비트 멀티플렉서(336)에 접속되어 있다. 4 비트 멀티플렉서(336)는 아날로그 스위치(223b)를 통해서 비트선 BL과 접속되어 있다.

[0166] 도 8에 도시하는 기입 회로는, 메모리 기입 제어 신호선 PWE의 데이터가 L 전위인 경우, 래치 출력 신호선 O(1, 1) 내지 O(4, 1)의 데이터에 상관없이 4 비트 멀티플렉서(336)로부터 아날로그 전원 전압선 V1의 전압을 출력한다. 메모리 기입 제어 신호선 PWE의 데이터가 H 전위인 경우, 래치 출력 신호선 O(1, 1) 내지 O(4, 1)의 데이터에 따라 4 비트 멀티플렉서(336)로부터 출력되는 전압이 전환된다.

[0167] 본 실시 형태에서는, 메모리 기입 제어 신호선 PWE의 데이터가 H 전위인 경우, 래치 출력 신호선 O(1, 1) 내지 O(4, 1)의 데이터가 "0h"일 때 4 비트 멀티플렉서(336)로부터 V1의 전압이 출력되는 식으로 다음과 같이 출력된다: V2, "1h"; V3, "2h"; V4, "3h"; V5, "4h"; V6, "5h"; V7, "6h"; V8, "7h"; V9, "8h"; V10, "9h"; V11, "Ah"; V12, "Bh"; V13, "Ch"; V14, "Dh"; V15, "Eh", 및 V16, "Fh".

[0168] 도 9a에 판독 회로의 일례를 나타낸다. 도 9a에 도시하는 판독 회로는 부하(323)와, 센스 앰프(324)와, NAND 회로(325)를 포함한다. NAND 회로(325)의 입력의 한 쪽에는 센스 앰프(324)가 접속되어 있고 NAND 회로(325)의 입력의 다른 쪽에는 메모리 판독 신호선 PRE이 접속되어 있다. 센스 앰프(324)는 부하(323)에 접속되고, 센스 앰프(324)는 아날로그 스위치(223a)를 통해 비트선 BL과 접속되어 있다. NAND 회로(325)의 출력에는 래치 입력 신호선 I(1, 1) 내지 I(4, 1)과, 카운터 신호선 COUNT0 내지 COUNT3이 접속되어 있다. 도 9a에 도시된 판독 회로는 제1열의 메모리 셀에 접속될 경우에 대해서 도시한 점에 주목한다.

- [0169] 도 9ba 내지 도 9be에 부하(323)의 구체 예를 도시한다. 도 9ba에 도시하는 것 같이, n채널형 트랜지스터의 게이트 단자에 정전원선 VREAD가 접속될 수 있다. 도 9bb에 도시하는 것 같이 부하(323)는 저항 소자일 수 있다. 도 9bc에 도시하는 것 같이, p채널형 트랜지스터의 게이트 단자에 정전원선 VREAD가 접속될 수 있다. 도 9bd에 도시하는 것 같이, 부하(323)는 n채널형 트랜지스터의 게이트 단자를 포함하고, n채널형 트랜지스터의 게이트 단자는 소스 단자와 드레인 단자 중 한쪽과 접속될 수 있고, 도 9be에 도시하는 것 같이, 부하(323)는 p채널형 트랜지스터의 게이트 단자를 포함하고, 부하와, p채널형 트랜지스터의 게이트 단자는 소스 단자와 드레인 단자 중 한쪽과 접속될 수 있다.
- [0170] 도 9a에 도시하는 판독 회로에서는, 부하(323)와 p채널형 트랜지스터의 저항 분할에 의해 발생한 비트선 BL의 전압을 센스 앰프(324)로 판정한다. 메모리 판독 신호선 PRE의 데이터가 H 전위인 경우, 센스 앰프(324)의 출력에 의해, 카운터 신호선 COUNT0 내지 COUNT3과, 래치 입력 신호선 I(1, 1) 내지 I(4, 1)이 도통 또는 플로팅 상태로 한다. 메모리 판독 신호선 PRE의 데이터가 L 전위인 경우, 센스 앰프(324)의 출력에 상관없이 래치 입력 신호선 I(1, 1) 내지 I(4, 1)은 카운터 신호선 COUNT0 내지 COUNT3에 대하여 플로팅 상태로 된다.
- [0171] 도 6에 도시하는 것 같이, 아날로그 스위치(223a)는 판독 회로(225)와 메모리 셀을 접속하고 아날로그 스위치(223b)는 기입 회로(224)와 메모리 셀을 접속한다. 아날로그 스위치(223a, 223b)는 고전위 메모리 판독 제어 신호선 PREH와 반전 고전위 메모리 판독 제어 신호선 PREHB과 접속되어 있다. 아날로그 스위치(223a, 223b)는 고전위 메모리 판독 제어 신호선 PREH와 반전 고전위 메모리 판독 제어 신호선 PREHB에 의해 제어된다. 고전위 메모리 판독 제어 신호선 PREH의 데이터는 메모리 판독 제어 신호선 PRE의 데이터의 H 전위를 전압 VH로 설정함으로써 얻어지는 신호이다. 반전 고전위 메모리 판독 제어 신호선 PREHB의 데이터는 고전위 메모리 판독 제어 신호선 PREH의 데이터의 반전 신호이다. 고전위 메모리 판독 제어 신호선 PREH의 데이터가 전압 VH이고, 반전 고전위 메모리 판독 제어 신호선 PREHB의 데이터가 L 전위인 경우, 비트선 BL은 판독 회로(225)에 접속된다. 고전위 메모리 판독 제어 신호선 PREH의 데이터가 L 전위이고, 반전 고전위 메모리 판독 제어 신호선 PREHB의 데이터가 전압 VH인 경우, 비트선 BL은 기입 회로(224)에 접속된다.
- [0172] 도 6에 도시하는 버퍼(230)에는 메모리 판독 신호 PRE와 소스선 SL(1) 내지 SL(n/8)이 접속된다. 모든 소스선 SL(1) 내지 SL(n/8)은 각각 메모리 판독 신호선 PRE의 신호와 마찬가지로 신호를 출력한다.
- [0173] 그 다음에, 메모리 셀 어레이(201)에 접속된 행 구동 회로(203)에 대해서 도 10을 참조하여 설명한다.
- [0174] 도 10에서, 행 구동 회로(203)는 행 디코더(232)를 포함한다. 행 구동 회로(203)에서, 메모리 셀의 행마다, NAND 회로(331)와, NAND 회로(333)와, 레벨 시프터(332)와, 레벨 시프터(334)와, 멀티플렉서 MUX가 포함된다. 행 디코더(232)에는  $2^m$ 개의 행 어드레스 선 RA와 제어 선 CE와 열 디코드 신호선 R<sub>a</sub>(1) 내지 R<sub>a</sub>(m)이 접속되어 있다. NAND 회로(331)의 입력의 한쪽에는 열 디코드 신호선 R<sub>a</sub>(1)이 접속되어 있고, 입력의 다른 쪽에는 행 메모리 기입 제어 신호선 PWE<sub>R</sub>이 접속되어 있다. NAND 회로(331)의 출력에는 레벨 시프터(332)가 접속되어 있다. 레벨 시프터(332)는 메모리 셀의 게이트선 GL과 접속되어 있다. NAND 회로(333)의 입력의 한 쪽에는 열 디코드 선 R<sub>a</sub>(1)이 접속되어 있고 입력의 다른 쪽에는 제어 선 CE가 접속되어 있다. NAND 회로(333)의 출력에는 레벨 시프터(334)가 접속되어 있다. 멀티플렉서 MUX는 레벨 시프터(334), 가변 전원선 VR, 전압선 VH, 및 용량소자선 CL과 접속되어 있다.
- [0175] 행 디코더(232)는, 제어 선 CE의 데이터가 H 전위일 때에, 행 어드레스 신호선 RA의 데이터에 따라 m개의 행 디코드 선 R<sub>a</sub>(1) 내지 R<sub>a</sub>(m)로부터 선택된 1개의 행 디코드 선의 데이터만이 H 전위가 된다. 제어 선 CE의 데이터가 L 전위일 때에는, 행 어드레스 신호선 RA의 데이터에 상관없이 모든 행 디코드 선의 데이터는 L 전위가 된다.
- [0176] 행 메모리 기입 제어 신호선 PWE<sub>R</sub>의 데이터가 H 전위가 됨으로써, 선택된 행 디코드 선에 대응하는 메모리 셀의 게이트선 GL의 데이터가 전압 VH가 된다. 그 밖의 메모리 셀의 게이트선 GL의 데이터는 L 전위가 된다. 선택된 행 디코드 선에 대응하는 메모리 셀의 용량소자선 CL의 데이터로서, 가변 전원선 VR의 데이터의 전위가 멀티플렉서 MUX로부터 출력된다. 그 밖의 메모리 셀의 용량소자선 CL의 데이터로는, 멀티플렉서 MUX로부터 전압 VH가 출력된다.
- [0177] 행 메모리 기입 제어 신호선 PWE<sub>R</sub>의 데이터가 L 전위가 됨으로써, 모든 메모리 셀의 게이트선 GL의 데이터가 L 전위가 된다. 선택된 행 디코드 선에 대응하는 메모리 셀의 용량소자선 CL의 데이터로서, 가변 전원선 VR의 데이터의 전위가 멀티플렉서 MUX로부터 출력된다. 그 밖의 메모리 셀의 용량소자선 CL의 데이터로는, 멀티플렉서 MUX로부터 전압 VH가 출력된다.

- [0178] 도 11 내지 도 16에 본 발명의 한 실시 형태에 관한 타이밍 차트를 도시한다. 도 11은 입력 데이터 신호선 DIN1 내지 DIN8로부터 n개의 래치 군에 데이터를 저장하는 타이밍을 도시한다. 도 12는 n개의 래치 군에 저장된 데이터로부터 메모리 셀에 데이터의 기입을 행하는 타이밍을 도시한다. 도 13은 메모리 셀로부터 데이터를 판독하고, n개의 래치 군에 데이터가 저장하는 타이밍을 도시한다. 도 16은 n개의 래치 군에 저장된 데이터를 출력 데이터 신호선 DOUT1 내지 DOUT8에 출력하는 타이밍을 도시한다.
- [0179] 도 11에 입력 데이터 신호선 DIN1 내지 DIN8로부터 래치 군에 데이터를 저장하는 타이밍을 도시한다. 우선, 칼럼 어드레스 선 CA의 데이터와 입력 데이터 신호선 DIN1 내지 DIN8의 데이터를 결정하고, 제어 선 CE의 데이터를 H 전위로 한다. 이에 의해, 1개의 열 디코드 신호선이 선택된다. 도 11에서는, 칼럼 어드레스 선 CA의 데이터를 "00h"부터 순서대로 기입하는 것을 전제로 설명을 한다.
- [0180] 그 다음에, 기입 어드레스 신호선 BA\_W1의 데이터를 H 전위로 함으로써, 래치(1, 1) 내지 (1, 8)의 입력에 입력 데이터 신호선 DIN1 내지 DIN8이 도통하여, 입력 데이터 신호선 DIN1 내지 DIN8의 데이터가 기입된다. 래치(1, 1) 내지 (1, 8)에 데이터가 기입되면, 기입 어드레스 신호 BA\_W1의 데이터를 L 전위로 함으로써, 데이터가 보존된다.
- [0181] 그 다음에, 입력 데이터 신호선 DIN1 내지 DIN8의 데이터를 변경한다. 그 후, 기입 어드레스 신호선 BA\_W2의 데이터를 H 전위로 함으로써, 래치(2, 1) 내지 (2, 8)에 입력 데이터 신호선 DIN1 내지 DIN8의 데이터가 기입된다. 래치(2, 1) 내지 (2, 8)에 데이터가 기입되면, 기입 어드레스 신호선 BA\_W2의 데이터를 L 전위로 함으로써, 데이터가 보존된다. 이것을 기입 어드레스 신호선 BA\_W3 및 BA\_W4에 대해 마찬가지로 행한다.
- [0182] 이 동작에서, 오기입 방지를 위해, 칼럼 어드레스 선 CA의 데이터 및 입력 데이터 신호선 DIN1 내지 DIN8의 데이터는, 기입 어드레스 신호선 BA\_W1 내지 BA\_W4의 데이터가 모두 L 전위로 있는 동안에 그 값을 변경할 필요가 있다. 모든 칼럼 어드레스 선 CA의 데이터와 기입 어드레스 신호선 BA\_W1 내지 BA\_W4의 데이터의 조합을 선택하고, 모든 래치 군에 입력 데이터 신호선 DIN1 내지 DIN8의 데이터를 저장할 때까지 일련의 동작을 계속할 수 있다.
- [0183] 모든 래치 군에 입력 데이터 신호선 DIN1 내지 DIN8의 데이터의 저장이 행해진 후, 메모리 셀에 래치 군에 저장된 데이터의 기입을 행한다. 도 12에 래치 군에 저장된 데이터로부터 메모리 셀에 데이터의 기입을 행하는 타이밍을 도시한다.
- [0184] 우선, 행 구동 회로에서, 로우 어드레스 신호선 RA의 데이터를 결정한다. 제어 선 CE의 데이터는 래치 군에의 데이터 저장 시에, H 전위가 되어 있으므로, 로우 어드레스 신호선 RA의 데이터를 결정한 시점에서 1개의 행 디코드 신호가 선택된다. 본 실시 형태에서는, 로우 어드레스 신호선 RA의 데이터를 "00h"로 했을 경우에서 설명을 행한다. 선택된 행 디코드 신호선에 대응하는 용량소자선 CL(1)의 데이터는 L 전위가 되고, 그 밖의 행의 용량소자선 CL의 데이터는 전위 VH가 된다.
- [0185] 그 다음에, 행 메모리 기입 제어 신호선 PWE\_R의 데이터가 H 전위가 되고, 선택된 행 디코드 신호선에 대응하는 게이트선 GL(1)의 데이터는 전위 VH가 된다.
- [0186] 그 다음에, 열 구동 회로(202)에서, 메모리 기입 제어 신호선 PWE의 데이터가 H 전위가 된다. 메모리 기입 제어 신호선 PWE의 데이터가 H 전위가 됨으로써, 열 구동 회로(202) 내의 기입 회로로부터 래치 군에 저장된 데이터에 대응하는 아날로그 전원 전압선 V1 내지 V16의 전압이 출력된다. 이때, 열 구동 회로(202) 내의 아날로그 스위치는, 고전위 메모리 판독 제어 신호선 PREH와 반전 고전위 메모리 판독 제어 신호선 PREHB에 의해 기입 회로의 출력과 비트선 BL(1) 내지 BL(n)에 접속된다. 이에 의해, 아날로그 전원 전압선 V1 내지 V16의 전압이 비트선 BL(1) 내지 BL(n)에 출력된다. 본 실시 형태의 경우, 래치 군에 저장된 데이터가 "0h"인 경우, V1의 전압에 대응하고 이런 식으로 다음과 같이 대응한다: "1h", V2; "2h", V3; "3h", V4; "4h", V5; "5h", V6; "6h", V7; "7h", V8; "8h", V9; "9h", V10; "Ah", V11; "Bh", V12; "Ch", V13; "Dh", V14; "Eh", V15; 및 "Fh", V16.
- [0187] 이때, 행 구동 회로에서, 게이트선 GL(1)이 접속되어 있는 메모리 셀의 플로팅 게이트부 FG에 각 비트선 BL(1) 내지 BL(n)로부터 출력되는 전압 V1 내지 V16의 전압이 기입된다.
- [0188] 그 다음에, 행 메모리 기입 제어 신호선 PWE\_R의 데이터가 L 전위가 되고, 게이트선 GL(1)의 데이터가 L 전위가 된다. 이때, 게이트선 GL(1)이 접속되어 있는 메모리 셀의 데이터가 유지된다.
- [0189] 그 다음에, 열 구동 회로에서, 메모리 기입 제어 신호선 PWE의 데이터가 L 전위가 되고, 비트선 BL(1) 내지

BL(n)은 아날로그 전원 전압선 V1의 전압(도 12에서는 GND)이 출력된다. 마지막으로, 행 구동 회로에서, 제어 선 CE의 데이터가 L 전위가 됨으로써, 용량소자선 CL(1) 내지 CL(m)의 데이터는 L 전위가 된다. 이상의 단계들을 통해, 메모리 셀에의 기입 동작이 종료된다.

- [0190] 도 13에 메모리 셀로부터 데이터를 판독하고 래치 군에 데이터를 저장하는 타이밍을 도시한다.
- [0191] 우선, 행 구동 회로에서, 로우 어드레스 선 RA의 데이터를 결정하고, 제어 선 CE의 데이터를 H 전위로 함으로써, 판독하는 메모리의 행을 선택한다. 본 실시 형태에서는, 로우 어드레스 선 RA의 데이터가 "00h"인 것을 전제로 설명을 한다. 이때, 선택된 용량소자선 CL(1)의 데이터에는 전위 생성 회로로부터 부여되는 가변 전압선 VR의 전압이 출력된다. 가변 전압선 VR의 전압은 카운터 신호선 COUNT0 내지 COUNT3의 데이터에 따라 변동하는 전압이다. 이 경우는, 카운터 신호선 COUNT0 내지 COUNT3의 데이터가 작을수록 가변 전압선 VR의 전압은 커진다. 그 밖의 용량소자선 CL의 데이터에 관해서는, H 전위가 부여된다.
- [0192] 그 다음에, 열 구동 회로에서, 메모리 판독 제어 신호선 PRE의 데이터를 H 전위로 한다. 이때, 고전위 메모리 판독 제어 신호선 PREH의 데이터는 메모리 판독 제어 신호선 PRE의 데이터와 같은 타이밍의 신호이다. 고전위 메모리 판독 제어 신호선 PREH의 데이터의 H 전위는 메모리 판독 제어 신호선 PRE의 데이터보다 높다. 반전 고전위 메모리 판독 제어 신호선 PREHB의 데이터는 고전위 메모리 판독 제어 신호선 PREH의 데이터의 반전 신호가 된다. 소스선 SL의 데이터는 버퍼(230)를 통해 얻어지는 메모리 판독 제어 신호선 PRE의 신호가 된다.
- [0193] 비트선 BL(1) 내지 BL(n)은 고전위 메모리 판독 제어 신호선 PREH와 반전 고전위 메모리 판독 제어 신호선 PREHB에 의해 판독 회로와 도통한다. 이에 의해, 비트선 BL(1) 내지 BL(n)의 전위는 판독 회로의 부하와 메모리 셀의 p채널형 트랜지스터의 저항 분할에 의해 결정한다.
- [0194] 그 다음에, 카운터 신호선 COUNT0 내지 COUNT3의 데이터에 의해 "0h" 내지 "Fh"까지 순서대로 카운트한다. 용량소자선 CL(1)은 카운터 신호선 COUNT0 내지 COUNT3의 데이터에 따라 변동하는 가변 전압선 VR의 전압을 출력한다. 가변 전압선 VR의 전압은, 도 13에 도시하는 것 같이 카운터 신호선 COUNT0 내지 COUNT3의 값이 증가함에 따라, 내려간다.
- [0195] 판독 동작의 보다 구체적인 동작의 설명으로서 도 14와 도 15가 도시된다. 도 14는 판독 회로와 메모리 셀을 나타내고 있다. 도 15는 도 14의 타이밍 차트를 도시한다.
- [0196] 도 15에서, 용량소자선 CL(1)의 전위가 변동하면, 플로팅 게이트부 FG의 전위가 용량 결합에 의해 변동한다. 플로팅 게이트부 FG의 전위에 의해 p채널형 트랜지스터의 소스-드레인 간의 저항값이 변동하고, 판독 회로의 부하(323)와 p채널형 트랜지스터와의 저항 분할에 의해 비트선 BL의 전위가 변동한다.
- [0197] 메모리 셀(170)의 p채널형 트랜지스터(160)의 저항값이 변동하고, 비트선 BL(1) 내지 BL(n)의 전위가 어느 일정 값을 초과하면, 판독 회로 내의 센스 앰프(324)의 출력이 H 전위로부터 L 전위로 전환된다. 이에 의해, 도 15에 도시하는 것 같이, SA\_OUT의 출력도 마찬가지로 H 전위로부터 L 전위로 전환되는 것에 의해, 열 구동 회로 내의 래치 군에 저장하는 카운터 신호선 COUNT0 내지 COUNT3의 값이 결정된다.
- [0198] 비트선 BL(1) 내지 BL(n)과 용량소자선 CL(1)의 관계는 각 메모리 셀 내의 플로팅 게이트부 FG에 저장되어 있는 데이터, 즉 유지되고 있는 전압에 의해 변동한다. 그 때문에, 카운터 신호선 COUNT0 내지 COUNT3의 데이터와 용량소자선 CL(1)의 전위와 비트선 BL(1) 내지 BL(n)의 전위가 메모리 셀 내의 플로팅 게이트부 FG의 전위에 대응해서 변화되므로, 다치의 메모리 판독이 실현될 수 있다.
- [0199] 도 16에 래치 군에 저장된 데이터를 출력 데이터 신호선 DOUT1 내지 DOUT8에 출력하는 타이밍을 도시한다.
- [0200] 칼럼 어드레스 선 CA의 데이터를 "00h"로 지정한다. 제어 선 CE의 데이터는 래치 군에의 데이터 저장 시에 H 전위 상태로 되어 있으므로, 1개의 열 디코드 신호선이 선택된다. 다음에, 판독 어드레스 신호선 BA\_R1의 데이터를 H 전위로 한다. 이에 의해, 래치(1, 1) 내지 (1, 8)에 저장되어 있는 데이터가 래치 출력 신호선을 통해서 출력 데이터 신호선 DOUT1 내지 DOUT8에 출력된다.
- [0201] 그 다음에, 판독 어드레스 신호선 BA\_R2의 데이터를 H 전위로 한 후, 판독 어드레스 신호선 BA\_R2의 데이터를 H 전위로 하고, 래치(2, 1) 내지 (2, 8)에 저장되어 있는 데이터가 래치 출력 신호선을 통해서 출력 데이터 신호선 DOUT1 내지 DOUT8에 출력된다. 이것을 판독 어드레스 신호선 BA\_R3 및 판독 어드레스 신호선 BA\_R4에 대해 마찬가지로 행한다.
- [0202] 칼럼 어드레스 선 CA의 데이터를 변경할 때는, 모든 판독 어드레스 신호선 BA\_R1 내지 BA\_R4의 데이터를 L 전위

로 한 상태에서 행한다. 래치 군에 저장된 데이터를 판독할 때는, 마찬가지로 판독 어드레스 신호선 BA\_R1 내지 BA\_R4의 데이터를 순서대로 제어한다.

- [0203] 이상과 같이,  $2^4$  값 메모리에서, 열마다 4 비트 래치부와, 4 비트 멀티플렉서를 포함하고, 4 비트 멀티플렉서에서 전위  $V(1)$  내지  $V(2^4)$  중 1개의 전위를 선택해서 출력하는 회로 구성으로 하는 것으로, 1행 분의 메모리 셀에 다치 데이터를 일괄해서 고속으로 기입할 수 있고, 기입 시간의 단축화를 가능하게 한다.
- [0204] 또한,  $2^4$  값 메모리에서, 4 비트 카운터를 포함하고, 4 비트 카운터의 출력은 열마다 4 비트 래치부의 입력 단자에 접속됨으로써, 판독 회로를 작은 회로로 실현할 수 있기 때문에, 메모리 주변 회로의 공간 절약화가 실현된다.
- [0205] 본 실시 형태에서는, 1개의 메모리 셀에 대하여 4 비트(16값 ( $2^4$ 값))의 데이터를 기입 또는 판독하는 회로 구성을 예로서 설명했으나, 본 발명의 실시 형태는, 1개의 메모리 셀에 대하여 K 비트( $2^K$ 값)의 데이터를 기입 또는 판독하는 회로에 대하여도 적용할 수 있다. 2값의 데이터를 기입 또는 판독하는 회로 구성에 대하여도 적용할 수 있다는 점에 주목한다.
- [0206]  $2^K$  값 메모리는 열마다 K 비트 래치부와 K 비트 멀티플렉서를 포함하고, K 비트 멀티플렉서에서 전위  $V(1)$  내지  $V(2^K)$  중 1개의 전위를 선택해서 출력하는 회로 구성으로 하는 것으로, 1행 분의 메모리 셀에 다치 데이터를 일괄해서 고속으로 기입할 수 있고, 기입 시간의 단축화를 가능하게 한다.
- [0207] 또한,  $2^K$  값 메모리에서, K 비트 카운터를 포함하고, 그 출력은 열마다 K 비트 래치부의 입력 단자에 접속됨으로써, 판독 회로를 작은 회로로 실현할 수 있기 때문에, 메모리 주변 회로의 공간 절약화가 실현된다.
- [0208] 이상, 본 실시 형태에 도시하는 구성, 방법 등은 다른 실시 형태에 도시하는 구성, 방법 등과 적절히 조합해서 이용할 수 있다.
- [0209] (실시 형태 2)
- [0210] 본 실시 형태에서는, 개시하는 발명의 한 실시 형태에 관한 반도체 장치의 구성 및 그 제작 방법에 대해서 도 17a 및 17b, 도 18의 (a) 내지 (g), 도 19의 (a) 내지 (e), 도 20의 (a) 내지 (d), 도 21의 (a) 내지 (d), 및 도 22의 (a) 내지 (c)를 참조하여 설명한다.
- [0211] < 반도체 장치의 단면 구성 및 평면 구성 >
- [0212] 도 17a 및 17b는 반도체 장치의 구성의 일례이다. 도 17a에는 반도체 장치의 단면을 도시하고, 도 17b에는 반도체 장치의 평면을 도시한다. 여기서, 도 17a는 도 17b의 A1-A2 및 B1-B2에서의 단면에 상당한다. 도 17a 및 17b에 도시하는 반도체 장치는 하부에 제1 반도체 재료를 포함하는 트랜지스터(160)를 포함하고, 상부에 제2 반도체 재료를 포함하는 트랜지스터(162)를 포함한다. 여기서, 제1 반도체 재료와 제2 반도체 재료는 서로 상이한 재료로 하는 것이 바람직하다. 예를 들어, 제1 반도체 재료를 산화물 반도체 이외의 반도체 재료로 하고, 제2 반도체 재료를 산화물 반도체로 할 수 있다. 산화물 반도체 이외의 반도체 재료로서는, 예를 들어, 실리콘, 게르마늄, 실리콘 게르마늄, 탄화 실리콘, 또는 갈륨 비소 등을 이용할 수 있고, 단결정 반도체를 이용하는 것이 바람직하다. 이외에, 유기 반도체 재료 등을 이용할 수 있다. 이러한 반도체 재료를 포함하는 트랜지스터는 고속 동작이 용이하다. 한편, 산화물 반도체를 포함하는 트랜지스터는 그 특성에 의해 장시간의 전하 유지를 가능하게 한다. 도 17a 및 17b에 도시하는 반도체 장치는 메모리 셀로서 이용할 수 있다.
- [0213] 개시하는 발명의 기술적인 본질은 데이터를 보유하기 위해서 산화물 반도체 등의, 오프 전류를 충분히 저감하는 것이 가능한 반도체 재료를 트랜지스터(162)에 이용한다는 점에 주목한다. 그러므로, 반도체 장치의 재료나 반도체 장치의 구조 등, 반도체 장치의 구체적인 구성을 여기에 도시한 것에 한정할 필요는 없다.
- [0214] 도 17a 및 17b에서의 트랜지스터(160)는 반도체 기판(500) 위의 반도체층 중에 설치된 채널 형성 영역(134)과, 채널 형성 영역(134)을 사이에 끼우도록 설치된 불순물 영역(132)(소스 영역 및 드레인 영역이라고도 한다)과, 채널 형성 영역(134) 위에 설치된 게이트 절연층(122a)과, 게이트 절연층(122a) 위에 채널 형성 영역(134)과 중첩하도록 설치된 게이트 전극(128a)을 포함한다. 도면에서, 명시적으로는 소스 전극이나 드레인 전극을 갖지 않을 경우가 있지만, 편의상, 이러한 상태를 포함시켜서 트랜지스터라고 한다는 점에 주목한다. 또한, 이 경우, 트랜지스터의 접속 관계를 설명하기 위해서, 소스 영역이나 드레인 영역을 포함시켜서 "소스 전극"이나

"드레인 전극"이라고 표현한다. 즉, 본 명세서에서, "소스 전극"이라는 기재에는 소스 영역이 포함될 수 있다.

- [0215] 또한, 반도체 기판(500) 위의 반도체층 중에 설치된 불순물 영역(126)에는, 도전층(128b)이 접속되어 있다. 여기서, 도전층(128b)은 트랜지스터(160)의 소스 전극이나 드레인 전극으로서 기능한다. 또한, 불순물 영역(132)과 불순물 영역(126) 사이에는 불순물 영역(130)이 설치되어 있다. 또한, 트랜지스터(160)를 덮도록 절연층(136), 절연층(138) 및 절연층(140)이 설치되어 있다. 고집적화를 실현하기 위해서는, 도 17a 및 17b에 도시하는 것 같이 트랜지스터(160)가 측벽 절연층을 갖지 않는 구성으로 하는 것이 바람직하다는 점에 주목한다. 한편, 트랜지스터(160)의 특성을 중시할 경우에는, 게이트 전극(128a)의 측면에 측벽 절연층을 설치하고, 불순물 농도가 다른 영역을 포함하는 불순물 영역(132)을 설치할 수 있다.
- [0216] 도 17a 및 17b에서의 트랜지스터(162)는 절연층(140) 등 위에 설치된 산화물 반도체층(144)과, 산화물 반도체층(144)과 전기적으로 접속되어 있는 소스 전극(또는 드레인 전극)(142a) 및 드레인 전극(또는 소스 전극)(142b)과, 산화물 반도체층(144), 소스 전극(142a) 및 드레인 전극(142b)을 덮는 게이트 절연층(146)과, 게이트 절연층(146) 위에 산화물 반도체층(144)과 중첩하도록 설치된 게이트 전극(148a)을 포함한다.
- [0217] 여기서, 산화물 반도체층(144)은 수소 등의 불순물이 충분히 제거됨으로써, 또한 충분한 산소를 공급함으로써, 고순도화된 것이 바람직하다. 구체적으로는, 예를 들어, 산화물 반도체층(144)의 수소 농도는  $5 \times 10^{19}$  원자/cm<sup>3</sup> 이하, 바람직하게는  $5 \times 10^{18}$  원자/cm<sup>3</sup> 이하, 보다 바람직하게는  $5 \times 10^{17}$  원자/cm<sup>3</sup> 이하로 한다. 상술한 산화물 반도체층(144) 중의 수소 농도는 2차 이온 질량 분석법(SIMS:Secondary Ion Mass Spectrometry)에서 측정된다는 점에 주목한다. 이와 같이, 수소 농도가 충분히 저감되어 고순도화되어, 충분한 산소의 공급에 의해 산소 결손에 기인하는 에너지 갭 중의 결합 준위가 저감된 산화물 반도체층(144)에서는, 캐리어 농도가  $1 \times 10^{12}$ /cm<sup>3</sup> 미만, 바람직하게는,  $1 \times 10^{11}$ /cm<sup>3</sup> 미만, 보다 바람직하게는  $1.45 \times 10^{10}$ /cm<sup>3</sup> 미만이 된다. 예를 들어, 실온(25℃)에서의 오프 전류(여기에서는, 단위 채널 폭(1μm)당 값)은 100zA(1zA(zepto암페어)는  $1 \times 10^{-21}$ A) 이하, 바람직하게는 10zA 이하가 된다. 이와 같이, i형화(진성화) 또는 실질적으로 i형화된 산화물 반도체를 이용함으로써, 지극히 우수한 오프 전류 특성의 트랜지스터(162)를 얻을 수 있다.
- [0218] 도 17a 및 17b의 트랜지스터(162)에서는 미세화에 기인하여 소자 간에 발생하는 리크를 억제하기 위해서, 섬 형상으로 가공된 산화물 반도체층(144)을 이용하고 있으나, 섬 형상으로 가공되지 않은 산화물 반도체층(144)을 채용할 수 있다는 점에 주목한다. 산화물 반도체층을 섬 형상으로 가공하지 않을 경우에는, 가공 시의 에칭에 의한 산화물 반도체층(144)의 오염을 방지할 수 있다.
- [0219] 도 17a 및 17b에서의 용량 소자(164)는 드레인 전극(142b), 게이트 절연층(146), 및 도전층(148b)을 포함한다. 즉, 드레인 전극(142b)은 용량 소자(164)의 한쪽의 전극으로서 기능하고, 도전층(148b)은 용량 소자(164)의 다른 쪽의 전극으로서 기능하게 된다. 이러한 구성으로 함으로써, 충분한 용량을 확보할 수 있다. 또한, 산화물 반도체층(144)과 게이트 절연층(146)을 적층시킬 경우에는, 드레인 전극(142b)과 도전층(148b)과의 절연성을 충분히 확보할 수 있다. 또한, 용량이 필요하지 않은 경우에는, 용량 소자(164)를 설치하지 않는 구성으로 할 수도 있다.
- [0220] 본 실시 형태에서는, 트랜지스터(162) 및 용량 소자(164)가 트랜지스터(160)와 적어도 일부가 중첩하도록 설치되어 있다. 이러한 평면 레이아웃을 채용함으로써, 고집적화를 도모할 수 있다. 예를 들어, 최소 가공 치수를 F로 하면, 메모리 셀이 차지하는 면적을  $15F^2$  내지  $25F^2$ 로 하는 것이 가능하다.
- [0221] 트랜지스터(162) 및 용량 소자(164) 위에는 절연층(150)이 설치되어 있다. 게이트 절연층(146) 및 절연층(150)에 형성된 개구에는 배선(154)이 설치되어 있다. 배선(154)은 메모리 셀의 하나와 다른 메모리 셀을 접속하는 배선이며, 도 2의 회로도에서의 비트선 BL에 상당한다. 배선(154)은 소스 전극(142a)과 도전층(128b)을 통하여 불순물 영역(126)에 접속되어 있다. 이 구성에 의해, 트랜지스터(160)에서의 소스 영역 또는 드레인 영역과, 트랜지스터(162)에서의 소스 전극(142a)을 각각 상이한 배선에 접속할 경우와 비교하여, 배선의 수를 삭감할 수 있다. 그러므로, 반도체 장치의 집적도를 향상시킬 수 있다.
- [0222] 도전층(128b)을 설치함으로써, 불순물 영역(126)과 소스 전극(142a)이 접속하는 위치와 소스 전극(142a)과 배선(154)의 접속하는 위치를 서로 중첩해서 설치할 수 있다. 이러한 평면 레이아웃을 채용함으로써, 콘택트 영역에 기인하는 소자 면적의 증대를 억제할 수 있다. 즉, 반도체 장치의 집적도를 높일 수 있다.

- [0223] <SOI 기판의 제작 방법>
- [0224] 그 다음에, 상기 반도체 장치의 제작에 이용되는 SOI 기판의 제작 방법의 일례에 대해서 도 18의 (a) 내지 (g)를 참조하여 설명한다.
- [0225] 우선, 하지 기판으로서 반도체 기판(500)을 준비한다(도 18의 (a) 참조). 반도체 기판(500)으로서는, 단결정 실리콘 기판, 단결정 게르마늄 기판 등의 반도체 기판을 이용할 수 있다. 또한, 반도체 기판으로서, 태양 전지급 실리콘(SOG-Si:Solar Grade Silicon) 기판 등을 이용할 수 있다. 또한, 다결정 반도체 기판을 이용할 수 있다. SOG-Si 기판이나, 다결정 반도체 기판 등을 이용할 경우에는, 단결정 실리콘 기판 등을 이용할 경우와 비교하여 제조 비용을 낮출 수 있다.
- [0226] 반도체 기판(500) 대신에, 알루미늄노실리케이트 글래스 기판, 알루미늄노보로실리케이트 글래스 기판, 바륨 보로실리케이트 글래스 기판 등의, 전자 공업용으로 사용되는 각종 글래스 기판, 석영 기판, 세라믹 기판, 사파이어 기판을 들 수 있다는 점에 주목한다. 또한, 질화 실리콘과 산화 알루미늄을 주성분으로 한 열팽창 계수가 실리콘에 가까운 세라믹 기판을 이용할 수 있다.
- [0227] 반도체 기판(500)은 그 표면을 미리 세정해 두는 것이 바람직하다. 구체적으로는, 반도체 기판(500)에 대하여, 염산 과산화수소수 혼합 용액(HPM), 황산 과산화수소수 혼합 용액(SPM), 암모니아 과산화수소수 혼합 용액(APM), 희불산(DHF) 등을 이용해서 세정을 행하는 것이 바람직하다.
- [0228] 그 다음에, 본드 기판을 준비한다. 여기에서는, 본드 기판으로서 단결정 반도체 기판(510)을 이용한다(도 18의 (b) 참조). 여기에서는, 본드 기판으로서 단결정의 것을 이용하지만 본드 기판의 결정성을 단결정에 한할 필요는 없다는 점에 주목한다.
- [0229] 단결정 반도체 기판(510)으로서는, 예를 들어, 단결정 실리콘 기판, 단결정 게르마늄 기판, 단결정 실리콘 게르마늄 기판 등, 제14족 원소로 되는 단결정 반도체 기판을 이용할 수 있다. 또한, 갈륨 비소나 인듐 인 등의 화합물 반도체 기판을 이용할 수도 있다. 시판하는 실리콘 기판으로서는, 직경 5인치(125mm), 직경 6인치(150mm), 직경 8인치(200mm), 직경 12인치(300mm), 직경 16인치(400mm) 사이즈의 원형의 것이 대표적이다. 단결정 반도체 기판(510)의 형상은 원형에 한하지 않고, 단결정 반도체 기판(510)은, 예를 들어, 직사각형 등으로 가공한 기판일 수 있다는 점에 주목한다. 또한, 단결정 반도체 기판(510)은 CZ(츠크랄스키)법이나 FZ(플로팅(floating) 존(zone))법을 이용해서 제작할 수 있다.
- [0230] 단결정 반도체 기판(510)의 표면에는 산화막(512)을 형성한다(도 18의 (c) 참조). 오염물 제거의 관점에서, 산화막(512)의 형성 전에, 염산 과산화수소수 혼합 용액(HPM), 황산 과산화수소수 혼합 용액(SPM), 암모니아 과산화수소수 혼합 용액(APM), 희불산(DHF), FPM(불산, 과산화수소수, 순수의 혼합액) 등을 이용해서 단결정 반도체 기판(510)의 표면을 세정해 두는 것이 바람직하다. 대안적으로, 희불산과 오존수를 교대로 토출해서 세정해도 된다.
- [0231] 산화막(512)은, 예를 들어, 산화 실리콘막, 산화 질화 실리콘막 등을 단층으로 또는 적층으로 형성할 수 있다. 상기 산화막(512)의 제작 방법으로서, 열 산화법, CVD법, 스퍼터링법 등이 있다. 또한, CVD법을 이용해서 산화막(512)을 형성할 경우, 양호한 접합을 실현하기 위해서는, 테트라에톡시실란(약칭: TEOS)(화학식:Si(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>) 등의 유기 실란을 이용해서 산화 실리콘막을 형성하는 것이 바람직하다.
- [0232] 본 실시 형태에서는, 단결정 반도체 기판(510)에 열 산화 처리를 행함으로써 산화막(512)(여기에서는, SiO<sub>x</sub>막)을 형성한다. 열 산화 처리는 산화성 분위기 중에 할로젠을 첨가해서 행하는 것이 바람직하다.
- [0233] 예를 들어, 염소(C1)가 첨가된 산화성 분위기 중에서 단결정 반도체 기판(510)에 열 산화 처리를 행함으로써, 염소 산화된 산화막(512)을 형성할 수 있다. 이 경우, 산화막(512)은 염소 원자를 함유하는 막으로 된다. 이러한 염소 산화에 의해, 외인성의 불순물인 중금속(예를 들어, Fe, Cr, Ni, Mo 등)을 포집해서 금속의 염화물을 형성하고, 이것을 밖으로 제거해서, 단결정 반도체 기판(510)의 오염을 저감시킬 수 있다.
- [0234] 산화막(512)에 함유시키는 할로젠 원자는 염소 원자에 한정되지 않는다는 점에 주목한다. 산화막(512)에는 불소 원자를 함유시킬 수 있다. 단결정 반도체 기판(510)의 표면을 불소 산화하는 방법으로서, 단결정 반도체 기판(510)을 HF 용액에 침지시킨 후에 산화성 분위기 중에서 열 산화 처리를 행하는 방법이나, NF<sub>3</sub>을 산화성 분위기에 첨가해서 열 산화 처리를 행하는 방법 등이 있다.
- [0235] 그 다음에, 이온을 전계에 의해 가속해서 단결정 반도체 기판(510)에 조사하고 첨가함으로써, 단결정 반도체 기

판(510)의 소정의 깊이에 결정 구조가 손상한 취화 영역(514)을 형성한다(도 18의 (d) 참조).

- [0236] 취화 영역(514)이 형성되는 영역의 깊이는 이온의 운동 에너지, 이온의 질량과 전하, 이온의 입사각 등에 의해 조절할 수 있다. 취화 영역(514)은 이온의 평균 침입 깊이와 거의 같은 깊이의 영역에 형성된다. 이로 인해, 이온을 첨가하는 깊이로 단결정 반도체 기판(510)으로부터 분리되는 단결정 반도체층의 두께를 조절할 수 있다. 예를 들어, 단결정 반도체층의 두께가 10nm 이상 500nm 이하, 바람직하게는 50nm 이상 200nm 이하 정도가 되도록 평균 침입 깊이를 조절하면 된다.
- [0237] 상기 이온의 조사 처리는 이온 도핑 장치나 이온 주입 장치를 이용해서 행할 수 있다. 이온 도핑 장치의 대표 예로서는, 프로세스 가스를 플라즈마 여기해서 생성된 모든 이온종을 피처리체에 조사하는 비 질량 분리형의 장치가 있다. 이 장치로는, 플라즈마 중의 이온 종을 질량 분리하지 않고 피처리체에 조사하게 된다. 이것과 대조적으로, 이온 주입 장치는 질량 분리형의 장치이다. 이온 주입 장치로는, 플라즈마 중의 이온 종을 질량 분리하고, 어떤 특정한 질량의 이온 종을 피처리체에 조사한다.
- [0238] 본 실시 형태에서는, 이온 도핑 장치를 이용하여 수소를 단결정 반도체 기판(510)에 첨가하는 예에 대해서 설명한다. 수소 가스로서는 수소를 포함하는 가스를 이용한다. 조사하는 이온에 대해서는,  $H_3^+$ 의 비율을 높게 하면 바람직하다. 구체적으로는,  $H^+$ ,  $H_2^+$ ,  $H_3^+$ 의 총량에 대하여  $H_3^+$ 의 비율이 50% 이상(보다 바람직하게는 80% 이상)이 되도록 한다.  $H_3^+$ 의 비율을 높임으로써, 이온 조사의 효율을 향상시킬 수 있다.
- [0239] 첨가하는 이온은 수소에 한정되지 않는다는 점에 주목한다. 헬륨 등의 이온을 첨가할 수 있다. 또한, 첨가하는 이온은 1 종류에 한정되지 않고, 복수 종류의 이온을 첨가할 수 있다. 예를 들어, 이온 도핑 장치를 이용해서 수소와 헬륨을 동시에 조사할 경우에는, 다른 공정에서 조사할 경우와 비교해서 공정수를 저감할 수 있는 동시에, 후의 단결정 반도체층의 표면 거칠음을 억제하는 것이 가능하다.
- [0240] 이온 도핑 장치를 이용해서 취화 영역(514)을 형성할 경우에는, 중금속도 동시에 첨가될 우려가 있지만, 할로겐 원자를 함유하는 산화막(512)을 통해서 이온의 조사를 행함으로써, 이것들 중금속에 의한 단결정 반도체 기판(510)의 오염을 방지할 수 있다는 점에 주목한다.
- [0241] 그 다음에, 반도체 기판(500)과 단결정 반도체 기판(510)을 서로 대향시켜, 산화막(512)을 통해서 서로 밀착시킨다. 이에 의해, 반도체 기판(500)과 단결정 반도체 기판(510)이 접합된다(도 18의 (e) 참조). 단결정 반도체 기판(510)과 접합하는 반도체 기판(500)의 표면에 산화막 또는 질화막을 성막할 수 있다는 점에 주목한다.
- [0242] 접합을 행할 때에는, 반도체 기판(500)의 한 부분 또는 단결정 반도체 기판(510)의 한 부분에,  $0.001N/cm^2$  이상  $100N/cm^2$  이하, 예를 들어,  $1N/cm^2$  이상  $20N/cm^2$  이하의 압력을 가하는 것이 바람직하다. 압력을 가하고, 접합면을 서로 접근, 밀착시키면, 밀착시킨 부분에서 반도체 기판(500)과 산화막(512)의 접합이 발생하고, 당해 부분을 시점으로 하여 자발적인 접합이 거의 전체 면에 미친다. 이 접합에는, 반데르발스 힘이나 수소 결합이 작용하고 있어, 상온에서 행할 수 있다.
- [0243] 단결정 반도체 기판(510)과 반도체 기판(500)을 접합하기 전에는, 접합에 관한 표면에 대하여 표면 처리를 행하는 것이 바람직하다는 점에 주목한다. 표면 처리를 행함으로써, 단결정 반도체 기판(510)과 반도체 기판(500)간의 계면에서의 접합 강도를 향상시킬 수 있다.
- [0244] 표면 처리로서는, 웨트 처리, 드라이 처리, 또는 웨트 처리와 드라이 처리의 조합을 이용할 수 있다. 또한, 웨트 처리를 다른 웨트 처리와 조합해서 이용할 수 있고, 또는 드라이 처리를 다른 드라이 처리와 조합해서 이용할 수 있다.
- [0245] 접합 후에 접합 강도를 증가시키기 위한 열처리를 행할 수 있다는 점에 주목한다. 이 열처리의 온도는 취화 영역(514)에서의 분리가 발생하지 않는 온도(예를 들어, 실온 이상  $400^\circ C$  미만)로 한다. 또한, 이 온도 범위에서 가열하면서, 반도체 기판(500)과 산화막(512)을 접합시킬 수 있다. 상기 열처리에는, 확산로, 저항 가열로 등의 가열로, RTA(순간 열 어닐: Rapid Thermal Annealing) 장치, 마이크로파 가열 장치 등을 이용할 수 있다. 상기 온도 조건은 어디까지나 일례에 불과하고, 개시하는 발명의 실시 형태가 이것에 한정해서 해석되는 것은 아니라는 점에 주목한다.
- [0246] 그 다음에, 열처리를 행함으로써 단결정 반도체 기판(510)을 취화 영역에서 분리하여, 반도체 기판(500) 위에

산화막(512)을 통해서 단결정 반도체층(516)을 형성한다(도 18의 (f) 참조).

- [0247] 상기 분리 시의 열처리 온도는 가능한 한 낮은 것이 바람직하다는 점에 주목한다. 분리 시의 온도가 낮을수록 단결정 반도체층(516)의 표면 거칠음을 억제할 수 있기 때문이다. 구체적으로는, 예를 들어, 상기 분리 시의 열처리 온도는, 300℃ 이상 600℃ 이하로 하면 되고, 500℃ 이하(400℃ 이상)로 하면, 보다 효과적이다.
- [0248] 단결정 반도체 기판(510)을 분리한 후에는, 단결정 반도체층(516)에 대하여, 500℃ 이상의 온도에서 열처리를 행하고, 단결정 반도체층(516) 중에 잔존하는 수소의 농도를 저감시킬 수 있다는 점에 주목한다.
- [0249] 그 다음에, 단결정 반도체층(516)의 표면에 레이저광을 조사함으로써, 표면의 평탄성을 향상시켜, 결함을 저감시킨 단결정 반도체층(518)을 형성한다(도 18의 (g) 참조). 레이저광의 조사 처리 대신에, 열처리를 행할 수 있다는 점에 주목한다.
- [0250] 본 실시 형태에서는, 단결정 반도체층(516)의 분리를 위한 열처리 직후에, 레이저광의 조사 처리를 행하고 있지만, 본 발명의 실시 형태는 이것에 한정해서 해석되지 않는다. 단결정 반도체층(516)의 분리를 위한 열처리 후에 에칭 처리를 실시하고, 단결정 반도체층(516) 표면의 결함이 많은 영역을 제거하고 나서, 레이저광의 조사 처리를 행할 수 있다. 또는, 단결정 반도체층(516) 표면의 평탄성을 향상시키고 나서 레이저광의 조사 처리를 행할 수 있다. 상기 에칭 처리로서는, 웨트 에칭, 드라이 에칭의 어느 것을 이용해도 된다는 점에 주목한다. 또한, 본 실시 형태에서는, 상술한 바와 같이 레이저광을 조사한 후, 단결정 반도체층(516)의 막 두께를 작게 하는 박막화 공정을 행해도 된다. 단결정 반도체층(516)의 박막화를 위해, 드라이 에칭 또는 웨트 에칭의 한쪽, 또는 양쪽을 이용할 수 있다.
- [0251] 이상의 공정에 의해, 양호한 특성의 단결정 반도체층(518)을 갖는 SOI 기판을 얻을 수 있다(도 18의 (g) 참조).
- [0252] < 반도체 장치의 제작 방법>
- [0253] 그 다음에, 상기의 SOI 기판을 이용한 반도체 장치의 제작 방법에 대해서 도 19의 (a) 내지 (e), 도 20의 (a) 내지 (d), 도 21의 (a) 내지 (d), 및 도 22의 (a) 내지 (c)를 참조하여 설명한다.
- [0254] < 하부의 트랜지스터의 제작 방법>
- [0255] 처음에, 하부의 트랜지스터(160)의 제작 방법에 대해서 도 19의 (a) 내지 (e) 및 도 20의 (a) 내지 (d)를 참조하여 설명한다. 도 19의 (a) 내지 (e) 및 도 20의 (a) 내지 (d)는 도 18의 (a) 내지 (g)에 도시하는 방법으로 작성한 SOI 기판의 일부이며, 도 17a에 도시하는 하부의 트랜지스터에 상당하는 단면 공정도라는 점에 주목한다.
- [0256] 우선, 단결정 반도체층(518)을 섬 형상으로 패터닝하고, 반도체층(120)을 형성한다(도 19의 (a) 참조). 이 공정의 전후에서, 트랜지스터의 임계값 전압을 제어하기 위해서 n형의 도전성을 부여하는 불순물 원소나, p형의 도전성을 부여하는 불순물 원소를 반도체층에 첨가할 수 있다는 점에 주목한다. 반도체로서 실리콘을 사용하는 경우, n형의 도전성을 부여하는 불순물 원소로서는, 예를 들어, 인이나 비소 등을 이용할 수 있다. 또한, p형의 도전성을 부여하는 불순물 원소로서는, 예를 들어, 붕소, 알루미늄, 갈륨 등을 이용할 수 있다.
- [0257] 그 다음에, 반도체층(120)을 덮도록 절연층(122)을 형성한다(도 19의 (b) 참조). 절연층(122)은 후에 게이트 절연층이 된다. 절연층(122)은, 예를 들어, 반도체층(120) 표면의 열처리(열 산화 처리나 열 질화 처리 등)에 의해 형성할 수 있다. 열처리 대신에, 고밀도 플라즈마 처리를 적용할 수 있다. 고밀도 플라즈마 처리는, 예를 들어, He, Ar, Kr, Xe 등의 희가스, 산소, 산화 질소, 암모니아, 질소, 수소 등 중 어느 것의 혼합 가스를 이용해서 행할 수 있다. 물론, CVD법이나 스퍼터링법 등을 이용해서 절연층을 형성할 수도 있다. 당해 절연층(122)은 산화 실리콘, 산화 질화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 산화 탄탈, 산화 이트륨, 하프늄 실리케이트(HfSi<sub>x</sub>O<sub>y</sub>(x>0, y>0)), 질소가 첨가된 하프늄 실리케이트(HfSi<sub>x</sub>O<sub>y</sub>(x>0, y>0)), 질소가 첨가된 하프늄 알루미늄네이트(HfAl<sub>x</sub>O<sub>y</sub>(x>0, y>0)) 등을 포함하는 단층 구조 또는 적층 구조로 하는 것이 바람직하다. 절연층(122)의 두께는, 예를 들어, 1nm 이상 100nm 이하, 바람직하게는 10nm 이상 50nm 이하로 할 수 있다. 여기에서는, 플라즈마 CVD법을 이용하여 산화 실리콘을 포함하는 절연층을 단층으로 형성한다.
- [0258] 그 다음에, 절연층(122) 위에 마스크(124)를 형성하고, 한 도전형을 부여하는 불순물 원소를 반도체층(120)에 첨가하여, 불순물 영역(126)을 형성한다(도 19의 (c) 참조). 여기에서는, 불순물 원소를 첨가한 후, 마스크(124)를 제거한다는 점에 주목한다.
- [0259] 그 다음에, 절연층(122) 위에 마스크를 형성하고, 절연층(122)이 불순물 영역(126)과 중첩하는 영역의 일부를

제거함으로써, 게이트 절연층(122a)을 형성한다(도 19의 (d) 참조). 절연층(122)의 제거 방법으로서, 웨트 에칭 또는 드라이에칭 등의 에칭 처리를 이용할 수 있다.

- [0260] 그 다음에, 게이트 절연층(122a) 위에 게이트 전극(이것과 동일한 층에서 형성되는 배선을 포함)을 형성하기 위한 도전층을 형성하고, 당해 도전층을 가공하여, 게이트 전극(128a) 및 도전층(128b)을 형성한다(도 19의 (e) 참조).
- [0261] 게이트 전극(128a) 및 도전층(128b)에 이용하는 도전층으로서는 알루미늄이나 구리, 티탄, 탄탈, 텅스텐 등의 금속 재료를 이용해서 형성할 수 있다. 다결정 실리콘 등의 반도체 재료를 이용하여, 도전 재료를 포함하는 층을 형성할 수 있다. 도전 재료를 포함하는 층의 형성 방법도 특별히 한정되지 않고, 증착법, CVD법, 스퍼터링법, 스핀 코팅법 등의 각종 성막 방법을 이용할 수 있다. 도전층의 가공은, 레지스트 마스크를 이용한 에칭에 의해 행할 수 있다.
- [0262] 그 다음에, 게이트 전극(128a) 및 도전층(128b)을 마스크로 하여, 한 도전형을 부여하는 불순물 원소를 반도체 층에 첨가하고, 채널 형성 영역(134), 불순물 영역(132) 및 불순물 영역(130)을 형성한다(도 20의 (a) 참조). 여기에서는, p채널형 트랜지스터를 형성하기 위해서, 붕소(B) 등의 불순물 원소를 첨가한다. n채널형 트랜지스터를 형성할 경우에는, 인(P)이나 비소(As) 등의 불순물 원소를 첨가한다. 여기서, 첨가되는 불순물 원소의 농도는 적절히 설정할 수 있다. 또한, 불순물 원소를 첨가한 후에는, 활성화를 위한 열처리를 행한다. 여기서, 불순물 영역의 농도는 불순물 영역(126), 불순물 영역(132), 불순물 영역(130)의 순서대로 높아진다.
- [0263] 그 다음에, 게이트 절연층(122a), 게이트 전극(128a), 도전층(128b)을 덮도록 절연층(136), 절연층(138) 및 절연층(140)을 형성한다(도 20의 (b) 참조).
- [0264] 절연층(136), 절연층(138), 및 절연층(140)은 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 또는 산화 알루미늄 등의 무기 절연 재료를 포함하는 재료를 이용해서 형성할 수 있다. 특히, 절연층(136), 절연층(138), 및 절연층(140)에 유전률이 낮은(low-k) 재료를 이용함으로써, 각종 전극이나 배선의 중첩에 기인하는 용량을 충분히 저감하는 것이 가능하기 때문에 바람직하다. 절연층(136), 절연층(138), 및 절연층(140)에는, 이것들의 재료를 이용한 다공성의 절연층을 적용할 수 있다는 점에 주목한다. 다공성의 절연층에서는 밀도가 높은 절연층과 비교해서 유전률이 저하되기 때문에, 전극이나 배선에 기인하는 용량을 더욱 저감하는 것이 가능하다. 또한, 절연층(136)이나 절연층(138), 절연층(140)은 폴리이미드, 아크릴 등의 유기 절연 재료를 이용해서 형성하는 것도 가능하다. 본 실시 형태에서는, 절연층(136)으로서 산화 질화 실리콘, 절연층(138)으로서 질화 산화 실리콘, 절연층(140)으로서 산화 실리콘을 이용하는 경우에 대해서 설명한다. 여기에서는, 절연층(136), 절연층(138) 및 절연층(140)의 적층 구조로 하고 있지만, 개시하는 발명의 실시 형태는 이것에 한정되지 않는다. 1층 또는 2층으로서도 가능하고, 4층 이상의 적층 구조로 해도 된다.
- [0265] 그 다음에, 절연층(138) 및 절연층(140)에 CMP(화학적 기계 연마) 처리나 에칭 처리를 행함으로써, 절연층(138) 및 절연층(140)을 평탄화한다(도 20의 (c) 참조). 여기에서는, 절연층(138)이 일부 노출될 때까지, CMP 처리를 행한다. 절연층(138)에 질화 산화 실리콘을 이용하고, 절연층(140)에 산화 실리콘을 이용한 경우, 절연층(138)은 에칭 스톱퍼로서 기능한다.
- [0266] 그 다음에, 절연층(138) 및 절연층(140)에 CMP 처리나 에칭 처리를 행함으로써, 게이트 전극(128a) 및 도전층(128b)의 상면을 노출시킨다(도 20의 (d) 참조). 여기에서는, 게이트 전극(128a) 및 도전층(128b)이 일부 노출될 때까지, 에칭 처리를 행한다. 당해 에칭 처리는, 드라이 에칭을 이용하는 것이 적합하지만, 웨트 에칭을 이용해도 된다. 게이트 전극(128a) 및 도전층(128b)의 일부를 노출시키는 공정에서, 후에 형성되는 트랜지스터(162)의 특성을 향상시키기 위해서, 절연층(136), 절연층(138), 및 절연층(140)의 표면은 가능한 한 평탄하게 해 두는 것이 바람직하다.
- [0267] 이상의 공정에 의해, 하부의 트랜지스터(160)를 형성할 수 있다(도 20의 (d) 참조).
- [0268] 상기의 각 공정의 전후에, 추가 전극이나 배선, 반도체층, 절연층 등을 형성하는 공정을 행할 수 있다는 점에 주목한다. 예를 들어, 배선 구조로서, 절연층 및 도전층의 적층 구조로 되는 다층 배선 구조를 채용하고, 고도로 집적화한 반도체 장치를 실현하는 것도 가능하다.
- [0269] < 상부의 트랜지스터의 제작 방법 >
- [0270] 그 다음에, 상부의 트랜지스터(162)의 제작 방법에 대해서 도 21의 (a) 내지 (d) 및 도 22의 (a) 내지 (c)를 참조하여 설명한다.

- [0271] 우선, 게이트 전극(128a), 도전층(128b), 절연층(136), 절연층(138), 절연층(140) 등 위에 산화물 반도체층을 형성하고, 당해 산화물 반도체층을 가공하여, 산화물 반도체층(144)을 형성한다(도 21의 (a) 참조). 산화물 반도체층을 형성하기 전에, 절연층(136), 절연층(138), 및 절연층(140) 위에, 하지층으로서 기능하는 절연층을 형성할 수 있다는 점에 주목한다. 당해 절연층은 스퍼터링법을 비롯한 PVD법이나 플라즈마 CVD법 등의 CVD법을 이용하여 형성할 수 있다.
- [0272] 이용하는 산화물 반도체로서는 적어도 인듐(In) 혹은 아연(Zn)을 포함하는 것이 바람직하다. 특히, In과 Zn을 포함하는 것이 바람직하다. 상기 산화물 반도체를 이용한 트랜지스터의 전기 특성의 변동을 줄이기 위한 스테빌라이저(stabilizer)로서, 갈륨(Ga)을 추가로 포함하는 것이 바람직하다. 스테빌라이저로서 주석(Sn)을 포함하는 것이 바람직하다. 스테빌라이저로서 하프늄(Hf)을 포함하는 것이 바람직하다. 스테빌라이저로서 알루미늄(Al)을 포함하는 것이 바람직하다.
- [0273] 다른 스테빌라이저로서, 란타늄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 일종 혹은 복수 종을 포함할 수 있다.
- [0274] 산화물 반도체층에 이용하는 재료로서는, 사원계 금속 산화물인 In-Sn-Ga-Zn-O계의 재료, In-Hf-Ga-Zn-O계의 재료, In-Al-Ga-Zn-O계의 재료, In-Sn-Al-Zn-O계의 재료, In-Sn-Hf-Zn-O계의 재료, In-Hf-Al-Zn-O계의 재료나, 삼원계 금속 산화물인 In-Ga-Zn-O계의 재료, In-Sn-Zn-O계의 재료, In-Al-Zn-O계의 재료, Sn-Ga-Zn-O계의 재료, Al-Ga-Zn-O계의 재료, Sn-Al-Zn-O계의 재료, In-Hf-Zn-O계의 재료, In-La-Zn-O계의 재료, In-Ce-Zn-O계의 재료, In-Pr-Zn-O계의 재료, In-Nd-Zn-O계의 재료, In-Sm-Zn-O계의 재료, In-Eu-Zn-O계의 재료, In-Gd-Zn-O계의 재료, In-Tb-Zn-O계의 재료, In-Dy-Zn-O계의 재료, In-Ho-Zn-O계의 재료, In-Er-Zn-O계의 재료, In-Tm-Zn-O계의 재료, In-Yb-Zn-O계의 재료, In-Lu-Zn-O계의 재료나, 이원계 금속 산화물인 In-Zn-O계의 재료, Sn-Zn-O계의 재료, Al-Zn-O계의 재료, Zn-Mg-O계의 재료, Sn-Mg-O계의 재료, In-Mg-O계의 재료, In-Ga-O계의 재료나, In-O계의 재료, Sn-O계의 재료, Zn-O계의 재료 등을 이용할 수 있다. 또한, 상기의 재료에 SiO<sub>2</sub>을 포함시킬 수 있다. 여기서, 예를 들어, In-Ga-Zn-O계의 재료는 인듐(In), 갈륨(Ga), 아연(Zn)을 갖는 산화물막인 것을 의미하며, 그 조성비는 특히 제한되지 않는다. 또한, In-Ga-Zn-O계 산화물 반도체는 In과 Ga와 Zn 이외의 원소를 포함할 수 있다.
- [0275] 또한, 산화물 반도체로서, 화학식 InM<sub>3</sub>(ZnO)<sub>m</sub>(m>0)로 표기되는 재료를 이용할 수 있다. 여기서, M은, Ga, Al, Fe, Mn 및 Co로부터 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들어, M으로서, Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co 등을 이용할 수 있다. 또한, 산화물 반도체로서, In<sub>3</sub>SnO<sub>5</sub>(ZnO)<sub>n</sub>(n>0이고, n은 정수)로 표기되는 재료를 이용해도 된다.
- [0276] 예를 들어, In:Ga:Zn=1:1:1(=1/3:1/3:1/3) 혹은 In:Ga:Zn=2:2:1(=2/5:2/5:1/5)의 원자수비의 In-Ga-Zn-O계의 재료나 그 조성의 근방의 산화물을 이용할 수 있다. 혹은, In:Sn:Zn=1:1:1(=1/3:1/3:1/3), In:Sn:Zn=2:1:3(=1/3:1/6:1/2) 혹은 In:Sn:Zn=2:1:5(=1/4:1/8:5/8)의 원자수비의 In-Sn-Zn-O계의 재료나 그 조성의 근방의 산화물을 이용할 수 있다.
- [0277] 그러나, 본 발명의 실시 형태는 이에 한정되지 않고, 필요로 하는 반도체 특성(이동도, 임계값, 변동 등)에 따라 적절한 조성의 것을 이용할 수 있다. 또한, 필요로 하는 반도체 특성을 얻기 위해서, 캐리어 농도나 불순물 농도, 결합 밀도, 금속 원소와 산소의 원자수비, 원자간 결합 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.
- [0278] 예를 들어, In-Sn-Zn-O계의 재료에서는 비교적 용이하게 높은 이동도가 얻어진다. 그러나, In-Ga-Zn-O계의 재료에서도, 벌크 내 결합 밀도를 저감함으로써 이동도를 높일 수 있다.
- [0279] 예를 들어, "In, Ga, Zn의 원자수비가 In:Ga:Zn=a:b:c(a+b+c=1)인 산화물의 조성, 원자수비가 In:Ga:Zn=A:B:C(A+B+C=1)의 산화물의 조성의 근방이다"라는 것은, a, b, c가 (a-A)<sup>2</sup>+(b-B)<sup>2</sup>+(c-C)<sup>2</sup>≤r<sup>2</sup>를 만족하는 것을 의미하고, r은, 예를 들어, 0.05일 수 있다는 점에 주목한다. 다른 산화물에서도 마찬가지이다.
- [0280] 산화물 반도체는 단결정 또는 비 단결정일 수 있다. 후자의 경우, 산화물 반도체는 아몰퍼스 또는 다결정일 수 있다. 또한, 산화물 반도체는 아몰퍼스 중에 결정성을 갖는 부분을 포함하는 구조 또는 비 아몰퍼스 구조일 수 있다.

- [0281] 아몰퍼스 상태의 산화물 반도체는, 비교적 용이하게 평탄한 표면을 얻을 수 있기 때문에, 이것을 이용해서 트랜지스터를 제작했을 때의 계면 산란을 저감할 수 있고, 비교적 용이하게, 비교적 높은 이동도를 얻을 수 있다.
- [0282] 결정성을 갖는 산화물 반도체에서는, 벌크 내 결함을 더 저감할 수 있고, 표면의 평탄성을 높이면 아몰퍼스 상태의 산화물 반도체 이상의 이동도를 얻을 수 있다. 표면의 평탄성을 높이기 위해서는, 평탄한 표면 위에 산화물 반도체를 형성하는 것이 바람직하다. 구체적으로는, 평균 표면 거칠기(Ra)가 1nm 이하, 바람직하게는 0.3nm 이하, 보다 바람직하게는 0.1nm 이하의 표면 위에 산화물 반도체를 형성할 수 있다.
- [0283] 본 명세서에서 Ra는 JIS B0601로 정의되어 있는 중심선 평균 거칠기를 면에 대하여 적용할 수 있도록 삼차원으로 확장한 것이라는 점에 주목한다. Ra는 "기준면에서 지정면까지의 편차의 절대값을 평균한 값"으로서 표현할 수 있고, 이하의 식으로 정의된다.

**수학식 1**

$$Ra = \frac{1}{S_0} \int_{x_2}^{x_1} \int_{y_2}^{y_1} |f(x, y) - Z_0| dx dy$$

- [0284] 상기 식에서, S<sub>0</sub>은 측정면(좌표(x<sub>1</sub>, y<sub>1</sub>), (x<sub>1</sub>, y<sub>2</sub>), (x<sub>2</sub>, y<sub>1</sub>), (x<sub>2</sub>, y<sub>2</sub>))로 나타내는 4점에 의해 둘러싸여지는 직사각형의 영역의 면적을 가리키고, Z<sub>0</sub>은 측정면의 평균 높이를 가리킨다. Ra는 원자간력 현미경(AFM:Atomic Force Microscope)으로 평가가능하다.
- [0286] 산화물 반도체층의 두께는 3nm 이상 30nm 이하로 하는 것이 바람직하다. 산화물 반도체층을 너무 두껍게 하면 (예를 들어, 막 두께를 50nm 이상), 트랜지스터가 노멀리 온으로 되어버릴 우려가 있기 때문이다.
- [0287] 산화물 반도체층은 수소, 물, 수산기 또는 수소화물 등의 불순물이 혼입하기 어려운 방법으로 제작하는 것이 바람직하다. 예를 들어, 스퍼터링법 등을 이용할 수 있다.
- [0288] In-Ga-Zn-O계의 타겟으로서는, 예를 들어, 조성비로서, In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO=1:1:1 [몰수비]의 타겟을 이용할 수 있다. 타겟의 재료 및 조성을 상기에 한정할 필요는 없다는 점에 주목한다. 예를 들어, In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO=1:1:2 [몰수비]의 조성비의 타겟을 이용할 수도 있다.
- [0289] In-Zn-O계의 재료의 타겟으로서는, 조성비로서, 원자수비로, In:Zn=50:1 내지 1:2(몰수비로 환산하면 In<sub>2</sub>O<sub>3</sub>:ZnO=25:1 내지 1:4), 바람직하게는 In:Zn=20:1 내지 1:1(몰수비로 환산하면 In<sub>2</sub>O<sub>3</sub>:ZnO=10:1 내지 1:2), 더욱 바람직하게는 In:Zn=15:1 내지 1.5:1(몰수비로 환산하면 In<sub>2</sub>O<sub>3</sub>:ZnO=15:2 내지 3:4)로 한다. 예를 들어, In-Zn-O계의 산화물 반도체의 형성에 이용하는 타겟은, 원자수비가 In:Zn:O=X:Y:Z 일 때, Z>(1.5X+Y)로 한다.
- [0290] 또한, In-Sn-Zn-O계의 재료는 ITZO라고도 할 수 있고, 이용하는 타겟의 조성비는, 원자수비로, In:Sn:Zn=1:2:2, In:Sn:Zn=2:1:3, In:Sn:Zn=1:1:1, 또는 In:Sn:Zn=20:45:35 등이 되는 산화물 타겟을 이용한다.
- [0291] 산화물 타겟의 상대 밀도는 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하로 한다. 상대 밀도가 높은 타겟을 이용함으로써, 성막한 산화물 반도체층을 치밀한 막으로 할 수 있기 때문이다.
- [0292] 성막의 분위기는, 희가스(대표적으로는 아르곤) 분위기 하, 산소 분위기 하, 또는, 희가스와 산소의 혼합 분위기 하 등으로 할 수 있다. 산화물 반도체층에의 수소, 물, 수산기, 수소화물 등의 혼입을 방지하기 위해서, 수소, 물, 수산기, 수소화물 등의 불순물이 충분히 제거된 고순도 가스를 이용한 분위기로 하는 것이 바람직하다.
- [0293] 본 실시 형태에서는, 산화물 반도체층을 In-Ga-Zn-O계의 산화물 타겟을 이용한 스퍼터링법에 의해 형성한다.
- [0294] 우선, 감압 상태로 유지된 성막 실내에 기관을 유지하고, 기관 온도가, 200℃ 초과 500℃ 이하, 바람직하게는 300℃ 초과 500℃ 이하, 보다 바람직하게는 350℃ 이상 450℃ 이하로 되도록 가열한다.
- [0295] 그 다음에, 성막 실내의 잔류 수분을 제거하면서, 수소, 물, 수산기, 수소 화물 등의 불순물이 충분히 제거된 고순도 가스를 도입하고, 상기 타겟을 이용해서 기관 위에 산화물 반도체층을 성막한다. 성막 실내의 잔류 수분을 제거하기 위해서는, 배기 수단으로서, 크라이오펌프, 이온 펌프, 티탄 서블리메이션 펌프 등의 흡착형의 진공 펌프를 이용하는 것이 바람직하다. 또한, 배기 수단은 터보 펌프에 콜드 트랩을 가한 것일 수 있다. 크

라이오 펌프를 이용해서 배기한 성막 실은, 예를 들어, 수소, 물, 수산기 또는 수소화물 등의 불순물(보다 바람직하게는 탄소 원자를 포함하는 화합물도) 등이 제거되기 있기 때문에, 당해 성막 실에서 성막한 산화물 반도체층에 포함되는 수소, 물, 수산기 또는 수소화물 등의 불순물의 농도를 저감할 수 있다.

- [0296] 성막 중의 기판 온도가 저온(예를 들어, 100℃ 이하)인 경우, 산화물 반도체에 수소 원자를 포함하는 물질이 혼입할 우려가 있기 때문에, 기판을 상술한 온도에서 가열하는 것이 바람직하다. 기판을 상술한 온도에서 가열하고, 산화물 반도체층의 성막을 행함으로써, 기판 온도는 고온이 되므로, 수소 결합은 열에 의해 절단되어, 수소 원자를 포함하는 물질이 산화물 반도체층에 들어오기가 어렵다. 따라서, 기판이 상술한 온도에서 가열된 상태에서, 산화물 반도체층의 성막을 행함으로써, 산화물 반도체층에 포함되는 수소, 물, 수산기 또는 수소화물 등의 불순물의 농도를 충분히 저감할 수 있다. 또한, 스피터링에 의한 손상을 경감할 수 있다.
- [0297] 성막 조건의 일례로서, 기판과 타겟 사이의 거리를 60mm, 압력을 0.4Pa, 직류(DC) 전원을 0.5kW, 기판 온도를 400℃, 성막 분위기를 산소(산소 유량 비율(100%)) 분위기로 한다. 펄스 직류 전원을 이용하면, 성막 시에 발생하는 분말형 물질(파티클(particle) 또는 먼지라고도 한다)을 경감할 수 있고, 막 두께 분포도 균일하게 되기 때문에 바람직하다는 점에 주목한다.
- [0298] 산화물 반도체층을 스피터링법에 의해 형성하기 전에, 아르곤 가스를 도입해서 플라즈마를 발생시키는 역 스피터링을 행하고, 산화물 반도체층의 피 형성면에 부착되어 있는 분말형 물질(파티클 또는 먼지라고도 한다)을 제거하는 것이 바람직하다는 점에 주목한다. 역 스피터링은 기판에 전압을 인가하고, 기판 근방에 플라즈마를 형성하고, 기판측의 표면을 개질하는 방법이다. 아르곤 대신에, 질소, 헬륨, 산소 등의 가스를 이용해도 된다는 점에 주목한다.
- [0299] 산화물 반도체층의 가공은 원하는 형상의 마스크를 산화물 반도체층 위에 형성한 후, 당해 산화물 반도체층을 에칭함으로써 행할 수 있다. 상술한 마스크는 포토리소그래피 또는 잉크젯트법 등의 방법을 이용해서 형성할 수 있다. 산화물 반도체층의 에칭은, 드라이 에칭 또는 웨트 에칭으로 할 수 있다. 물론, 이것들을 조합해서 이용해도 된다.
- [0300] 그 후, 산화물 반도체층(144)에 대하여 열처리(제1 열처리)를 행해도 된다.
- [0301] 열처리를 행함으로써, 산화물 반도체층(144) 중에 포함되는 수소 원자를 포함하는 물질을 더욱 제거하고, 산화물 반도체층(144)의 구조를 개선하고, 에너지 갭 중의 결합 준위를 저감할 수 있다. 열처리의 온도는 불활성 가스 분위기 하, 250℃ 이상 700℃ 이하, 바람직하게는 450℃ 이상 600℃ 이하, 또는 기판의 왜곡 점 미만으로 한다. 불활성 가스 분위기로서는, 질소, 또는 회가스(헬륨, 네온, 아르곤 등)를 주성분으로 하는 분위기이며, 물, 수소 등이 포함되지 않는 분위기를 적용하는 것이 바람직하다. 예를 들어, 열처리 장치에 도입하는 질소나, 헬륨, 네온, 아르곤 등의 회가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 한다.
- [0302] 열처리는, 예를 들어, 저항 발열체 등을 이용한 전기로에 피처리물을 도입하고, 질소 분위기 하, 450℃, 1시간의 조건에서 행할 수 있다. 산화물 반도체층(144)은 대기에 노출시키지 않고, 물이나 수소의 혼입이 발생하지 않도록 한다.
- [0303] 상술한 열처리에는 수소나 물 등을 제거하는 효과가 있기 때문에, 당해 열처리를 탈수화 처리나, 탈수소화 처리 등이라고 부를 수도 있다. 당해 열처리는, 예를 들어, 산화물 반도체층을 섬 형상으로 가공하기 전, 게이트 절연층의 형성 후 등의 타이밍에서 행하는 것도 가능하다. 또한, 이러한 탈수화 처리 또는 탈수소화 처리는, 일회에 한하지 않고 복수회 행할 수 있다.
- [0304] 그 다음에, 산화물 반도체층(144) 등 위에 소스 전극 및 드레인 전극(이것과 동일한 층에서 형성되는 배선을 포함한다)을 형성하기 위한 도전층을 형성하고, 당해 도전층을 가공하고, 소스 전극(142a), 드레인 전극(142b)을 형성한다(도 21의 (b) 참조).
- [0305] 도전층은 PVD법이나 CVD법을 이용해서 형성할 수 있다. 도전층의 재료로서는, 알루미늄, 크롬, 구리, 탄탈, 티탄, 몰리브덴, 텅스텐으로부터 선택된 원소나, 상술한 원소를 성분으로 하는 합금 등을 이용할 수 있다. 망간, 마그네슘, 지르코늄, 베릴륨, 네오디뮴, 스칸듐 중 어느 하나, 또는 이들을 복수 조합한 재료를 이용할 수 있다.
- [0306] 도전층은 단층 구조일 수도 있고, 2층 이상의 적층 구조일 수도 있다. 예를 들어, 티탄막이나 질화 티탄막의 단층 구조, 실리콘을 포함하는 알루미늄 막의 단층 구조, 알루미늄 막 위에 티탄막이 적층된 2층 구조, 질화 티탄

막 위에 티탄막이 적층된 2층 구조, 티탄막과 알루미늄 막과 티탄막이 적층된 3층 구조 등을 들 수 있다. 도전층을 티탄막이나 질화 티탄막의 단층 구조로 할 경우에는, 테이퍼(taper) 형상을 갖는 소스 전극(142a) 및 드레인 전극(142b)에의 가공이 용이하다는 장점이 있다는 점에 주목한다.

- [0307] 또한, 도전층은 도전성의 금속 산화물을 이용해서 형성할 수 있다. 도전성의 금속 산화물로서는 산화 인듐( $\text{In}_2\text{O}_3$ ), 산화 주석( $\text{SnO}_2$ ), 산화 아연( $\text{ZnO}$ ), 산화 인듐-산화 주석 합금( $\text{In}_2\text{O}_3\text{-SnO}_2$ , ITO로 약기할 수 있다), 산화 인듐-산화 아연 합금( $\text{In}_2\text{O}_3\text{-ZnO}$ ), 또는, 이것들의 금속 산화물 재료에 실리콘 혹은 산화 실리콘을 함유시킨 것을 이용할 수 있다.
- [0308] 도전층의 에칭은 형성되는 소스 전극(142a) 및 드레인 전극(142b)의 단부가 테이퍼 형상으로 되도록 행하는 것이 바람직하다. 여기서, 테이퍼 각은, 예를 들어,  $30^\circ$  이상  $60^\circ$  이하인 것이 바람직하다. 소스 전극(142a), 드레인 전극(142b)의 단부를 테이퍼형 모양으로 되도록 에칭함으로써, 후에 형성되는 게이트 절연층(146)의 피복성을 향상되고, 단선을 방지할 수 있다.
- [0309] 상부의 트랜지스터의 채널 길이(L)는 소스 전극(142a) 및 드레인 전극(142b)의 하단부들 간의 간격에 의해 결정된다. 채널 길이(L)가 25nm 미만의 트랜지스터를 형성할 경우에 이용하는 마스크 형성의 노광을 행할 때에는, 수 nm 내지 수십 nm로 파장이 짧은 초자외선(extreme ultraviolet)을 이용하는 것이 바람직하다는 점에 주목한다. 초자외선에 의한 노광은, 해상도가 높고 초점 심도도 크다. 따라서, 후에 형성되는 트랜지스터의 채널 길이(L)를, 10nm 이상 1000nm( $1\mu\text{m}$ ) 이하로 하는 것도 가능하며, 회로의 동작 속도를 높이는 것이 가능하다. 또한, 미세화에 의해, 반도체 장치의 소비 전력을 저감하는 것도 가능하다.
- [0310] 도 21의 (b)와는 다른 일례로서, 산화물 반도체층(144)과 소스 전극 사이 및 산화물 반도체층(144)과 드레인 전극 사이에, 소스 영역 및 드레인 영역으로서 산화물 도전층을 설치할 수 있다.
- [0311] 예를 들어, 산화물 반도체층(144) 위에 산화물 도전막을 형성하고, 그 위에 도전층을 형성하고, 산화물 도전막 및 도전층을 같은 포토리소그래피 공정에 의해 가공하여, 소스 영역 및 드레인 영역으로 되는 산화물 도전층, 소스 전극(142a), 드레인 전극(142b)을 형성할 수 있다.
- [0312] 또한, 산화물 반도체막과 산화물 도전막의 적층을 형성하고, 산화물 반도체막과 산화물 도전막과의 적층을 같은 포토리소그래피 공정에 의해 형상을 가공해서 섬 형상의 산화물 반도체층(144)과 산화물 도전막을 형성한다. 소스 전극(142a), 드레인 전극(142b)을 형성한 후, 소스 전극(142a), 드레인 전극(142b)을 마스크로 하여, 섬 형상의 산화물 도전막을 더 에칭하고, 소스 영역 및 드레인 영역으로 되는 산화물 도전층을 형성할 수도 있다.
- [0313] 산화물 도전층의 형상을 가공하기 위한 에칭 처리 시, 산화물 반도체층이 지나치게 에칭되지 않도록, 에칭 조건(에칭 재료의 종류, 농도, 에칭 시간 등)을 적절히 조정한다는 점에 주목한다.
- [0314] 산화물 도전층의 재료로서는, 산화 아연을 성분으로 포함하는 것이 바람직하고, 산화 인듐을 포함하지 않는 것이 바람직하다. 그러한 산화물 도전층으로서, 산화 아연, 산화 아연 알루미늄, 산화 질화 아연 알루미늄, 산화 아연 갈륨 등을 적용할 수 있다.
- [0315] 산화물 도전층을 산화물 반도체층과 소스 전극 및 드레인 전극 사이에 설치함으로써, 소스 영역 및 드레인 영역의 저저항화를 도모할 수 있고, 트랜지스터의 고속 동작을 할 수 있다.
- [0316] 산화물 반도체층(144), 산화물 도전층, 금속 재료로 이루어지는 소스 전극 및 드레인 전극의 구성으로 함으로써, 트랜지스터의 내압을 더 향상시킬 수 있다.
- [0317] 소스 영역 및 드레인 영역으로서 산화물 도전층을 이용하는 것은 주변 회로(구동 회로)의 주파수 특성을 향상시키기 위해서 유효하다. 금속 전극(몰리브덴, 텅스텐 등)과 산화물 반도체층과의 접촉에 비해, 금속 전극(몰리브덴, 텅스텐 등)과 산화물 도전층과의 접촉은 접촉 저항을 내릴 수 있기 때문이다. 산화물 반도체층과 소스 전극 및 드레인 전극 사이에 산화물 도전층을 개재시킴으로써 접촉 저항을 저감할 수 있고, 주변 회로(구동 회로)의 주파수 특성을 향상시킬 수 있다.
- [0318] 그 다음에, 소스 전극(142a), 드레인 전극(142b)을 덮고, 또한, 산화물 반도체층(144)의 일부와 접하도록, 게이트 절연층(146)을 형성한다(도 21의 (c) 참조).
- [0319] 게이트 절연층(146)은 CVD법이나 스퍼터링법 등을 이용해서 형성할 수 있다. 또한, 게이트 절연층(146)은 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 산화 갈륨, 산화 알루미늄, 산화 탄탈, 산화 하프늄, 산화 이트륨, 하프늄 실리케이트( $\text{HfSi}_x\text{O}_y$ ( $x>0, y>0$ )), 질소가 첨가된 하프늄 실리케이트( $\text{HfSi}_x\text{O}_y$ ( $x>0, y>0$ )), 질소가 첨가된 하

프늄 알루미늄에이트(HfAl<sub>x</sub>O<sub>y</sub>(x>0, y>0)) 등을 포함하도록 형성하는 것이 적합하다. 게이트 절연층(146)은 단층 구조로 할 수 있고, 상기의 재료를 조합해서 적층 구조로 할 수 있다. 그 두께는 특별히 한정되지 않으나, 반도체 장치를 미세화할 경우에는, 트랜지스터의 동작을 확보하기 위해서 얇게 하는 것이 바람직하다. 예를 들어, 산화 실리콘을 이용할 경우에는, 1nm 이상 100nm 이하, 바람직하게는 10nm 이상 50nm 이하로 할 수 있다.

[0320] 상술한 바와 같이 게이트 절연층을 얇게 하면, 터널 효과 등에 기인하는 게이트 리크가 문제된다. 게이트 리크의 문제를 해소하기 위해서는, 게이트 절연층(146)에, 산화 하프늄, 산화 탄탈, 산화 이트륨, 하프늄 실리케이트(Hf<sub>x</sub>O<sub>y</sub>(x>0, y>0)), 질소가 첨가된 하프늄 실리케이트(HfSi<sub>x</sub>O<sub>y</sub>(x>0, y>0)), 질소가 첨가된 하프늄 알루미늄에이트(HfAl<sub>x</sub>O<sub>y</sub>(x>0, y>0)) 등의 고유전률(high-k) 재료를 이용하는 것이 바람직하다. high-k 재료를 게이트 절연층(146)에 이용함으로써, 전기적 특성을 확보하면서, 게이트 리크를 억제하기 위해서 막 두께를 크게 하는 것이 가능하게 된다. high-k 재료를 포함하는 막과, 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄 등 중 어느 하나를 포함하는 막과의 적층 구조로 해도 된다는 점에 주목한다.

[0321] 또한, 산화물 반도체층(144)에 접하는 절연층(본 실시 형태에서는, 게이트 절연층(146))은 제13족 원소 및 산소를 포함하는 절연 재료를 이용하여 형성될 수 있다. 산화물 반도체 재료에는 제13족 원소를 포함하는 것이 많고, 제13족 원소를 포함하는 절연 재료는 산화물 반도체와 성질이 잘 맞는다. 따라서, 제13족 원소를 포함하는 절연 재료를 산화물 반도체층에 접하는 절연층에 이용함으로써, 산화물 반도체층과의 계면의 상태를 양호하게 유지할 수 있다.

[0322] 여기서, 제13족 원소를 포함하는 절연 재료는 절연 재료에 하나 또는 복수의 제13족 원소를 포함하는 것을 의미한다. 제13족 원소를 포함하는 절연 재료로서는, 예를 들어, 산화 갈륨, 산화 알루미늄, 산화 알루미늄 갈륨, 산화 갈륨 알루미늄 등이 있다. 여기서, 산화 알루미늄 갈륨은 갈륨의 원자%보다 알루미늄의 원자%가 많은 재료를 의미하고, 산화 갈륨 알루미늄은 갈륨의 원자%가 알루미늄의 원자%보다 많은 재료를 의미한다.

[0323] 예를 들어, 갈륨을 함유하는 산화물 반도체층에 접해서 게이트 절연층을 형성할 경우에, 게이트 절연층에 산화 갈륨을 포함하는 재료를 이용함으로써 산화물 반도체층과 게이트 절연층의 계면 특성을 양호하게 유지할 수 있다. 또한, 산화물 반도체층과 산화 갈륨을 포함하는 절연층을 접해서 설치함으로써, 산화물 반도체층과 절연층의 계면에서의 수소의 파일업(pileup)을 저감할 수 있다. 절연층에 산화물 반도체의 성분 원소와 같은 족의 원소를 이용할 경우에는, 마찬가지로의 효과를 얻는 것이 가능하다는 점에 주목한다. 예를 들어, 산화 알루미늄을 포함하는 재료를 이용해서 절연층을 형성하는 것도 유효하다. 산화 알루미늄은 물을 투과시키기 어렵다고 하는 특성을 갖는다. 따라서, 산화 알루미늄을 포함하는 재료를 이용하는 것은 산화물 반도체층에의 물의 침입 방지의 점에서도 바람직하다.

[0324] 산화물 반도체층(144)에 접하는 절연층은 산소 분위기 하에서의 열처리나, 산소 도핑 등에 의해 절연 재료를 화학양론적 조성비보다 산소가 많은 상태로 하는 것이 바람직하다. "산소 도핑"은 산소를 벌크에 첨가하는 것을 말한다. "벌크"라는 용어는 산소를 박막 표면뿐만 아니라 박막 내부에 첨가하는 것을 명확히 하는 취지에서 사용하고 있다는 점에 주목한다. 또한, "산소 도핑"에는, 플라즈마화한 산소를 벌크에 첨가하는 "산소 플라즈마 도핑"이 포함된다. 산소 도핑은 이온 주입법 또는 이온 도핑법을 이용해서 행할 수 있다.

[0325] 예를 들어, 산화물 반도체층(144)에 접하는 절연층으로서 산화 갈륨을 이용한 경우, 산소 분위기 하에서의 열처리나, 산소 도핑을 행함으로써, 산화 갈륨의 조성을 Ga<sub>2</sub>O<sub>x</sub>(X=3+α, 0 < α < 1)로 할 수 있다. 또한, 산화물 반도체층(144)에 접하는 절연층으로서 산화 알루미늄을 이용한 경우, 산소 분위기하에서의 열처리나, 산소 도핑을 행함으로써, 산화 알루미늄의 조성을 Al<sub>2</sub>O<sub>x</sub>(X=3+α, 0 < α < 1)로 할 수 있다. 산화물 반도체층(144)에 접하는 절연층으로서 산화 갈륨 알루미늄(산화 알루미늄 갈륨)을 이용한 경우, 산소 분위기 하에서의 열처리나, 산소 도핑을 행함으로써, 산화 갈륨 알루미늄(산화 알루미늄 갈륨)의 조성을 Ga<sub>x</sub>Al<sub>2-x</sub>O<sub>3+α</sub>(0 < X < 2, 0 < α < 1)로 할 수 있다.

[0326] 산소 도핑 처리 등을 행함으로써, 화학양론적 조성비보다 산소가 많은 영역을 갖는 절연층을 형성할 수 있다. 이러한 영역을 구비하는 절연층과 산화물 반도체층이 접함으로써, 절연층 중의 지나친 산소가 산화물 반도체층에 공급되어, 산화물 반도체층 중, 또는 산화물 반도체층과 절연층의 계면에서의 산소 결손을 저감할 수 있다.

[0327] 화학양론적 조성비보다 산소가 많은 영역을 갖는 절연층은, 게이트 절연층(146) 대신에, 산화물 반도체층(144)의 마지막으로서 형성하는 절연층에 적용할 수 있거나 또는 게이트 절연층(146) 및 하지 절연층의 양쪽에 적용할 수 있다는 점에 주목한다.

- [0328] 게이트 절연층(146)의 형성 후에는, 불활성 가스 분위기 하, 또는 산소 분위기 하에서 제2 열처리를 행하는 것이 바람직하다. 열처리의 온도는 200℃ 이상 450℃ 이하, 바람직하게는 250℃ 이상 350℃ 이하이다. 예를 들어, 질소 분위기 하에서 250℃, 1시간의 열처리를 행할 수 있다. 제2 열처리를 행함으로써, 트랜지스터의 전기적 특성의 변동을 경감할 수 있다. 또한, 게이트 절연층(146)이 산소를 포함할 경우, 산화물 반도체층(144)에 산소를 공급하고, 상기 산화물 반도체층(144)의 산소 결손을 보충할 수 있다.
- [0329] 본 실시 형태에서는, 게이트 절연층(146)의 형성 후에 제2 열처리를 행하고 있지만, 제2 열처리의 타이밍은 이것에 한정되지 않는다는 점에 주목한다. 예를 들어, 게이트 전극의 형성 후에 제2 열처리를 행할 수 있다. 또한, 제1 열처리에서 제2 열처리를 행할 수 있고, 제1 열처리에 제2 열처리를 겸할 수 있고, 또는 제2 열처리에 제1 열처리를 겸할 수 있다.
- [0330] 상술한 바와 같이 제1 열처리와 제2 열처리의 적어도 한쪽을 적용함으로써, 산화물 반도체층(144)을 그 수소 원자를 포함하는 물질이 최대한 포함되지 않도록 고순도화할 수 있다.
- [0331] 그 다음에, 게이트 전극(이것과 동일한 층에서 형성되는 배선을 포함한다)을 형성하기 위한 도전층을 형성하고 당해 도전층을 가공하여, 게이트 전극(148a) 및 도전층(148b)을 형성한다(도 21의 (d) 참조).
- [0332] 게이트 전극(148a) 및 도전층(148b)은 몰리브덴, 티탄, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이것들을 주성분으로 하는 합금 재료를 이용해서 형성할 수 있다. 게이트 전극(148a) 및 도전층(148b)은 단층 구조 또는 적층 구조로 할 수 있다.
- [0333] 그 다음에, 게이트 절연층(146), 게이트 전극(148a) 및 도전층(148b) 위에, 절연층(150)을 형성한다(도 22의 (a) 참조). 절연층(150)은 PVD법이나 CVD법 등을 이용해서 형성할 수 있다. 절연층(150)은, 산화 실리콘, 산화 질화 실리콘, 질화 실리콘, 산화 하프늄, 산화 갈륨, 산화 알루미늄 등의 무기 절연 재료를 포함하는 재료를 이용해서 형성할 수 있다. 절연층(150)에는, 유전률이 낮은 재료나, 유전률이 낮은 구조(다공성의 구조 등)를 이용하는 것이 바람직하다는 점에 주목한다. 절연층(150)의 유전률을 낮게 함으로써, 배선이나 전극 간에 발생하는 용량을 저감하고, 동작의 고속화를 도모할 수 있기 때문이다. 본 실시 형태에서는, 절연층(150)의 단층 구조로 하고 있지만, 개시하는 발명의 실시 형태는 이것에 한정되지 않는다는 점에 주목한다. 절연층(150)은 2층 이상의 적층 구조로 할 수 있다.
- [0334] 그 다음에, 게이트 절연층(146), 절연층(150)에, 소스 전극(142a)에까지 도달하는 개구를 형성한다. 그 후, 절연층(150) 위에 소스 전극(142a)과 접하는 배선(154)을 형성한다(도 22의 (b) 참조). 당해 개구의 형성은 마스크 등을 이용한 선택적인 에칭에 의해 행해진다.
- [0335] 배선(154)은 PVD법이나 CVD법을 이용해서 도전층을 형성한 후, 당해 도전층을 패터닝하는 것에 의해 형성된다. 도전층의 재료로서는, 알루미늄, 크롬, 구리, 탄탈, 티탄, 몰리브덴, 텅스텐으로부터 선택된 원소나, 상술한 원소를 성분으로 하는 합금 등을 이용할 수 있다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨, 네오디뮴, 스칸듐 중 어느 하나, 또는 이들을 복수 조합한 재료를 이용할 수 있다.
- [0336] 구체적으로는, 예를 들어, 절연층(150)의 개구를 포함하는 영역에 PVD법에 의해 티탄막을 얇게(5nm 정도) 형성한 후에, 개구에 매립하도록 알루미늄 막을 형성하는 방법을 적용할 수 있다. 여기서, PVD법에 의해 형성되는 티탄막은, 피 형성면의 산화막(자연 산화막 등)을 환원하고, 하부 전극 등(여기에서는, 소스 전극(142a))과의 접촉 저항을 저감시키는 기능을 갖는다. 또한, 알루미늄 막의 힐록을 방지할 수 있다. 티탄이나 질화 티탄 등에 의한 배리어막을 형성한 후에, 도금법에 의해 구리막을 형성할 수 있다.
- [0337] 절연층(150)에 형성하는 개구는 도전층(128b)과 중첩하는 영역에 형성하는 것이 바람직하다. 이러한 영역에 개구를 형성함으로써, 콘택트 영역에 기인하는 소자 면적의 증대를 억제할 수 있다.
- [0338] 여기서, 도전층(128b)을 이용하지 않고, 불순물 영역(126)과 소스 전극(142a)의 접촉과, 소스 전극(142a)과 배선(154)과의 접촉을 서로 중첩시키는 경우에 대해서 설명한다. 이 경우, 불순물 영역(126) 위에 형성된 절연층(136), 절연층(138) 및 절연층(140)에 개구(하부의 콘택트라고도 한다)를 형성하고, 하부의 콘택트에 소스 전극(142a)을 형성한다. 그 후, 게이트 절연층(146) 및 절연층(150)에서, 하부의 콘택트와 중첩하는 영역에 개구(상부의 콘택트라고도 한다)를 형성하고, 배선(154)을 형성하게 된다. 하부의 콘택트와 중첩하는 영역에 상부의 콘택트를 형성할 때에, 에칭에 의해 하부의 콘택트에 형성된 소스 전극(142a)이 단선되어 버릴 우려가 있다. 단선을 피하기 위해, 하부의 콘택트와 상부의 콘택트가 중첩하지 않도록 형성하여, 소자 면적이 증대한다는 문제가 발생한다.

- [0339] 본 실시 형태에서 설명한 바와 같이, 도전층(128b)을 이용함으로써, 소스 전극(142a)을 단선시키지 않고 상부의 콘택트의 형성이 가능하게 된다. 이에 의해, 하부의 콘택트와 상부의 콘택트를 중첩시켜서 설치할 수 있기 때문에, 콘택트 영역에 기인하는 소자 면적의 증대를 억제할 수 있다. 즉, 반도체 장치의 집적도를 높일 수 있다.
- [0340] 그 다음에, 배선(154)을 덮도록 절연층(156)을 형성한다(도 22의 (c) 참조).
- [0341] 이상의 공정에 의해, 고순도화된 산화물 반도체층(144)을 이용한 트랜지스터(162) 및 용량 소자(164)가 완성된다(도 22의 (c) 참조).
- [0342] 그 다음에, 도 17a 및 17b에 도시하는 트랜지스터(162)로서 적용할 수 있는 트랜지스터의 예에 대해 설명한다.
- [0343] 산화물 반도체층(144)과 소스 전극(142a) 사이와 산화물 반도체층(144)과 드레인 전극(142b) 사이에, 소스 영역 및 드레인 영역으로서 기능하는 산화물 도전층을 버퍼층으로서 설치할 수 있다. 산화물 도전층이 설치된 트랜지스터(162)의 구조를 각각 갖는 트랜지스터(441, 442)를 도 26a 및 26b에 도시한다. 절연층(400)은 절연층(136), 절연층(138), 절연층(140) 등에 상당한다는 점에 주목한다.
- [0344] 도 26a 및 26b의 트랜지스터(441, 442) 각각에는, 산화물 반도체층(144)과 소스 전극(142a) 사이와 산화물 반도체층(144)과 드레인 전극(142b) 사이에 소스 영역 및 드레인 영역으로서 기능하는 산화물 도전층(404a, 404b)이 형성되어 있다. 도 26a 및 26b의 트랜지스터(441, 442)는 제작 공정의 차이로 인해 산화물 도전층(404a, 404b)의 형상이 다른 예이다.
- [0345] 도 26a의 트랜지스터(441)에서는, 산화물 반도체막과 산화물 도전막의 적층을 형성하고, 이 적층을 같은 포토리소그래피 공정에 의해 형상을 가공해서 섬 형상의 산화물 반도체층(144)과 섬 형상의 산화물 도전막을 형성한다. 산화물 반도체층 및 산화물 도전막 위에 소스 전극(142a), 드레인 전극(142b)을 형성한다. 그 후, 소스 전극(142a), 드레인 전극(142b)을 마스크로 하여, 섬 형상의 산화물 도전막을 에칭하고, 소스 영역 및 드레인 영역으로 되는 산화물 도전층(404a, 404b)을 형성한다.
- [0346] 도 26b의 트랜지스터(442)에서는, 산화물 반도체층(144) 위에 산화물 도전막을 형성하고, 그 위에 금속 도전막을 형성한다. 다음에, 산화물 도전막 및 금속 도전막을 같은 포토리소그래피 공정에 의해 가공하고, 소스 영역 및 드레인 영역으로 되는 산화물 도전층(404a, 404b), 소스 전극(142a), 드레인 전극(142b)을 형성한다.
- [0347] 산화물 도전층의 형상을 가공하기 위한 에칭 처리 시, 산화물 반도체층이 지나치게 에칭되지 않도록, 에칭 조건(에칭 재료의 종류, 농도, 에칭 시간 등)을 적절히 조정한다는 점에 주목한다.
- [0348] 산화물 도전층(404a, 404b)의 성막 방법은, 스퍼터링법이나 진공 증착법(전자 빔 증착법 등)이나, 아크(arc) 방전 이온 플레이팅법이나, 스프레이(spray)법을 이용한다. 산화물 도전층의 재료로서는, 산화 아연, 산화 아연 알루미늄, 산화 질화 아연 알루미늄, 산화 아연 갈륨, 산화 규소를 포함하는 인듐 주석 산화물 등을 적용할 수 있다. 또한, 상기 재료에 산화 규소를 포함시킬 수 있다.
- [0349] 소스 영역 및 드레인 영역으로서, 산화물 도전층을 산화물 반도체층(144)과 소스 전극(142a) 사이와 산화물 반도체층(144)과 드레인 전극(142b) 사이에 설치함으로써, 소스 영역 및 드레인 영역의 저저항화를 도모할 수 있고, 트랜지스터(441, 442)가 고속 동작을 할 수 있다.
- [0350] 산화물 반도체층(144), 산화물 도전층(404a, 404b), 소스 전극(142a), 드레인 전극(142b)의 구성으로 함으로써, 트랜지스터(441, 442)의 내압을 향상시킬 수 있다.
- [0351] 그 다음에, 도 17a 및 17b에 도시하는 트랜지스터(162)의 구조로 한 톱 게이트 구조를 도시했지만, 본 발명의 실시 형태는, 이것에 한정되지 않고, 보텀 게이트 구조로 할 수 있다. 도 28a 내지 28c에 보텀 게이트 구조의 예를 도시한다.
- [0352] 도 28a에 도시하는 트랜지스터(410)는, 게이트 전극(401) 위에 게이트 절연층(402)이 설치되고, 게이트 절연층(402) 위에 산화물 반도체층(403)이 설치되고, 산화물 반도체층(403)과 접속되는 소스 전극(405a), 드레인 전극(405b)이 설치되어 있다. 게이트 전극(401)과, 산화물 반도체층(403)과, 게이트 절연층(402)과, 소스 전극(405a)과, 드레인 전극(405b)은, 각각 도 17a 및 17b에 도시하는 게이트 전극(148a)과, 산화물 반도체층(144)과, 게이트 절연층(146)과, 소스 전극(142a)과, 드레인 전극(142b)에 상당한다는 점에 주목한다.
- [0353] 도 28b에 도시하는 트랜지스터(420)는 게이트 전극(401)과, 게이트 절연층(402)과, 산화물 반도체층(403)과, 소스 전극(405a)과, 드레인 전극(405b)이 설치되어 있는 점에서 도 28a와 마찬가지로이다. 도 28b의 트랜지스터

(420)가 도 28a의 트랜지스터(410)와 상이한 점은 산화물 반도체층(403)에 접해서 절연층(427)이 설치되어 있다는 점에 있다.

[0354] 도 28c에 도시하는 트랜지스터(430)는, 게이트 전극(401)과, 게이트 절연층(402)과, 산화물 반도체층(403)과, 소스 전극(405a)과, 드레인 전극(405b)이 설치되어 있는 점에서 도 28a의 트랜지스터와 마찬가지로이다. 도 28c의 트랜지스터(430)가 도 28a의 트랜지스터(410)와 상이한 점은 산화물 반도체층(403)에 접하는 소스 전극(405a)와 드레인 전극(405b)의 위치이다. 즉, 도 28a에 도시하는 트랜지스터(410)에서는 산화물 반도체층(403) 위에서 접하는 소스 전극(405a)와 드레인 전극(405b)이 제공되는 반면, 도 28c에서는 산화물 반도체층(403) 아래에서 접하는 소스 전극(405a)과 드레인 전극(405b)이 제공된다.

[0355] 본 실시 형태에서 설명하는 트랜지스터(162)에서는 산화물 반도체층(144)이 고순도화되어 있기 때문에, 그 수소 농도는,  $5 \times 10^{19}$  원자/cm<sup>3</sup> 이하, 바람직하게는  $5 \times 10^{18}$  원자/cm<sup>3</sup> 이하, 보다 바람직하게는  $5 \times 10^{17}$  원자/cm<sup>3</sup> 이하이다. 또한, 산화물 반도체층(144)에서는 수소나 물 등이 저감되어, 산소 결손이 저감됨으로써, 산화물 반도체층(144)의 캐리어 밀도가 일반적인 실리콘 웨이퍼에서의 캐리어 밀도( $1 \times 10^{14}$ /cm<sup>3</sup> 정도)와 비교하여, 충분히 작은 값(예를 들어,  $1 \times 10^{12}$ /cm<sup>3</sup> 미만, 보다 바람직하게는,  $1.45 \times 10^{10}$ /cm<sup>3</sup> 미만)을 취한다. 그리고, 트랜지스터(162)의 오프 전류도 충분히 작아진다. 예를 들어, 실온(25℃)에서의 오프 전류(여기에서는, 단위 채널 폭(1μm)당 값)은 100zA(1zA(zeptoampere)는  $1 \times 10^{-21}$ A) 이하, 바람직하게는 10zA 이하가 된다.

[0356] 이렇게 고순도화된 산화물 반도체층(144)을 이용함으로써, 트랜지스터의 오프 전류를 충분히 저감하는 것이 이해된다. 그리고, 이러한 트랜지스터를 이용함으로써, 지극히 장기에 걸쳐 기억 내용을 유지하는 것이 가능한 반도체 장치가 얻어질 수 있다.

[0357] 본 실시 형태에서 도시하는 구성, 방법 등은 다른 실시 형태에서 도시하는 구성, 방법 등과 적절히 조합해서 이용할 수 있다.

[0358] (실시 형태 3)

[0359] 상기 실시 형태에서 트랜지스터의 반도체층에 이용할 수 있는 산화물 반도체층의 실시 형태를 도 27a 내지 27c를 이용하여 설명한다.

[0360] 본 실시 형태의 산화물 반도체층은 제1 결정성 산화물 반도체층 위에 제1 결정성 산화물 반도체층보다 두꺼운 제2 결정성 산화물 반도체층을 포함하는 적층 구조이다.

[0361] 절연층(400) 위에 절연층(437)을 형성한다. 본 실시 형태에서는, 절연층(437)으로서, PCVD법 또는 스퍼터링법을 이용하여, 50nm 이상 600nm 이하의 막 두께의 산화물 절연층을 형성한다. 예를 들어, 산화 실리콘막, 산화 갈륨막, 산화 알루미늄막, 산화 질화 실리콘막, 산화 질화 알루미늄막, 또는 질화 산화 실리콘막으로부터 선택된 일층 또는 이것들의 적층을 이용할 수 있다. 절연층(400)은 절연층(136), 절연층(138), 절연층(140) 등에 상당한다는 점에 주목한다.

[0362] 그 다음에, 절연층(437) 위에 막 두께 1nm 이상 10nm 이하의 제1 산화물 반도체막을 형성한다. 제1 산화물 반도체막의 형성은 스퍼터링법을 이용하고, 그 스퍼터링법에 의한 성막 시에서의 기판 온도는 200℃ 이상 400℃ 이하로 한다.

[0363] 본 실시 형태에서는, 산화물 반도체용 타겟(In-Ga-Zn-O계 산화물 반도체용 타겟(In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO=1:1:2 [몰수비])을 이용하여, 기판과 타겟 사이의 거리를 170mm, 기판 온도 250℃, 압력 0.4Pa, 직류(DC) 전원 0.5kW, 산소 분위기, 아르곤분위기, 또는 아르곤 및 산소 분위기하에서 막 두께 5nm의 제1 산화물 반도체막을 성막한다.

[0364] 이어서, 기판을 배치하는 챔버 분위기를 질소, 또는 건조 공기로 해서 제1 가열 처리를 행한다. 제1 가열 처리의 온도는 400℃ 이상 750℃ 이하로 한다. 제1 가열 처리에 의해 제1 결정성 산화물 반도체층(450a)을 형성한다(도 27a 참조).

[0365] 제1 가열 처리의 온도 또는 성막 시에서의 기판 온도에 따라, 제1 가열 처리에 의해 막 표면으로부터 결정화가 일어나고, 막의 표면으로부터 내부를 향해서 결정 성장하여, c축 배향한 결정이 얻어진다. 제1 가열 처리에 의해, 아연과 산소가 막 표면에 많이 모인, 상부 면이 6각형을 이루는 아연과 산소를 포함하는 그라펜 타입의 이차원 결정이 최외측 표면에 1층 또는 복수층 형성되고, 이 층(들이 막 두께 방향으로 성장해서 겹쳐 적층이 된다. 가열 처리의 온도를 올리면, 표면으로부터 내부, 그리고 내부로부터 저부로 결정 성장이 진행된다.

- [0366] 제1 가열 처리에 의해, 산화물 절연층인 절연층(437) 중의 산소를 절연층(437)과 제1 결정성 산화물 반도체층(450a) 간의 계면 또는 그 근방(계면으로부터 ±5nm)에 확산시켜서, 제1 결정성 산화물 반도체층의 산소 결손을 저감한다. 따라서, 하지 절연층으로서 이용되는 절연층(437) 내(벌크 중)에 또는 제1 결정성 산화물 반도체층(450a)과 절연층(437) 간의 계면 중에는 적어도 화학양론비를 초과하는 양의 산소가 존재하는 것이 바람직하다.
- [0367] 이어서, 제1 결정성 산화물 반도체층(450a) 위에 10nm보다 두꺼운 제2 산화물 반도체막을 형성한다. 제2 산화물 반도체막의 형성은 스퍼터링법을 이용하고, 그 성막 시에서의 기판 온도는 200℃ 이상 400℃ 이하로 한다. 성막 시에서의 기판 온도를 200℃ 이상 400℃ 이하로 함으로써, 제1 결정성 산화물 반도체층의 표면에 접해서 성막하는 산화물 반도체층에 프리커저의 정렬이 일어나고, 소위, 질서성을 갖게 할 수 있다.
- [0368] 본 실시 형태에서는, 산화물 반도체용 타겟(In-Ga-Zn-O계 산화물 반도체용 타겟(In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO=1:1:2 [몰수비])을 이용하여, 기판과 타겟 사이의 거리를 170mm, 기판 온도 400℃, 압력 0.4Pa, 직류(DC) 전원 0.5kW, 산소 분위기, 아르곤분위기, 또는 아르곤 및 산소 분위기하에서 막 두께 25nm의 제2 산화물 반도체막을 성막한다.
- [0369] 이어서, 기판을 배치하는 챔버 분위기를 질소 분위기 하, 산소 분위기 하, 혹은 질소와 산소의 혼합 분위기하에서 제2 가열 처리를 행한다. 제2 가열 처리의 온도는 400℃ 이상 750℃ 이하로 한다. 제2 가열 처리에 의해 제2 결정성 산화물 반도체층(450b)을 형성한다(도 27b 참조). 제2 가열 처리는 질소 분위기 하, 산소 분위기 하, 혹은 질소와 산소의 혼합 분위기 하에서 행함으로써, 제2 결정성 산화물 반도체층의 고밀도화 및 결합수의 감소를 도모한다. 제2 가열 처리에 의해, 제1 결정성 산화물 반도체층(450a)을 핵으로서 막 두께 방향, 즉 저부로부터 내부로 결정 성장이 진행해서 제2 결정성 산화물 반도체층(450b)이 형성된다.
- [0370] 절연층(437)의 형성으로부터 제2 가열 처리까지의 공정을 대기에 노출시키지 않고 연속적으로 행하는 것이 바람직하다. 절연층(437)의 형성으로부터 제2 가열 처리까지의 공정은 수소 및 수분을 거의 포함하지 않는 분위기(불활성 분위기, 감압 분위기, 건조 공기 분위기 등) 하에서 제어하는 것이 바람직하고, 예를 들어, 수분에 대해서는 노점 -40℃ 이하, 바람직하게는 노점 -50℃ 이하의 건조 질소 분위기로 한다.
- [0371] 이어서, 제1 결정성 산화물 반도체층(450a)과 제2 결정성 산화물 반도체층(450b)으로 이루어지는 산화물 반도체 적층을 가공해서 섬 형상의 산화물 반도체 적층을 포함하는 산화물 반도체층(453)을 형성한다(도 27c 참조). 도면에서는, 제1 결정성 산화물 반도체층(450a)과 제2 결정성 산화물 반도체층(450b)의 계면을 점선으로 나타내고, 제1 결정성 산화물 반도체층(450a)과 제2 결정성 산화물 반도체층(450b)을 산화물 반도체층들의 적층체로 도시하고 있으나, 명확한 계면이 존재하고 있는 것은 아니고, 어디까지나 알기 쉽게 설명하기 위해서 도시하고 있다.
- [0372] 산화물 반도체 적층의 가공은 원하는 형상의 마스크를 산화물 반도체 적층 위에 형성한 후, 당해 산화물 반도체 적층을 에칭함으로써 행할 수 있다. 상술한 마스크는 포토리소그래피 등의 방법으로 형성할 수 있다. 또한, 상술한 마스크는 잉크젯법 등의 방법으로 형성할 수 있다.
- [0373] 산화물 반도체 적층의 에칭은, 드라이 에칭 또는 웨트 에칭이 가능하다. 물론, 이것들을 조합해서 이용해도 된다.
- [0374] 상기 제작 방법에 의해 얻어지는 제1 결정성 산화물 반도체층 및 제2 결정성 산화물 반도체층은 c축 배향을 갖고 있는 것을 특징으로 하고 있다. 제1 결정성 산화물 반도체층 및 제2 결정성 산화물 반도체층은 단결정 구조도 아니고 비정질 구조도 아닌 구조이며, c축 배향을 갖은 결정(C-Axis Aligned Crystal: CAAC라고도 한다)을 포함하는 산화물을 포함한다는 점에 주목한다. 제1 결정성 산화물 반도체층 및 제2 결정성 산화물 반도체층은 일부에 결정립 경계를 포함한다.
- [0375] 제1 결정성 산화물 반도체층 및 제2 결정성 산화물 반도체층은 사원계 금속의 산화물인 In-Sn-Ga-Zn-O계의 재료나, 삼원계 금속의 산화물인 In-Ga-Zn-O계의 재료(IGZO라고도 표기한다), In-Sn-Zn-O계의 재료(ITZO라고도 표기한다), In-Al-Zn-O계의 재료, Sn-Ga-Zn-O계의 재료, Al-Ga-Zn-O계의 재료, Sn-Al-Zn-O계의 재료나, In-Hf-Zn-O계의 재료, In-La-Zn-O계의 재료, In-Ce-Zn-O계의 재료, In-Pr-Zn-O계의 재료, In-Nd-Zn-O계의 재료, In-Sm-Zn-O계의 재료, In-Eu-Zn-O계의 재료, In-Gd-Zn-O계의 재료, In-Tb-Zn-O계의 재료, In-Dy-Zn-O계의 재료, In-Ho-Zn-O계의 재료, In-Er-Zn-O계의 재료, In-Tm-Zn-O계의 재료, In-Yb-Zn-O계의 재료, In-Lu-Zn-O계의 재료나, 이원계 금속의 산화물인 In-Zn-O계의 재료, Sn-Zn-O계의 재료, Al-Zn-O계의 재료, Zn-Mg-O계의 재료, Sn-Mg-O계의 재료, In-Mg-O계의 재료나, In-Ga-O계의 재료, 일원계 금속의 산화물인 In-O계의 재료, Sn-O계의 재료, Zn-O계의 재료 등이 있다는 점에 주목한다. 또한, 상기의 재료에 SiO<sub>2</sub>을 포함시킬 수 있다. 여기서, 예를 들

어, In-Ga-Zn-O계의 재료는 인듐(In), 갈륨(Ga), 아연(Zn)을 포함하는 산화물막을 의미하며, 그 조성비는 특히 제한되지 않는다. 또한, In-Ga-Zn-O계의 재료는 In과 Ga와 Zn 이외의 원소를 포함할 수 있다.

- [0376] 제1 결정성 산화물 반도체층 위에 제2 결정성 산화물 반도체층을 형성하는 2층 구조에 한정되지 않고, 제2 결정성 산화물 반도체층의 형성 후에 제3 결정성 산화물 반도체층을 형성하기 위한 성막과 가열 처리의 프로세스를 되풀이해서 행하고, 3층 이상의 적층 구조로 해도 된다.
- [0377] 상기 제작 방법으로 형성된 산화물 반도체 적층을 포함하는 산화물 반도체층(453)을 본 명세서에 개시하는 반도체 장치에 적용할 수 있는 트랜지스터(예를 들어, 실시 형태 1 및 2에서의 트랜지스터(162), 실시 형태 2에서의 트랜지스터(410), 트랜지스터(420), 트랜지스터(430), 트랜지스터(441), 트랜지스터(442))에 적절히 이용할 수 있다.
- [0378] 산화물 반도체층(403)으로서 본 실시 형태의 산화물 반도체 적층을 이용한 실시 형태 2에서의 트랜지스터(162)에서는, 산화물 반도체층의 한쪽 면으로부터 다른 쪽의 면에 전계가 인가되지 않고, 전류가 산화물 반도체 적층의 두께 방향(한쪽 면으로부터 다른 쪽의 면으로 흐르는 방향, 구체적으로 도 17a 및 17b에 도시하는 트랜지스터(162)에서는 상하 방향)에 흐르지 않는다. 전류는 주로 산화물 반도체 적층의 계면을 흐르는 트랜지스터 구조이기 때문에, 트랜지스터에 광 조사가 행해져도 또는 트랜지스터에 BT 스트레스가 부여되어도, 트랜지스터 특성의 열화가 억제되거나 저감된다.
- [0379] 산화물 반도체층(453)과 같이, 제1 결정성 산화물 반도체층과 제2 결정성 산화물 반도체층의 적층을 트랜지스터에 이용함으로써, 안정한 전기적 특성을 갖고, 또한, 신뢰성이 높은 트랜지스터를 실현할 수 있다.
- [0380] 본 실시 형태는 다른 실시 형태에 기재한 구성과 적절히 조합해서 실시하는 것이 가능하다.
- [0381] (실시 형태 4)
- [0382] 본 실시 형태에서는, ab면, 표면 또는 계면의 방향으로부터 보아 삼각 형상 또는 6각 형상의 원자 배열을 갖는 c축 배향 결정(CAAC:C-Axis Aligned Crystal라고도 한다)을 포함하는 산화물에 대해서 설명한다. 결정에서는, c축을 따라 금속 원자가 층 형상 또는 금속 원자와 산소 원자가 층 형상으로 배열하고 있고, ab면에서는 a축 또는 b축의 방향이 다르다(결정이 c축을 중심으로 회전한다).
- [0383] CAAC을 포함하는 산화물은, 광의로는, 비 단결정이며, 그 ab면에 수직한 방향으로부터 보아, 삼각형, 육각형, 정삼각형 또는 정육각형의 원자 배열을 갖고, 또한 c축 방향에 수직한 방향으로부터 보아, 금속 원자가 층 형상, 또는 금속 원자와 산소 원자가 층 형상으로 배열한 상을 포함하는 산화물을 의미한다.
- [0384] CAAC 산화물은 단결정은 아니지만, CAAC 산화물이 비정질 성분만으로 형성되어 있는 것을 의미하지 않는다. CAAC 산화물은 결정화한 부분(결정 부분)을 포함하지만, 1개의 결정 부분과 다른 결정 부분의 경계를 명확하게 판별할 수 없는 경우도 있다.
- [0385] CAAC에 산소가 포함될 경우, CAAC에 포함된 산소의 일부는 질소로 치환될 수 있다. CAAC 산화물에 포함된 개개의 결정 부분의 c축은 일정한 방향(예를 들어, CAAC 산화물을 지지하는 기판면, 또는 CAAC 산화물의 표면에 수직한 방향)에 배열될 수 있다. 또는, CAAC 산화물에 포함된 개개의 결정 부분의 ab면의 법선은 일정한 방향(예를 들어, CAAC 산화물을 지지하는 기판면 또는 CAAC 산화물의 표면에 수직한 방향)을 향할 수 있다.
- [0386] CAAC 산화물은 그 조성 등에 따라 도체이거나, 반도체이거나, 절연체이거나 한다. CAAC 산화물은 그 조성 등에 따라 가시광에 대하여 투명하거나 불투명하거나 한다.
- [0387] 이러한 CAAC의 예로서, 막 형상으로 형성되고, 막 표면 또는 지지하는 기판 면에 수직한 방향으로부터 관찰하면 삼각형 또는 육각형의 원자 배열을 갖고, 또한 그 막 단면을 관찰하면 금속 원자 또는 금속 원자 및 산소 원자(또는 질소 원자)의 층 형상 배열을 갖는 결정을 예를 들 수 있다.
- [0388] CAAC 산화물의 결정 구조의 일례에 대해서 도 29a 내지 29e, 도 30의 (a) 내지 (c), 및 도 31의 (a) 내지 (c)를 이용해서 상세히 설명한다. 다른 표시가 없는 한, 도 29a 내지 29e, 도 30의 (a) 내지 (c), 및 도 31의 (a) 내지 (c)는 상방향을 c축 방향으로 하고 c축 방향과 직교하는 면을 ab 면으로 한다. 단순히 "상반분" 및 "하반분"이라고 할 경우, (ab 면을 경계로 했을 경우) ab 면 위의 상반분 및 ab 면 아래의 하반분을 말한다. 또한, 도 29a 내지 29e에서, 원으로 둘러싸여진 0는 4배위의 0를 표시하고, 이중 원으로 둘러싸여진 0는 3배위의 0를 표시한다.
- [0389] 도 29a에 1개의 6배위의 In 원자와, In 원자에 근접한 6개의 4배위의 산소 원자(이하 4배위의 0)를 포함하는 구

조를 도시한다. 여기에서는, 금속 원자 1개와 근접한 산소 원자를 포함하는 구조를 소그룹이라 부른다. 도 29a의 구조는 실제로 팔면체 구조를 취하지만, 간단화를 위해 평면 구조로 도시하고 있다. 도 29a의 상반 및 하반으로는 각각 3개씩 4배위의 0 원자가 있다는 점에 주목한다. 도 29a에 도시하는 소그룹은 전하가 0이다.

[0390] 도 29b에 1개의 5배위의 Ga 원자와, Ga 원자에 근접한 3개의 3배위의 산소 원자(이하 3배위의 0)와, Ga 원자에 근접한 2개의 4배위의 0 원자를 포함하는 구조를 도시한다. 3배위의 0 원자는 어느 것이나 ab 면에 존재한다. 도 29b의 상반 및 하반으로는 각각 1개씩 4배위의 0 원자가 있다. In 원자도 5배위를 취하기 때문에 In 원자도 도 29b에 도시하는 구조를 취할 수 있다. 도 29b에 도시하는 소그룹은 전하가 0이다.

[0391] 도 29c에 1개의 4배위의 Zn 원자와 Zn 원자에 근접한 4개의 4배위의 0를 포함하는 구조를 도시한다. 도 29c의 상반으로는 1개의 4배위의 0 원자가 있고, 하반으로는 3개의 4배위의 0 원자가 있다. 또는, 도 29c의 상반으로 3개의 4배위의 0 원자가 있고, 하반으로 1개의 4배위의 0 원자가 있을 수 있다. 도 29c에 도시하는 소그룹은 전하가 0이다.

[0392] 도 29d에 1개의 6배위의 Sn 원자와 Sn 원자에 근접한 6개의 4배위의 0 원자를 포함하는 구조를 도시한다. 도 29d 상반으로는 3개의 4 배위의 0 원자가 있고, 하반으로는 3개의 4배위의 0 원자가 있다. 도 29d에 도시하는 소그룹은 전하가 +1로 된다.

[0393] 도 29e에 2개의 Zn 원자를 포함하는 소그룹을 도시한다. 도 29e 상반으로는 1개의 4배위의 0 원자가 있고, 하반으로는 1개의 4배위의 0 원자가 있다. 도 29e에 도시하는 소그룹은 전하가 -1로 된다.

[0394] 여기에서는, 복수의 소그룹의 집합체를 중그룹이라 부르고, 복수의 중그룹의 집합체를 대그룹(유닛 셀이라고도 한다)이라고 부른다.

[0395] 이제, 이것들의 소그룹끼리가 결합하는 규칙에 대해서 설명한다. 도 29a에 도시하는 6배위의 In 원자 상반의 3개의 0 원자는 하방향에 각각 3개의 근접한 In 원자를 갖고, 하반분의 3개의 0 원자는 상방향에 각각 3개의 근접한 In 원자를 갖는다. 5배위의 Ga 원자 상반의 1개의 0 원자는 하방향에 1개의 근접한 Ga 원자를 갖고, 하반분의 1개의 0 원자는 상방향에 1개의 근접한 Ga 원자를 갖는다. 4배위의 Zn 원자 상반의 1개의 0 원자는 하방향에 1개의 근접한 Zn 원자를 갖고, 하반분의 3개의 0는 상방향에 각각 3개의 근접한 Zn 원자를 갖는다. 이와 같이, 금속 원자의 상방향에서 근접하는 4배위의 0 원자의 수와 그 4배위의 0 원자의 하방향에 있는 근접 금속 원자의 수는 동등하다. 마찬가지로 금속 원자의 하방향에서 근접하는 4배위의 0 원자의 수와 그 4배위의 0 원자의 상방향에 있는 근접 금속 원자의 수는 동일하다. 소그룹끼리의 결합에 기여하는 0 원자는 4배위이므로, 0 원자의 하방향에 있는 근접 금속 원자의 수와 0 원자의 상방향에 있는 근접 금속 원자의 수의 합은 4가 된다. 따라서, 금속 원자의 상방향에 있는 4배위의 0 원자의 수와 다른 금속 원자의 하방향에 있는 4배위의 0 원자의 수의 합이 4개일 때, 금속 원자를 포함하는 이종의 소그룹끼리는 결합할 수 있다. 예를 들어, 6배위의 금속 원자(In 또는 Sn)가 하반분의 4배위의 0 원자를 통해서 결합할 경우, 5배위의 금속 원자(Ga 또는 In) 또는 4배위의 금속 원자(Zn)와 결합하게 된다.

[0396] 배위수가 4, 5, 또는 6인 금속 원자는, c축 방향으로 4배위의 0 원자를 통해 다른 금속 원자와 결합한다. 또한, 이외에도, 층 구조의 합계의 전하가 0이 되도록 복수의 소그룹이 결합해서 다른 방식으로 중그룹을 구성한다.

[0397] 도 30의 (a)에 In-Sn-Zn-0계의 층 구조에 포함되는 중그룹의 모델을 도시한다. 도 30의 (b)에 3개 중그룹을 포함하는 대그룹을 도시한다. 도 30의 (c)는 도 30의 (b)의 층 구조를 c축 방향으로부터 관찰했을 경우의 원자 배열을 도시한다는 점에 주목한다.

[0398] 도 30의 (a)에서는, 간단화를 위해, 3배위의 0 원자는 생략하고, 4배위의 0 원자는 원으로 표시하고 원 안의 수는 4배위의 0 원자의 수를 도시한다. 예를 들어, Sn 원자 상반 및 하반으로는 각각 3개씩 4배위의 0 원자가 있는 것을 원으로 된 3으로 표시하고 있다. 마찬가지로, 도 30의 (a)에서, In 원자 상반 및 하반으로는 각각 1개씩 4배위의 0 원자가 있고, 원으로 된 1로서 표시하고 있다. 또한, 마찬가지로, 도 30의 (a)에서, 하반으로는 1개의 4배위의 0 원자가 있고, 상반으로는 3개의 4배위의 0 원자가 있는 Zn 원자와, 상반으로는 1개의 4배위의 0 원자가 있고, 하반으로는 3개의 4배위의 0 원자가 있는 Zn 원자를 도시하고 있다.

[0399] 도 30의 (a)에서, In-Sn-Zn-0계의 층 구조를 구성하는 중그룹에서는, 위로부터 순서대로 4배위의 0 원자가 3개씩 상반 및 하반으로 있는 Sn 원자가, 4배위의 0 원자가 1개씩 상반 및 하반으로 있는 In 원자와 결합하고, 그 In 원자가 상반으로 3개의 4배위의 0 원자가 있는 Zn과 결합하고, 그 Zn 원자 하반의 1개의 4배위의 0 원자를 통해서 4배위의 0 원자가 3개씩 상반 및 하반으로 있는 In 원자와 결합하고, 그 In 원자가 상반으로 1개의 4배

위의 0 원자가 있는 Zn 원자 2개를 포함하는 소그룹과 결합하고, 이 소그룹 하반의 1개의 4배위의 0 원자를 통해서 4배위의 0 원자가 3개씩 상반 및 하반으로 있는 Sn 원자와 결합하고 있는 구성이다. 이 중그룹이 복수 결합해서 대그룹을 구성한다.

[0400] 여기서, 3배위의 0 원자 및 4배위의 0 원자의 경우, 결합 1개 당의 전하는 각각 -0.667 및 -0.5라 할 수 있다. 예를 들어, In 원자(6배위 또는 5배위), Zn 원자(4배위), Sn 원자(5배위 또는 6배위)의 전하는 각각 +3, +2, +4이다. 따라서, Sn 원자를 포함하는 소그룹은 전하가 +1로 된다. 그 때문에, Sn 원자를 포함하는 층 구조를 형성하기 위해서는, 전하 +1을 상쇄하는 전하 -1이 필요해진다. 전하 -1을 취하는 구조로서, 도 29e에 도시하는 것 같이, 2개의 Zn 원자를 포함하는 소그룹을 들 수 있다. 예를 들어, Sn 원자를 포함하는 소그룹 1개에 대하여, 2개의 Zn 원자를 포함하는 소그룹이 1개 있으면, 전하가 상쇄되기 위해서, 층 구조의 합계의 전하를 0으로 할 수 있다.

[0401] 도 30의 (b)에 도시한 대그룹이 반복될 때, In-Sn-Zn-O계의 결정(In<sub>2</sub>SnZn<sub>3</sub>O<sub>8</sub>)을 얻을 수 있다. 얻어지는 In-Sn-Zn-O계의 층 구조는 In<sub>2</sub>SnZn<sub>2</sub>O<sub>7</sub>(ZnO)<sub>m</sub>(m은 0 또는 자연수)로 하는 조성식으로 나타낼 수 있다는 점에 주목한다.

[0402] 또한, 이외에도, 사원계 금속의 산화물인 In-Sn-Ga-Zn-O계의 재료나, 삼원계 금속의 산화물인 In-Ga-Zn-O계의 재료(IGZO라고도 표기한다), In-Al-Zn-O계의 재료, Sn-Ga-Zn-O계의 재료, Al-Ga-Zn-O계의 재료, Sn-Al-Zn-O계의 재료나, In-Hf-Zn-O계의 재료, In-La-Zn-O계의 재료, In-Ce-Zn-O계의 재료, In-Pr-Zn-O계의 재료, In-Nd-Zn-O계의 재료, In-Sm-Zn-O계의 재료, In-Eu-Zn-O계의 재료, In-Gd-Zn-O계의 재료, In-Tb-Zn-O계의 재료, In-Dy-Zn-O계의 재료, In-Ho-Zn-O계의 재료, In-Er-Zn-O계의 재료, In-Tm-Zn-O계의 재료, In-Yb-Zn-O계의 재료, In-Lu-Zn-O계의 재료나, 이원계 금속의 산화물인 In-Zn-O계의 재료, Sn-Zn-O계의 재료, Al-Zn-O계의 재료, Zn-Mg-O계의 재료, Sn-Mg-O계의 재료, In-Mg-O계의 재료나, In-Ga-O계의 재료 등을 이용한 경우도 마찬가지이다.

[0403] 예를 들어, 도 31의 (a)에 In-Ga-Zn-O계의 층 구조를 구성하는 중그룹의 모델을 도시한다.

[0404] 도 31의 (a)에서, In-Ga-Zn-O계의 층 구조를 구성하는 중그룹에서는, 위로부터 순서대로 4배위의 0 원자가 3개씩 상반 및 하반으로 있는 In 원자가, 4배위의 0 원자가 1개 상반으로 있는 Zn 원자와 결합하고, 그 Zn 원자 하반의 3개의 4배위의 0 원자를 통하여, 4배위의 0 원자가 1개씩 상반 및 하반으로 있는 Ga 원자와 결합하고, 그 Ga 원자 하반의 1개의 4배위의 0 원자를 통하여, 4배위의 0 원자가 3개씩 상반 및 하반으로 있는 In 원자와 결합하고 있는 구성이다. 이 중그룹이 복수 결합해서 대그룹을 구성한다.

[0405] 도 31의 (b)에 3개의 중그룹을 포함하는 대그룹을 도시한다. 도 31의 (c)는 도 31의 (b)의 층 구조를 c축 방향으로부터 관찰했을 경우의 원자 배열을 도시하고 있다는 점에 주목한다.

[0406] 여기서, In 원자(6배위 또는 5배위), Zn 원자(4배위), Ga 원자(5배위)의 전하는 각각 +3, +2, +3이기 때문에, In, Zn 및 Ga 중 어느 하나를 포함하는 소그룹은 전하가 0이 된다. 그 때문에, 이것들의 소그룹의 조합이면 중그룹의 합계의 전하는 항상 0이 된다.

[0407] In-Ga-Zn-O계의 층 구조를 구성하는 중그룹은, 도 31의 (a)에 도시한 중그룹에 한정되지 않고, In 원자, Ga 원자, Zn 원자의 배열이 다른 중그룹을 조합한 대그룹도 취할 수 있다.

[0408] (실시 형태 5)

[0409] 본 실시 형태에서는, 트랜지스터의 전계 효과 이동도에 대해서 설명한다.

[0410] 산화물 반도체에 한하지 않고, 실제로 측정되는 절연 게이트형 트랜지스터의 전계 효과 이동도는, 여러가지 이유에 의해 본래의 이동도 보다도 낮아진다. 이동도를 저하시키는 요인으로서는 반도체 내부의 결함이나 반도체와 절연막 사이의 계면의 결함이 있다. Levinson 모델을 이용하면, 반도체 내부에 결함이 없다고 가정했을 경우의 전계 효과 이동도를 이론적으로 유도해 낼 수 있다.

[0411] 반도체 본래의 이동도를  $\mu_0$ , 측정되는 전계 효과 이동도를  $\mu$ 로 하고 반도체 중에 어떠한 포텐셜 장벽(입자 장애 등)이 존재한다고 가정하면, 측정되는 전계 효과 이동도는 이하의 식으로 표현할 수 있다.

수학식 2

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

[0412]

[0413] 여기서, E는 포텐셜 장벽의 높이이며, k는 볼츠만 상수, T는 절대 온도이다.

[0414] 포텐셜 장벽이 결함에 유래한다고 가정하면, Levinson 모델에서는, 포텐셜 장벽의 높이는 이하가 식으로 표현할 수 있다.

수학식 3

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

[0415]

[0416] 여기서, e는 기본 전하, N은 채널 내의 단위 면적당 평균 결함 밀도,  $\epsilon$ 은 반도체의 유전률, n은 단위 면적당 채널에 포함되는 캐리어수,  $C_{ox}$ 는 단위 면적당 용량,  $V_g$ 는 게이트 전압, t는 채널의 두께이다. 두께 30nm 이하의 반도체층이면, 채널의 두께는 반도체층의 두께와 동일하다고 간주할 수 있다. 선형 영역에서의 드레인 전류  $I_d$ 는 이하의 식으로 표현할 수 있다.

수학식 4

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

[0417]

[0418] 여기서, L은 채널 길이, W는 채널 폭이며,  $L=W=10\mu m$ 이다. 또한,  $V_d$ 는 드레인 전압이다. 상기 식의 양변을  $V_g$ 로 나누고, 또한 양변의 대수를 취하면 이하와 같이 된다.

수학식 5

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

[0419]

[0420] 수학식 5의 우변은  $V_g$ 의 함수다. 이 식으로부터 알 수 있는 바와 같이, 종축을  $\ln(I_d/V_g)$ , 횡축을  $1/V_g$ 으로 함으로써 실측값을 플롯해서 얻어지는 그래프의 직선의 기울기로부터 결함 밀도 N이 구해진다. 즉, 트랜지스터의  $I_d-V_g$  특성으로부터, 결함 밀도를 평가할 수 있다. 산화물 반도체로서는, 인듐(In), 주석(Sn), 아연(Zn)의 비율이, In:Sn:Zn=1:1:1의 것에서는 결함 밀도 N은  $1 \times 10^{12}/cm^2$  정도이다.

[0421] 이렇게 하여 구해진 결함 밀도 등을 기초로 하여, 수학식 2 및 수학식 3으로부터  $\mu_0=120cm^2/Vs$ 가 도출된다. 결함이 있는 In-Sn-Zn 산화물에서 측정되는 이동도는  $35cm^2/Vs$  정도이다. 그러나, 반도체 내부 및 반도체와 절연막 사이의 계면에 결함이 없다고 가정하면, 산화물 반도체의 이동도  $\mu_0$ 은  $120cm^2/Vs$ 로 예상할 수 있다.

[0422] 반도체 내부에 결함이 없어도, 채널과 게이트 절연층 사이의 계면에서의 산란에 의해 트랜지스터의 수송 특성은 영향을 받는다는 점에 주목한다. 즉, 게이트 절연층 계면으로부터 거리 x 만큼 떨어진 장소에서의 이동도

$\mu_1$ 은, 이하의 식으로 표현할 수 있다.

**수학식 6**

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$

[0423]

[0424]

여기서, D는 게이트 방향의 전계, B, G는 상수이다. B 및 G는 실제의 측정 결과로부터 구할 수 있고, 상기의 측정 결과로부터는,  $B=4.75 \times 10^7$  cm/s,  $G=10$ nm(계면 산란이 미치는 깊이)이다. D가 증가할 때(즉, 게이트 전압이 높아질 때), 수학식 6의 제2항이 증가하므로, 이동도  $\mu_1$ 은 저하된다.

[0425]

반도체 내부에 결함이 없는 이상적인 산화물 반도체를 채널에 이용한 트랜지스터의 이동도  $\mu_2$ 을 계산한 결과로도 32에 도시한다. 계산에는, 시놉시스(Synopsys)사제 디바이스 시뮬레이션 소프트웨어 Sentaurus Device를 사용하고, 산화물 반도체의 밴드 갭, 전자 친화력, 비유전률, 두께를 각각, 2.8eV, 4.7 eV, 15, 15nm로 했다. 이것들의 값은 스퍼터링법에 의해 형성된 박막을 측정해서 얻어진 것이다.

[0426]

또한, 게이트, 소스, 드레인의 일함수를 각각, 5.5eV, 4.6eV, 4.6eV로 했다. 게이트 절연층의 두께는 100nm, 비유전률은 4.1로 했다. 채널 길이 및 채널 폭은 각각 10 $\mu$ m, 드레인 전압  $V_d$ 는 0.1V로 했다.

[0427]

도 32에서 도시된 바와 같이, 게이트 전압이 1V 이상이면 이동도는 100cm<sup>2</sup>/Vs 이상의 피크를 갖지만, 게이트 전압이 더욱 높아지면, 계면 산란이 커지고, 이동도가 저하된다. 계면 산란을 저감하기 위해서는, 반도체층 표면을 원자 레벨에서 평탄하게 하는 것(atomic layer flatness)이 바람직하다는 점에 주목한다.

[0428]

이러한 이동도를 갖는 산화물 반도체를 이용해서 미세한 트랜지스터를 제작했을 경우의 특성을 계산한 결과로도 33a 내지 33c, 도 34a 내지 34c, 및 도 35a 내지 도 35c에 도시한다. 계산에 이용한 트랜지스터의 단면 구조를 도 36a 및 36b에 도시한다. 도 36a 및 36b에 도시하는 트랜지스터는 산화물 반도체층에 n<sup>+</sup>의 도전형을 나타내는 반도체 영역(1103a) 및 반도체 영역(1103c)을 포함한다. 반도체 영역(1103a) 및 반도체 영역(1103c)의 저항율은 2 $\times 10^{-3}$   $\Omega$ cm로 한다.

[0429]

도 36a에 도시하는 트랜지스터는 하지 절연층(1101)과, 하지 절연층(1101)에 매립되도록 형성된 산화 알루미늄으로 이루어지는 매립 절연체(1102) 위에 형성된다. 트랜지스터는 반도체 영역(1103a), 반도체 영역(1103c)과, 이들 사이에 끼워져, 채널 형성 영역으로 되는 진성의 반도체 영역(1103b)과, 게이트(1105)를 포함한다. 게이트(1105)의 폭을 33nm로 한다.

[0430]

게이트(1105)와 반도체 영역(1103b)의 사이에는, 게이트 절연층(1104)을 갖는다. 또한, 게이트(1105)의 양 측면에는 측벽 절연체(1106a) 및 측벽 절연체(1106b), 게이트(1105)의 상부에는, 게이트(1105)와 다른 배선과의 단락을 방지하기 위한 절연체(1107)를 갖는다. 측벽 절연체의 폭은 5nm로 한다. 반도체 영역(1103a) 및 반도체 영역(1103c)에 접하여, 소스(1108a) 및 드레인(1108b)을 각각 갖는다. 또한, 이 트랜지스터에서의 채널 폭을 40nm로 한다는 점에 주목한다.

[0431]

도 36b에 도시하는 트랜지스터는, 하지 절연층(1101)과, 산화 알루미늄으로 이루어지는 매립 절연체(1102) 위에 형성되고, 반도체 영역(1103a), 반도체 영역(1103c)과, 이들 사이에 끼워져 있는 진성의 반도체 영역(1103b), 폭 33nm의 게이트(1105), 게이트 절연층(1104), 측벽 절연체(1106a), 측벽 절연체(1106b), 절연체(1107), 소스(1108a), 및 드레인(1108b)을 갖는 점에서 도 36a에 도시하는 트랜지스터와 같다.

[0432]

도 36a에 도시하는 트랜지스터와 도 36b에 도시하는 트랜지스터의 상이점은, 측벽 절연체(1106a) 및 측벽 절연체(1106b) 아래의 반도체 영역의 도전형이다. 도 36a에 도시하는 트랜지스터에서는, 측벽 절연체(1106a) 및 측벽 절연체(1106b) 아래의 반도체 영역은 n<sup>+</sup>의 도전형을 나타내는 반도체 영역(1103a) 및 n<sup>+</sup>의 도전형을 나타내는 반도체 영역(1103c)이지만, 도 36b에 도시하는 트랜지스터에서는, 측벽 절연체(1106a) 및 측벽 절연체(1106b) 아래의 반도체 영역은 진성의 반도체 영역(1103b)이다. 즉, 도 36b에 도시하는 반도체층에서, 반도체 영역(1103a)(반도체 영역(1103c))과 게이트(1105)가 폭 L<sub>off</sub> 만 겹치지 않는 영역으로 되어 있다. 이 영역을 오프셋

영역이라고 하고, 그 폭  $L_{off}$ 를 오프셋 길이라고 한다. 도면으로부터 분명한 바와 같이, 오프셋 길이는 측벽 절연체(1106a)(측벽 절연체(1106b))의 폭과 같다.

- [0433] 그 밖의 계산에 사용하는 파라메타는 상술한 것과 같다. 계산에는 시놉시스(Synopsys)사제 디바이스 시뮬레이션 소프트웨어 Sentaurus Device를 사용했다. 도 33a 내지 33c는 도 36a에 도시되는 구조의 트랜지스터의 드레인 전류( $I_d$ , 실선) 및 이동도( $\mu$ , 점선)의 게이트 전압( $V_g$ , 게이트와 소스 간의 전위차) 의존성을 도시한다. 드레인 전류  $I_d$ 는 드레인 전압(드레인과 소스 간의 전위차)을 +1V로 하고 이동도  $\mu$ 은 드레인 전압을 +0.1V로 하여 계산한 것이다.
- [0434] 도 33a는 게이트 절연층의 두께를 15nm로 한 것이며, 도 33b는 게이트 절연층의 두께를 10nm로 한 것이며, 도 33c는 게이트 절연층의 두께를 5nm로 한 것이다. 게이트 절연층이 얇아지는 만큼, 특히 오프 상태에서의 드레인 전류  $I_d$ (오프 전류)가 현저하게 저하된다. 한편, 이동도  $\mu$ 의 피크값이나 온 상태에서의 드레인 전류  $I_d$ (온 전류)에는 눈에 띠는 변화가 없다. 게이트 전압 1V 전후에서, 드레인 전류는 메모리 소자 등에서 요구되는 10  $\mu$ A를 초과하는 것이 그래프에 도시되었다.
- [0435] 도 34a 내지 34c는 도 36b에 도시되는 구조의 트랜지스터에서, 오프셋 길이  $L_{off}$ 를 5nm로 했고 드레인 전류  $I_d$ (실선) 및 이동도  $\mu$ (점선)의 게이트 전압  $V_g$  의존성을 도시한다. 드레인 전류  $I_d$ 는 드레인 전압을 +1V로 하고 이동도  $\mu$ 은 드레인 전압을 +0.1V로 하여 계산한 것이다. 도 34a는 게이트 절연층의 두께를 15nm로 한 것이며, 도 34b는 게이트 절연층의 두께를 10nm로 한 것이며, 도 34c는 게이트 절연층의 두께를 5nm로 한 것이다.
- [0436] 또한, 도 35a 내지 35c는 도 36b에 도시되는 구조의 트랜지스터에서, 오프셋길이  $L_{off}$ 를 15nm로 했고 드레인 전류  $I_d$ (실선) 및 이동도  $\mu$ (점선)의 게이트 전압 의존성을 도시한다. 드레인 전류  $I_d$ 는 드레인 전압을 +1V라고 하고 이동도  $\mu$ 은 드레인 전압을 +0.1V로 하여 계산한 것이다. 도 35a는 게이트 절연층의 두께를 15nm로 한 것이며, 도 35b는 게이트 절연층의 두께를 10nm로 한 것이며, 도 35c는 게이트 절연층의 두께를 5nm로 한 것이다.
- [0437] 어느 구조에서나, 게이트 절연층이 얇아지는 만큼, 오프 전류가 현저하게 저하되는 한편, 이동도  $\mu$ 의 피크값이나 온 전류에는 눈에 띠는 변화가 없다.
- [0438] 이동도  $\mu$ 의 피크는, 도 33a 내지 33c에서는 80cm<sup>2</sup>/Vs 정도이지만, 도 34a 내지 34c에서는 60cm<sup>2</sup>/Vs 정도, 도 35a 내지 35c에서는 40cm<sup>2</sup>/Vs 정도이므로, 오프셋 길이  $L_{off}$ 가 증가하는 만큼 저하된다는 점에 주목한다. 또한, 오프 전류도 마찬가지로 경향이 있다. 한편, 온 전류도 오프셋 길이  $L_{off}$ 의 증가에 따라 감소하지만, 오프 전류의 저하에 비하면 훨씬 완만하다. 또한, 어느 구조에서나, 게이트 전압 1V 전후에서, 드레인 전류는 메모리 소자 등에서 요구되는 10  $\mu$ A를 초과하는 것이 그래프에 도시되었다.
- [0439] (실시 형태 6)
- [0440] 본 실시 형태에서는, 산화물 반도체로서 In, Sn, Zn을 주성분으로 하는 산화물 반도체를 이용한 트랜지스터에 대해서 설명한다.
- [0441] In, Sn, Zn을 주성분으로 하는 산화물 반도체를 채널 형성 영역으로 하는 트랜지스터는 상기 산화물 반도체를 형성할 때에 기판을 가열해서 성막하는 것, 혹은 산화물 반도체막을 형성한 후에 열처리를 행함으로써 양호한 특성을 얻을 수 있다. 주성분은 조성비로 5 원자% 이상 포함되는 원소를 말한다는 점에 주목한다.
- [0442] In, Sn, Zn을 주성분으로 하는 산화물 반도체막의 성막 후에 기판을 의도적으로 가열함으로써, 트랜지스터의 전계 효과 이동도를 향상시키는 것이 가능하게 된다. 또한, 트랜지스터의 임계값 전압을 플러스 시프트시켜, 노멀리 오프화시키는 것이 가능하게 된다.
- [0443] 예를 들어, 도 37a 내지 37c는 In, Sn, Zn을 주성분으로 하고, 채널 길이  $L$ 이 3  $\mu$ m, 채널 폭  $W$ 가 10  $\mu$ m인 산화물 반도체막과, 두께 100nm의 게이트 절연층을 이용한 트랜지스터의 특성을 도시한다.  $V_d$ 는 10V로 했다는 점에 주목한다.
- [0444] 도 37a는 기판을 의도적으로 가열하지 않고 스퍼터링법으로 In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 형성했을 때의 트랜지스터 특성을 도시한다. 이때 전계 효과 이동도의 피크는 18.8cm<sup>2</sup>/Vsec이 얻어진다. 한편, 기판을 의도적으로 가열해서 In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 형성하면 전계 효과 이동

도를 향상시키는 것이 가능하게 된다. 도 37b는 기판을 200℃에 가열해서 In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 형성했을 때의 트랜지스터 특성을 나타낸다. 전계 효과 이동도의 피크는  $32.2\text{cm}^2/\text{Vsec}$ 이 얻어진다.

[0445] 전계 효과 이동도는 In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 형성한 후에 열처리를 함으로써 더 높일 수 있다. 도 37c는 In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 200℃로 스퍼터링 성막한 후, 650℃로 열처리를 했을 때의 트랜지스터 특성을 나타낸다. 이때 전계 효과 이동도의 피크는  $34.5\text{cm}^2/\text{Vsec}$ 이 얻어진다.

[0446] 기판을 의도적으로 가열하는 것으로 스퍼터링 성막 중의 수분이 산화물 반도체막 중에 들어오는 것을 저감하는 효과를 기대할 수 있다. 또한, 성막 후에 열처리를 함으로써, 산화물 반도체막으로부터 수소나 수산기 혹은 수분을 방출시켜 제거할 수 있다. 상기한 바와 같이 전계 효과 이동도를 향상시킬 수 있다. 이러한 전계 효과 이동도의 향상은 탈수화 또는 탈수소화에 의한 불순물의 제거뿐만 아니라, 고밀도화에 의해 원자간 거리가 짧아지는 것으로 추정된다. 또한, 산화물 반도체로부터 불순물을 제거해서 고순도화하는 것으로 결정화를 도모할 수 있다. 이렇게 고순도화된 비 단결정 산화물 반도체는, 이상적으로는  $100\text{cm}^2/\text{Vsec}$ 을 초과하는 전계 효과 이동도의 피크를 실현할 것으로 예상된다.

[0447] In, Sn, Zn을 주성분으로 하는 산화물 반도체에 산소 이온을 주입하고, 열처리에 의해 상기 산화물 반도체에 포함되는 수소나 수산기 혹은 수분을 방출시키고, 그 열처리와 동시에 또는 그 후의 열처리에 의해 산화물 반도체를 결정화시켜도 된다. 이러한 결정화 혹은 재결정화의 처리에 의해 결정성이 좋은 비 단결정 산화물 반도체를 얻을 수 있다.

[0448] 기판을 의도적으로 가열해서 성막하는 것 및/또는 성막 후에 열처리하는 것의 효과는, 전계 효과 이동도의 향상뿐만 아니라, 트랜지스터의 노멀리 오프화를 도모하는 것에도 기여하고 있다. 기판을 의도적으로 가열하지 않고 형성된 In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 채널 형성 영역으로 한 트랜지스터에서는, 임계값 전압이 마이너스 시프트해 버리는 경향이 있다. 그러나, 기판을 의도적으로 가열해서 형성된 산화물 반도체막을 이용한 경우, 이 임계값 전압의 마이너스 시프트화는 해소된다. 즉, 임계값 전압은 트랜지스터가 노멀리 오프화되는 방향으로 시프트되고, 이러한 경향은 도 37a와 도 37b의 대비로부터 확인할 수 있다.

[0449] 임계값 전압은 In, Sn 및 Zn의 비율을 바꾸는 것에 의해서도 제어하는 것이 가능하며, 조성비로서 In:Sn:Zn=2:1:3로 함으로써 트랜지스터의 노멀리 오프화를 기대할 수 있다는 점에 주목한다. 또한, 타겟의 조성비를 In:Sn:Zn=2:1:3로 함으로써 결정성이 높은 산화물 반도체막을 얻을 수 있다.

[0450] 의도적인 기판 가열 온도 혹은 열처리 온도는, 150℃ 이상, 바람직하게는 200℃ 이상, 보다 바람직하게는 400℃ 이상이다. 고온에서 성막하고 혹은 열처리하는 것으로, 트랜지스터의 노멀리 오프화를 도모하는 것이 가능하게 된다.

[0451] 의도적으로 기판을 가열한 성막 중에 및/또는 성막 후에 열처리를 함으로써, 게이트 바이어스-스트레스에 대한 안정성을 높일 수 있다. 예를 들어, 2MV/cm, 150℃, 1시간의 조건에서, 임계값 전압의 드리프트가 각각  $\pm 1.5\text{V}$  미만, 바람직하게는  $\pm 1.0\text{V}$  미만일 수 있다.

[0452] 실제로, 산화물 반도체막 성막 후에 가열 처리를 행하지 않은 시료 1과, 650도의 가열 처리를 행한 시료 2의, 2개의 트랜지스터에 대하여 BT 시험을 행했다.

[0453] 우선, 기판 온도를 25℃로 하고  $V_{ds}$ 를 10V로 해서 트랜지스터의  $V_g-I_d$  특성의 측정을 행하였다.  $V_{ds}$ 는 드레인 전압(드레인과 소스의 전위차)을 나타낸다는 점에 주목한다. 그 다음에, 기판 온도를 150℃로 하고  $V_{ds}$ 를 0.1V로 했다. 그 다음에, 게이트 절연층에 인가되는 전계 강도가 2MV/cm이 되도록  $V_g$ 에 20V를 인가하고, 그대로 1시간 유지했다. 그 다음에,  $V_g$ 을 0V로 했다. 그 다음에, 기판 온도 25℃로 하고  $V_{ds}$ 를 10V로 하여 트랜지스터의  $V_g-I_d$  측정을 행하였다. 이 과정을 양의 BT 시험이라고 부른다.

[0454] 마찬가지로, 우선, 기판 온도를 25℃로 하고  $V_{ds}$ 를 10V로 하여 트랜지스터의  $V_g-I_d$  특성의 측정을 행하였다. 그 다음에, 기판 온도를 150℃로 하고  $V_{ds}$ 를 0.1V로 했다. 그 다음에, 게이트 절연층에 인가되는 전계 강도가 -2MV/cm이 되도록  $V_g$ 에 -20V를 인가하고, 그대로 1시간 유지했다. 그 다음에,  $V_g$ 을 0V로 했다. 그 다음에, 기판 온도 25℃로 하고  $V_{ds}$ 를 10V로 하여 트랜지스터의  $V_g-I_d$  측정을 행하였다. 이 과정을 음의 BT 시험이라고 부

른다.

- [0455] 시료 1의 양의 BT 시험의 결과를 도 38a에, 시료 1의 음의 BT 시험의 결과를 도 38b에 각각 도시한다. 또한, 시료 2의 양의 BT 시험의 결과를 도 39a에, 시료 2의 음의 BT 시험의 결과를 도 39b에 각각 도시한다.
- [0456] 시료 1의 양의 BT 시험 및 음의 BT 시험에 의한 임계값 전압의 변동은 각각 1.80V 및 -0.42V이었다. 시료 2의 양의 BT 시험 및 음의 BT 시험에 의한 임계값 전압의 변동은 각각 0.79V 및 0.76V이었다. 시료 1 및 시료 2의 어느 것이나, BT 시험 전후에서의 임계값 전압의 변동이 작고, 신뢰성이 높은 것을 알 수 있다.
- [0457] 열처리는 산소 분위기 중에서 행할 수 있지만, 우선 질소 혹은 불활성 가스, 또는 감압 하에서 열처리를 행한 다음 산소를 포함하는 분위기 중에서 열처리를 행하여도 된다. 이러한 조건에서 열처리를 행함으로써, 산화물 반도체막 중에 산소를 지나치게 포함시킬 수 있다. 최초로 탈수화 또는 탈수소화를 행하고 나서 산소를 산화물 반도체막에 가하는 것으로, 열처리의 효과를 더 높일 수 있다. 또한, 탈수화 또는 탈수소화 후에 산소를 가하기 위해서는, 산소 이온을 전계로 가속해서 산화물 반도체막에 주입하는 방법을 적용해도 된다. 따라서, 산화물 반도체막 중에 산소를 지나치게 포함시킬 수 있다.
- [0458] 산화물 반도체 중 또는 상기 산화물 반도체와 접하는 막과의 계면에는, 산소결손에 의한 결함이 생성되기 쉽지만, 이러한 열처리에 의해 산화물 반도체 중에 산소를 지나치게 포함시키는 것에 의해, 후에 생성되는 산소 결손을 지나친 산소에 의해 보상하는 것이 가능하게 된다. 과잉 산소는 주로 격자 간에 존재하는 산소이며, 그 산소 농도는  $1 \times 10^{16}/\text{cm}^3$  이상  $2 \times 10^{20}/\text{cm}^3$  이하로 하면, 결정 왜곡 등을 부여하지 않고 산화물 반도체 중에 포함시킬 수 있다.
- [0459] 열처리에 의해 산화물 반도체에 결정이 적어도 일부에 포함되도록 하는 것으로, 보다 안정된 산화물 반도체막을 얻을 수 있다. 예를 들어, 조성비 In:Sn:Zn=1:1:1의 타겟을 이용하여, 기판을 의도적으로 가열하지 않고 스퍼터링 성막한 산화물 반도체막은, X선 회절(XRD:X-Ray Diffraction)로 할로(halo) 패턴이 관측된다. 이 성막된 산화물 반도체막을 열처리함으로써 결정화시킬 수 있다. 열처리 온도는 임의적이지만, 예를 들어 650°C의 열처리를 행함으로써, X선 회절에 의해 명확한 회절 피크를 관측할 수 있다.
- [0460] 실제로, In-Sn-Zn-O막의 XRD 분석을 했다. XRD 분석에는, Bruker AXS사제 X선 회절 장치 D8 ADVANCE를 이용하고, 면외(out-of-plane)법으로 측정했다.
- [0461] XRD 분석을 하기 위한 시료로 시료 A 및 시료 B를 준비했다. 이하 시료 A 및 시료 B의 제작 방법을 설명한다.
- [0462] 탈수소화 처리 완료된 석영 기판 위에 In-Sn-Zn-O막을 100nm의 두께로 성막했다.
- [0463] In-Sn-Zn-O막은 스퍼터링 장치를 이용하고, 산소 분위기에서 전력을 100W(DC)로 하여 성막했다. 타겟은 원자수 비로, In:Sn:Zn=1:1:1의 In-Sn-Zn-O 타겟을 이용했다. 또한, 성막 시의 기판 가열 온도는 200°C로 했다. 이렇게 하여 제작한 시료를 시료 A로 했다.
- [0464] 그 다음에, 시료 A와 마찬가지로 방법으로 제작한 시료에 대하여 가열 처리를 650°C의 온도에서 행하였다. 가열 처리는, 처음에 질소 분위기에서 1시간의 가열 처리를 행하고, 온도를 내리지 않고 산소 분위기에서 1시간의 가열 처리를 더 행하였다. 이렇게 하여 제작한 시료를 시료 B로 했다.
- [0465] 도 42에 시료 A 및 시료 B의 XRD 스펙트럼을 도시한다. 시료 A에서는, 결정으로부터 유래된 피크가 관측되지 않았지만, 시료 B에서는, 2 $\theta$ 이 35deg. 근방 및 37deg. 내지 38deg.일 때 결정으로부터 유래된 피크가 관측되었다.
- [0466] 이와 같이, In, Sn, Zn을 주성분으로 하는 산화물 반도체는 성막 시에 의도적으로 가열함으로써 및/또는 성막 후에 열처리함으로써 트랜지스터의 특성을 향상시킬 수 있다.
- [0467] 이 기판 가열이나 열처리는, 산화물 반도체에서 바람직하지 않은 불순물인 수소나 수산기를 막 내에 포함시키지 않도록 하는 것, 혹은 막 내로부터 제거하는 작용을 갖는다. 즉, 산화물 반도체 중으로 도너 불순물이 되는 수소를 제거함으로써 고순도화를 도모할 수 있고, 그것에 의해서 트랜지스터의 노멀리 오프화를 도모할 수 있다. 산화물 반도체가 고순도화 됨으로써 오프 전류를 1aA/ $\mu\text{m}$  이하로 할 수 있다. 여기서, 상기 오프 전류값의 단위는 채널 폭 1 $\mu\text{m}$ 당의 전류값을 나타내기 위해 이용된다.
- [0468] 도 43에 트랜지스터의 오프 전류와 측정시의 기판 온도(절대 온도)의 역수와의 관계를 나타낸다. 여기에서는, 간단화를 위해 측정시의 기판 온도의 역수에 1000을 곱한 수치 (1000/T)을 횡축으로 한다.

- [0469] 구체적으로는, 도 43에 도시하는 것 같이, 기판 온도가 125℃의 경우에는 오프 전류를  $1\text{zA}/\mu\text{m}(1 \times 10^{-18}\text{A}/\mu\text{m})$  이하, 85℃의 경우에는  $100\text{zA}/\mu\text{m}(1 \times 10^{-19}\text{A}/\mu\text{m})$  이하, 실온 27℃의 경우에는  $1\text{zA}/\mu\text{m}(1 \times 10^{-21}\text{A}/\mu\text{m})$  이하로 할 수 있다. 바람직하게는, 오프 전류를 125℃에서  $0.1\text{aA}/\mu\text{m}(1 \times 10^{-19}\text{A}/\mu\text{m})$  이하로, 85℃에서  $10\text{zA}/\mu\text{m}(1 \times 10^{-20}\text{A}/\mu\text{m})$  이하로, 실온에서  $0.1\text{zA}/\mu\text{m}(1 \times 10^{-22}\text{A}/\mu\text{m})$  이하로 할 수 있다.
- [0470] 산화물 반도체막의 성막 시에 수소나 수분이 막 내에 혼입하지 않도록, 성막 실 외부에서의 리크나 성막 실내의 내벽으로부터의 탈가스를 충분히 억제하고, 스퍼터 가스의 고순도화를 도모하는 것이 바람직하다는 점에 주목한다. 예를 들어, 스퍼터 가스는 수분이 막 내에 포함되지 않도록 노점 -70℃ 이하인 가스를 이용하는 것이 바람직하다. 또한, 타겟에 수소나 수분 등의 불순물이 포함되지 않도록, 고순도화된 타겟을 이용하는 것이 바람직하다. In, Sn, Zn을 주성분으로 하는 산화물 반도체에서는 열처리에 의해 막 내의 수분을 제거할 수 있으나, In, Ga, Zn을 주성분으로 하는 산화물 반도체와 비교해서 In, Sn, Zn을 주성분으로 하는 산화물 반도체로부터의 수분의 방출 온도가 높기 때문에, 바람직하게는 처음부터 수분이 포함되지 않는 막을 형성해 두는 것이 바람직하다.
- [0471] 또한, 산화물 반도체막 성막 후에 650℃의 가열 처리를 행한 시료 B를 이용한 트랜지스터에서, 기판 온도와 전기적 특성의 관계에 대해서 평가했다.
- [0472] 측정에 이용한 트랜지스터는, 채널 길이 L이 3 $\mu\text{m}$ , 채널 폭 W가 10 $\mu\text{m}$ , Lov가 0 $\mu\text{m}$ , dW가 0 $\mu\text{m}$ 이다.  $V_{ds}$ 는 10V로 했다는 점에 주목한다. 기판 온도는 -40℃, -25℃, 25℃, 75℃, 125℃ 및 150℃로 행하였다는 점에 주목한다. 여기서, 트랜지스터에서, 게이트 전극과 한 쌍의 전극 중 하나와 중첩하는 부분의 폭을 Lov라고 하고, 산화물 반도체막과 중첩하지 않는 한 쌍의 전극의 부분의 폭을 dW라고 한다.
- [0473] 도 40에  $I_d$ (실선) 및 전계 효과 이동도(점선)의  $V_g$  의존성을 도시한다. 도 41a에 기판 온도와 임계값 전압의 관계를 나타내고, 도 41b에 기판 온도와 전계 효과 이동도의 관계를 나타낸다.
- [0474] 도 41a로부터, 기판 온도가 높을수록 임계값 전압이 낮아지는 것을 알 수 이있다. 임계값 전압은 -40℃ 내지 150℃에서 1.09V 내지 -0.23V로 낮아졌다는 점에 주목한다.
- [0475] 도 41b로부터, 기판 온도가 높을수록 전계 효과 이동도가 낮아지는 것을 알 수 있다. 전계 효과 이동도는 -40℃ 내지 150℃에서  $36\text{cm}^2/\text{Vs}$  내지  $32\text{cm}^2/\text{Vs}$ 로 낮아졌다는 점에 주목한다. 따라서, 상술한 온도 범위에서 전기적 특성의 변동이 작은 것을 알 수 있다.
- [0476] 상기한 바와 같은 In, Sn, Zn을 주성분으로 하는 산화물 반도체를 채널 형성 영역으로 하는 트랜지스터에 의하면, 오프 전류를  $1\text{aA}/\mu\text{m}$  이하로 유지하면서, 전계 효과 이동도를  $30\text{cm}^2/\text{Vsec}$  이상, 바람직하게는  $40\text{cm}^2/\text{Vsec}$  이상, 보다 바람직하게는  $60\text{cm}^2/\text{Vsec}$  이상으로 해서 LSI에서 요구되는 온 전류의 값을 만족할 수 있다. 예를 들어,  $L/W=33\text{nm}/40\text{nm}$ 의 FET에서, 게이트 전압 2.7V, 드레인 전압 1.0V 일 때 12 $\mu\text{A}$  이상의 온 전류를 흘릴 수 있다. 또한, 트랜지스터의 동작에 요구되는 온도 범위에서도, 충분한 전기적 특성을 확보할 수 있다. 이러한 특성이면, Si 반도체를 이용하여 제작되는 집적 회로 중에 산화물 반도체를 포함하는 트랜지스터를 혼재해도, 동작 속도를 희생하지 않고서 신규한 기능을 갖는 집적 회로를 실현할 수 있다.
- [0477] 이하, In-Sn-Zn-O막을 산화물 반도체막에 이용한 트랜지스터의 일례에 대해서 설명한다.
- [0478] 도 44a 및 44b는 코플래너형인 톱 게이트 톱 콘택트 구조의 트랜지스터의 상면도 및 단면도이다. 도 44a에 트랜지스터의 상면도를 도시한다. 도 44b는 도 44a의 일점쇄선 A-B에 대응하는 단면 A-B을 도시한다.
- [0479] 도 44b에 도시하는 트랜지스터는 기판(1200)과, 기판(1200) 위에 설치된 하지 절연층(1202)과, 하지 절연층(1202)의 주변에 설치된 보호 절연막(1204)과, 하지 절연층(1202) 및 보호 절연막(1204) 위에 설치된 고저항 영역(1206a) 및 저저항 영역(1206b)을 포함하는 산화물 반도체막(1206)과, 산화물 반도체막(1206) 위에 설치된 게이트 절연층(1208)과, 게이트 절연층(1208)을 통해서 산화물 반도체막(1206)과 중첩해서 설치된 게이트 전극(1210)과, 게이트 전극(1210)의 측면과 접해서 설치된 측벽 절연막(1212)과, 적어도 저저항 영역(1206b)과 접해서 설치된 한 쌍의 전극(1214)과, 적어도 산화물 반도체막(1206), 게이트 전극(1210) 및 한 쌍의 전극(1214)을 덮도록 설치된 층간 절연막(1216)과, 층간 절연막(1216)에 설치된 개구부를 통해서 적어도 한 쌍의 전극(1214)의 한쪽과 접속해서 설치된 배선(1218)을 포함한다.

- [0480] 도시하지 않지만, 층간 절연막(1216) 및 배선(1218)을 덮도록 설치된 보호막을 설치할 수 있다. 상기 보호막을 설치함으로써, 층간 절연막(1216)의 표면 전도에 기인해서 발생하는 미소 리크 전류를 저감할 수 있고, 트랜지스터의 오프 전류를 저감할 수 있다.
- [0481] In-Sn-Zn-O막을 산화물 반도체막에 이용한 트랜지스터의 다른 일례에 대해서 이하 설명한다.
- [0482] 도 45a 및 45b는 트랜지스터의 구조를 도시하는 상면도 및 단면도이다. 도 45a는 트랜지스터의 상면도이다. 도 45b는 도 45a의 일점쇄선 A-B에 대응하는 단면도이다.
- [0483] 도 45b에 도시한 트랜지스터는 기판(1600)과, 기판(1600) 위에 설치된 하지 절연층(1602)과, 하지 절연층(1602) 위에 설치된 산화물 반도체막(1606)과, 산화물 반도체막(1606)과 접하는 한 쌍의 전극(1614)과, 산화물 반도체막(1606)과 한 쌍의 전극(1614) 위에 설치된 게이트 절연층(1608), 게이트 절연층(1608)을 끼우고 산화물 반도체막(1606)과 중첩하도록 설치된 게이트 전극(1610)과, 게이트 절연층(1608) 및 게이트 전극(1610)을 덮도록 설치된 층간 절연막(1616)과, 층간 절연막(1616)에 형성된 개구를 통해 한 쌍의 전극(1614)에 접속된 배선(1618)과, 층간 절연막(1616) 및 배선(1618)을 덮도록 설치된 보호막(1620)을 포함한다.
- [0484] 기판(1600)으로서는 글래스 기판을 이용할 수 있다. 하지 절연층(1602)으로서는 산화 실리콘막을 이용할 수 있다. 산화물 반도체막(1606)으로서는 In-Sn-Zn-O막을 이용할 수 있다. 한 쌍의 전극(1614)으로서는 텅스텐 막을 이용할 수 있다. 게이트 절연층(1608)으로서는 산화 실리콘막을 이용할 수 있다. 게이트 전극(1610)은 질화 탄탈막과 텅스텐 막과의 적층 구조를 가질 수 있다. 층간 절연막(1616)은 산화 질화 실리콘막과 폴리이미드 막과의 적층 구조를 가질 수 있다. 배선(1618)은 각각 티탄막, 알루미늄막, 티탄막이 이 순서로 형성된 적층 구조를 가질 수 있다. 보호막(1620)으로서는 폴리이미드 막을 이용할 수 있다.
- [0485] 도 45a에 도시하는 구조의 트랜지스터에서, 게이트 전극(1610)과 한 쌍의 전극(1614) 중 하나와 중첩하는 부분의 폭을  $L_{ov}$ 라고 한다는 점에 주목한다. 마찬가지로, 산화물 반도체막(1606)과 중첩하지 않는 한 쌍의 전극(1614)의 부분의 폭을  $dW$ 라고 한다.
- [0486] (실시 형태 7)
- [0487] 본 실시 형태에서는, 상술한 실시 형태에서 설명한 반도체 장치를 전자 기기에 적용하는 경우에 대해 도 23a 내지 23f를 이용하여 설명한다. 본 실시 형태에서는, 컴퓨터, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 한다), 휴대 데이터 단말(휴대형 게임기, 음향 재생 장치 등도 포함한다), 디지털 카메라, 디지털 비디오 카메라, 전자 페이퍼, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 한다)등의 전자 기기에 상술한 반도체 장치를 적용할 경우에 대해서 설명한다.
- [0488] 도 23a는 랩탑 퍼스널 컴퓨터이며, 하우징(701), 하우징(702), 표시부(703), 키보드(704) 등을 포함한다. 하우징(701)과 하우징(702)의 적어도 한 쪽에는, 상기 실시 형태에서 설명한 반도체 장치가 설치되어 있다. 그 때문에, 데이터의 기입 및 판독이 고속으로 행해지고, 장기간의 기억 유지가 가능하고, 또한 소비 전력이 충분히 저감된 랩탑 퍼스널 컴퓨터가 실현될 수 있다.
- [0489] 도 23b는 휴대 데이터 단말(PDA)이다. 본체(711)에는 표시부(713)와, 외부 인터페이스(715)와, 조작 버튼(714) 등이 설치되어 있다. 또한, 휴대 데이터 단말을 조작하는 스타일러스(stylus)(712) 등을 구비하고 있다. 본체(711) 내에는, 상기 실시 형태에서 설명한 반도체 장치가 설치되어 있다. 그 때문에, 데이터의 기입 및 판독이 고속으로 행해지고, 장기간의 기억 유지가 가능하고, 또한 소비 전력이 충분히 저감된 휴대 데이터 단말이 실현될 수 있다.
- [0490] 도 23c는 전자 페이퍼를 실장한 전자 서적(e-book reader; 720)이며, 하우징(721)과 하우징(723)의 2개의 하우징을 포함한다. 하우징(721) 및 하우징(723)에는 각각 표시부(725) 및 표시부(727)가 설치되어 있다. 하우징(721)과 하우징(723)은 축부(737)에 의해 접속되어 있고, 상기 축부(737)를 축으로서 개폐 동작을 행할 수 있다. 하우징(721)은 전원 스위치(731), 조작 키(733), 스피커(735) 등을 구비하고 있다. 하우징(721), 하우징(723)의 적어도 한 쪽에는, 상기 실시 형태에서 설명한 반도체 장치가 설치되어 있다. 그 때문에, 데이터의 기입 및 판독이 고속으로 행해지고, 장기간의 기억 유지가 가능하고, 또한 소비 전력이 충분히 저감된 전자 서적이 실현될 수 있다.
- [0491] 도 23d는 휴대 전화기이며, 하우징(740)과 하우징(741)의 2개의 하우징을 포함한다. 또한, 하우징(740)과 하우징(741)은 슬라이드하고, 도 23d와 같이 전개하고 있는 상태에서부터 서로 중첩된 상태로 할 수 있고, 휴대에 알맞은 소형화가 가능하다. 또한, 하우징(741)은 표시 패널(742), 스피커(743), 마이크로폰(744), 조작 키(745),

포인팅 디바이스(746), 카메라용 렌즈(747), 외부 접속 단자(748) 등을 구비하고 있다. 하우징(740)은 휴대 전화기의 충전을 행하는 태양 전지(749), 외부 메모리 슬롯(750) 등을 구비하고 있다. 또한, 안테나는 하우징(741)에 내장되어 있다. 하우징(740)과 하우징(741)의 적어도 한 쪽에는, 상기 실시 형태에서 설명한 반도체 장치가 설치되어 있다. 그 때문에, 데이터의 기입 및 관독이 고속으로 행해지고, 장기간의 기억 유지가 가능하고, 또한 소비 전력이 충분히 저감된 휴대 전화기가 실현될 수 있다.

[0492] 도 23e는 디지털 카메라이며, 본체(761), 표시부(767), 접안부(763), 조작 스위치(764), 표시부(765), 배터리(766) 등을 포함한다. 본체(761) 내에는 상기 실시 형태에서 설명한 반도체 장치가 설치되어 있다. 그 때문에, 데이터의 기입 및 관독이 고속으로 행해지고, 장기간의 기억 유지가 가능하고, 또한 소비 전력이 충분히 저감된 디지털 카메라가 실현될 수 있다.

[0493] 도 23f는 텔레비전 장치(770)이며, 하우징(771), 표시부(773), 스탠드(775) 등을 포함한다. 텔레비전 장치(770)의 조작은 하우징(771)이 구비하는 스위치나, 리모콘(780)에 의해 행할 수 있다. 하우징(771) 및 리모콘(780)에는, 상기 실시 형태에서 설명한 반도체 장치가 탑재되어 있다. 그 때문에, 데이터의 기입 및 관독이 고속으로 행해지고, 장기간의 기억 유지가 가능하고, 또한 소비 전력이 충분히 저감된 텔레비전 장치가 실현될 수 있다.

[0494] 이상과 같이, 본 실시 형태에 도시하는 전자 기기에는, 상기 실시 형태에서 설명한 반도체 장치가 탑재되어 있으므로, 소비 전력을 저감한 전자 기기가 실현될 수 있다.

**부호의 설명**

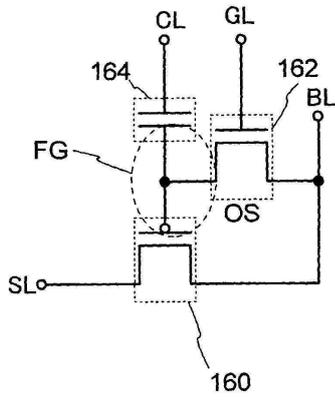
[0495] 120: 반도체층, 122: 절연층, 122a: 게이트 절연층, 124: 마스크, 126: 불순물 영역, 128a: 게이트 전극, 128b: 도전층, 130: 불순물 영역, 132: 불순물 영역, 134: 채널 형성 영역, 136: 절연층, 138: 절연층, 140: 절연층, 142a: 소스 전극, 142b:드레인 전극, 144: 산화물 반도체층, 146: 게이트 절연층, 148a: 게이트 전극, 148b: 도전층, 150: 절연층, 154: 배선, 156: 절연층, 160: 트랜지스터, 162: 트랜지스터, 164: 용량 소자, 170: 메모리 셀, 201: 메모리 셀 어레이, 202: 열 구동 회로, 203: 행 구동 회로, 204: 컨트롤러, 205: I/O 제어 회로, 206: 카운터, 207: 전위 생성 회로, 221: 비트선 및 소스선 구동 회로, 222: 열 디코더, 223a: 아날로그 스위치, 223b: 아날로그 스위치, 224: 회로, 225: 회로, 226: 래치 군, 227:래치, 228: 셀렉터, 229: 셀렉터, 230: 버퍼, 231: 게이트선 및 용량소자선 구동 회로, 232: 행 디코더, 321: NAND 회로, 322: 레벨 시프터, 323: 부하, 324: 센스 앰프, 325: NAND 회로, 331: NAND 회로, 332: 레벨 시프터, 333: NAND 회로, 334: 레벨 시프터, 335: 멀티플렉서, 336: 멀티플렉서, 400: 절연층, 401: 게이트 전극, 402: 게이트 절연층, 403: 산화물 반도체층, 404a: 산화물 도전층, 404b: 산화물 도전층, 405a: 소스 전극, 405b: 드레인 전극, 410: 트랜지스터, 420: 트랜지스터

427: 절연층, 430: 트랜지스터, 437: 절연층, 440: 트랜지스터, 441: 트랜지스터, 442: 트랜지스터, 450a: 결정성 산화물 반도체층, 450b: 결정성 산화물 반도체층, 453: 산화물 반도체층, 500: 반도체 기관, 510: 단결정 반도체 기관, 512: 산화막, 514: 취화 영역, 516: 단결정 반도체층, 518: 단결정 반도체층, 701: 하우징, 702: 하우징, 703: 표시부, 704: 키보드, 711: 본체, 712: 스타일러스, 713: 표시부, 714: 조작 버튼, 715: 외부 인터페이스, 720: 전자 서적, 721: 하우징, 723: 하우징, 725: 표시부, 727: 표시부, 731: 전원 스위치, 733: 조작 키, 735: 스피커, 737: 축부, 740: 하우징, 741: 하우징, 742: 표시 패널, 743: 스피커, 744: 마이크로폰, 745: 조작 키, 746: 포인팅 디바이스, 747: 카메라용 렌즈, 748: 외부 접속 단자, 749: 태양 전지, 750: 외부 메모리 슬롯, 761: 본체, 763: 접안부, 764: 조작 스위치, 765: 표시부, 766: 배터리, 767: 표시부, 770: 텔레비전 장치, 771:하우징, 773: 표시부, 775: 스탠드, 780: 리모콘, 1101: 하지 절연층, 1102: 매립 절연체, 1103a: 반도체 영역, 1103b: 반도체 영역, 1103c: 반도체 영역, 1104: 게이트 절연층, 1105: 게이트, 1106a: 측벽 절연체, 1106b: 측벽 절연체, 1107: 절연체, 1108a: 소스, 1108b: 드레인, 1200: 기관, 1202: 하지 절연층, 1204: 보호 절연막, 1206: 산화물 반도체막, 1206a: 고저항 영역, 1206b: 저저항 영역, 1208: 게이트 절연층, 1210: 게이트 전극, 1212: 측벽 절연막, 1214: 전극, 1216: 층간 절연막, 1218: 층간 절연막, 1600: 기관, 1602: 하지 절연층, 1606: 산화물 반도체막, 1608: 게이트 절연층, 1610: 게이트 전극, 1614: 전극, 1616: 층간 절연막, 1618: 배선, 1620: 보호막.

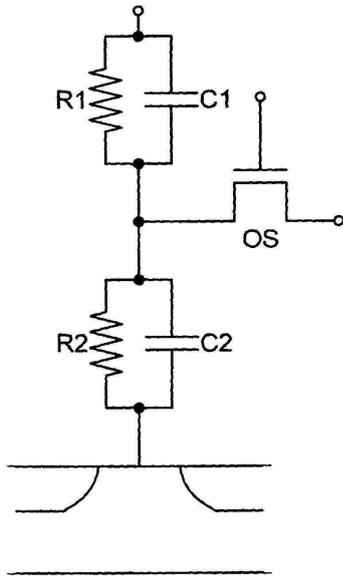
본 출원은, 그 전체 내용이 본 명세서에 참고로 인용되는, 2010년 8월 6일자 일본 특허청에 출원된 일본 특허 출원 번호 2010-178168호 및 2011년 5월 3일자 일본 특허청에 출원된 일본 특허 출원 번호 2011-108190호에 기초한 것이다.

도면

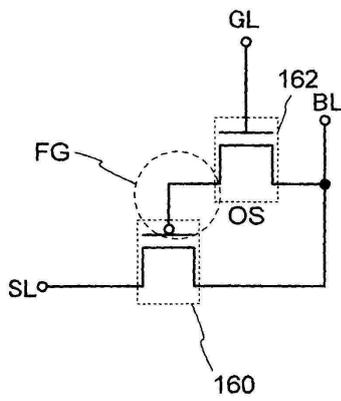
도면1aa



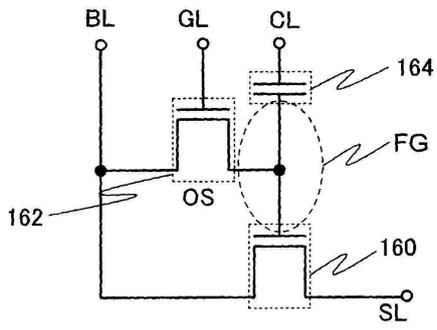
도면1ab



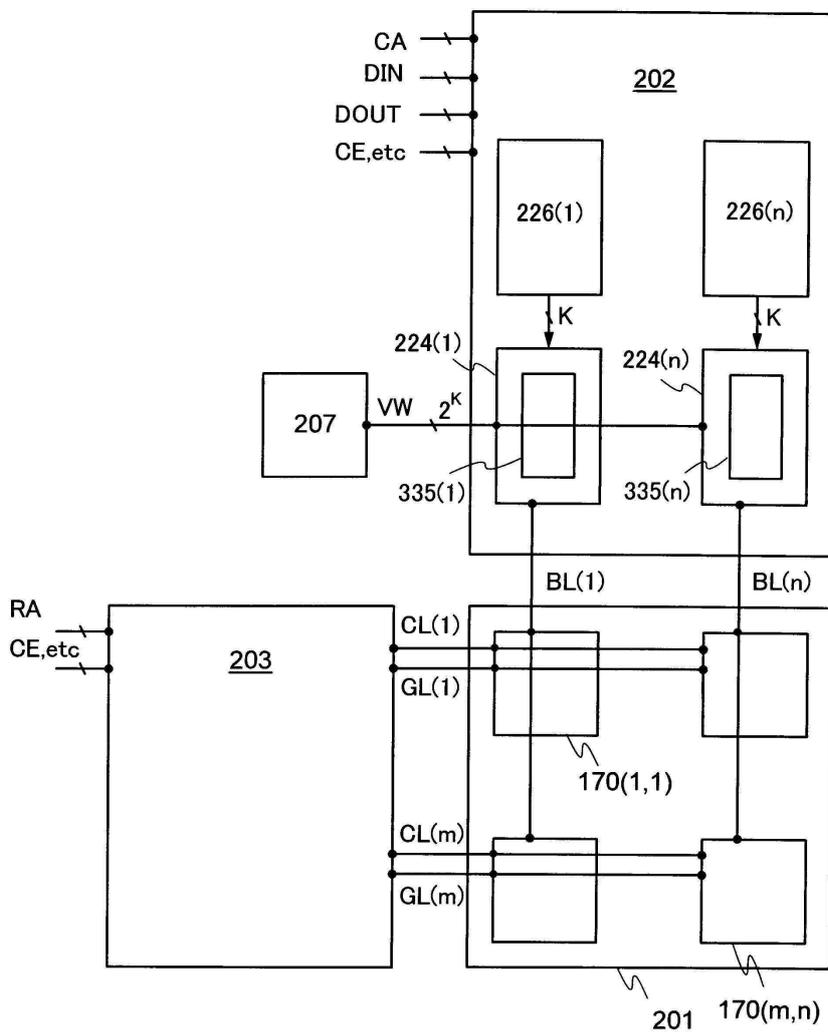
도면1b



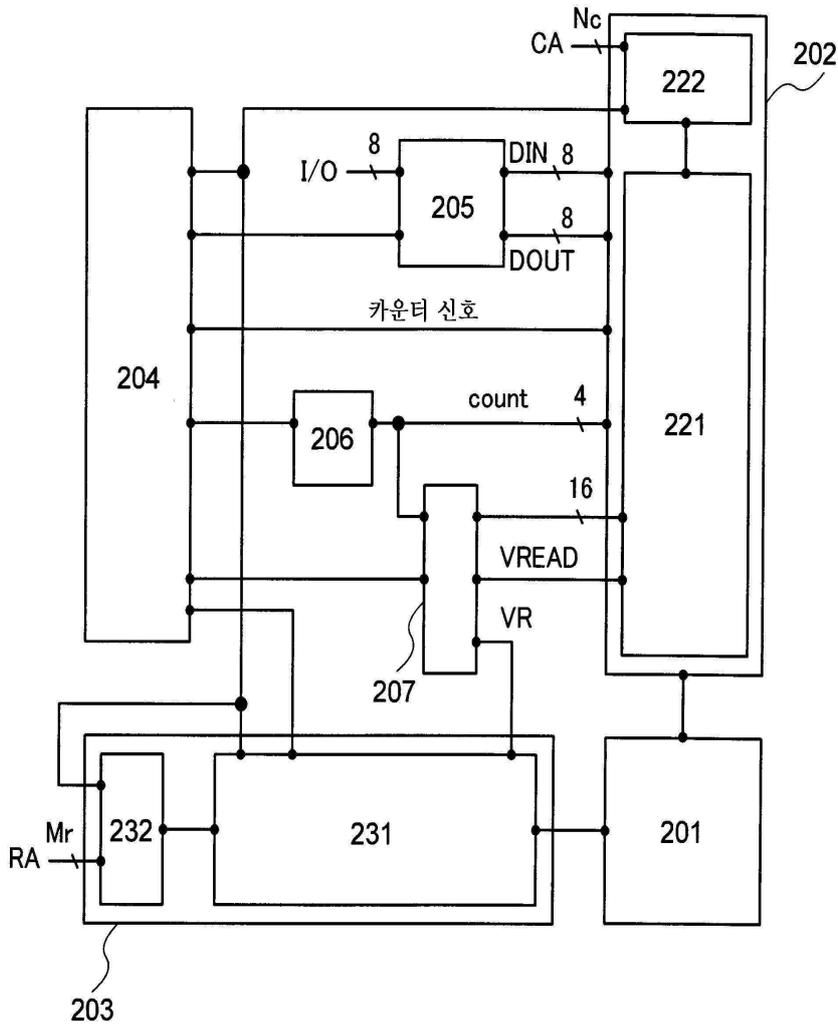
도면1c



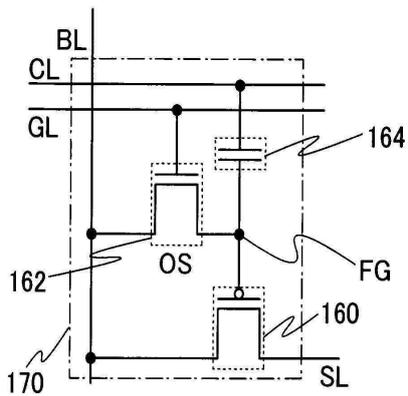
도면2



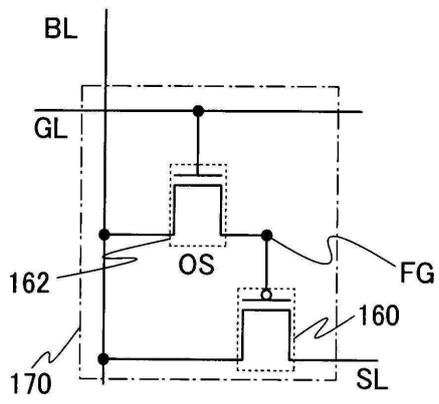
도면3a



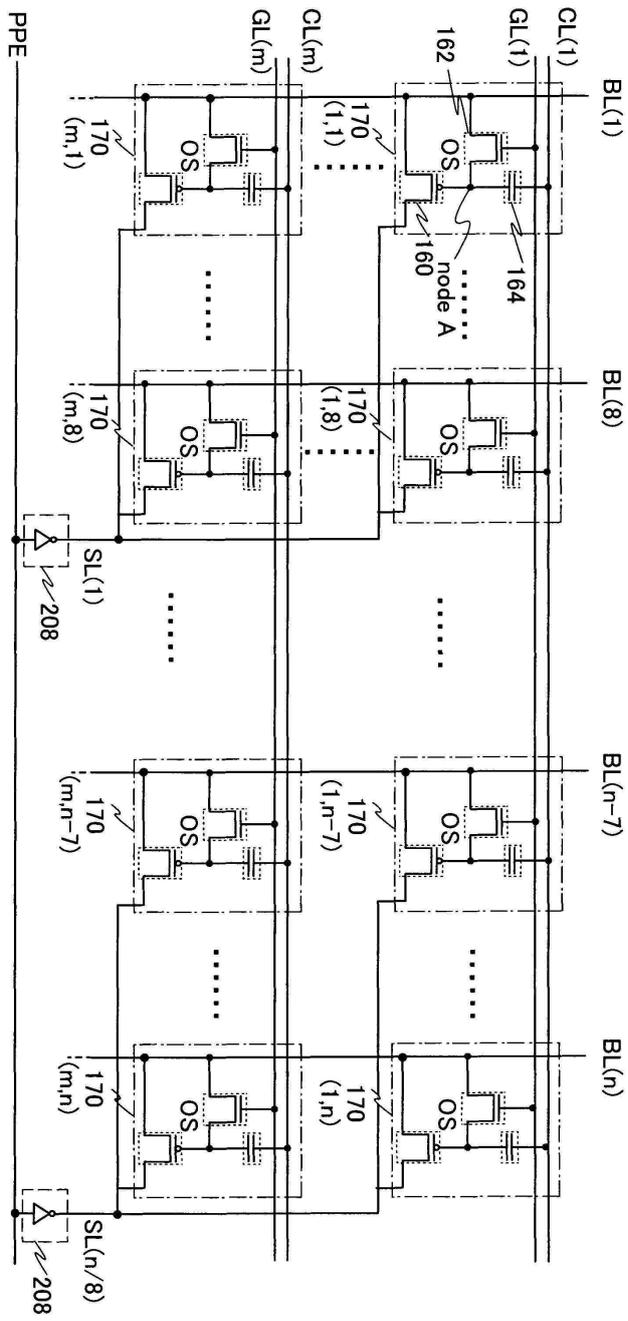
도면3b



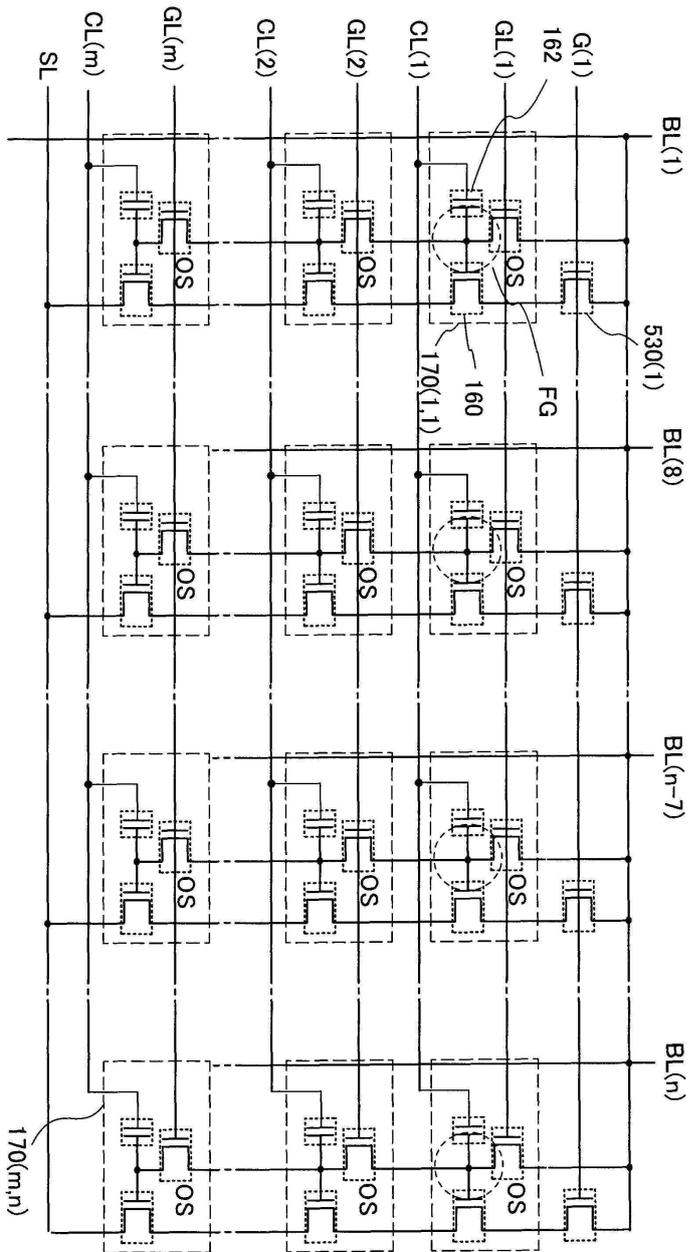
도면3c



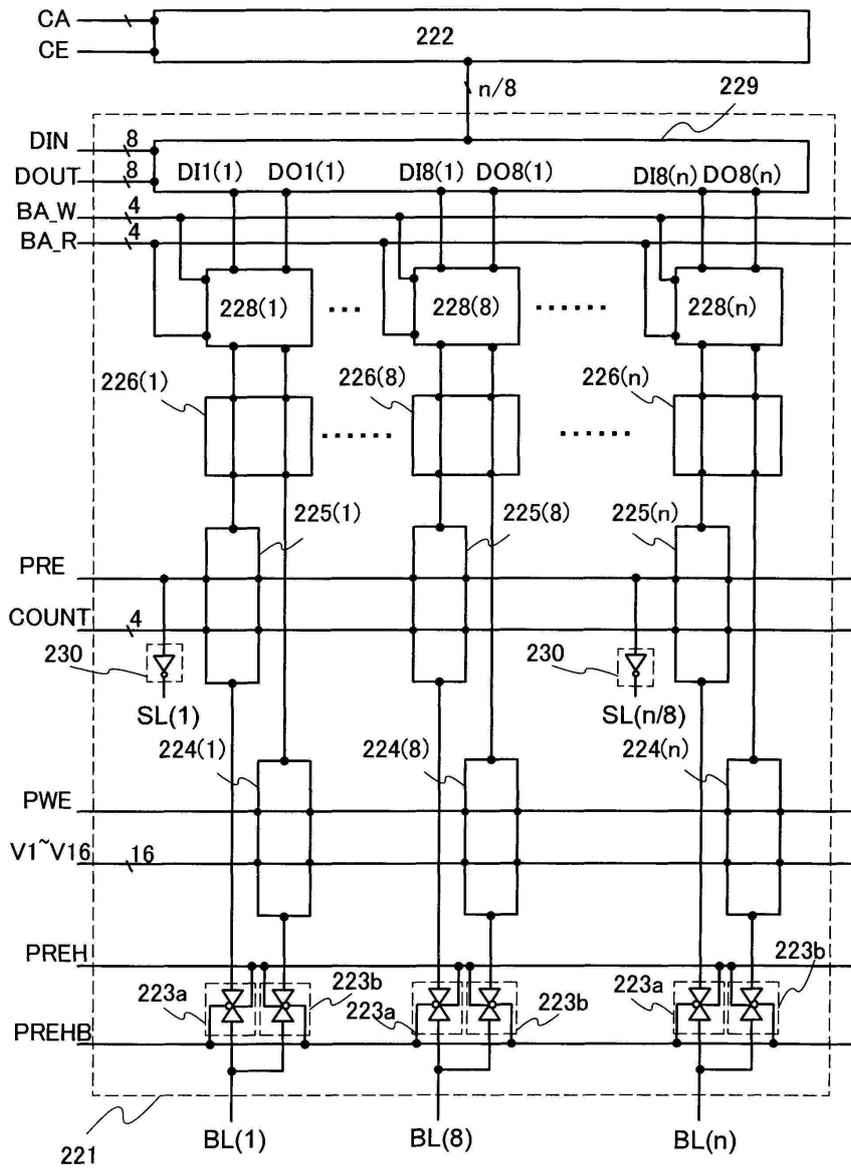
도면4



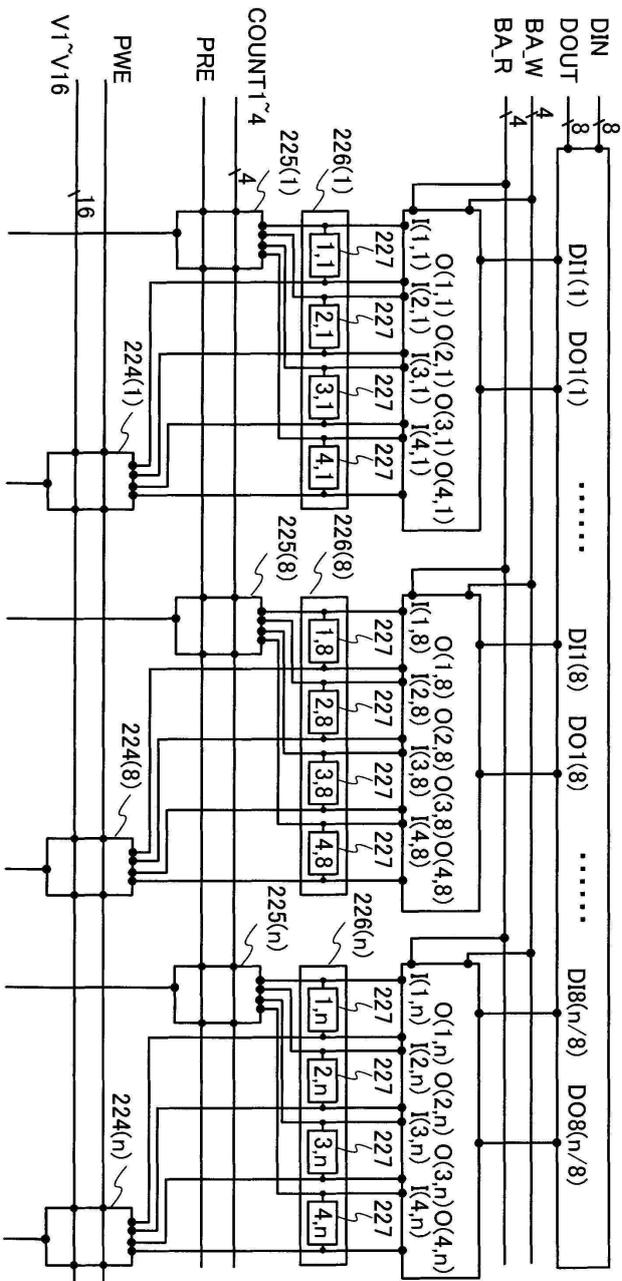
도면5



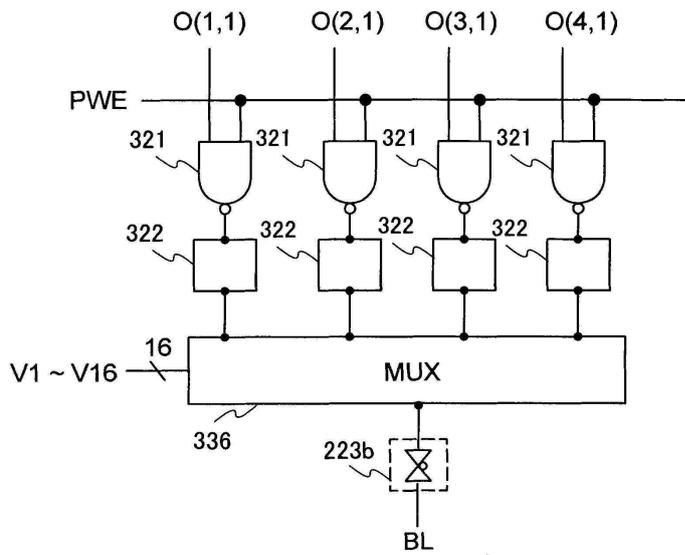
도면6



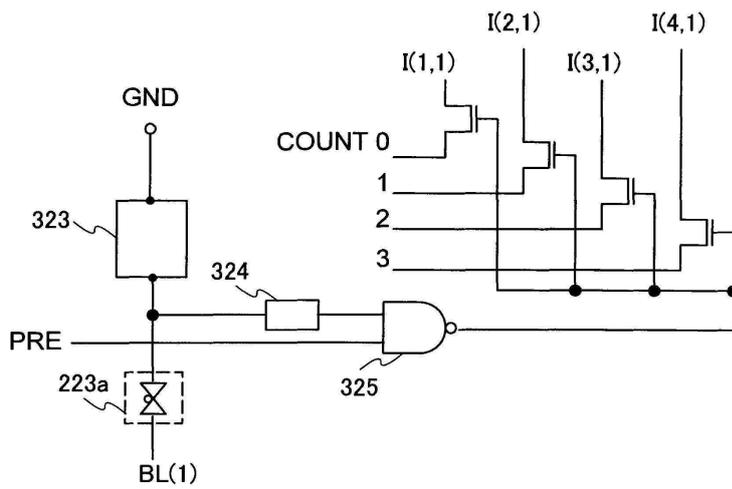
도면7



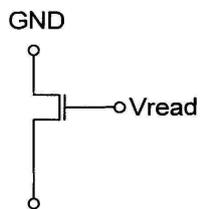
도면8



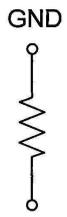
도면9a



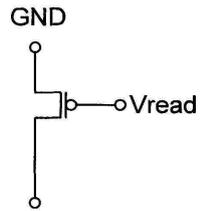
도면9ba



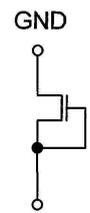
도면9bb



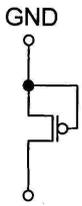
도면9bc



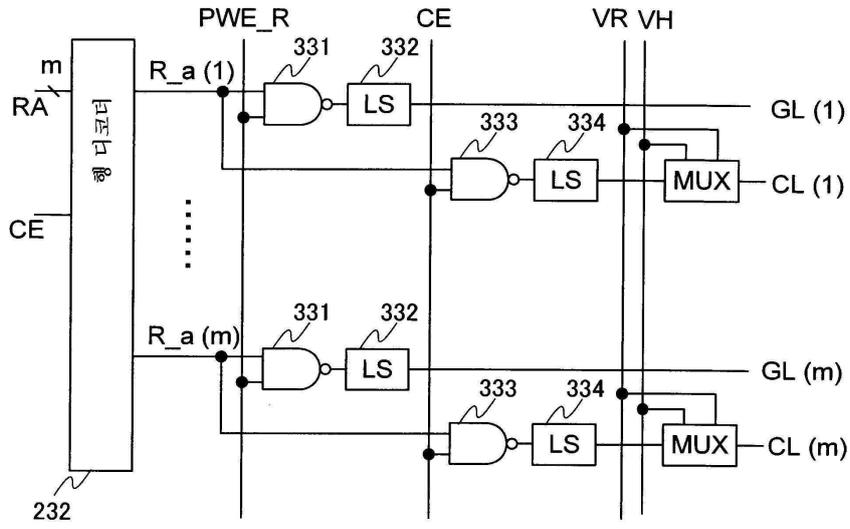
도면9bd



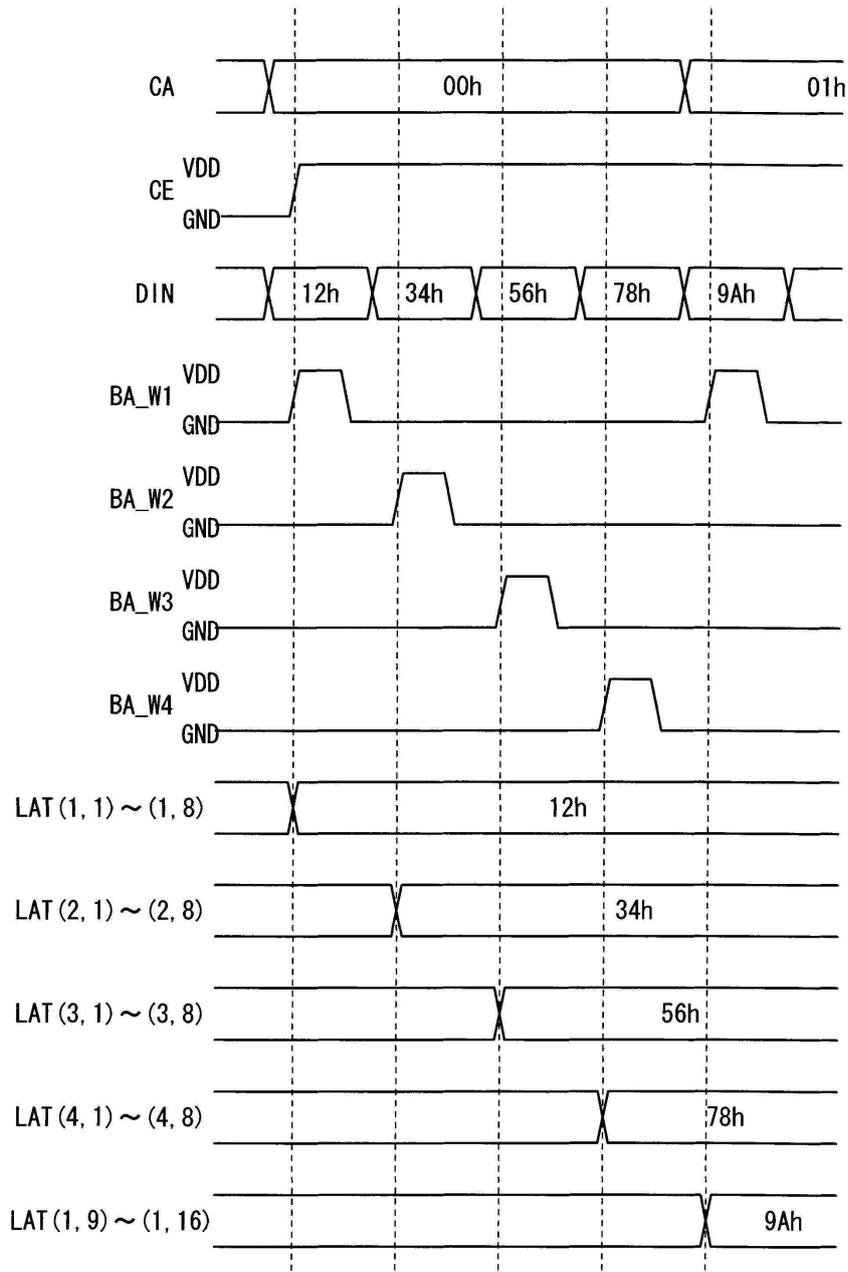
도면9be



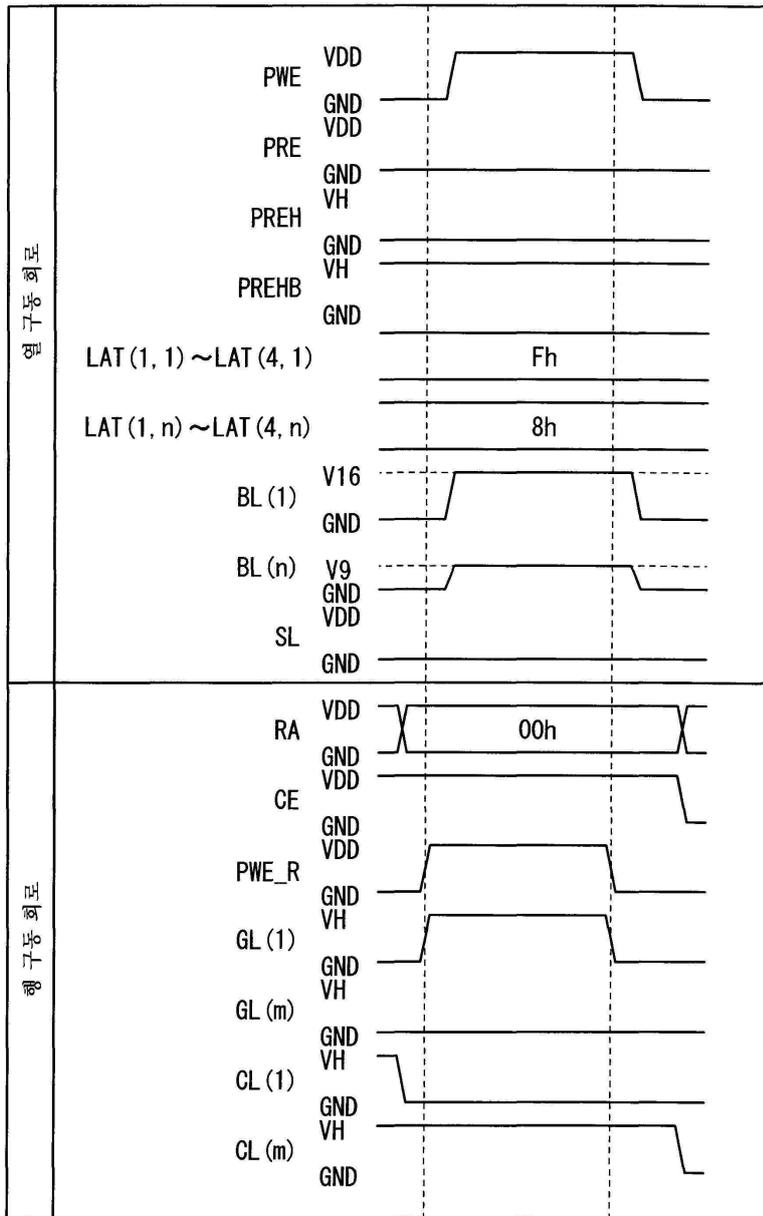
도면10



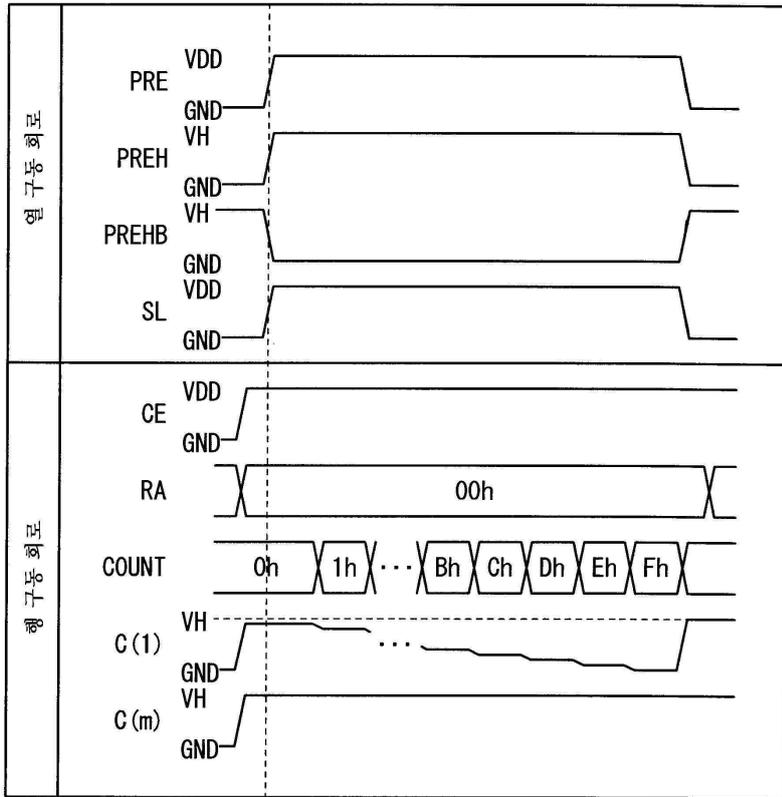
도면11



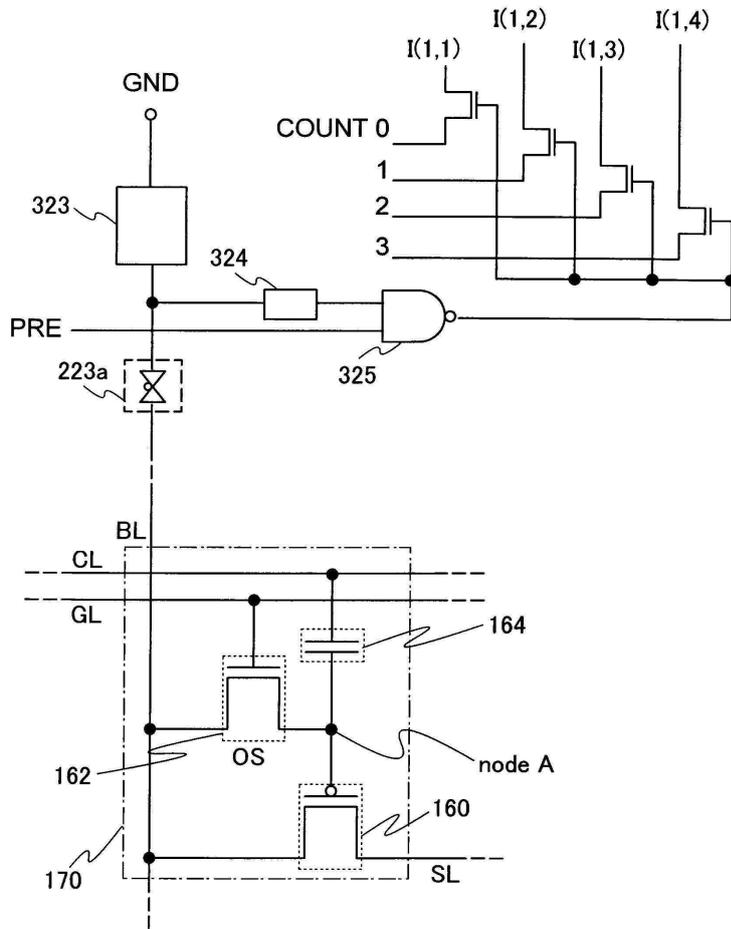
도면12



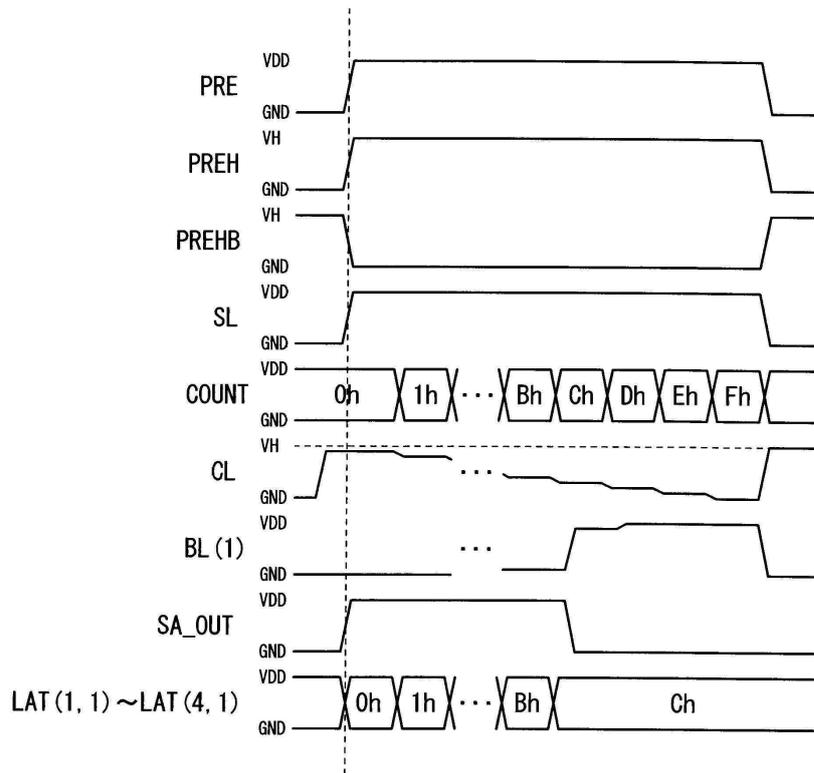
도면13



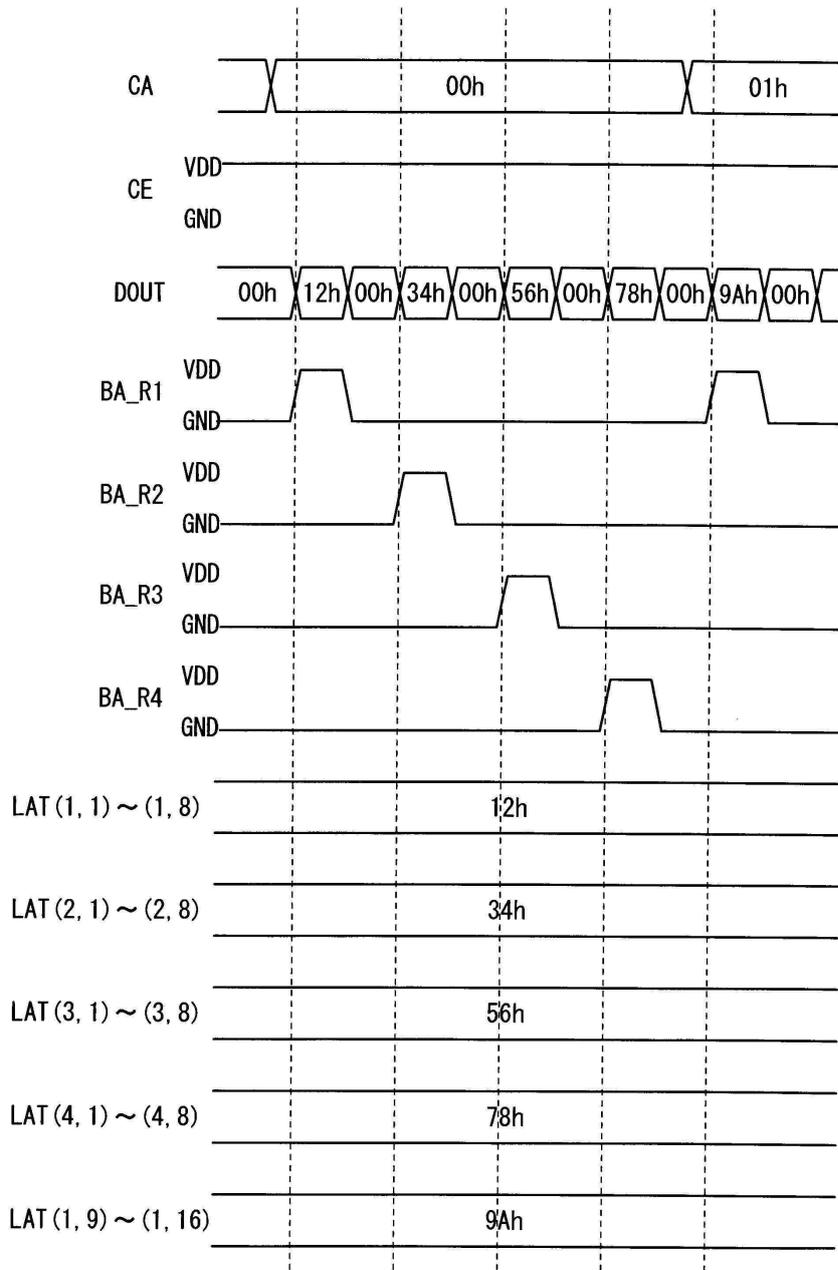
도면14



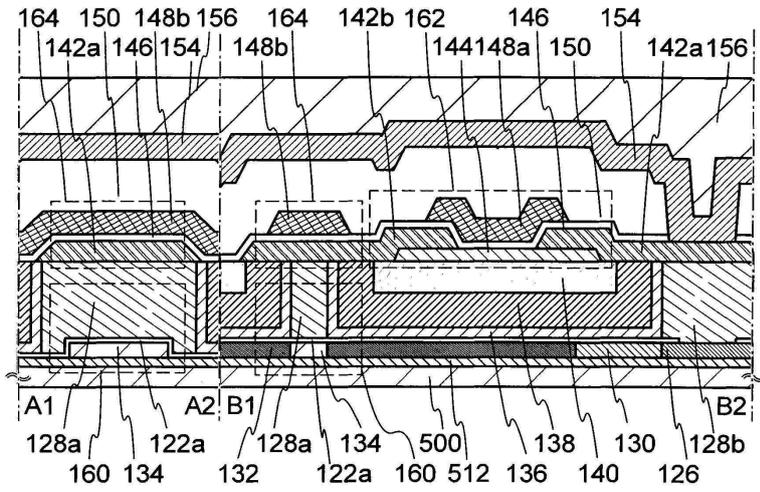
도면15



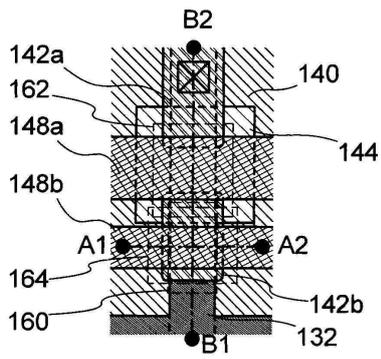
도면16



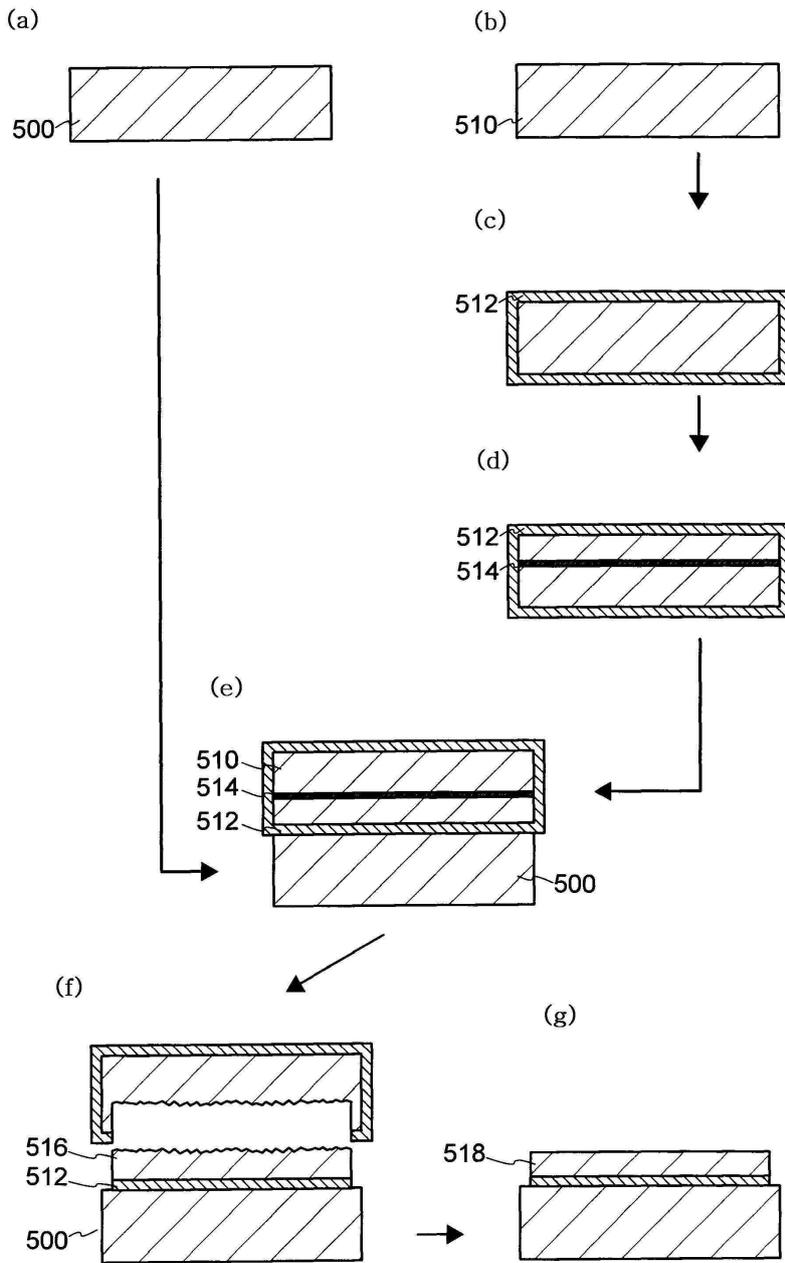
도면17a



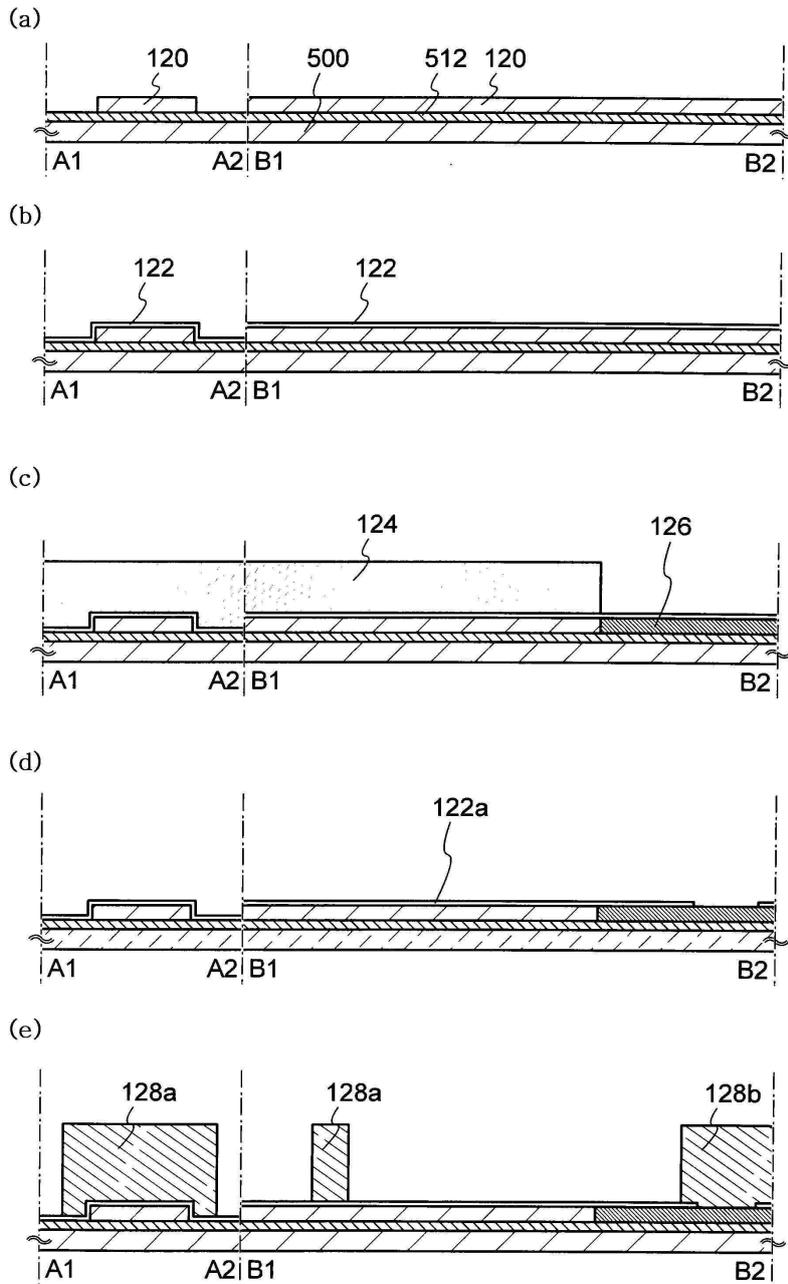
도면17b



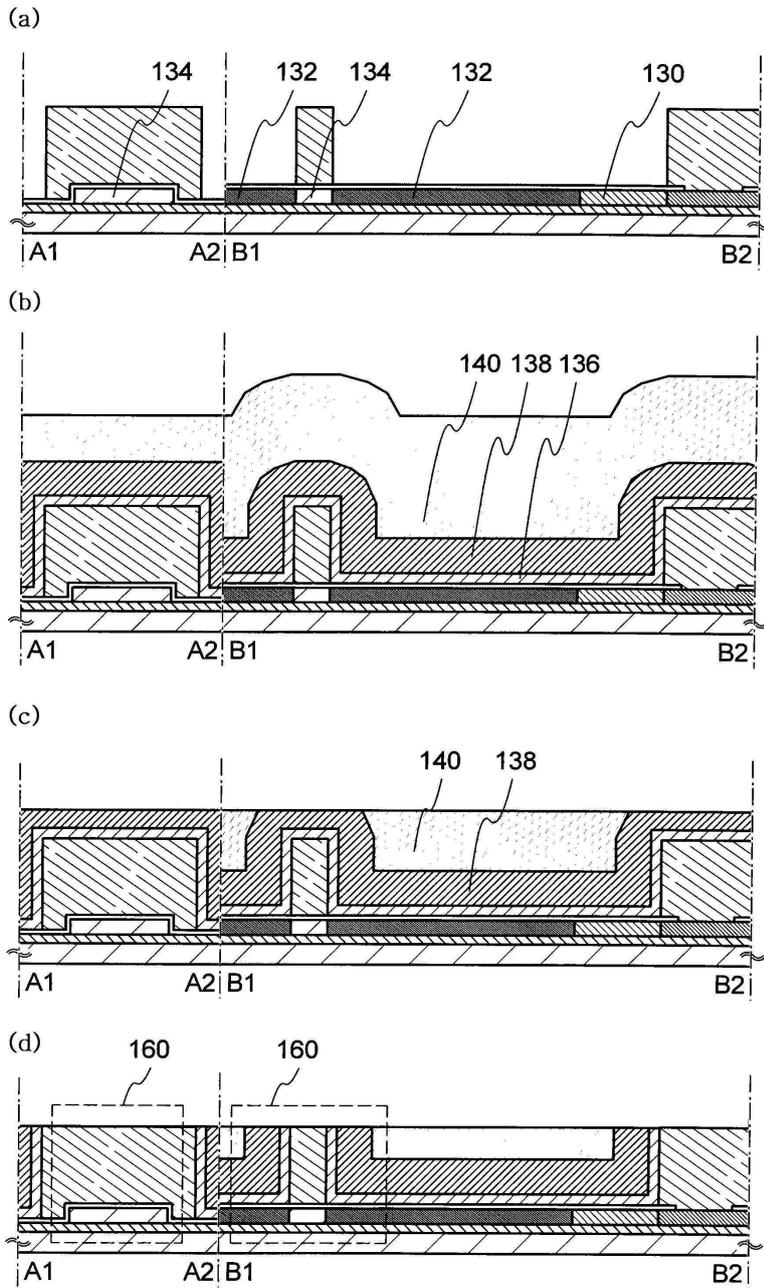
도면18



도면19

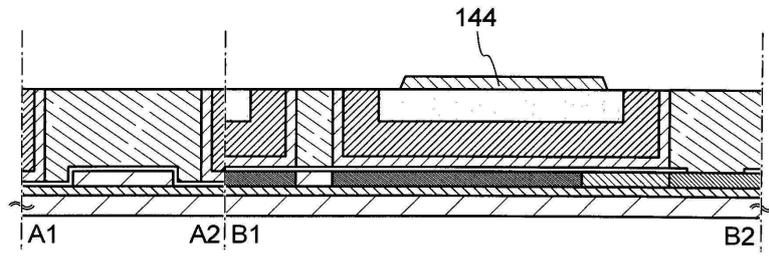


도면20

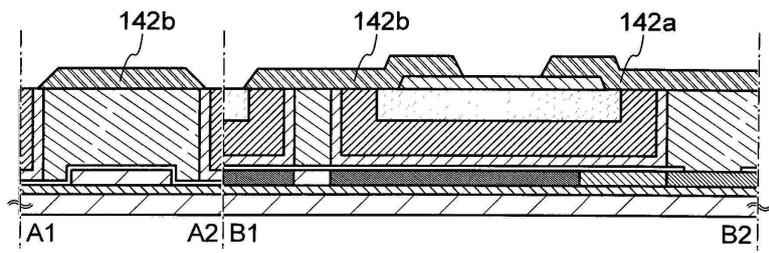


도면21

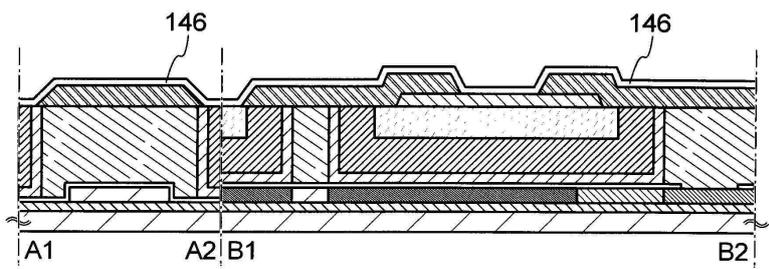
(a)



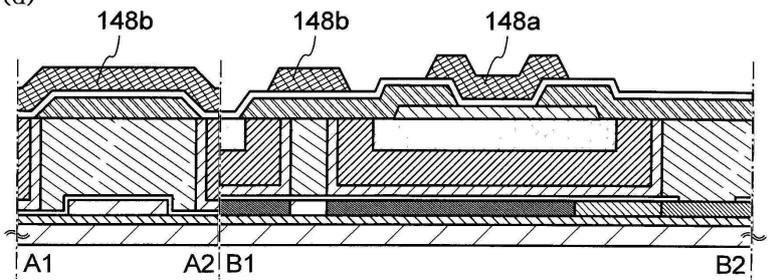
(b)



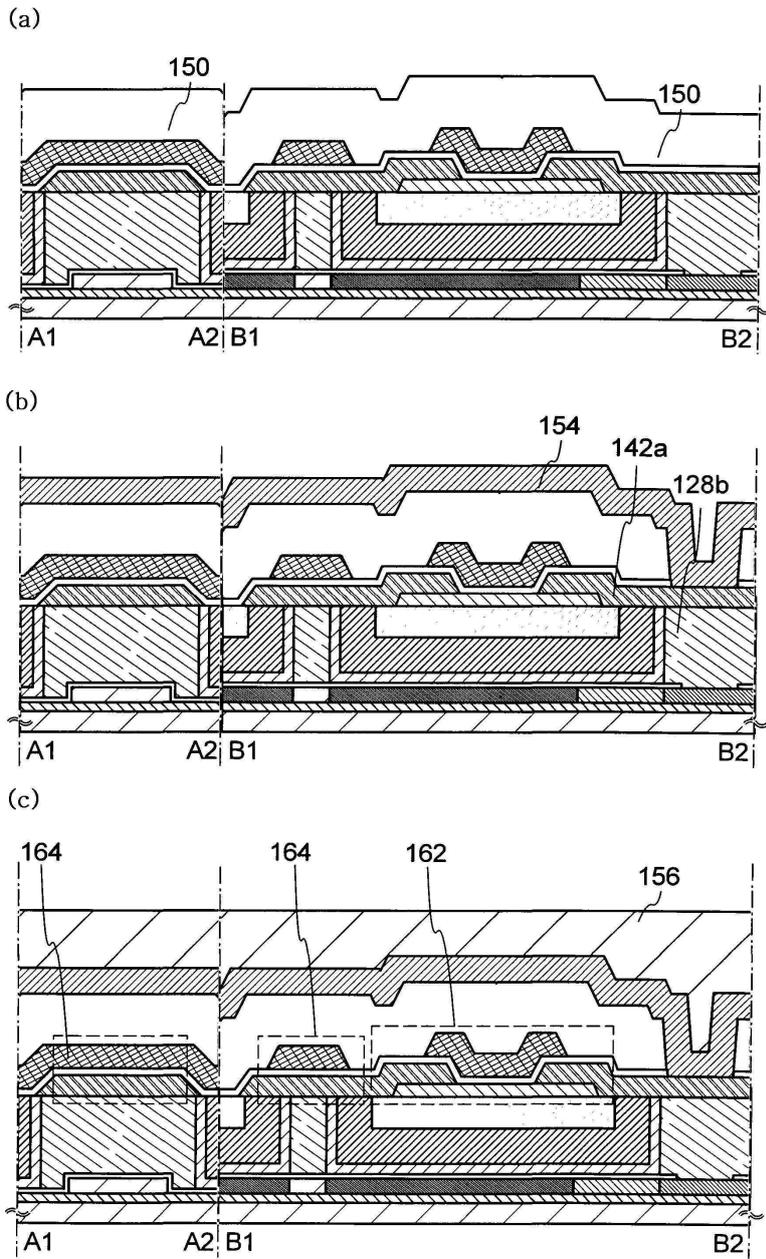
(c)



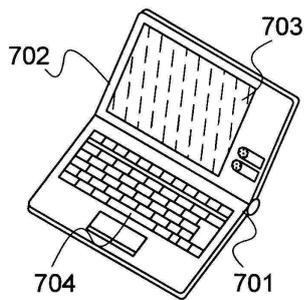
(d)



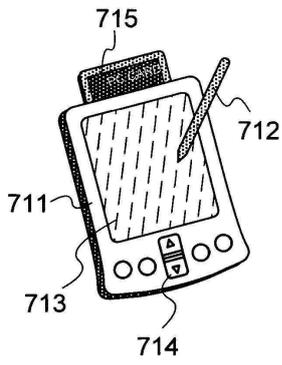
도면22



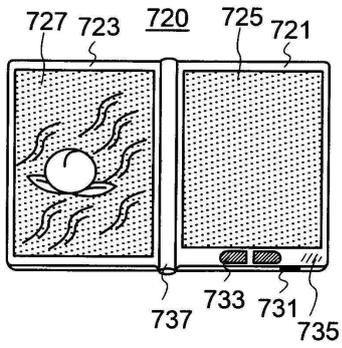
도면23a



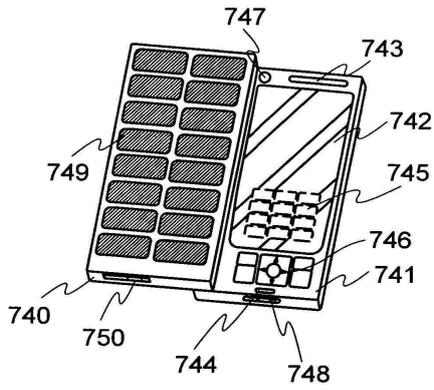
도면23b



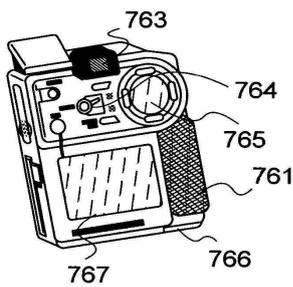
도면23c



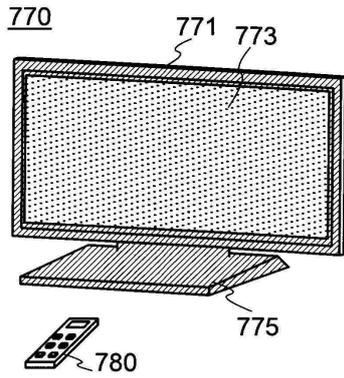
도면23d



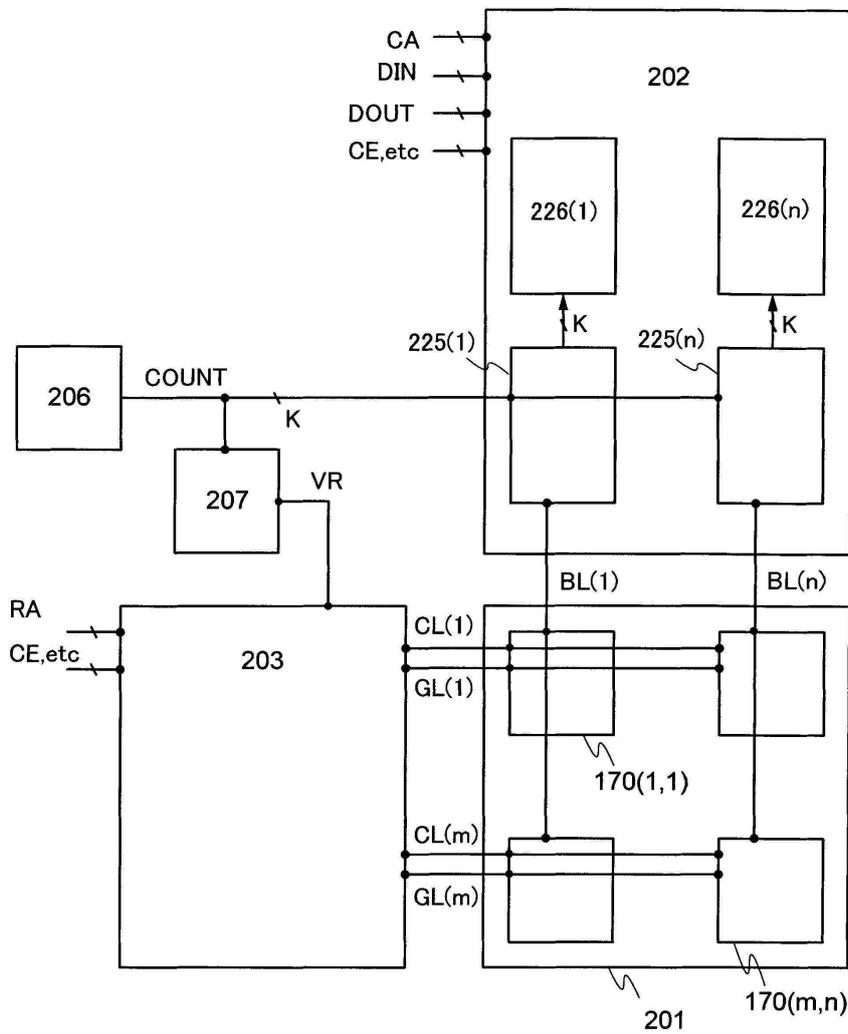
도면23e



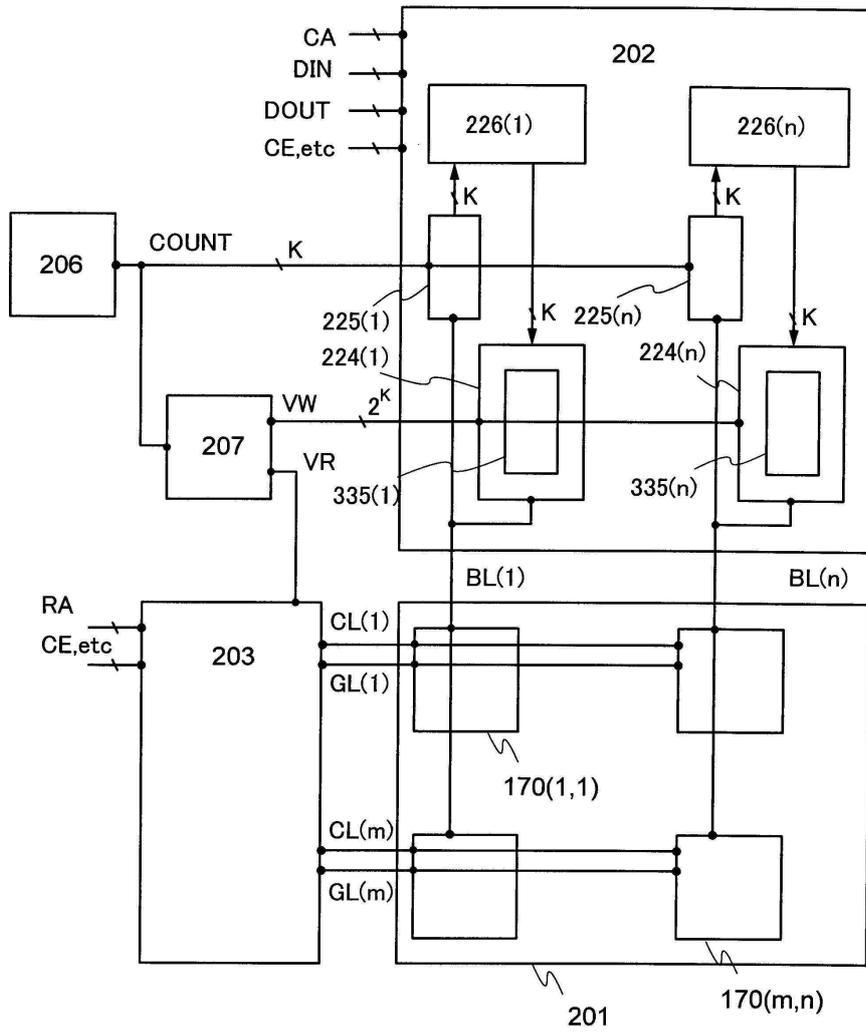
도면23f



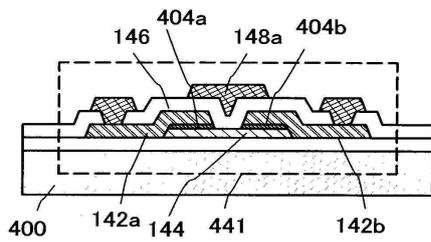
도면24



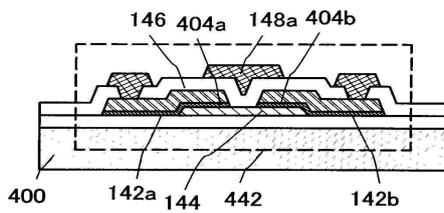
도면25



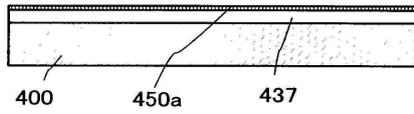
도면26a



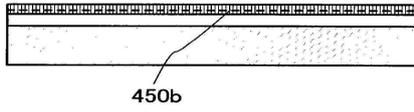
도면26b



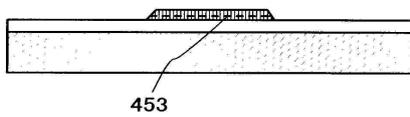
도면27a



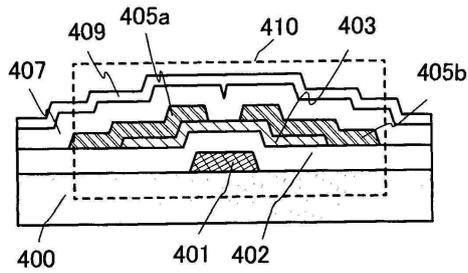
도면27b



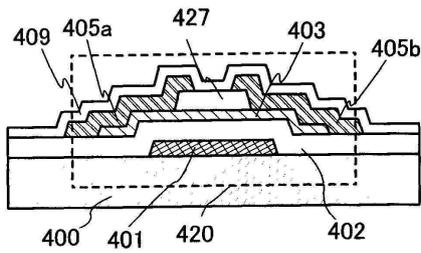
도면27c



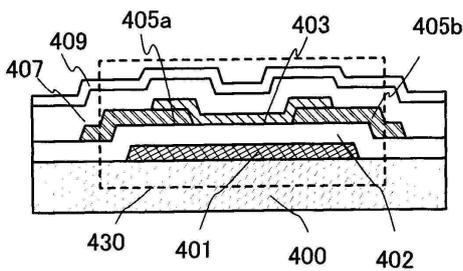
도면28a



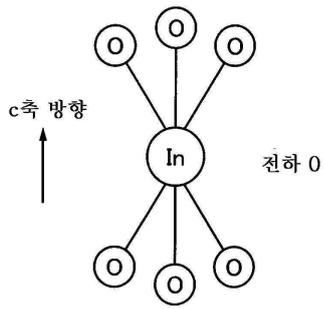
도면28b



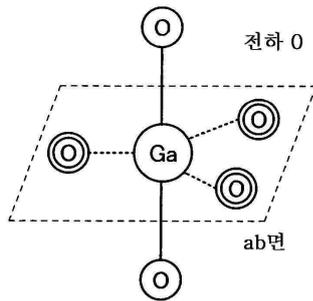
도면28c



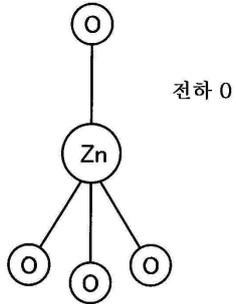
도면29a



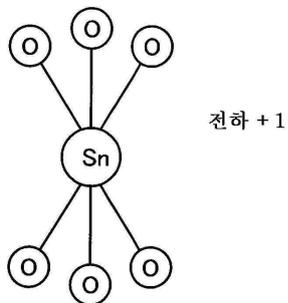
도면29b



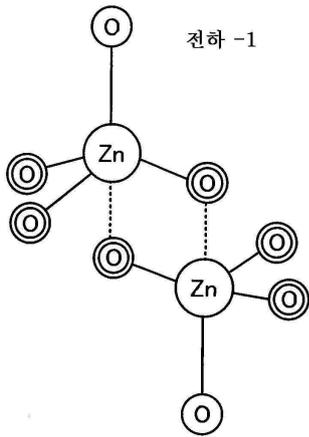
도면29c



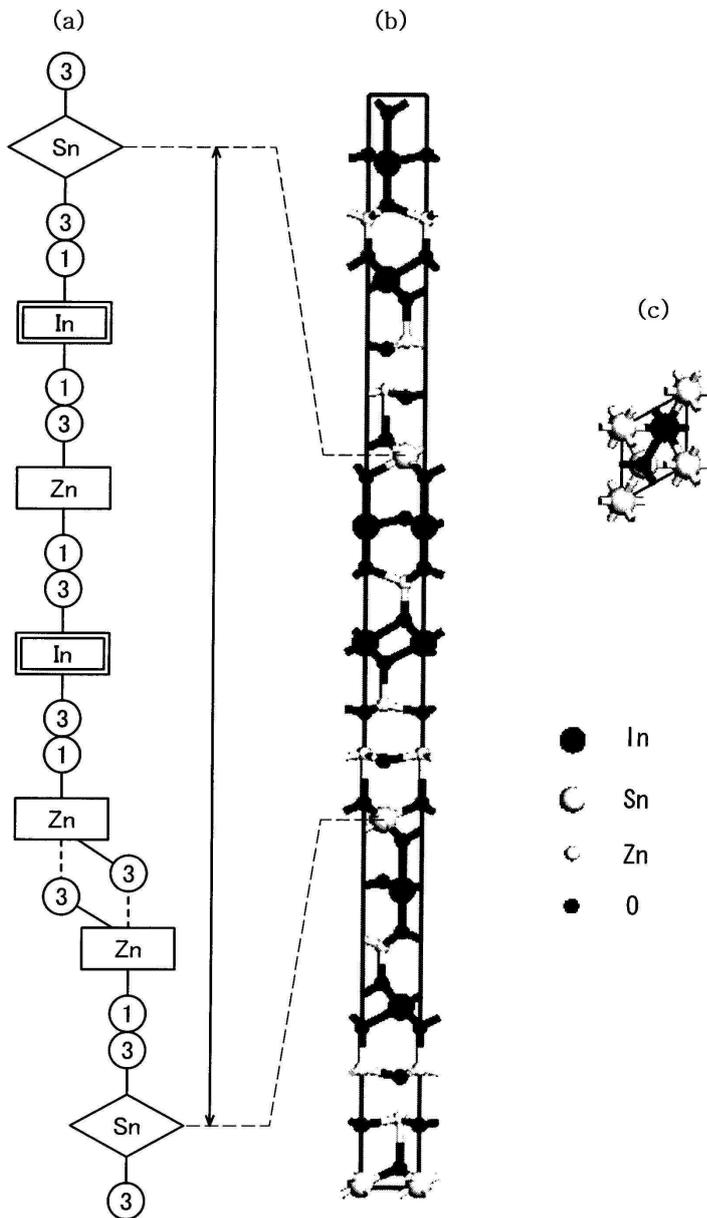
도면29d



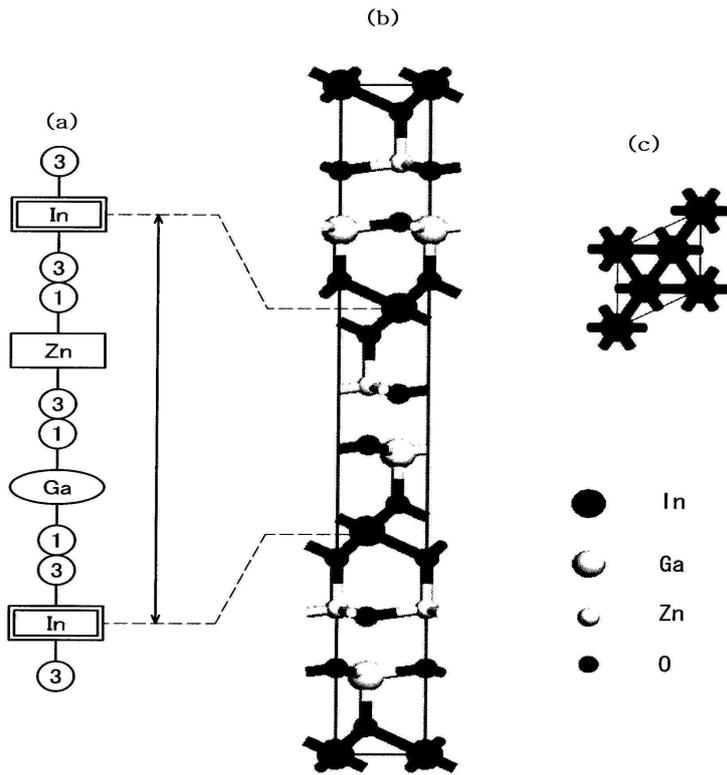
도면29e



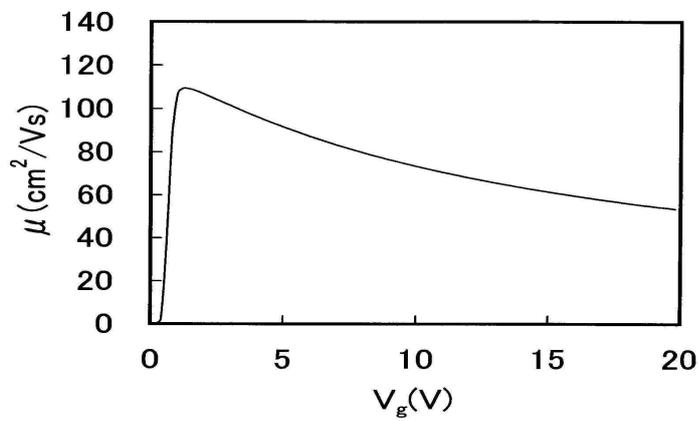
도면30



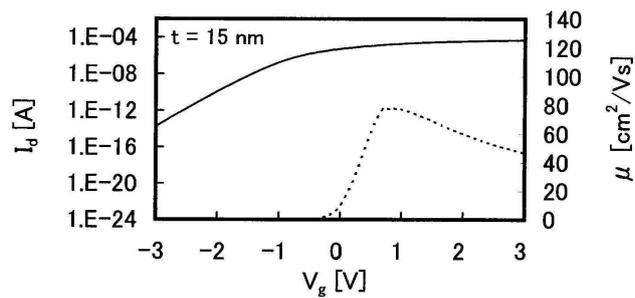
도면31



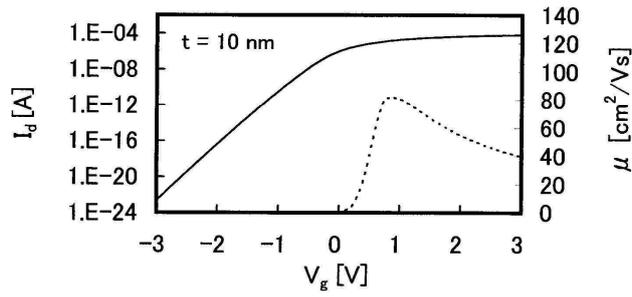
도면32



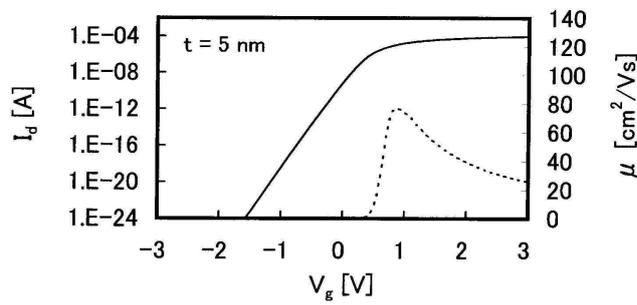
도면33a



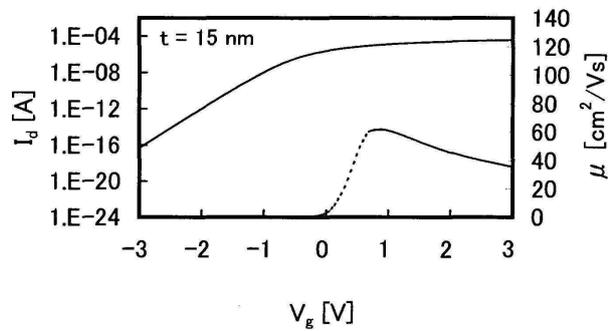
도면33b



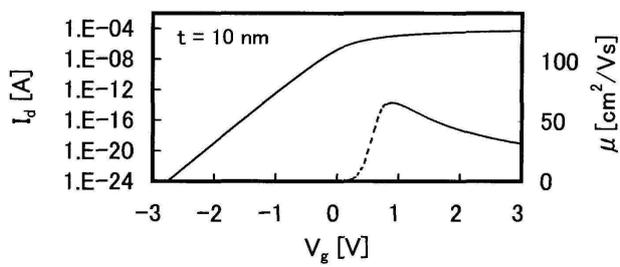
도면33c



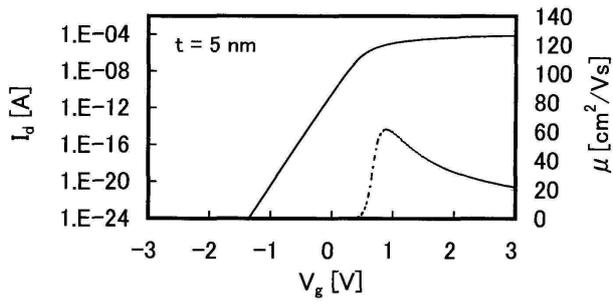
도면34a



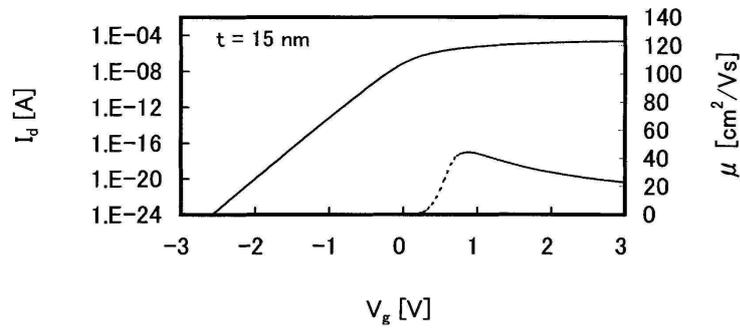
도면34b



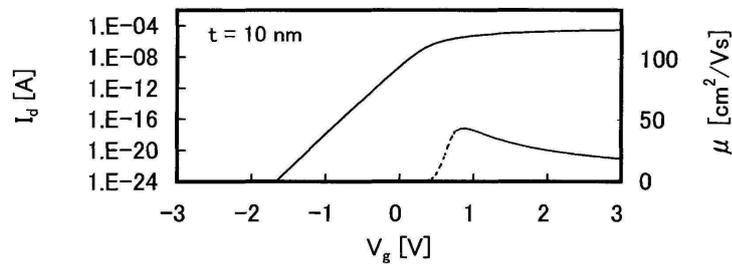
도면34c



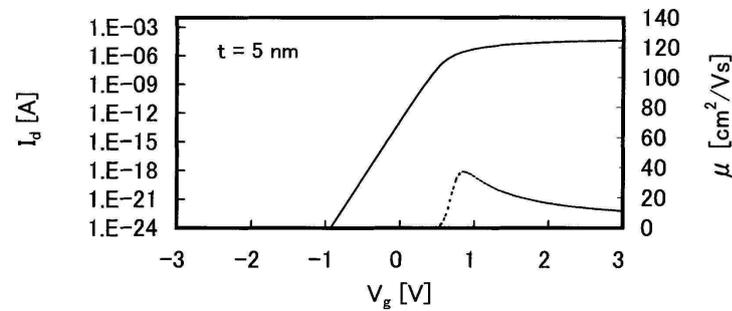
도면35a



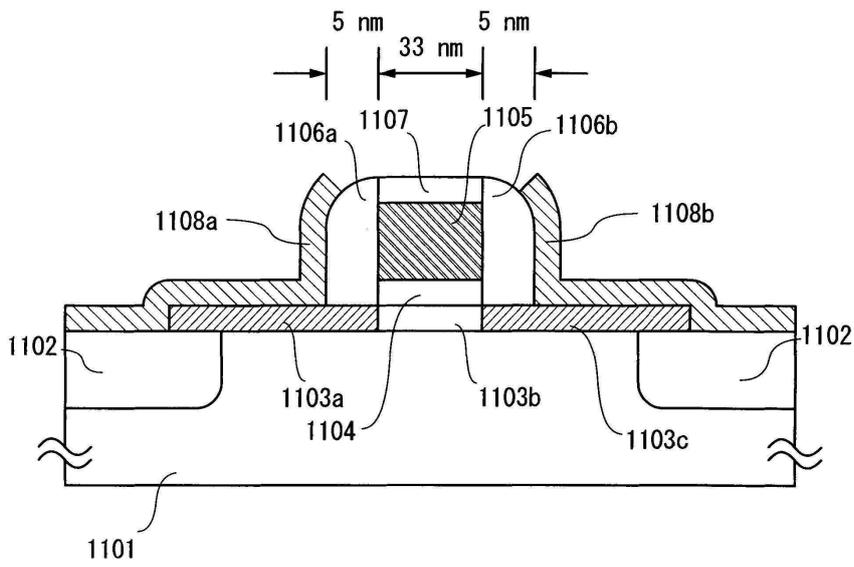
도면35b



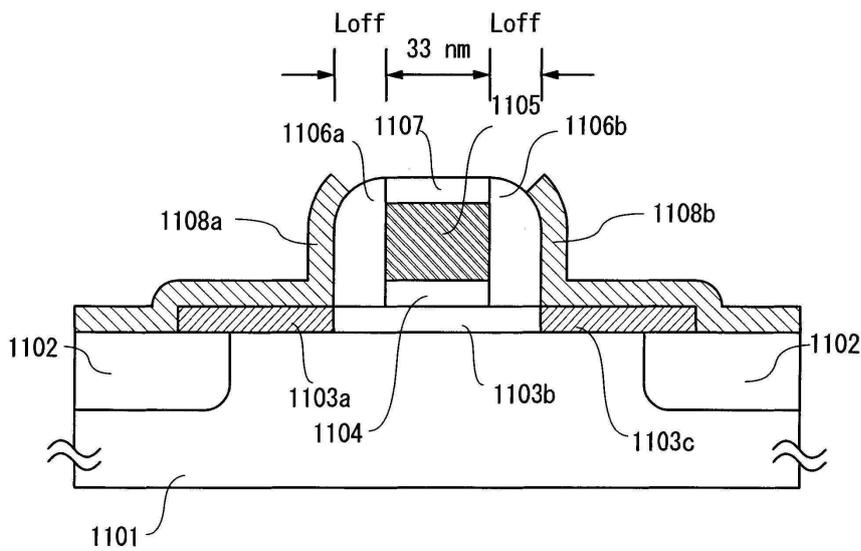
도면35c



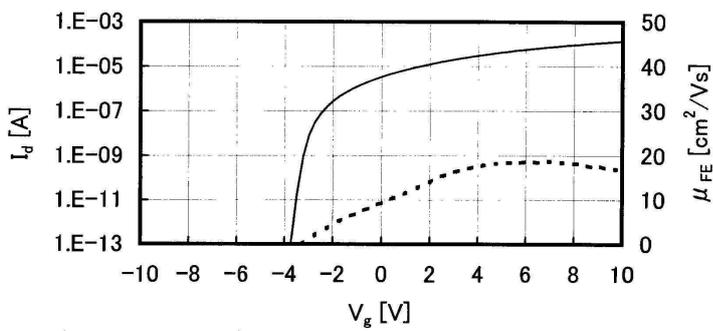
도면36a



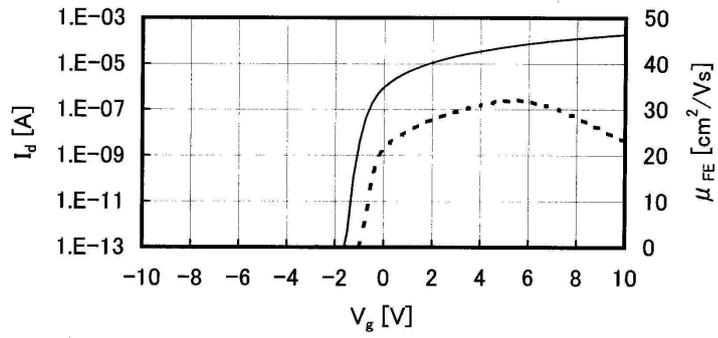
도면36b



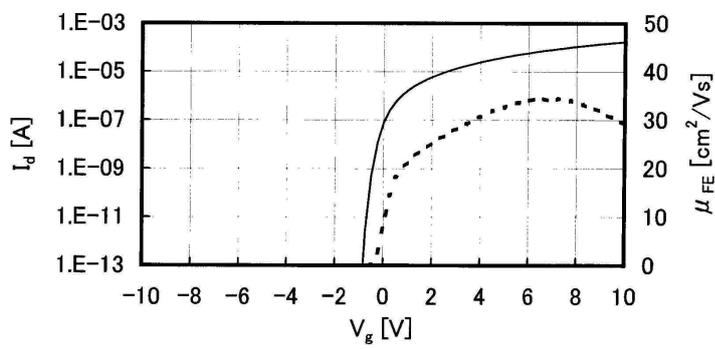
도면37a



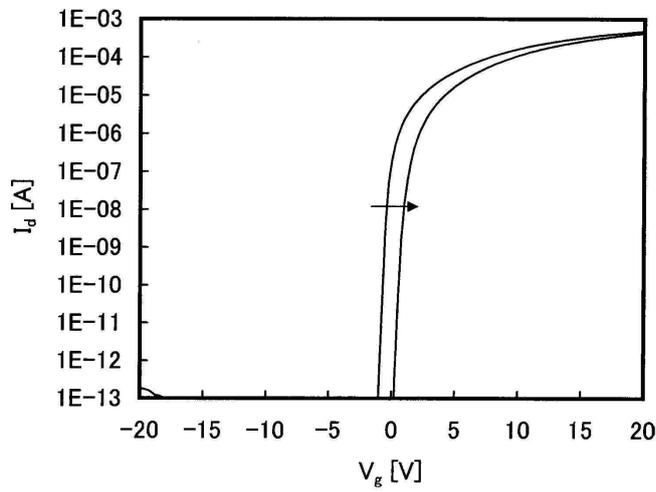
도면37b



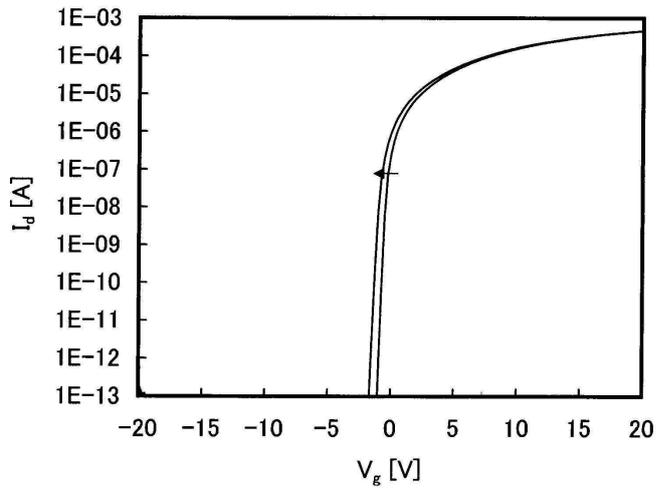
도면37c



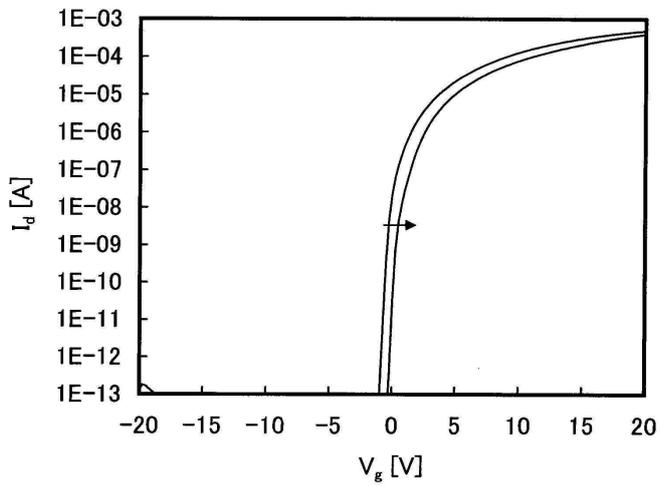
도면38a



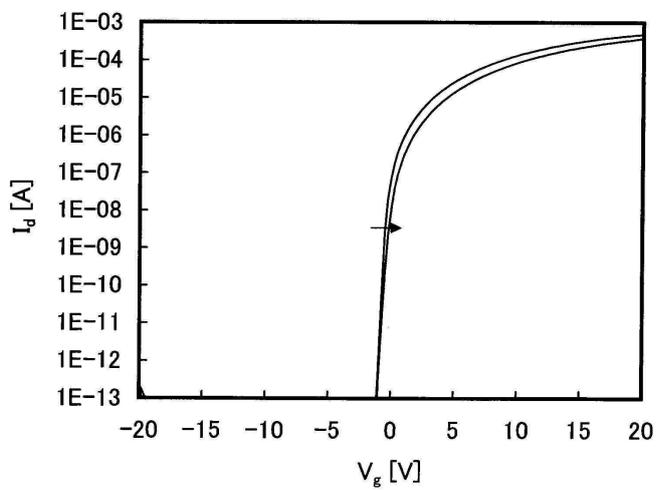
도면38b



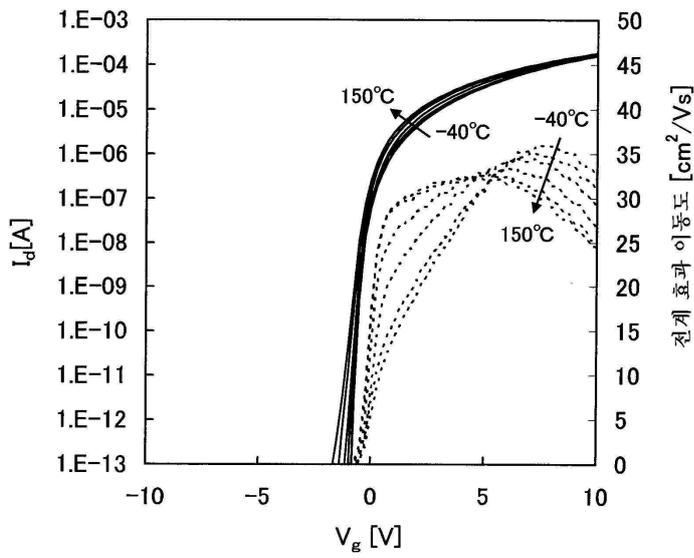
도면39a



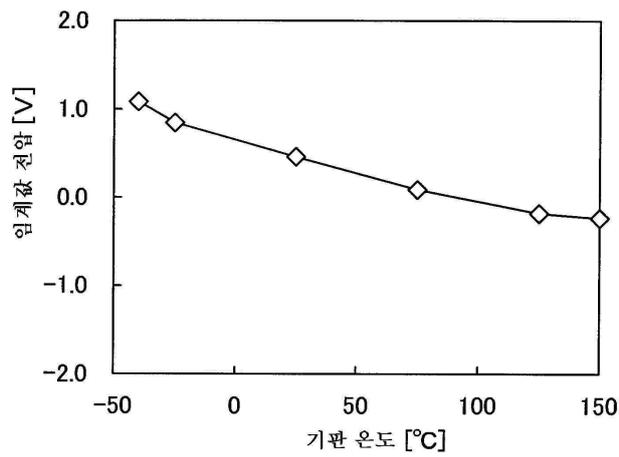
도면39b



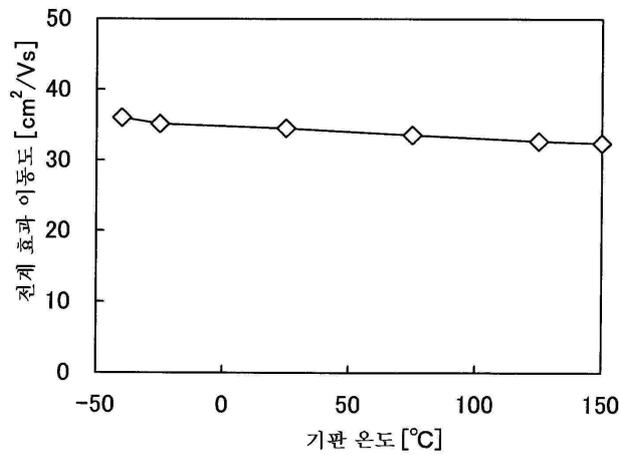
도면40



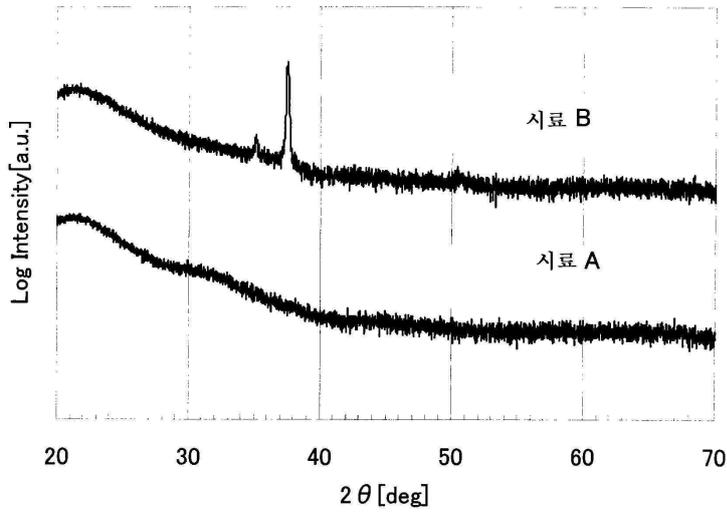
도면41a



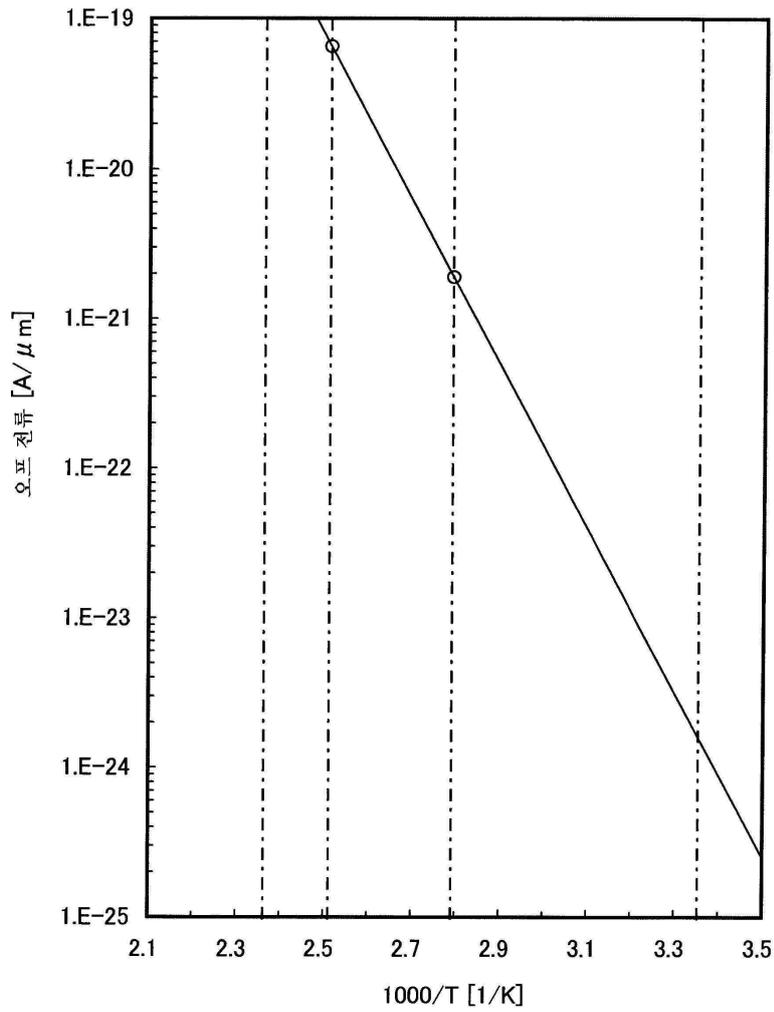
도면41b



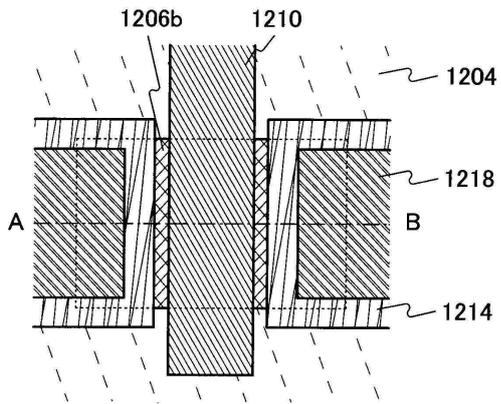
도면42



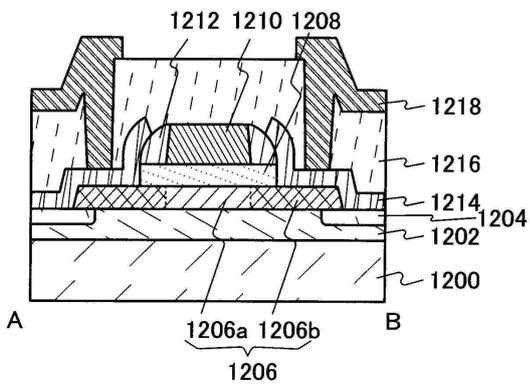
도면43



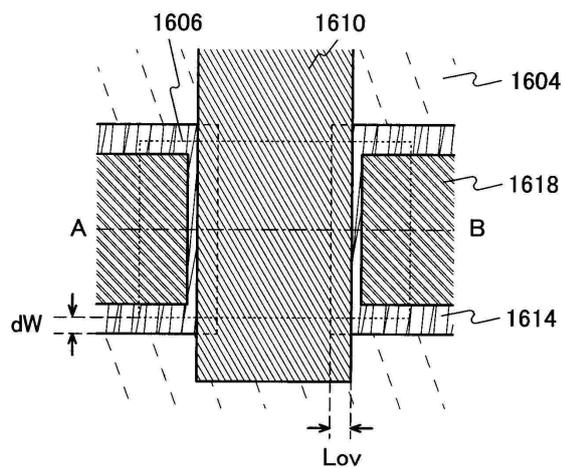
도면44a



도면44b



도면45a



도면45b

