

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國 (地區)	申請專利，申請日期：	案號：	， ☒ 有 ☐ 無主張優先權
美國	2000/11/24	60/253,693	
美國	2001/4/13	60/283,584	
美國	2001/8/31	09/944,734	

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (/)

發明領域

本發明是有關一種用於半導體製造中薄膜沉積前的表面預備措施，特別是有關於一種促進後續原子層沉積法 (atomic layer deposition, 簡稱 ALD) 製程的吸附 (absorption) 的表面預備措施，或者促進後續化學氣相沉積法 (chemical vapor deposition) 製程的成核 (nucleation)。

發明背景

積體電路設計不斷地縮小尺寸，以尋求更快的操作速度與更低的電力消耗。而且在製程上電路設計的尺寸規模通常需要隨著改變。

積體電路的基本構件是薄膜電晶體 (Thin Film Transistor, TFT)。一般電晶體包含藉由薄閘介電材料與半導體層或基底分隔的閘極。雖然一般機電電晶體的縮寫為 MOS，表示金屬-氧化物-矽，但是長久以來在閘極材料的選擇上都是矽而不是金屬。除了別的優點之外，矽閘極可以抵抗高溫製程，且能用自行對準摻雜步驟來完成電晶體，所以可節省額外的罩幕製程。

因此，習知閘極都是摻雜具有增進傳導性雜質的多晶矽，這些雜質例如砷、磷或硼。矽可藉由同時流入一摻質源氣體與一矽源氣體之化學氣相沉積法臨場 (in situ) 沉積與摻雜。

近來，關於以銻 (germanium) 摻雜電極的可能性已被注意，藉以降低電晶體閘極的電工函數 (electrical work function)。因此，需要降低電壓以操作電路，進而產生較

五、發明說明 (2)

少的熱。此外，矽鍺閘極仍相容於週遭材料與電流積體電路製造程序。而建議形成矽鍺層的方法包括利用化學氣相沉積法 (Chemical Vapor Deposition, CVD) 臨場摻雜一矽層，化學氣相沉積步驟中是以鍺烷 (germane, 化學式為 GeH_4) 與矽烷 (silane, 化學式為 SiH_4) 一起作為原料。

雖然臨場摻雜的化學氣相沉積製程已被發現有效於製造矽鍺，但是添加進矽烷流體的鍺烷顯然會增加覆蓋於介電材料之潛伏 (incubation) 或成核 (nucleation) 時間，尤其像是二氧化矽的氧化物或是下述的高介電常數材料 (high-k material)。當化學氣相沉積法沉積多晶矽時，慢的成核同樣地發生在介電材料上，以及當臨場流入其它摻質源氣體時特別激烈。

慢的成核須承擔較多的總沉積時間、較低產量與後續較高的製造成本。而半導體業者對於製造成本非常敏感。因此在製程中的任何階段可使晶片產量增加的話，就能降低製造成本與獲得較高的利潤 (margin)。而且，最初粗劣的成核將導致最終層包括化學劑量 (stoichiometry)、密度、表面平坦度 (planarity) 等問題的粗劣品質。

藉由成核層的第一次形成加速在閘介電質上的矽鍺或其它臨場摻雜矽的沉積法，即典型的多晶矽，再沉積多晶矽鍺 (poly-SiGe)。然而，這個增加的步驟會複雜化製程流程，以及需要調整介電質與電極界面的摻雜濃度，以確保電晶體所欲之工函數。

另一方面，電晶體閘介電質的製造中，製程控制特別

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(3)

關鍵。為尋求更快速與更高效率的電路，半導體設計繼續隨每個生產世代(product generation)縮小尺寸。而電晶體開關時間(switching time)在尋求較快速電路操作上扮演一個極大的角色。開關時間可藉降低電晶體通道長度而降低。為了實現電晶體功效中最大的改善，垂直的大小應隨水平的大小而作尺寸上的改變。因此，有效的閘介電質厚度、接合深度(junction depth)等將隨未來世代積體電路全面縮小。

傳統閘介電質的種類是高品質二氧化矽，以及與典型”閘氧化物”層有關的種類。然而，超薄閘氧化物(譬如低於5nm)已知有高缺陷密度(high defect density)，包括針孔(pinhole)、電荷捕捉態(charge trapping state)與隨後之熱載子注入效應(hot carrier injection effect)。而在閘極間隙小於0.25 μm 之電路設計，例如 sub-quarter-micro 技術，這樣的高缺陷密度導致通過閘介電質的漏電流與快速元件故障。

雖然在實驗室環境下的管理可控制缺陷密度，但是這種控制在商業量產製造的環境下卻很難實施。此外，即使氧化物的完整性是完整地保留，但是閘氧化物的尺寸縮減也會因定量機械效應(quantum-mechanical effect)而處於基本限制。在高場下之直接隧穿支配 Fowler-Nordheim 隧穿，以及主要決定氧化物尺寸縮減限度。這些邏輯電路的尺寸縮減限度已被評估在約2nm，並且在動態隨機存取記憶體(dynamic random access memory，簡稱 DRAM)電路中

五、發明說明(4)

的較多易遺漏記憶陣列的尺寸縮減限度已被評估在約 3nm。請見 Hu et al., "Thin Gate Oxides Promise High Reliability," SEMICONDUCTOR INTERNATIONAL (July 1998), pp. 215-222。

理論上混合較高介電常數的材料成為閘介電質以為未來元件尺寸的變化帶來機會。由於高介電常數，很多材料可以顯示與較薄的二氧化矽層相同的電容，如此較低的等值氧化物厚度不用限定隧穿作用(tunnel-limited behavior)就可做到。舉例來說，氮化矽(Si_3N_4)具有較二氧化矽高之介電常數以及顯示抵抗硼滲透的優良擴散阻障特性(diffusion barrier property)。更多具有非常高介電常數奇特的材料，包括氧化鋁(Al_2O_3)、氧化鋯(ZrO_2)、氧化鈺(HfO_2)、鈦酸鋇鋇(barium strontium titanate，簡稱 BST)、鈦酸鋇鉍(strontium bismuth tantalate，簡稱 SBT)、氧化鉭(Ta_2O_5)等，也被研究以容許更進一步的元件尺寸縮減。

具有相似的高品質使薄介電層適合於積體製造電路的其他方面。記憶陣列中的積體電容器必須為了適當的資料儲存(data storage)與恢復(retrieval)顯出某種最小程度的電容，故用於記憶胞空隙之增加電容的效力已針對使用例如上述具有高介電常數特性的材料來研究。

由上述可知要沉積電極材料總是困難的，例如多晶矽、非晶矽以及特別摻雜矽或矽鍍的合金，在習知的氧化矽方面和許多高介電常數材料一樣仍在研究中。在積體電路製造上許多其他種類的材料與沉積技術面臨取決於欲沉

五、發明說明(5)

積於其上的基底之問題。

在多種改善原因中皆是於沉積所欲沉積的功能層之前先沉積一中間層(intermediate layer)，這些需改善的原因包含在其他方面不足的附著性(adhesion)、成核、電介面特性(electrical interface property)、擴散等。這些中間層將增加製程的複雜度(complexity)與成本，並且也會佔據具有高深寬比特徵的有用空間，例如高表面積電容器的接觸窗或摺疊結構。在習知文獻中像是閘介電質與電容器介電質的添加層，會增加整體介電厚度並降低層的效力，而與積體電路縮減尺寸的趨勢相反。

因此，在半導體製造中需存在一個為增進速度、效率、品質與沉積層的一致性(uniformity)之需求。

發明概述

在滿足上述需求下，在此提供一種沉積前之表面處理方法，為後續沉積製程預先處理基底表面。特別是提供成核前敏感的沉積製程(譬如多晶矽或多晶矽鍺)與受吸附作用驅策的沉積製程(譬如原子層沉積法)。

沉積之前，較佳實施例係以電漿產物處理表面。有利於化學氣相沉積多晶矽與多晶矽鍺更易於在被處理表面上成核，或是原子層沉積法(ALD)更容易在被處理表面上吸附。這樣的表面處理提供表面部分更易於受後續沉積製程影響，或是在沉積前更易於受更進一步的表面處理影響。藉由低溫激發處理(low temperature radical treatment)改變基底的表面邊界，能在沒有任何有可觀厚度的層或在沒有

五、發明說明(6)

顯著影響下面材料的塊材特性之情形下，有利於促進後續沉積。

範例中的電漿產物處理(plasma product treatment)包括供應氟(F)、氯(Cl)、氫(H)、氮(N)基，特別是經由在沉積前用以臨場表面處理屬於沉積室(deposition chamber)的遙控電漿模件(remote plasma module)。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下，但其並非用以限定本發明：

圖式之簡單說明

第 1 圖是範例的一種單一基底(single-substrate)反應裝置之剖面圖；

第 2 圖是依照本發明一較佳實施例一種說明反應氣體與清潔氣體源之氣體流動圖；

第 3 圖是依照本發明一較佳實施例一種處理基底的步驟流程圖；

第 4A 圖與第 4B 圖是依照本發明一較佳實施例一種電晶體閘極堆疊層的剖面圖；以及

第 5 圖是依照本發明一第二實施例的步驟流程圖。

標記之簡單說明：

- | | |
|------------|-----------|
| 10：反應裝置 | 12：反應室 |
| 13，14：加熱元件 | 15：聚光照射器 |
| 16：矽晶圓 | 18：基底支撐結構 |
| 20：基底支架 | 22：三腳座 |

五、發明說明(7)

- | | |
|----------------|-----------|
| 24：軸 | 26：管 |
| 28，29，30：熱電偶 | 32：集電環 |
| 34：彎管 | 36，38：分規 |
| 40：入口 | 42：出口 |
| 50：入口零件 | 52：水平長縫 |
| 54：垂直入口 | 56：出口零件 |
| 58：排氣開口 | 59：導管 |
| 60：激發種類源頭 | 62：氣體管線 |
| 63，64：氣體源 | 65：支線 |
| 70：氧化劑來源 | 72：氫源 |
| 73：氮源 | 74：液體反應源 |
| 76：磷化氫源 | 78：砷化三氫源 |
| 80：與硼化二氫源 | 82：氯化氫源 |
| 84：鍺源 | 86：矽源 |
| 88：洗氣器 | 100：清潔 |
| 110，125：激發種類處理 | |
| 120：沉積閘介電層 | 130：形成電極 |
| 200：半導體基底 | 210：閘極疊層 |
| 220：閘極電極 | 230：間隙壁 |
| 240：絕緣層 | 260：閘介電質 |
| 262，266：介面 | 264：塊狀介電層 |

實施例

熟悉此技藝者將容易瞭解於此揭露的於沉積前之表面處理方法。這種前處理特別有利於成核敏感與受吸附作用

五、發明說明(8)

驅策的製程 (nucleation-sensitive and adsorption-driven processes)。

依照實施例本發明於沉積前利用電漿產物提供一表面處理。而電漿產物最好能改質表面邊界 (surface termination)，使其對後續沉積敏感。

注意上面發明背景中所述，很多沉積製程對於所欲進行沉積於其上的基底是敏感的，而導致摻雜多晶矽與多晶矽鍺 (polycrystalline silicon-germanium) 合金在氧化矽上難以成核，在被研究之較新的高介電常數材料 (high-k material) 上也一樣。因此，本發明提供一種爲了沉積電極於其上之介電表面的前處理方法，此方法不用沉積製程，而且更好的是不必改變介電質的塊材特性。

另一個有助於本發明較佳實施例的沉積技術係原子層沉積法 (atomic layer deposition，簡稱 ALD)。原子層沉積法是一種自行限制製程 (self-limiting process)，藉以使反應前驅物 (reaction precursor) 在輪流脈衝下充滿基底，以及每次脈衝只留下一單層材料。前驅物係選擇可擔保自行充滿反應 (self-saturating reaction)，因爲隨著每一脈衝的吸附層留下不與同一脈衝的氣相反應物反應的表面邊界。不同反應物的後續脈衝會與先前邊界反應而繼續沉積。因此，輪流脈衝的每一循環只留下約一分子層 (molecular layer) 材料。原子層沉積 (ALD) 型製程的原理已經描述於 T. Suntola, e.g. in the Handbook of Crystal Growth 3, Thin Films and Epitaxy, Part B: Growth Mechanisms and Dynamics, Chapter

五、發明說明(9)

14, Atomic Layer Epitaxy, pp. 601-663, Elsevier Science B.V. 1994。

遺憾的是原子層沉積法(ALD)無法同樣妥善地沉積在不同的起始基底上。舉例來說，某些原子層沉積製程方式(recipe)在矽上沉積時會很慢甚至不會運作，尤其是被蝕刻或被清潔過的矽表面(典型地氫邊界)。例如像是在沉積氧化鋁上 $(\text{CH}_3)_3\text{Al}$ 不太可能發生的鋁烷基(aluminum alkyl)，可於原子層沉積製程中吸附在氫邊界的矽表面。

然而，一第一水脈衝也許可與矽表面反應，並且留下提供鋁烷基化學吸收作用(chemisorption)之起始表面(starting surface)的氫氧基(-OH)邊界或氧橋(Si-O-Si)矽表面。之後，可繼續進行原子層沉積製程，因為較佳的前驅物易於與二氧化矽反應以於其上沉積氧化鋁。

在詳細描述製程之前，先於下面描述用以藉化學氣相沉積法沉積多晶矽與多晶矽鍺的較佳反應裝置。雖然不個別圖示，但是下面描述的原子層沉積製程最好能於 Pulsar™ 2000 ALCVD™ 反應裝置中施行，在商業上可採用 ASM Microchemistry Oy of Espoo, Finland，也可修改使其連接一遙控電漿製造組件(remote plasma processing unit)。

較佳反應裝置

雖然本較佳實施例是描述單一基底(single-substrate)，水平流動冷壁反應裝置(flow cold-wall reactor)，但是本發明的某些方面將可應用於其他形式之反應裝置上。圖示中的單一通過水平流動設計能夠使反應氣體流線的流動，而

五、發明說明(10)

具有低停駐時間，而可依序促進後續製程，使反應物間以及反應物與反應室表面的交互作用減至最少。因此，除了其他優點外，這樣的流線式流動能夠連續流動可相互反應的反應物。用以避免包括譬如用氧或含氫反應物的高放熱或爆發性反應的反應，以及能夠產生反應室的特殊污染物質的反應。熟習此技藝者將可理解後續製程，但是也可提供其他反應裝置設計，來達到提供足夠的清潔時間以去除不相容的反應物之目的。

請參照第 1 圖，第 1 圖所示是一化學氣相沉積(chemical vapor deposition，簡稱 CVD)反應裝置 10，包括一石英製程或反應室(chamber)12，此一反應裝置係依照較佳實施例構成，以及爲了於此揭露具有特殊功效的方法所構成。雖然原本設計是在一定時間內於單一基底上使矽的磊晶沉積(epitaxial deposition)最佳化，但是發明者發現一些材料於化學氣相沉積法上具有較好的製程控制效用。此外，圖示的反應裝置 10 可在同一反應室 12 中安全乾淨地連續完成數個處理步驟。而反應裝置 10 的基本結構是按照從 ASM America, Inc. of Phoenix, AZ 用於商業上名爲 Epsilon®之裝置。

數個輻射加熱源保持在反應室 12 的外側，以提供反應室 12 中的熱源而不會被石英室 12 壁大量吸收。即使本實施例中用以製作半導體晶圓的是”冷壁”化學氣相沉積反應裝置，但在此所描述的製造方法也可採取其他相連的加熱/冷卻系統(heating/cooling system)，像是利用感應或電

五、發明說明(\\)

阻加熱的系統。

圖中的輻射加熱源包括一瘦長的管型輻射加熱元件 13 的上加熱配件。此上加熱元件 13 較佳配置是分開間隔平行的關係，而且基本上也平行於通過其上之反應室 12 的反應氣體流動路徑。還有一較低加熱配件包括欲反應室 12 下類似的瘦長的管型輻射加熱元件 14，較佳的方位係橫過上加熱元件 13。部分輻射加熱適合藉由分別在上、下加熱元件 13 與 14 上方與下方的粗糙反射鏡片(未顯示)，擴散反射至反應室 12 中。此外，數個聚光照射器 15 供應集中的熱到基底支撐結構底部(描述於後)，以中和由延伸於反應室 12 底部的冷支撐結構所產生的熱滲透效應(heat sink effect)。

每一瘦長的管型輻射加熱元件 13，14 最好是具有透明石英殼且其中含有如碘的鹵素氣體之高強度鎢絲燈。這樣的發射器會產生射過反應室 12 的壁面之最高頻譜(full-spectrum)輻射熱能而不會被吸收。如習知的半導體製造裝置，各種發射器加熱元件 13、14 與 15 的動力可單獨控制或應溫度感測器(temperature sensor)來分組。

一基底，較佳的是包括矽晶圓 16，被置於反應室 12 中的基底支撐結構 18。請注意雖然施實例圖中的基底是單晶矽晶圓，但是所謂的”基底”應可被廣泛解釋成任何於其上進行沉積的一表面。此外，在此描述的原理與優點同樣能妥善地應用於在其它無限制種類的基底上進行沉積層，包括譬如那些用於平面顯示器(flat panel display)的玻璃基

五、發明說明(12)

底。

圖示的之支撐結構 18 包括一用以放置矽晶圓 16 的基底支架 20 與一三腳座 22。而三腳座 22 係架置於通過位於反應室下壁的管 26 向下延伸之軸 24 上。較佳的管 26 是與清潔或清掃氣體源相通而可在製程間使氣體流過，以抑制製程氣體遺漏到反應室 12 的下部區域。

有數個溫度感測器放置在接近晶圓 16 的部分。而溫度感測器可採取數種種類，譬如光學高溫計(optical pyrometer)或熱電偶(thermocouple)。溫度感測器的數量與位置係選擇以遙控溫度的一致性，而按照上面描述更好的是溫度控制器(temperature controller)。然而，溫度感測器亦可直接或間接感測接近晶圓處的溫度。

於實施例中，溫度感測器包括熱電偶，包含一第一或中心熱電偶 28，以任何適合的方式懸掛於晶圓支架 20 下。兔是的中心熱電偶 28 經過三腳座 22 並接近晶圓支架 20。反應裝置 10 更包括數個也接近晶圓 16 的第二或周圍的熱電偶，包括一主要的邊緣或正面熱電偶 29、一蔓延的正面或背面熱電偶 30 以及一個或更多邊的熱電偶(未顯示)。每一周圍的熱電偶位於環繞基底支架 20 與晶圓 16 之集電環 32 中。而每一中心與周圍的熱電偶與用以設定數個加熱元件 13、14、15 的動力之讀數的 PID 溫度控制器相連。

除了放置周圍熱電偶之外，在高溫製程期間集電環 32 吸收與放出輻射熱，以補償在晶圓邊緣的較多熱能損失或熱吸收的趨勢，這個現象是由於在邊緣部分的表面積與體

五、發明說明(13)

積的比率較大而造成的。集電環 32 藉由將邊緣損失降至最少而能夠降低橫越晶圓 16 之輻射溫度不一致性的危險。集電環 32 也可以用任何適合的形式懸掛。舉例來說，圖示中的集電環 32 係放置於彎管 34 上，而彎管 34 係依靠於正面反應室分規(front chamber divider)36 與背面反應室分規(rear chamber divider)38。而分規 36、38 的較佳種類是石英。另外於某些配置下，背面的分規 38 是可省略的。

圖中的反應室 12 包括一個用以注入反應氣體與載體氣體的入口 40，而晶圓 16 也可以經此接收。此外還有一個位於相反部位的出口 42，以及配置於入口 40 與出口 42 之間適當位置的晶圓支撐結構 18。

入口零件 50 須與反應室 12 相合，以圍住入口 40，並且包含一個可使晶圓 16 插入的水平長縫 52。一般垂直入口 54 由控制來源接受氣體，而將於第 2 圖有更詳細的描述，並且使氣體貫通長縫 52 與入口 40。垂直入口可包括如 U.S. Patent No. 5,221,556, Issued Hawkins et al.所描述的氣體注入器，或是於 U.S. Patent No. 6,093,252, Issued July 25, 2000 中的第 21-26 圖所繪示。單一晶圓反應裝置之氣體注入器的設計最重要的就是讓氣體流入的一致性達到最高。

一出口零件 56 同樣固定於反應室 12，而有一排氣開口 58 與出口 42 排成直線並通到一排氣導管 59。導管 59 依序與合適的真空裝置(未繪示)相連，以從反應室 12 中抽出製程用氣體。於實施例中，製程用氣體被抽離反應室 12

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (14)

與下游的洗氣器(未繪示)。此外，從反應室 12 中抽出製程用氣體最好再加一個泵或風扇並於低壓製程中排除。

較佳的反應裝置 10 還包括激發種類源頭 60，最好是位於反應裝置 10 的上游。而實施例中的激發種類源頭 60 包括一遙控電漿發生器(remote plasma generator)，其中含有磁電管能量產生器(magnetron power generator)與一個沿著氣體管線 62 的噴塗器(applicator)。而在商業上可供使用的遙控電漿發生器例如 Rapid Reactive Radicals Technology (R3T) GmbH of Munich, Germany 的 TRW-850。於實施例中，從磁電管而來的微波能量與沿著氣體管線 62 的噴塗器中之流動氣體相結合。而一前驅氣體源 63 與氣體管線 62 相連，以導入激發種類產生器 60。還有一個載體氣體源 64 與氣體管線 62 相連。更有一或多個支線 65 以供應增加的反應氣體。而氣體源 63、64 依照其種類或揮發性可包括貯氣槽(gas tank)或發泡器(bubbler)。每一個氣體管線可提供如圖示之流量控制器(mass flow controller，簡稱 MFC)與閥門(valve)，以提供載體氣體與反應氣體之相關數量導入激發種類產生器 60 之選擇，並從此進入反應室 12。

另外，激發種類也可在製造室(process chamber)中產生。舉例來說臨場電漿(*in situ* plasma)可在製造室中把射頻(radio frequency)電能用至間隔的電極而產生。而在商業上可供使用的臨場電漿化學氣相沉積反應裝置例如 ASM Japan K.K. of Tokyo, Japan 的 EagleTM10 或 EagleTM 12。此

五、發明說明 (15)

外，能量可藉由一些方法連接至源頭氣體，包括用臨場或遙控電漿產生器之電磁感應、電容等。然而，於此描述的製程中最好是使用遙控電漿源，以給予具有最小塊材效應之表面改質較佳的控制。

晶圓最好利用一拿取設備(pick-up device)從一操縱室(未繪示)經由長縫 52 傳送出來，以與週遭環境隔絕。而操縱室與製造室 12 最好藉由一個如 U.S. Patent No. 4,858,224 所描述的閘門閥分開。

單晶圓製造室 12 的總體容量係設計為製造 200mm 晶圓，例如較佳的是約少於 30 升，更加的是約少於 20 升，最佳的則是約少於 10 升。圖中的反應室 12 約有 7.5 升的容積。因為圖中的反應室 12 是與分規 32 與 38、晶圓支架 20、集電環 32 以及從管 26 流出的清潔氣體互相分開，然而製程氣體所經過的有效體積(effective volume)是總體積的一半(在圖中是約 3.77 升)。當然單一晶圓製造室 12 也可以根據反應室 12 設計符合的晶圓尺寸而不一樣。舉例來說，如圖中形式作為 300mm 晶圓的單一晶圓製造室 12，則較佳的是約少於 100 升，更加的是約少於 60 升，最佳的則是約少於 30 升。一個 300mm 晶圓製造室有約 24 升的總體積，而有效製造氣體容積約 11.83 升。

第 2 圖是依照本發明一較佳實施例一氣體管線圖。提供一個具有一氧化用劑(oxidizing agent)或氧化劑(oxidant)來源 70 的反應裝置 10。氧化劑源 70 可包括任何習知的氧化劑氣體，尤其是像 O_2 、 O_3 、 NO 、 H_2O 、 N_2O 、 $HCOOH$ 、

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (16)

HClO_3 等的易揮發氧化劑。氧化劑最好導入惰性載體氣體流(inert carrier gas flow)，例如氮氣(N_2)。另外，也可用純反應氣體流。此外，也可提供含氧氣體源至遙控電漿產生器 60，以提供氧化用的激發種類。

同樣於第 2 圖中，反應裝置 10 更包括一氫源 72。已知氫氣因為它可以非常高純度被供應、並由於其具有低沸點與適於矽的沉積，故氫氣是一種有用的載體氣體與清潔氣體。氫氣也可以在高溫氫氣烘烤下使用，以於層形成前將原生氧化層昇華。氫氣也可流經激發種類產生器 60，以產生用以清除氧化物或其他目的的氫基。

更好的反應裝置 10 還包括一氮源 73。已知氮氣在半導體中常用以代替氫氣作為載體氣體或清潔氣體。氮氣比較遲鈍以及適合多種整合材料及製造流程。而其他可行的載體氣體包括像是氦氣(He)或氬氣(Ar)的惰性氣體。

而已知的液體反應源 74 舉例來說包括在發泡器中的液態的二氯矽烷(dichlorosilane, DCS)、三氯矽烷(trichlorosilane, TCS)或較高等級矽烷，以及一個用來發泡與將氣相反應物從發泡器運送到反應室 12 的氣體管線。發泡器可選擇(或附加)擁有作為金屬源的 $\text{Ta}(\text{OC}_2\text{H}_5)_5$ ，而氣體管線經由液態金屬發泡 H_2 、 N_2 、 Ne 、 He 或 Ar ，以及用氣態形式轉移有機金屬前驅物(metallorganic precursor)到反應室 12。

反應裝置 10 也包括像是摻雜源的其他來源氣體(如圖示中的磷化氫源 76、砷化三氫源 78 與硼化二氫源 80)與

五、發明說明 (1/1)

作為清潔反應裝置壁面和其它內部的零件(例如提供激發種類產生器 60 作為電漿源 63 的氯化氫源 82 或 NF_3/Cl_2)。依照實施例中多晶矽鍍的沉積也需提供一鍍源 84(例如 GeH_4)以摻雜或形成矽鍍層。

附加的氣體源包括氮源(未繪示)以作為有用於氮化回火步驟的揮發氮源。此外也提供一矽源 86，即圖中的矽烷(SiH_4)。已知矽烷包括單矽烷(monosilane, SiH_4)、二矽烷(disilane, Si_2H_6)、三矽烷(trisilane, Si_3H_8)、DCS 與 TCS 是化學氣相沉積用的揮發性矽源，例如多晶矽鍍、氮化矽、矽化金屬和外涵或內涵矽(多晶矽、非晶矽、依據沉積常數的磊晶)。矽烷特別適合避免氮滲入敏感的閘介電結構中。

每一氣體源可用安全設施與控制閥經由氣體管線與入口 54(第 1 圖)相連，安全設施與控制閥就像是氣體配線中的流量控制器(mass flow controller, 簡稱 MFC)。製程氣體依照在中心控制器安排與製造室 12 至注入器的分配方向連到入口 54(第 1 圖)。在通過製造室 12 後，未反應的製程氣體和氣態反應產物被抽到洗氣器 88，以於抽到大氣前把對環境來說是危險的氣體凝結。

除了上述氣體源和液體發泡氣之外，反應裝置 10 還包括遙控配置或反應室 12 上部的激發種類源 60。圖示之來源 60 在一噴塗器中隨微波能量導致氣體流動，而氣體包括從氣體源 63 而來的反應前驅物。上述製程之電漿氣體源 63 包括氟源(例如 NF_3 、 F_2 或 B_2F_6)、氯源(例如 Cl_2)

五、發明說明 (18)

以及或是氮源(例如 N_2 或 NH_3)。在此製程中其他有用的電漿源氣體包括 H_2 、 O_2 、 NO 、 N_2O 、 He 與 Ar 。電漿在噴塗器中被激發，並且將激發種類帶到反應室 12。由氣體源 60 產生的反應性離子種類最好大多能在進入反應室 12 前再結合。換句話說，如 F 、 Cl 、 N 或 O 基在進入反應室 12 之後仍存在，並且適於反應。由上述討論即可清楚瞭解本發明之製程，而遙控電漿產生之激發種類將有助於得到高品質的層，以及獲得較高產量。

製造流程

第 3 圖是依照本發明一較佳實施例一種處理基底的步驟流程圖，說明在半導體基底表面製造電晶體閘極疊層。如圖所示，一包含半導體結構的單一基底先經清潔 100，以去除污染及在半導體結構之原生氧化物。此半導體結構包含一磊晶層或整塊矽層的頂部。一般而言，在成長閘極氧化物前的晶圓清洗是在晶圓被置入製造室前進行的。舉例來說，晶圓可於 $SC1/HF$ 濕式蝕刻浴中清潔。另外，在一區段工具中的相鄰模組中以積集的 HF 與醋酸蒸氣清潔處理，能降低運送過程中的時間並降低再次污染與再次氧化的機率。以某些應用來說，由 $SC1$ 步驟所留下的乾淨氧化物可被用來作為最初的氧化層。另一種可能係在反應室 12 中進行氫浴步驟，以昇華原生氧化物。少量的 HCl 蒸氣可在此氫浴步驟期間通入，以協助清除金屬污染物與同樣的東西。同時電漿可協助並應用於臨場的清潔，例如以氫氣取代氫基。

五、發明說明(19)

不論在 *ex situ* 清潔後或是在臨場清潔前，晶圓或其他基底均被置入製造室中。原生氧化物的清潔 100 傾向形成含氫表面(hydrogen-terminated surface)，此一氫表面阻止基底在暴露於無塵室中的自發再氧化或其他氧化物來源。但是，這個氫表面也阻礙了後續原子層沉積(ALD)製程，此 ALD 製程係圖示的 ZrO_2 與 Al_2O_3 的沉積。促進反應物吸附的方法是沉積一薄介面層。然而不論介面層多薄，譬如增加基底上總介電層厚度與減少有效介電常數之缺點仍然存在。

因此，實施例採用清潔基底表面的激發種類處理 110，最好是和後續沉積閘介電層 120 於同一製造室內實施。此一處理將改變基底的表面，以促進後續沉積。此一處理有助於調整處理步驟 110 以便激發種類給予足夠打斷表面鍵的活化能(實施例中的 H-Si 鍵與 Si-Si 鍵)並且形成新的鍵。而且，溫度需維持在夠低的溫度，以防止基底的侵蝕或主動種類擴散到塊材中。此外，沒有發生沉積的情形。最多就是由激發種類處理 110 留下一單層結尾。上述雖然在發生表面終止前沒有沉積情形，但是基底頂部的一些單層改變是有利的。

激發種類處理可與後續介電質沉積 120 在同一製造室中實施。在這個實例中，基底溫度最好設定去符合後續在同一製造室中沉積。

於一實例中，激發種類處理 110 包括暴露於足夠的氟或氯基中，以打斷表面的鍵，但是不足以侵蝕矽表面。提

五、發明說明 (20)

供遙控電漿產生器 60(第 2 圖)的來源氣體包括 NF_3 、 F_2 、 B_2F_6 、 Cl_2 與 CF_4 等。氫氣、氮氣或其它鈍氣也可流入以幫助發光放電(glow discharge)的形成，以及供以作為載體氣體，但是總流速與分壓較佳地安排係保持反應室壓力在約 10Torr 以下，以維持遙控電漿單元的操作。而壓力常數最好調整至足以打斷表面的鍵而不會改變塊材。於圖示之實例中，後續沉積 120 係由原子層沉積法(ALD)臨場沉積所產生，而溫度較佳的範圍約在室溫至 700°C 之間，更佳的是在 200°C 到 500°C 之間。而且可調整特定溫度、壓力、遙控電漿功率、反應時間和反應物濃度，以達到所需的表面條件。

另一實例中提供例如氮或氮氣之氮源給基底，以打斷表面的鍵，並且根據後續沉積的性質建立 Si-N 鍵。氫氣、氮氣或其它鈍氣也可流入以幫助發光放電(glow discharge)的形成，以及供以作為載體氣體，但總流速與分壓較佳安排係保持反應室壓力約在 10Torr 下，以維持遙控電漿單元的操作。而此製程並不會導致沉積層。製程常數最好選擇用 Si-N 鍵取代基底頂部單層的 Si-Si 鍵，尤其需轉變約少於 10 埃的基底表面成為氮氧化矽，更佳的是形成平均約 2 埃至 5 埃。製程常數設定以避免在氮合併入基底頂部的單層後，氮擴散至塊材內的情形發生。塊材基底最好包含少於 1%原子濃度的氮。並注意有關氟或氯的處理，激發種類處理 110 可用後續高介電常數之形成 120 臨場實施，以使後續製程在相同溫度範圍內施行。而且可調整特定溫

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明(續)

度、壓力、遙控電漿功率、製程持續期間和反應物濃度，以限制氮滲入塊材。

接續激發種類處理的是在處理面上沉積介電質 120。沉積 120 也可以包含游離根種類流動(radical species flow)，然而於此由於激發種類處理 110 供應之游離根將沉積 120 中施行的不同。因此，從激發種類處理 110 而來的游離根流最好在沉積 120 前中止。

關於本實施例之沉積 120 係包括一個原子層沉積型沉積(ALD-type deposition)，其中輪流的脈衝充滿基底，而且每一循環不超過約一單層的介電材料。在下列例子中，一鋁源氣體或鋯源氣體與氧源氣體輪流著，以形成氧化鋁(Al_2O_3)與氧化鋯(ZrO_2)。而熟悉此技藝者可使用其它類似高介電常數材料，例如 HfO_2 、 Ta_2O_5 、BST 或 SBT。

原子層沉積的第一脈衝與激發種類處理 110 留下的邊界反應。而沉積前可提供更進一步的表面處理。舉例來說，晶圓處理在激發種類處理 110 後可更易於與表面反應，以留下亦於後續原子層沉積製程反應的氫氧端表面。

而於一實例中，不是在激發種類處理 110 之前就是之後，將矽晶圓置於為原子層沉積製程設計的 Pulsar™2000(出自於 ASM Microchemistry of Espoo, Finland)反應裝置的反應空間中。反應空間係以一機械真空幫浦(vacuum bump)抽真空。在撤離反應空間的壓力後，流入約 99.9999%純度之鈍氣(例如氬氣、氙氣或氮氣)以調整壓力在約 5~10mbar 之間。然後穩定反應空間在 300℃。

五、發明說明 (✓✓)

由外部來的輪流 $(\text{CH}_3)_3\text{Al}$ 與 H_2O 氣相脈衝被導入反應空間，並且接觸基底表面。原始化學脈衝被以流動的氮氣分開。

每一脈衝循環是由四個基本步驟組成：

- $(\text{CH}_3)_3\text{Al}$ 脈衝
- N_2 清潔
- H_2O 脈衝
- N_2 清潔

第 1 表概括示範的氧化鋁沉積循環。

表一： Al_2O_3

階段	反應物	溫度(°C)	壓力(mbar)	時間(秒)
脈衝 1	TMA	300	5~10	0.2
清潔 1	--	300	5~10	1.1
脈衝 2	H_2O	300	5~10	1.5
清潔 2	--	300	5~10	3.0

循環數係取決於層的厚度，典型於 300°C 下從 $(\text{CH}_3)_3\text{Al}$ 與 H_2O 所得之氧化鋁的成長速率在接近每循環 0.1nm 或每單層(約 3 埃晶格常數的氧化鋁)約 3~4 循環。每一 TMA 脈衝留下的甲基邊界(methyl termination)降低可供化學吸收的部位數目，而使每一脈衝少於一個完整的單層形式。重覆脈衝循環足夠的次數以製造出所需的層厚。氧化鋁可用作閘介電質或作為在形成其它介電層之前的薄層。

另一方面可藉由原子層沉積型製程沉積氧化鋅。導入 ZrCl_4 蒸氣到反應室中，並接觸晶圓表面 1.5 秒，這稱為脈

五、發明說明 (23)

衝 A。然後以氮氣清潔反應室 3.0 秒，以去除剩餘的 ZrCl_4 與反應室之副產品，這稱為清潔 A。接著導入水蒸氣到反應室中，並接觸晶圓表面 3.0 秒，這稱為脈衝 B。隨後以清潔反應室 4.0 秒來去除殘留的 H_2O 與反應副產品，這稱為清潔 B。在每一反應階段期間，供應足夠數量的反應物於特定的其它常數以充滿表面。

第 2 表概括示範的高介電常數沉積循環。

表二： ZrO_2

階段	反應物	溫度(°C)	壓力(mbar)	時間(秒)
脈衝 A	ZrCl_4	300	5~10	1.5
清潔 A	--	300	5~10	3.0
脈衝 B	H_2O	300	5~10	3.0
清潔 B	--	300	5~10	4.0

表 2 包括脈衝 A、清潔 A、脈衝 B 與清潔 B 的循環重複了 51 次。在 300°C 下平均沉積速率每一循環約為 0.59 埃，而 ZrO_2 的厚度約為 30 埃。

在原子層沉積製程期間根據氯滲入層中的可接受程度的溫度最好約在 200°C~500°C 之間。在較高溫下氯的含量會降低。太多的氯會導致電荷捕捉(charge trapping)。在 300°C 下氯含量測出約為 0.5%。對非晶質氧化銦層來說，最佳的溫度係在這個範圍的低部分，約在 200°C~250°C 之間，最佳則在約 225°C。對結晶層來說，最佳的溫度係在這個範圍的高部分，約在 250°C~500°C 之間，最佳則在約 300°C。然而熟悉此技藝者應能瞭解非晶質和結晶複合物的混

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (24)

合會產生這兩個體制的介面。圖示之製程產生大量結晶氧化鋯層。

在此實例中形成在金相的金屬單層係以氯自行終結 (self-terminated)，而在較佳情況下不易與過量的 ZrCl_4 反應。然而，在藉由預先吸附之氯化鋯複合物之更應而限制的 ligand-exchange 反應中，較佳的氧源氣體在氧氣相期間與氯終止端表面反應或吸附於其上。此外，氧化作用留下不再與多餘的氧化劑反應的飽和相氫氧根與氧橋邊界。

實施足夠的循環最好成長約 20 埃~60 埃的氧化鋯，更佳的是實施足夠的循環以成長約 20 埃~40 埃。層的介電常數約在 18~24 之間。於此實例中是形成 30 埃的氧化鋯。

接在介電質形成 120 的是一激發種類處理 125。無論介電質是包括已知的氧化矽或是高介電常數材料(具有高於 4 的介電常數或 k 值)，激發種類處理 125 都有助於促進多晶矽或多晶矽鍺於介電表面上成核。本發明也可應用在促進於高介電材料上 SiGeC 和氮化矽的成核，或藉化學氣相沉積法沉積氧化鋁。而且，從描述的處理可知對於防止高介電常數材料和其下層之基底在後續製程間被降解品質方面極有助益，而將於之後的第 4A 圖與第 4B 圖中詳述。

像是先前原子層沉積法(ALD)的激發種類處理 110，先前矽或多晶矽鍺之沉積的矽之處理 125 改變了基底表面的邊界，以幫助後續沉積。調整處理 125 有益於給予激發種類足夠的活化能，以打斷表面的鍵並形成新的鍵，同時

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明(25)

改變製程常數以維持夠低的能量程度，以防止基底被侵蝕或主動種類擴散至閘介電質的塊材中。此外，沒有發生沉積的情形。最多就是由激發種類處理 125 留下一單層結尾。然而，可調整製程藉由打斷金屬與氧之間的鍵以及用金屬與氮的鍵取代之，以使最高之單層高介電常數氧化物轉變成氮化物。而較佳的溫度係保持在約室溫到 800°C 之間。

可以在先前介電質沉積 120 中的同一製造室中實施激發種類處理 125，但是更好的是與後續形成電極 130 在同一製造室中實施。因此，處理 125 期間的溫度至少需符合多晶或多晶矽鍍沉積情形的最初階段，同樣地最佳化其它參數(壓力、反應物濃度、電漿功率和製程期間)以達到具有最小塊材效應(minimal bulk effect)的表面改質。於此實例中後續的電極形成 130 包括化學氣相沉積的多晶矽或多晶矽鍍沉積，而處理 125 期間的溫度更佳的是在約 300°C ~800°C 之間，最好是在約 500°C ~700°C 之間。

於一實例中，激發種類處理 125 包括暴露於足夠的氟或氯基中，以打斷表面的鍵，但是不足以侵蝕高介電常數表面。提供遙控電漿產生器 60(第 2 圖)的來源氣體最好包括 NF_3 、 F_2 、 B_2F_6 、 Cl_2 與 CF_4 等。氬氣、氮氣或其它鈍氣也可流入以幫助發光放電(glow discharge)的形成，但是反應室壓力最好保持在約 10Torr 以下，以維持遙控電漿單元的操作。

製程常數最好調整至足以打斷表面的鍵而不會改變塊材。而於此例中閘極電極的臨場沉積 130 的基底溫度最好

五、發明說明(26)

設定去符合後續在同一製造室中沉積。可調整特定溫度、壓力、遙控電漿功率、製程時間和反應物濃度，以達到所需的表面條件。

另一實例中提供例如氨(NH_3)或氮氣(N_2)之氮源給基底，以打斷表面的鍵，並且建立金屬與氮的鍵。氮(N_2)特別適合作為氮源以使製程中的氫含量降至最少。氬氣、氮氣或其它鈍氣也可流入以幫助發光放電的形成，但反應室壓力最好保持在約 10Torr 下，以維持遙控電漿單元的操作。

注意到製程 125 將產生一點沉積或增加厚度。而此製程常數最好選擇用金屬與氮的鍵取代基底頂部單層的金屬與氧的鍵，以形成金屬氧氮化物(metal oxynitride)。尤其高介電常數電質的激發種類處理 125 需轉變約少於 10 埃的介電質表面成為氮氧化矽，更佳的是形成平均約 2 埃至 5 埃。同時，需維持製程中的能量程度，以防止在氮合併入介電質頂部的單層後，氮擴散至塊狀介電質中。塊狀介電質在深度為 10 埃時，最好包含約少於 10%的原子濃度的氮。

隨後，在處理過的閘介電質上沉積閘極電極 130，最好是在與先前表面處理 125 同一製造室臨場摻雜。而電極最好包含矽並且藉由化學氣相沉積法而生成的。於此實例中閘極電極包括一化學氣相沉積矽鍺合金，最好是藉由在被處理的閘介電質上流入矽源(例如矽烷)與鍺源(例如鍺烷)，以沉積 $\text{Si}_{1-x}\text{Ge}_x$ 的形式。然而先前的遙控電漿處理 125

五、發明說明 (28)

也有益於其它敏感沉積製程的成核。

簡單來說，矽鍍層將比多晶矽鍍更普遍。而多晶矽鍍的沉積 130 最好隨著激發種類處理 125 之後，並於同一製造室中。在多晶矽鍍前還可包括沉積一原始矽晶種層。而且在大氣下或接近大氣的條件下，不是實施多晶矽的沉積就是多晶矽鍍的沉積。

請注意多晶矽鍍的沉積最好包括流入一矽源氣體、一鍍源氣體與一載體氣體在化學氣相沉積法中。圖中的矽源氣體包括矽烷(SiH_4)、鍍源氣體包括稀鍍烷(在鈍氣中 1.5% 的 GeH_4)，而載體氣體包括氮(N_2)。矽烷流可在 50 sccm~500 sccm 之間，更好的是在 100 sccm~400 sccm 之間。稀鍍烷(在鈍氣中 1.5% 的 GeH_4)之速率較佳是提供在 50 sccm~5000 sccm 之間，更佳是在 100 sccm~1000 sccm 之間。而載體氣體較佳是提供在 5slm~50slm 之間，更佳是約 20 slm。

於圖中實例沒有電漿的幫助或其它補充能源下，沉積期間的較佳溫度約在 500°C ~ 800°C 之間，更佳的溫度約在 550°C ~ 650°C 之間，而最佳的溫度約是 600°C 正/負 15°C 之間。在這個範圍的較低部位下多晶矽鍍的沉積對於商業上的應用來說太慢。換句話說，在這個範圍的頂端又會降低鍍的結合並增加表面粗糙度。選擇矽源氣體，譬如二矽烷或三矽烷時，沉積用的溫度將低如到像是 300°C ，而較佳範圍在 500°C ~ 700°C 之間。這樣的高階矽烷有利於顯示出較低的氫：矽比率，因此可降低氫擴散至表面中的危險，以及隨之縮小到金屬的高介電常數材料。

五、發明說明(28)

多晶矽鍺沉積較佳是在大於約 500Torr 下施行，更佳則是大於 700Torr，最佳是在於一大氣壓下(760Torr)施行。導因於氣體流量的輕微差別是屬於可忽略效應。而熟悉此技藝者可察知大氣中的沉積將會降低轉變前驅物去沉積多晶矽鍺的效能。然而，本發明發現在大氣壓力下的沉積會達到對操作上的功效較大的幫助。

在多晶矽鍺層中的鍺含量較佳約為 10%~80%之間，更佳者約為 20%~50%之間。而層的總厚度較佳約為 500 埃~1500 埃之間，更佳者約為 500 埃~1000 埃之間。

多晶矽鍺沉積的製造方法(recipe)例如是使用 H₂ 載體氣體，包括在大氣壓力、600℃下流入約 500sccm 1.5%的鍺烷(germane)、100sccm 的矽烷(silane)以及 20slm 載體氣體。而熟悉此技藝者可知這些條件能夠用 N₂ 載體氣體實行，以分別有效進行。這樣的氣體流將產生具有約 18%~20%的鍺含量之矽鍺層。以同樣載體和矽烷流，而採用 4500sccm 稀鍺烷矽烷能產生約 50%鍺含量。

多晶矽鍺沉積 130 最好後面再接續一頂蓋層(cap layer)的沉積。這個頂蓋層較佳包括矽，最佳為非晶矽。一個相當薄(例如約 100 埃)的頂蓋層可以將矽鍺層中的氧化為限降至最低。換句話說，頂蓋層也可依照很多閘極疊層設計而作為後續金屬矽化製程的保護層(sacrificial layer)。於此實例中頂蓋層較厚且較佳約為 1000 埃~2500 埃之間。而非晶矽頂蓋層之後還可包括一金屬層於其上的沉積。然後可對金屬層回火，進行標準的金屬矽化製程，以使上層金屬

五、發明說明(29)

與下層矽反應。雖然於圖中未顯示，但是也可在上述閘極疊層上的導體層沉積一介電頂蓋層。

當閘極疊層完成後，最好以傳統微影技藝 (photolithographic technique) 與蝕刻去圖案化閘極電極。另外，也可以在金屬層沉積前就圖案化閘極電極，並且對金屬層實行自行對準金屬矽化製程。

完成閘極疊層後，更包括完成後續積體電路製程。舉例來說，典型的閘極疊層係以介電質的全面沉積與間隙壁蝕刻來隔絕的。然後摻雜電晶體的主動區，以於圖案化的電極任一側形成源/汲極區域，以及用接線或“後端”製程 (back end process) 完成電路。

激發種類處理 110 (在原子層沉積前) 與 125 (在多晶矽鍍沉積前) 有助於在被處理表面上的沉積。在第一個例子中，激發種類處理 110 有助於原子層沉積反應物的吸附，以及可知這個處理有助於其它在不反應的基底 (non-reactive substrate) 上利用原子層沉積的情形。

於第二個例子中，表面處理 125 能夠快速完成，因此對於在含矽層上有較快的沉積時間，同時具有較佳的全面品質，其中含矽層例如圖中的多晶矽鍍層。臨場直接沉積摻雜鍍矽層 (無激發種類處理 125) 會導致與沉積相對的蝕刻下層閘介電層，因而增加潛伏時間 (incubation time)。熟悉此技藝者應可查知潛伏時間的增加與後續全面沉積的時間增加，將導致較低的晶圓產量，這表示於高競爭下的半導體製造業可行與不可行的差異。而且，較佳的潛伏也需

五、發明說明(10)

要較高品質的層。熟悉此技藝者將可由本發明所揭示的觀點得知，用磷、砷或硼臨場摻雜未摻雜矽或多晶矽也能增進潛伏時間。

在閘極電極形成前之高介電常數頂部表面的遙控電漿氮化製程已知具有額外的益處。除了增進在含矽層上沉積的成核外，表面處理也能在後續沉積期間降低高介電常數材料的降解。藉由激發種類處理形成的薄氮化物或氮氧化物相信可以抑制高介電常數材料的變化。不然這種留下導體金屬代替金屬氧化物的變化也會由閘極電極沉積而產生，尤其是以高氫含量與/或高溫施行的沉積製造方法。再者，經由高介電常數層擴散的氧也會被藉由激發種類處理 110 與 125 導致之最小氮化製程抑制。

第 4A 圖與第 4B 圖所示為一種合併介電疊層的電晶體閘極。顯示一具有電晶體閘極疊層 210 形成於其上的半導體基底 200。於圖中，基底 200 包括一單晶矽晶圓的上部，而熟悉此技藝者應可理解此基底還可以包括其他半導體材料。

閘極疊層 210 包含一多晶矽銻電極層 220，並具有間隙壁 230 以及習慣上用以保護並隔絕電極 220 的絕緣層 240。此外還包括連接閘極與邏輯電路位於閘極電極間並橫越晶圓的背帶，有助於快速訊號傳播。而閘極電極還包括臨場摻雜多晶矽層。

藉由上述例子形成的閘介電質 260 分隔閘極電極 220 與基底 200。於上述發明背景部份可知閘介電質 260 是追

五、發明說明(31)

求更密集與更快速電路的關鍵特徵。

從第 4B 圖的放大圖可觀察閘介電質 260 包含與其下層基底 200 間的介面 262、一塊狀介電層 264 以及與其上層閘極電極 220 基底間的介面 266。圖中的介面 262 與 266 並不表示是沉積層，而是在其上沉積的層沉積前被輕微改質。此外，電漿處理可能留下一個額外的層。而於圖例中，在原子層沉積前立即利用遙控電漿提供把第一介面 262 改質的原子團，此一表面改質有助於原子層沉積反應物的吸附。在臨場沉積的含矽層之前，立即利用遙控電漿提供把第二介面 266 改質的原子團，此一表面改質有助於原子層沉積反應物的吸附。其中含矽層之臨場沉積例如是藉由化學氣相沉積法之多晶矽、尤其是本徵多晶矽與多晶矽鍺的沉積。而此一表面改質有助於多晶矽鍺的成核。遙控電漿氮化製程的實例中較低介面 262 包括延伸至基底 200 約小於 10 埃的氮化部位，更佳係約 3 埃~5 埃之間。而在介面 262 下方的基底 200 最好包含約小於 1% 的氮。而上面的介面 266 同樣最好在閘極電極 220 下方 10 埃處顯示低百分比的氮(小於 10 atomic %，即小於 10 原子百分比)。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。舉例來說，在本發明之描述係於原子層沉積法(ALD)或化學氣相沉積法(CVD)之前進行表面處理，但是熟悉此技藝者應可

五、發明說明 (22)

將此表面原子團處理(radical treatment)應用於其它形式的沉積之前，包括金屬有機化學氣相沉積法(MOCVD)或噴射氣相沉積法(JVD)，但不限於此。

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要 (發明之名稱： 沉積前之表面處理方法)

一種沉積前之表面處理方法。在此提供的方法係用以處理準備作為後續成核敏感沉積製程(例如多晶矽或多晶矽鍍)以及受吸附作用驅策的沉積製程(例如原子層沉積)的基底表面。在沉積之前，先用非沉積性的電漿處理(110，125)這個表面。被處理過的表面更容易成核多晶矽與多晶矽鍍(作為閘極電極 220)，或是更容易吸附原子層沉積反應物(作為閘介電質 260)。這個提供部分表面進行的表面處理對後續沉積反應更容易敏感，或是在沉積前的表面對另一表面處理更容易敏感。而藉由低溫原子團處理而改變基底表面邊界，將對沉積有幫助，並且不會沉積任何厚度的層，也不會影響下層材料的塊材特性。此外，合併激發種類的塊材最好約少於 10 埃，而激發種類可以包括氟、氯以及特別是氮。

英文發明摘要 (發明之名稱： SURFACE PREPARATION PRIOR TO DEPOSITION)

Methods are provided herein for treating substrate surfaces in preparation for subsequent nucleation-sensitive depositions (e.g., polysilicon or poly-SiGe) and adsorption-driven deposition (e.g. atomic layer deposition or ALD). Prior to depositing, the surface is treated (110, 125) with non-depositing plasma products. The treated surface more readily nucleates polysilicon and poly-SiGe (such as for a gate electrode (220)), or more readily adsorbs ALD reactants (such as for a gate dielectric (260)). The surface treatment provides surface moieties more readily susceptible to a subsequent deposition reaction, or more readily susceptible to further surface treatment prior to deposition. By changing the surface termination of the substrate with a low temperature radical treatment, subsequent deposition is advantageously facilitated without depositing a layer of any appreciable thickness and without significantly affecting the bulk properties of the underlying material. Preferably less than 10 Å of the bulk material incorporates the excited species, which can include fluorine, chlorine and particularly nitrogen excited species.

六、申請專利範圍

1. 一種沉積前之表面處理方法，包括暴露一表面至一電漿的產物，藉以改變該表面的邊界而不影響其下之該表面的塊材特性，以及在改變該表面的邊界之後隨即沉積一層。

2. 如申請專利範圍第 1 項所述的沉積前之表面處理方法，其中沉積該層包括一成核敏感製程。

3. 如申請專利範圍第 2 項所述的沉積前之表面處理方法，其中該成核敏感製程包括一電傳導含矽層的化學氣相沉積。

4. 如申請專利範圍第 1 項所述的沉積前之表面處理方法，其中該表面包括電晶體的一閘介電層之頂表面以及該電傳導含矽層包括多晶矽鍺層(poly-SiGe)。

5. 如申請專利範圍第 4 項所述的沉積前之表面處理方法，其中該閘介電層與該多晶矽鍺層的一介面之鍺含量約在 20%~50%之間。

6. 如申請專利範圍第 4 項所述的沉積前之表面處理方法，其中該閘介電層包括一高介電材料。

7. 如申請專利範圍第 4 項所述的沉積前之表面處理方法，其中沉積該矽鍺層包括同時流入一矽源氣體以及鍺烷。

8. 如申請專利範圍第 1 項所述的沉積前之表面處理方法，其中沉積該層包括一受吸附作用驅策的製程。

9. 如申請專利範圍第 1 項所述的沉積前之表面處理方法，其中該受吸附作用驅策的製程包括一原子層沉積法

六、申請專利範圍 (ALD)。

10. 如申請專利範圍第 9 項所述的沉積前之表面處理方法，其中該原子層沉積法包括沉積具有介電常數高於氮化矽的一氧化物。

11. 如申請專利範圍第 10 項所述的沉積前之表面處理方法，其中該氧化物係選自於由氧化鋁、氧化鋯、氧化鉛、鈦酸鋇、鈦酸鋇鈦所構成的群組。

12. 如申請專利範圍第 1 項所述的沉積前之表面處理方法，其中暴露步驟包括從一遙控電漿源提供一原子團流到該表面。

13. 如申請專利範圍第 12 項所述的沉積前之表面處理方法，其中該原子團流在沉積前被停止。

14. 如申請專利範圍第 1 項所述的沉積前之表面處理方法，其中暴露步驟不會影響在下的該表面之塊材特性。

15. 如申請專利範圍第 14 項所述的沉積前之表面處理方法，其中該電漿的產物包括氮激發種類，而該層位在一半導體基底上，以及該基底含有約小於 1 原子百分比的氮。

16. 如申請專利範圍第 14 項所述的沉積前之表面處理方法，其中該電漿的產物包括氮激發種類，而該層位在具有大於 4 的介電常數之一閘介電質上，以及該閘介電質包括由該表面約 10 埃處小於 10 原子百分比的氮。

17. 如申請專利範圍第 1 項所述的沉積前之表面處理方法，其中暴露步驟不會沉積大於約一原子單層的層。

18. 如申請專利範圍第 17 項所述的沉積前之表面處理

六、申請專利範圍

方法，其中暴露步驟將金屬氧化層轉變成從該表面不超過約 10 埃的金屬氮氧化物。

19. 一種形成電晶體閘極疊層的方法，該方法包括：

形成一閘介電質於一半導體基底上；

暴露該閘介電質於一氮激發種類源，其中從該閘介電質的上表面約大於 10 埃之深度處暴露以合併約小於 10 原子百分比的氮；以及

在暴露該閘介電質於該氮激發種類源之後，沉積一含矽閘極電極在該閘介電質上。

20. 如申請專利範圍第 19 項所述之形成電晶體閘極疊層的方法，其中該閘介電質之材料係選自於由氧化鋁、氧化鋯、氧化鉛、氧化鉭、鈦酸鋇、鈦酸鋁所構成的群組。

21. 如申請專利範圍第 20 項所述之形成電晶體閘極疊層的方法，其中該閘介電質包括氧化鋯。

22. 如申請專利範圍第 19 項所述之形成電晶體閘極疊層的方法，其中在形成該閘介電質之前，更包括暴露該半導體基底的一表面於一氮激發種類源。

23. 如申請專利範圍第 22 項所述之形成電晶體閘極疊層的方法，其中暴露該半導體基底的該表面以形成小於約 10 埃之氮氧化矽。

24. 如申請專利範圍第 23 項所述之形成電晶體閘極疊層的方法，其中形成該閘介電質包括一原子層沉積法。

25. 如申請專利範圍第 19 項所述之形成電晶體閘極疊

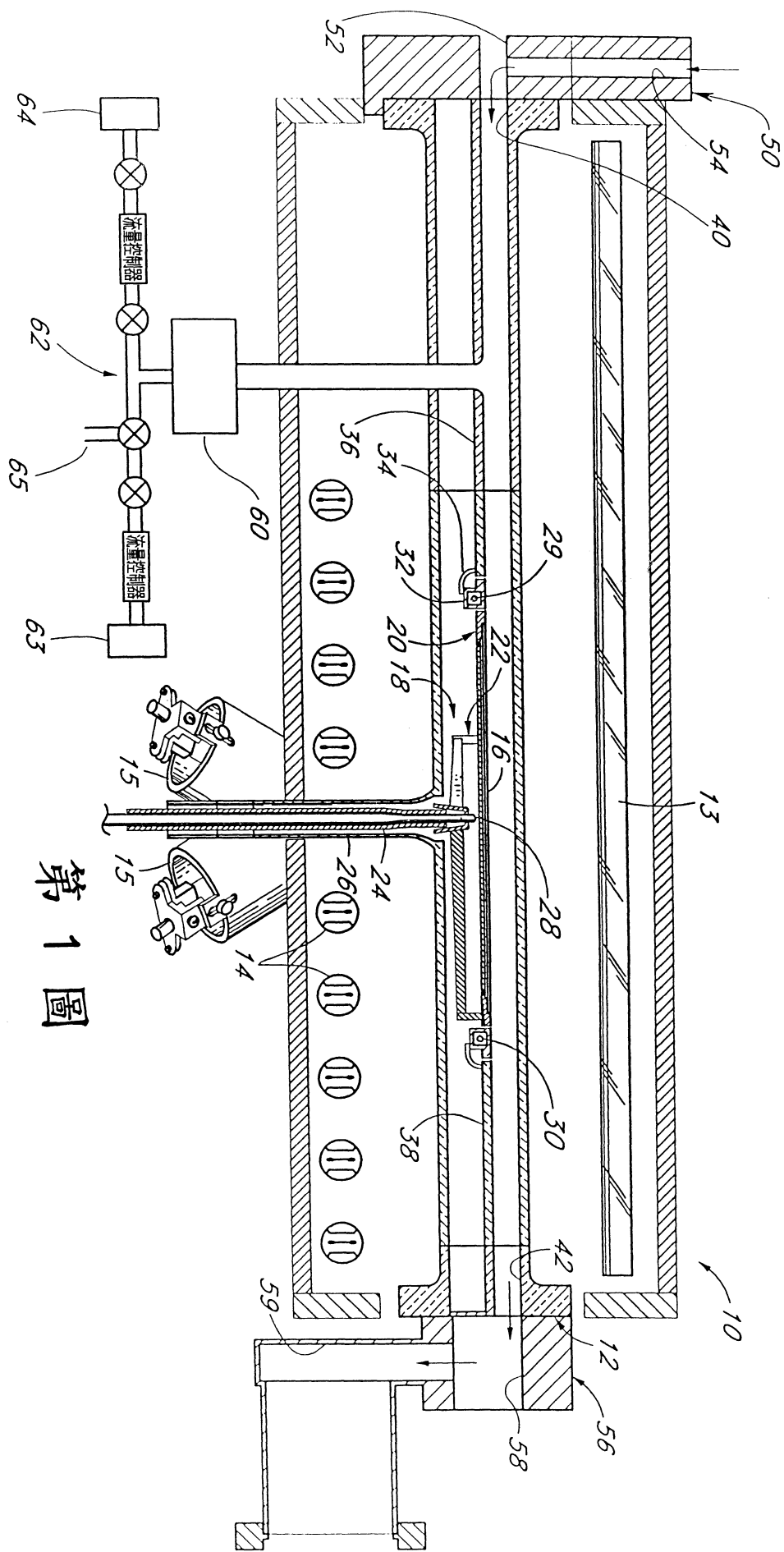
六、申請專利範圍

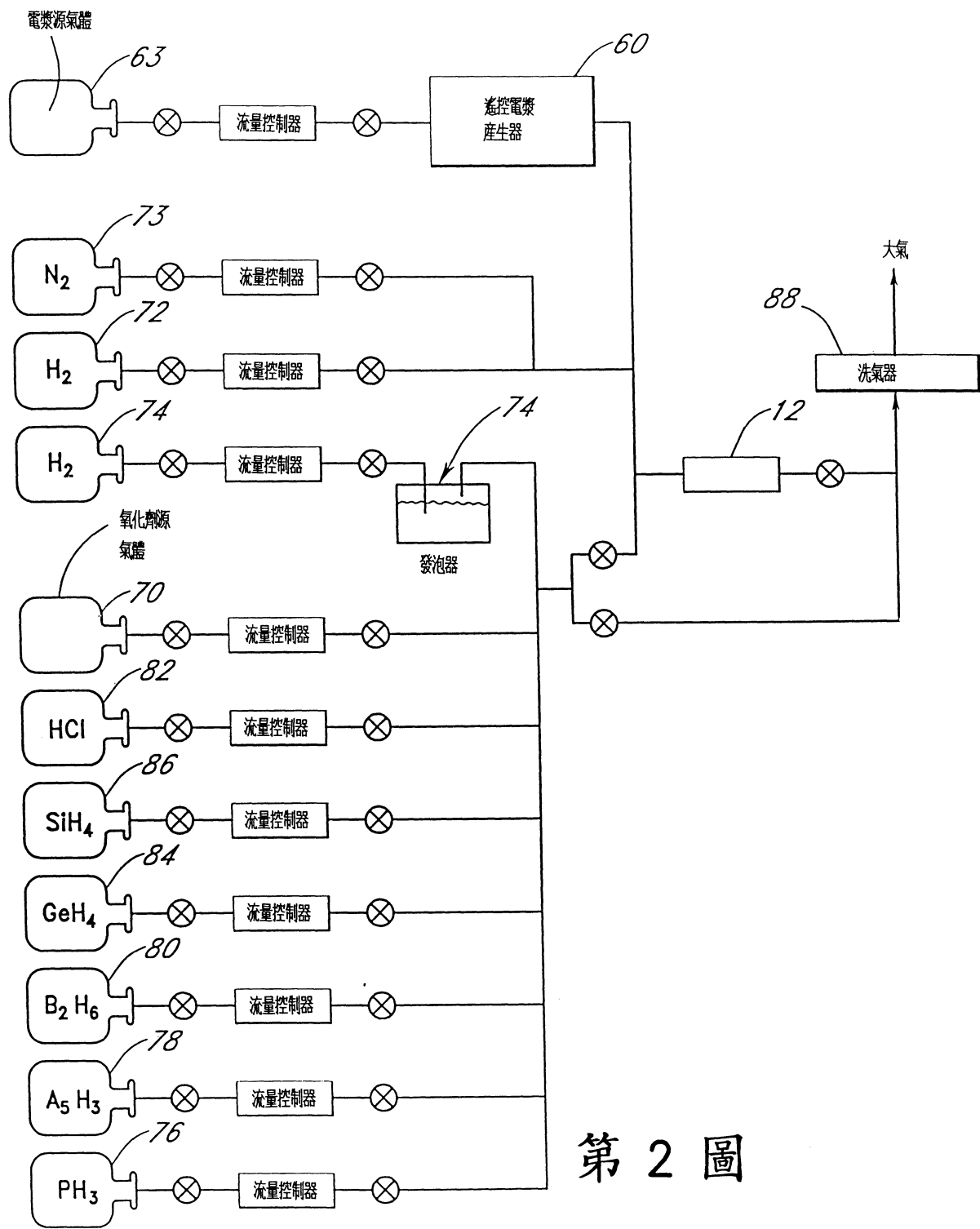
層的方法，其中沉積該含矽閘極電極包括藉由化學氣相沉積法沉積一矽鍍層。

(請先閱讀背面之注意事項再填寫本頁)

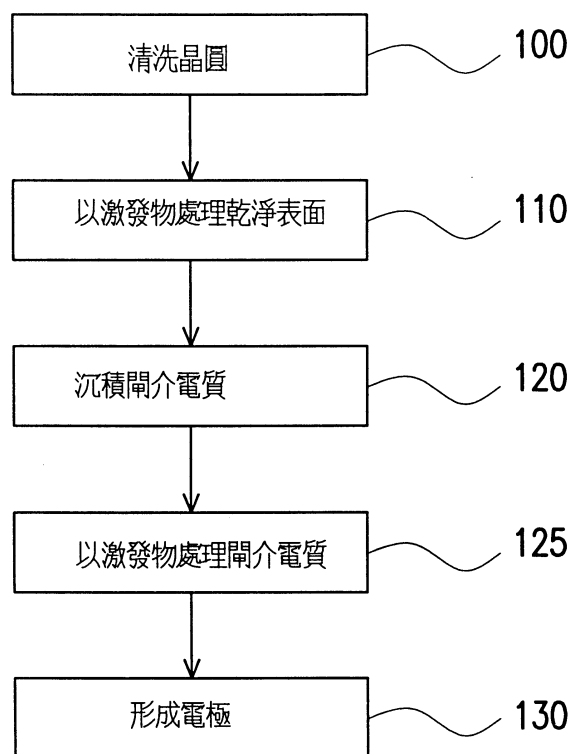
裝

訂

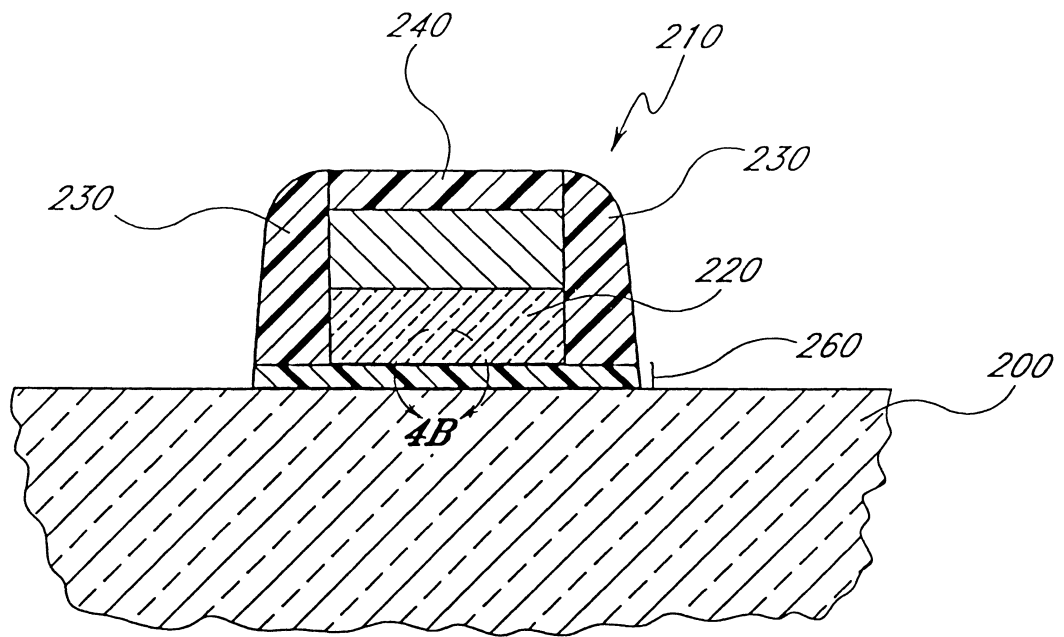




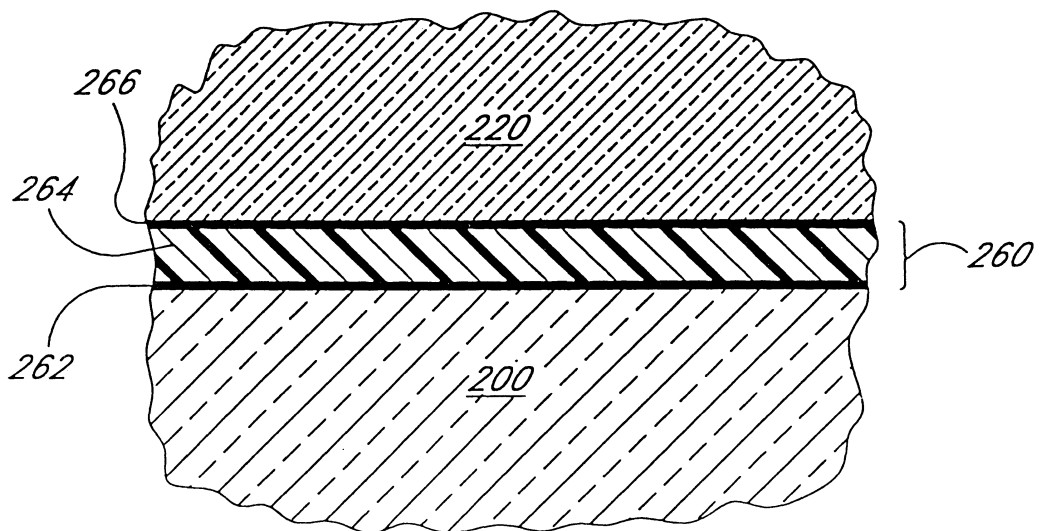
第 2 圖



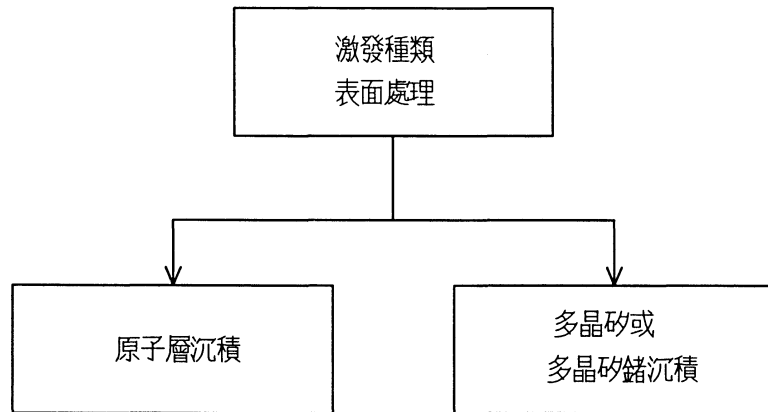
第 3 圖



第4A圖



第4B圖



第 5 圖

公告本

修正頁
91年1月4日
補充

申請日期	90.11.22
案號	90128895
類別	H01L 21/302

A4
C4

522484

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	沉積前之表面處理方法
	英文	SURFACE PREPARATION PRIOR TO DEPOSITION
二、發明人	姓名	1 克里斯多夫 F. 波馬瑞德 2 傑夫 羅勃特 3 艾立克 J. 雪洛
	國籍	美國
	住、居所	1 美國亞利桑那州 85048-7878 鳳凰城格蘭哈芬大道 3328 號 2 美國亞利桑那州 85248 西底特波魯錢德勒 664 號 3 美國亞利桑那州 85016 鳳凰城北方第 30 街 3820 號
三、申請人	姓名 (名稱)	ASM 美國股份有限公司
	國籍	美國
	住、居所 (事務所)	美國亞利桑那州 85034-7200 鳳凰城東大學大道 3440 號
	代表人姓名	圖德 衛斯特桑德

煩請委員明示，本案修正後是否變更原實質內容

經濟部智慧財產局員工消費合作社印製

裝訂線