

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 200510099803.8

H01L 29/78 (2006.01)

H01L 29/786 (2006.01)

H01L 21/336 (2006.01)

H01L 21/84 (2006.01)

[45] 授权公告日 2008年12月31日

[11] 授权公告号 CN 100448026C

[22] 申请日 2005.9.2

[21] 申请号 200510099803.8

[30] 优先权

[32] 2004.9.20 [33] US [31] 10/711,450

[73] 专利权人 国际商业机器公司

地址 美国纽约

[72] 发明人 赫赛恩·I·哈纳菲

爱德华·J·诺瓦克

[56] 参考文献

CN 1407630A 2003.4.2

CN 1440071A 2003.9.3

US4862232 1989.8.29

审查员 穆 堃

[74] 专利代理机构 北京市柳沈律师事务所

代理人 李晓舒 魏晓刚

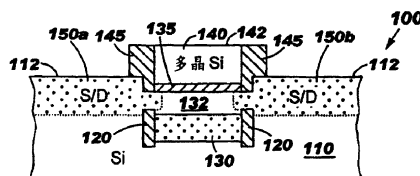
权利要求书 5 页 说明书 6 页 附图 5 页

[54] 发明名称

半导体结构及其形成方法

[57] 摘要

本发明公开了半导体结构及其形成方法。该半导体结构包括：第一和第二源极/漏极区域；设置在该第一和第二源极/漏极区域之间的沟道区域；物理接触该沟道区域的掩埋型阱区域；设置在该掩埋型阱区域和该第一源极/漏极区域之间以及设置在该掩埋型阱区域和该第二源极/漏极区域之间的掩埋型阻挡区域，其中该掩埋型阻挡区域适于防止该掩埋型阱区域和该第一源极/漏极区域之间的以及该掩埋型阱区域和该第二源极/漏极区域之间的电流泄漏和掺杂物扩散。



1. 一种半导体结构, 包括:
 - 第一和第二源极/漏极区域;
 - 沟道区域, 其设置在该第一和第二源极/漏极区域之间;
 - 掩埋型阱区域, 其物理接触该沟道区域; 以及
 - 掩埋型阻挡区域, 其设置在该掩埋型阱区域和该第一源极/漏极区域之间以及设置在该掩埋型阱区域和该第二源极/漏极区域之间,其中该掩埋型阻挡区域适于防止该掩埋型阱区域和该第一源极/漏极区域之间以及该掩埋型阱区域和该第二源极/漏极区域之间的泄漏电流。
2. 如权利要求 1 所述的半导体结构, 还包括:
 - 栅极区域; 以及
 - 栅极电介质层, 其设置在该栅极区域和该沟道区域之间并将该栅极区域和该沟道区域彼此电绝缘。
3. 如权利要求 2 所述的半导体结构, 其中该栅极区域含有多晶硅。
4. 如权利要求 1 所述的半导体结构, 其中该掩埋型阻挡区域含有二氧化硅。
5. 如权利要求 1 所述的半导体结构, 其中该第一和第二源极/漏极区域是重掺杂的。
6. 如权利要求 1 所述的半导体结构, 其中该掩埋型阱区域是重掺杂的。
7. 一种用于形成半导体结构的方法, 该方法包括步骤:
 - (a) 提供顶上覆盖有芯层的半导体衬底;
 - (b) 蚀刻沟槽穿过该芯层到该衬底中;
 - (c) 在该沟槽的侧壁上形成掩埋型阻挡区域, 其中该掩埋型阻挡区域与该衬底和该芯层两者直接物理接触;
 - (d) 在该沟槽中形成掩埋型阱区域和沟道区域, 其中该沟道区域在该掩埋型阱区域之上; 以及
 - (e) 形成第一和第二源极/漏极区域,其中该沟道区域设置在该第一和第二源极/漏极区域之间, 且其中该掩埋型阻挡区域设置在该掩埋型阱区域和该第一源极/漏极区域

之间以及设置在该掩埋型阱区域和该第二源极/漏极区域之间。

8. 如权利要求7所述的方法，其中该掩埋型阱区域是重掺杂的。

9. 如权利要求7所述的方法，其中该掩埋型阻挡区域适于消除 (i) 该掩埋型阱区域和该第一源极/漏极区域之间的以及 (ii) 该掩埋型阱区域和该第二源极/漏极区域之间的结电容。

10. 如权利要求7所述的方法，其中该掩埋型阻挡区域适于消除 (i) 该掩埋型阱区域和该第一源极/漏极区域之间的以及 (ii) 该掩埋型阱区域和该第二源极/漏极区域之间的泄漏电流。

11. 如权利要求7所述的方法，其中形成该掩埋型阻挡区域的步骤包括步骤：

沉积掩埋型阻挡层在该沟槽的侧壁和底壁上，从而该掩埋型阻挡层与该衬底和该芯层两者直接物理接触；以及

蚀刻掉该掩埋型阻挡层在该沟槽底壁的部分，从而由该掩埋型阻挡层形成该掩埋型阻挡区域。

12. 如权利要求7所述的方法，其中该掩埋型阻挡区域含有二氧化硅。

13. 如权利要求7所述的方法，其中形成该掩埋型阱区域和该沟道区域的步骤包括步骤：

在该沟槽中沉积半导体材料从而形成栅极下区域，使得该掩埋型阻挡区域被完全掩埋在该栅极下区域中；以及

掺杂该栅极下区域的被该掩埋型阻挡区域包围的部分，

其中该栅极下区域的掺杂部分包括该掩埋型阱区域，且

其中该栅极下区域的在该掩埋型阱区域之上的未掺杂部分包括该沟道区域。

14. 如权利要求13所述的方法，其中该半导体材料通过外延生长硅沉积在该沟槽中。

15. 如权利要求13所述的方法，其中该栅极下区域的该掺杂部分通过离子注入被掺杂。

16. 如权利要求7所述的方法，还包括步骤：

在该沟道区域之上形成栅极电介质层；然后

在形成该第一和第二源极/漏极区域的步骤之前，在该栅极电介质层之上形成栅极区域，

其中通过该栅极电介质层，该栅极区域与该沟道区域电绝缘。

17. 一种用于形成半导体结构的方法，该方法包括步骤：

(a) 提供顶上覆盖有芯层的半导体衬底；

(b) 蚀刻沟槽穿过该芯层到该衬底中；

(c) 在该沟槽的侧壁上形成掩埋型阻挡区域，其中该掩埋型阻挡区域与该衬底和该芯层两者直接物理接触；

(d) 在该沟槽中沉积半导体材料从而形成栅极下区域，使得该掩埋型阻挡区域被完全掩埋在该栅极下区域中；

(e) 在该沟槽的侧壁上形成栅极间隔区域；

(f) 通过该沟槽掺杂该栅极下区域的被该掩埋型阻挡区域包围的部分，其中该栅极下区域的掺杂部分包括掩埋型阱区域，且其中该栅极下区域的在该掩埋型阱区域上面的未掺杂部分包括沟道区域；

(g) 在该沟道区域上面形成栅极电介质层；

(h) 在该栅极电介质层上面形成栅极区域，其中通过该栅极电介质层，该栅极区域与该沟道区域电绝缘；以及

(i) 在该衬底中形成第一和第二源极/漏极区域，

其中该沟道区域设置在该第一和第二源极/漏极区域之间，

其中该掩埋型阻挡区域设置在该掩埋型阱区域和该第一源极/漏极区域之间以及设置在该掩埋型阱区域和该第二源极/漏极区域之间，且

其中该掩埋型阻挡区域适于防止该掩埋型阱区域和该第一源极/漏极区域之间的以及该掩埋型阱区域和该第二源极/漏极区域之间的泄漏电流。

18. 如权利要求 17 所述的方法，其中形成该掩埋型阻挡区域的步骤包括步骤：

在该沟槽的侧壁和底壁上沉积掩埋型阻挡层，从而该掩埋型阻挡层与该衬底和该芯层两者直接物理接触；以及

蚀刻掉该掩埋型阻挡层在该沟槽底壁的部分，从而由该掩埋型阻挡层形成该掩埋型阻挡区域。

19. 如权利要求 18 所述的方法，其中该掩埋型阻挡层含有二氧化硅。

20. 如权利要求 17 所述的方法，其中形成该栅极间隔区域的步骤包括步骤：

在该沟槽的侧壁和底壁上形成栅极间隔层；以及

除去该栅极间隔层的在该沟槽底壁上的部分，从而由该栅极间隔层形成该栅极间隔区域。

21. 一种用于形成半导体结构的方法，该方法包括步骤：

(a) 提供顶上覆盖有芯层的绝缘体上硅衬底，其中该绝缘体上硅衬底包括 (i) 上半导体层、(ii) 下半导体层、以及 (iii) 夹在该上和下半导体层之间的电绝缘体层；

(b) 蚀刻沟槽穿过该芯层并到该绝缘体上硅衬底中，从而该下半导体层在该沟槽的底壁处暴露在外；

(c) 在该沟槽的侧壁上形成掩埋型阻挡区域，其中该掩埋型阻挡区域与该绝缘体上硅衬底和该芯层两者直接物理接触；

(d) 在该沟槽中形成掩埋型阱区域和沟道区域，其中该沟道区域在该掩埋型阱区域上面；以及

(e) 形成第一和第二源极/漏极区域，

其中该沟道区域设置在该第一和第二源极/漏极区域之间，

其中该掩埋型阻挡区域设置在该掩埋型阱区域和该第一源极/漏极区域之间以及设置在该掩埋型阱区域和该第二源极/漏极区域之间。

22. 如权利要求 21 所述的方法，其中该掩埋型阱区域是重掺杂的。

23. 如权利要求 21 所述的方法，其中该掩埋型阻挡区域适于消除 (i) 该掩埋型阱区域和该第一源极/漏极区域之间的以及 (ii) 该掩埋型阱区域和该第二源极/漏极区域之间的结电容。

24. 如权利要求 21 所述的方法，其中该掩埋型阻挡区域适于消除 (i) 该掩埋型阱区域和该第一源极/漏极区域之间的以及 (ii) 该掩埋型阱区域和该第二源极/漏极区域之间的泄漏电流。

25. 如权利要求 21 所述的方法，其中形成该掩埋型阻挡区域的步骤包括步骤：

在该沟槽的侧壁和底壁上沉积掩埋型阻挡层，从而该掩埋型阻挡层与该衬底和该芯层两者直接物理接触；以及

蚀刻掉该掩埋型阻挡层的在该沟槽底壁处的部分，从而由该掩埋型阻挡层形成该掩埋型阻挡区域。

26. 如权利要求 21 所述的方法，其中该掩埋型阻挡区域含有二氧化硅。

27. 如权利要求 21 所述的方法, 其中形成该掩埋型阱区域和该沟道区域的步骤包括步骤:

在该沟槽中沉积半导体材料从而形成栅极下区域, 使得该掩埋型阻挡区域被完全掩埋在该栅极下区域中; 以及

掺杂该栅极下区域的被该掩埋型阻挡区域包围的部分,

其中该栅极下区域的该掺杂部分包含该掩埋型阱区域, 且

其中该栅极下区域的在该掩埋型阱区域上面的未掺杂部分包含该沟道区域。

28. 如权利要求 27 所述的方法, 其中该半导体材料通过外延生长硅而沉积在该沟槽中。

29. 如权利要求 27 所述的方法, 其中该栅极下区域的该掺杂部分通过离子注入被掺杂。

30. 如权利要求 21 所述的方法, 还包括步骤:

在该沟道区域上面形成栅极电介质层; 且然后

在形成第一和第二源极/漏极区域的步骤之前, 在该栅极电介质层之上形成栅极区域,

其中通过该栅极介电层该栅极区域与该沟道区域电绝缘。

半导体结构及其形成方法

技术领域

本发明涉及掺杂阱，更具体地，涉及在半导体集成电路中用于减小阈值电压变化的掺杂偏置阱。

背景技术

制造半导体器件使其具有所设计的目标阈值电压是困难的。用于实现所设计的目标阈值电压的方法之一是在半导体器件的沟道区域下面形成高度掺杂的阱并且使用阱（电压）偏置作为将阈值电压调节到目标值的手段。然而，高度掺杂的偏置阱会导致其自身与半导体器件的源极/漏极区域之间的泄漏电流以及增大的结电容，特别是在沟道下面的结边缘处。

因此，在半导体器件中需要一种新颖的结构，以消除或减小这样的泄漏电流和这样的结电容。还需要一种用于制造这样的新颖结构的方法。

发明内容

本发明提供一种半导体结构，其包括：（a）第一和第二源极/漏极区域；（b）设置在该第一和第二源极/漏极区域之间的沟道区域；（c）物理接触该沟道区域的掩埋型阱区域(buried well region)；（d）设置在该掩埋型阱区域和该第一源极/漏极区域之间以及设置在该掩埋型阱区域和该第二源极/漏极区域之间的掩埋型阻挡区域，其中该掩埋型阻挡区域适于防止该掩埋型阱区域和该第一源极/漏极区域之间以及该掩埋型阱区域和该第二源极/漏极区域之间的泄漏电流。

本发明还提供一种用于形成半导体结构的方法，该方法包括步骤：（a）提供顶上覆盖有芯层（mandrel layer）的半导体衬底；（b）蚀刻沟槽穿过该芯层并且到该衬底中；（c）在该沟槽的侧壁上形成掩埋型阻挡区域，其中该掩埋型阻挡区域与该衬底和该芯层两者直接物理接触；（d）在该沟槽中形成掩埋型阱区域和沟道区域，其中该沟道区域在该掩埋型阱区域顶上；以及（e）形成第一和第二源极/漏极区域，其中该沟道区域设置在该第一和第二源极/

漏极区域之间,并且其中该掩埋型阻挡区域设置在该掩埋型阱区域和该第一源极/漏极区域之间以及设置在该掩埋型阱区域和该第二源极/漏极区域之间。

本发明还提供一种用于形成半导体结构的方法,该方法包括步骤:(a)提供顶上覆盖有芯层的半导体衬底;(b)蚀刻沟槽穿过该芯层并且到该衬底中;(c)在该沟槽的侧壁上形成掩埋型阻挡区域,其中该掩埋型阻挡区域与该衬底和该芯层两者直接物理接触;(d)在该沟槽中沉积半导体材料以形成栅极下区域,从而该掩埋型阻挡区域被完全掩埋在该栅极下区域中;(e)在该沟槽的侧壁上形成栅极间隔区域;(f)经该沟槽掺杂该栅极下区域的被该掩埋型阻挡区域包围的部分,其中该栅极下区域的掺杂部分包含掩埋型阱区域,且其中该栅极下区域的在该掩埋型阱区域顶上的未掺杂部分包含沟道区域;(g)在该沟道区域顶上形成栅极电介质层;(h)在该栅极电介质层顶上形成栅极区域,其中通过该栅极电介质层该栅极区域与该沟道区域电绝缘;以及(i)在该衬底中形成第一和第二源极/漏极区域,其中该沟道区域设置在该第一和第二源极/漏极区域之间,其中该掩埋型阻挡区域设置在该掩埋型阱区域和该第一源极/漏极区域之间以及设置在该掩埋型阱区域和该第二源极/漏极区域之间,其中该掩埋型阻挡区域适于防止该掩埋型阱区域和该第一源极/漏极区域之间的以及该掩埋型阱区域和该第二源极/漏极区域之间的泄漏电流。

本发明还提供一种用于形成半导体结构的方法,该方法包括步骤:(a)提供顶上覆盖有芯层的绝缘体上硅(SOI)衬底,其中该SOI衬底包括(i)上半导体层、(ii)下半导体层、以及(iii)夹在该上和下半导体层之间的电绝缘体层;(b)蚀刻沟槽穿过该芯层并且到该SOI衬底中,从而该下半导体层在该沟槽的底壁处暴露在外;(c)在该沟槽的侧壁上形成掩埋型阻挡区域,其中该掩埋型阻挡区域与该衬底和该芯层两者直接物理接触;(d)在该沟槽中形成掩埋型阱区域和沟道区域,其中该沟道区域在该掩埋型阱区域顶上;以及(e)形成第一和第二源极/漏极区域,其中该沟道区域设置在该第一和第二源极/漏极区域之间,其中该掩埋型阻挡区域设置在该掩埋型阱区域和该第一源极/漏极区域之间以及设置在该掩埋型阱区域和该第二源极/漏极区域之间。

本发明提供一种半导体结构,该半导体结构在其掺杂的偏置阱和其源极

/漏极区域之间具有减小的泄漏电流和减小的电容。

附图说明

图 1A-1I 示出根据本发明的实施例的经历不同制造步骤的半导体结构的剖视图。

图 2A-2D 示出根据本发明的实施例的经历不同制造步骤的另一半导体结构的剖视图。

具体实施方式

参考图 1A, 在一实施例中, 半导体结构 100 的制造开始于顶上覆盖有芯层 115 的单晶硅衬底 110。在一实施例中, 芯层 115 可含有氮化物, 诸如氮化硅 (Si_3N_4)。然后, 穿过芯层 115 蚀刻出沟槽 117, 从而衬底 110 在沟槽 117 的底部暴露。接着, 在一实施例中, 沟槽 117 被更深地蚀刻到衬底 110 中, 如图 1B 所示。

参考图 1C, 在一实施例中, 掩埋型阻挡区域(buried barrier region)120 形成在沟槽 117 的侧壁上。在一实施例中, 掩埋型阻挡区域 120 可以含有二氧化硅 (SiO_2)。在一实施例中, 掩埋型阻挡区域 120 可以具有中空管的形状, 其顶视图具有环形。在一实施例中, 掩埋型阻挡区域 120 的顶表面 122 高于衬底 110 的顶表面 112。换言之, 掩埋型阻挡区域 120 与衬底 110 和芯层 115 两者直接物理接触。

在一实施例中, 掩埋型阻挡区域 120 的形成可以开始于掩埋型阻挡层 120' (由虚线定义) 通过例如 CVD SiO_2 (即二氧化硅的化学气相沉积) 在沟槽 117 的侧壁和底壁上的形成。然后, 掩埋型阻挡层 120' 在垂直方向 190 上被向下蚀刻 (各向异性蚀刻)。结果, 如图所示地形成掩埋型阻挡层 120。

参考图 1D, 在一实施例中, 在沟槽 117 中外延生长硅材料到高于掩埋型阻挡区域 120 的顶表面 122 的顶表面 124。结果, 衬底 110 在沟槽 117 中具有新的顶表面 124, 且掩埋型阻挡区域 120 被完全浸没 (即被掩埋) 在衬底 110 中。

参考图 1E, 在一实施例中, 栅极间隔区域 125 形成在沟槽 117 的侧壁上。在一实施例中, 栅极间隔区域 125 可类似于掩埋型阻挡区域 120 (即具有中空管的形状, 其顶视图具有环的形状)。栅极间隔区域 125 用于使栅极

电极形体上更小，其允许更低的栅极电容和完成的晶体管 100 的更快的开关特性。在一实施例中，栅极间隔区域 125 的形成类似于掩埋型阻挡区域 120 的形成。

更具体地，栅极间隔区域 125 的形成可开始于栅极间隔层 125' (由虚线定义) 通过例如 CVD SiO_2 在沟槽 117 的侧壁和底壁上的形成。然后，栅极间隔层在垂直方向 190 上被向下蚀刻。结果，如图所示地形成栅极间隔区域 125。

在形成栅极间隔区域 125 之后，在一实施例中，被掩埋型阻挡区域 120 包围 (即围绕) 的掩埋型阱区域 130 被重掺杂 ($1 \times 10^{19} - 1 \times 10^{20}$ 个杂质原子/ cm^3)。在可选实施例中，在形成栅极间隔区域 125 之前掺杂掩埋型阱区域 130。掩埋型阱区域 130 顶上的硅区域 132 可被称为沟道区域 132。如果结构 100 将成为 n 沟道晶体管，则掩埋型阱区域 130 应采用 p 型杂质 (例如硼、铟或镓) 来重掺杂。相反地，如果结构 100 将成为 p 沟道晶体管，则掩埋型阱区域 130 应该采用 n 型杂质 (例如砷、锑或磷) 来重掺杂。

参考图 1F，在一实施例中，栅极电介质层 135 形成在沟道区域 132 的表面 124 之上。更具体地，在一实施例中，栅极电介质层 135 可通过氮气存在时沟道区域 132 的顶表面 124 的热氧化来形成。结果，所得栅极电介质层 135 可含有二氧化硅和氮化硅。接着，栅极区域 140 形成在栅极电介质层 135 的上面。在一实施例中，栅极区域 140 可含有多晶硅，示例性地，其通过整个结构 100 顶上的 CVD 和随后的平坦化步骤 (直到芯层 115 的顶表面 116 暴露在外) 来形成。

参考图 1G，在一实施例中，示例性地，通过选择性蚀刻 (也即采用与芯层 115 的氮化物反应但分别不与栅极区域 140 和栅极间隔区域 125 的多晶硅或二氧化硅反应的化学蚀刻剂) 除去芯层 115。在一实施例中，该化学蚀刻剂可以是热磷酸。

接着，在一实施例中，硅选择性生长在结构 100 上暴露的硅的区域的顶上面，直到单晶硅衬底 110 的顶表面 112 如图 1H 所示地上升到高于栅极电介质层 135 的层面。更具体地，因为衬底 110 和沟道区域 132 两者都含有单晶硅，所以，作为外延生长的结果，单晶硅从衬底 110 和沟道区域 132 两处生长并合并，从而导致衬底 110 的表面 112 上升。另外作为外延生长的结果，多晶硅从多晶硅栅极区域 140 的顶表面 142 生长。

接着,参考图 1I,在一实施例中,栅极间隔区域 125 被扩大从而成为如图所示的栅极间隔区域 145。更具体地,在一实施例中,栅极间隔区域 145 可以通过二氧化硅的保形沉积(例如 CVD)来形成。然后,新沉积的 SiO_2 被回蚀刻以致于将衬底 110 的顶表面 112 和栅极区域 140 的顶表面 142 暴露在外并且在栅极区域 140 的侧壁上留下栅极间隔区域 145。

接着,在一实施例中,重掺杂($5 \times 10^{19} - 3 \times 10^{20}$ 个杂质原子/ cm^3)的源极/漏极区域 150a 和 150b 形成在衬底 110 的顶部区域。更具体地,在一实施例中,源极/漏极区域 150a 和 150b 可以通过使用栅极间隔区域 145 作为掩模的离子注入来被掺杂。该离子注入步骤还在多晶硅栅极区域 140 中注入掺杂剂,但那不会不利地影响栅极区域 140 的功能。如果结构 100 将成为 n 沟道晶体管,则源极/漏极区域 150a 和 150b 应该用 n 型杂质(例如砷、磷或锑)来重掺杂。

总之,在沟道区域 132 下面存在重掺杂的掩埋型阱区域 130 的情况下,通过在可接受的公差内的制造,借由控制掩埋型阱区域 130 的电压,可实现晶体管 100 的特定目标阈值电压。另外,因为存在包围掩埋型阱区域 130 并因此将掩埋型阱区域 130 与源极/漏极区域 150a 和 150b 绝缘的掩埋型阻挡区域 120,所以在结构 100 的运行期间,掩埋型阱区域 130 和源极/漏极区域 150a 之间的泄漏电流和结电容以及掩埋型阱区域 130 和源极/漏极区域 150b 之间的泄漏电流和结电容被消除或至少被减小。在一实施例中,可以选择掩埋型阻挡区域 120 的材料,从而最大化防止(即,基本消除)这样的泄漏电流和结电容的效果。

上述实施例中,如果结构 100 将成为 n 沟道器件,则衬底 110 可以不掺杂或采用 p 型杂质轻掺杂;如果结构 100 将成为 p 沟道器件,则衬底 110 可以不掺杂或采用 n 型杂质轻掺杂。衬底 110 可含有代替硅和/或与硅结合的任何其它半导体材料。

可选实施例中,沟槽 117(图 1B)可以具有壕沟(trench)的形状,因此掩埋型阻挡区域 120(图 1C)可含有在沟槽 117 的两个相对的侧壁上的两个分开的区域。

图 2A-2D 示出根据本发明的实施例的经历不同制造步骤的另一半导体结构 200 的剖视图。用于半导体结构 200 的制造工艺类似于图 1A-1I 的用于半导体结构 100 的制造工艺,除了在用于半导体结构 200 的制造工艺中使用

了绝缘体上硅 (SOI) 衬底 210 外。

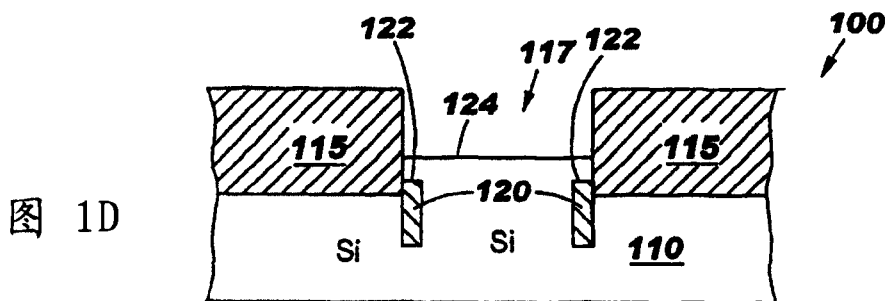
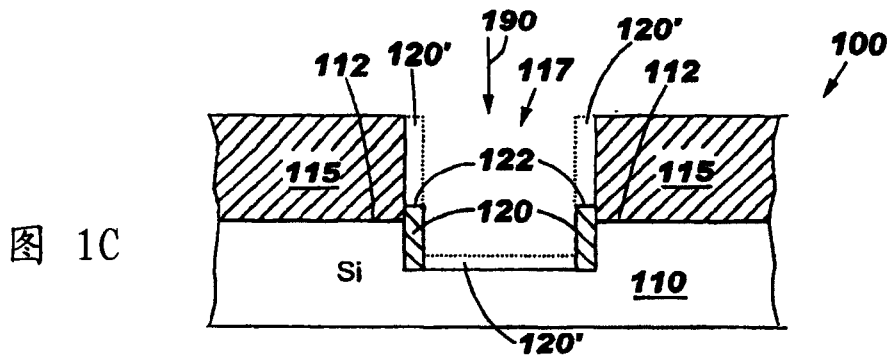
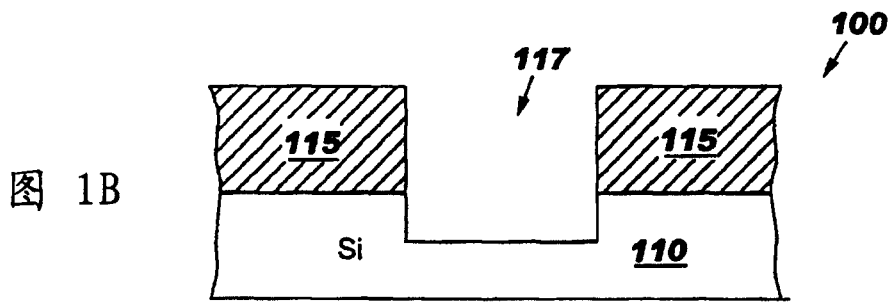
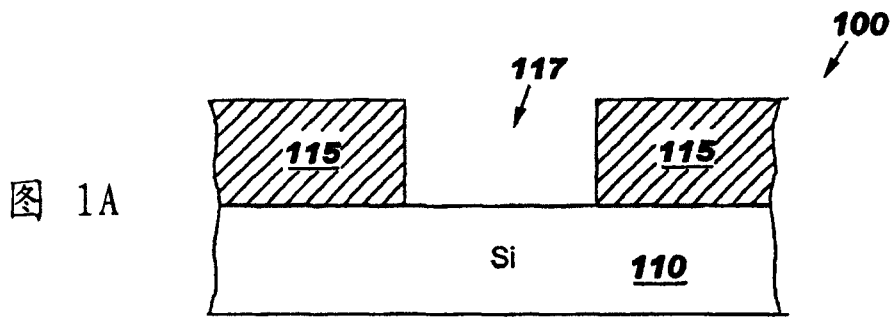
参考图 2A, 在一实施例中, 半导体结构 200 的制造开始于顶上覆盖有芯层 215 的绝缘体上硅 (SOI) 衬底 210。SOI 衬底 210 可含有 (i) 上半导体层 210a、(ii) 下半导体层 210c、以及 (iii) 夹在上半导体层 210a 和下半导体层 210c 之间的电绝缘体层 210b。在一实施例中, 芯层 215 可以含有氮化物例如氮化硅 (Si_3N_4)。然后, 沟槽 217 被刻蚀穿过芯层 215, 从而 SOI 衬底 210 暴露在沟槽 217 的底部。接着, 在一实施例中, 沟槽 217 被如图 2B 所示地更深地蚀刻到 SOI 衬底 210 中, 以致于下半导体层 210c 的顶表面 211 在沟槽 217 的底壁 211 处暴露在外。

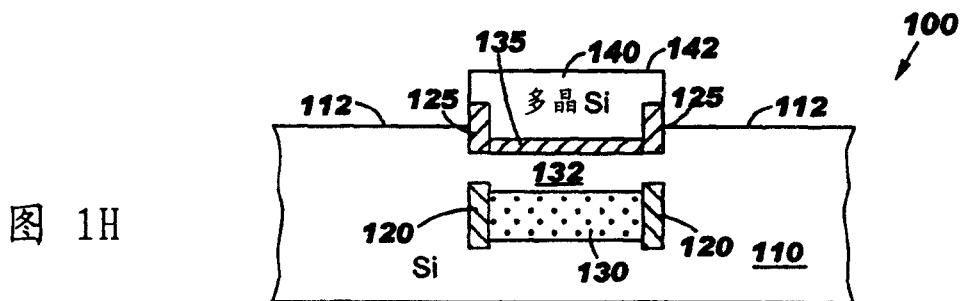
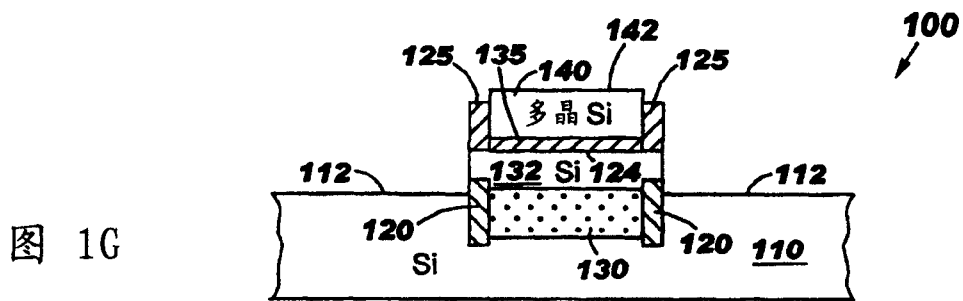
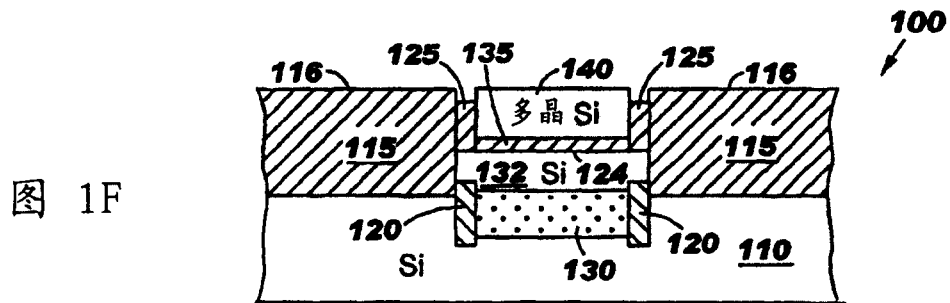
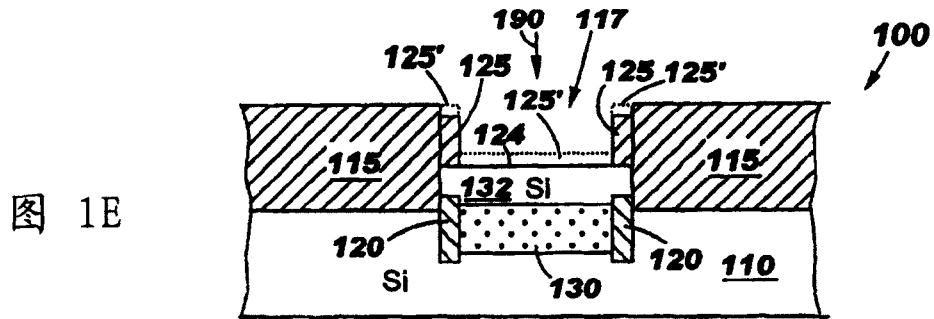
之后, 用于形成半导体结构 200 的制造步骤类似于图 1A-II 的用于形成半导体结构 100 的制造步骤。更具体地, 参考图 2C, 在一实施例中, 掩埋型阻挡区域 220 可以形成在沟槽 217 的侧壁上。在一实施例中, 掩埋型阻挡区域 220 的顶表面 222 高于 SOI 衬底 210 的顶表面 212。换言之, 掩埋型阻挡区域 220 与 SOI 衬底 210 和芯层 215 两者直接物理接触。

然后, 在一实施例中, 硅材料在沟槽 217 中外延生长到高于掩埋型阻挡区域 220 的顶表面 222 的顶表面 224。结果, 衬底区域 210c 在沟槽 217 中具有新的顶表面 224, 掩埋型阻挡区域 220 被完全浸没 (即, 被掩埋) 在衬底区域 210c 中。

半导体结构 200 的制造工艺的剩余步骤与图 1A-II 的半导体结构 100 的类似。结果, 图 2D 的最终结构 200 类似于图 1I 的结构 100, 除了结构 200 具有下面的绝缘体层 210b 外。更具体地, 半导体结构 200 含有栅极区域 240、栅极电介质层 235、栅极间隔区域 245、源极/漏极区域 250a 和 250b、沟道区域 232、掩埋型阱区域 230、掩埋型阻挡区域 220、下面的绝缘体层 210b、以及下半导体层 210c。

以说明为目的, 虽然在此描述了本发明的特定实施例, 但是对本领域技术人员来说许多修改和改变将变得显而易见。因此, 后附的权利要求意在包括所有落入本发明实质精神和范围内的这样的修改和改变。





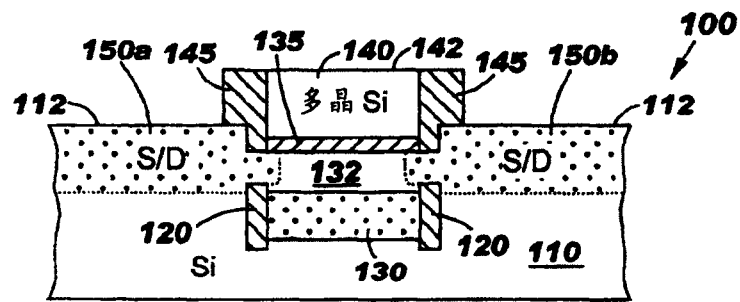


图 1I

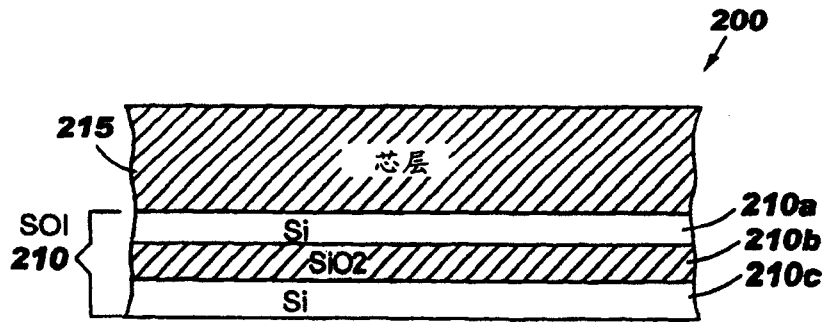


图 2A

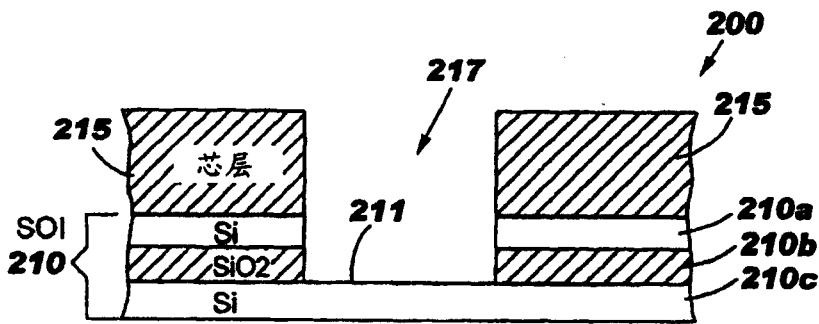


图 2B

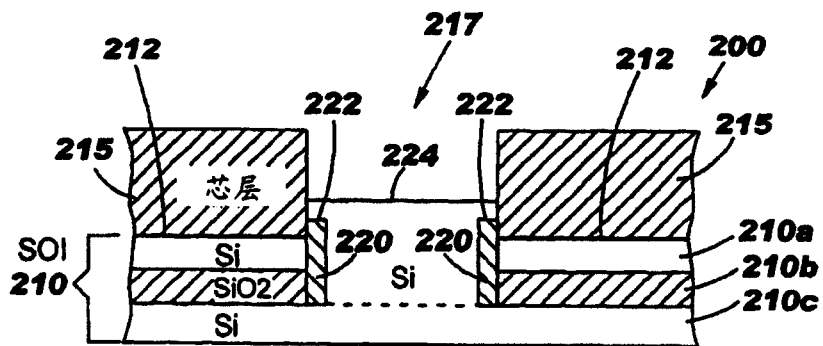


图 2C

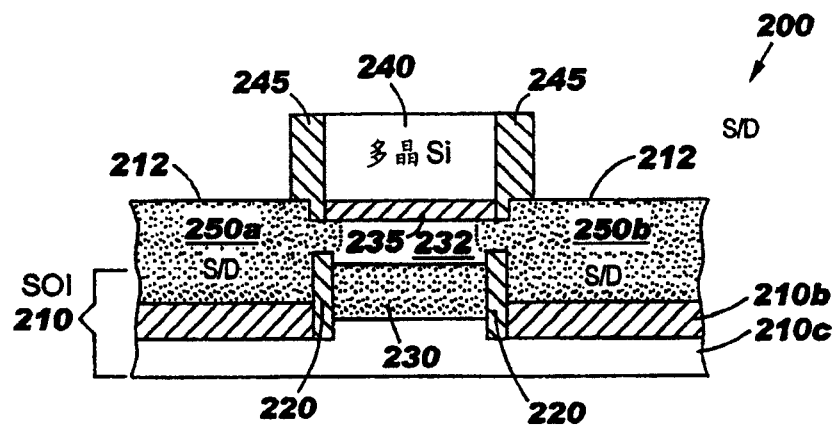


图 2D