(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3656554号
(P3656554)
(45)発行日　平成17年6月8日(2005.6.8)　(24)登録日　平成17年3月18日(2005.3.18)

(51)Int.Cl.[7]　F I
H04L 29/08　H04L 13/00　307C
// H04N 7/24　H04N 7/13　Z

請求項の数 6　(全 10 頁)

(21)出願番号　特願2001-9993(P2001-9993)
(22)出願日　平成13年1月18日(2001.1.18)
(65)公開番号　特開2002-218001(P2002-218001A)
(43)公開日　平成14年8月2日(2002.8.2)
審査請求日　平成15年2月5日(2003.2.5)

(73)特許権者　000000273
オンキヨー株式会社
大阪府寝屋川市日新町２番１号
(74)代理人　100086380
弁理士　吉田　稔
(74)代理人　100103078
弁理士　田中　達也
(74)代理人　100105832
弁理士　福元　義和
(72)発明者　久米　宏
大阪府寝屋川市日新町２番１号　オンキヨー株式会社内

審査官　矢頭　尚之

最終頁に続く

(54)【発明の名称】伝送検出装置

(57)【特許請求の範囲】
【請求項１】
伝送路に接続され、当該伝送路に所定のビットレート以上で伝送されるデータストリームが存在するか否かを検出する伝送検出装置であって、
前記伝送路を伝送する３個の連続したビットの変化パターンを検出するビットパターン検出手段と、
前記ビットパターン検出手段で検出されたビットの変化パターンに基づいて前記データストリームの有無を判別する判別手段と、
を備えたことを特徴とする、伝送検出装置。
【請求項２】
前記ビットパターン検出手段は、
所定の周波数のクロックを生成するクロック生成手段と、
前記クロック生成手段で生成されたクロックに基づいて前記伝送路を伝送する信号をラッチする第１のラッチ手段と、
前記クロック生成手段で生成されたクロックに基づいて前記第１のラッチ手段から出力される信号をラッチする第２のラッチ手段とからなり、
前記判別手段は、前記伝送路を伝送する信号と前記第１，第２のラッチ手段からそれぞれ出力される信号との論理積を演算する論理積演算手段からなる
ことを特徴とする、請求項１に記載の伝送検出装置。
【請求項３】

前記論理積演算手段により前記データストリーム有りと判別された信号が出力されると、前記データストリーム有りの状態を所定時間保持する信号を出力する判別結果保持手段を更に備えたことを特徴とする、請求項２に記載の伝送検出装置。
【請求項４】
前記判別結果保持手段は、前記論理積演算手段から出力される信号が入力されると、少なくとも前記所定のビットレートの期間、アクティブになるマルチバイブレータで構成されていることを特徴とする、請求項３に記載の伝送検出装置。
【請求項５】
前記判別結果保持手段から出力される信号に基づいて前記所定時間だけ前記データストリーム有りの状態を報知する報知手段を更に備えたこと特徴とする、請求項３又は４に記載の伝送検出装置。
【請求項６】
前記伝送路は、差動２線式であることを特徴とする、請求項１ないし５のいずれかに記載の伝送検出装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、伝送路上にデータストリームが存在するか否かを検出する伝送検出装置に関する。
【０００２】
【従来の技術】
近年、ＵＳＢ(universal serial bus)ポートを備えたパーソナルコンピュータなどのコンピュータ、その周辺機器、およびそれらを接続するハブなどが普及しつつある。
【０００３】
このようなＵＳＢ規格において、現行のＵＳＢ１．１規格の伝送レートとしては、キーボードやマウスに代表されるロースピード（ＬＳ）デバイス用の１．５Ｍｂｐｓと、ストレージ装置やオーディオ装置などのファストスピード（ＦＳ）デバイス用の１２Ｍｂｐｓとが規定されている。
【０００４】
そして、これらのデバイスが下流につながっているか否かを検出するための伝送検出装置として、従来、たとえば図５に示すように、リトリガラブル・モノステーブル・マルチバイブレータ５１にデータストリームでトリガをかけて、連続的な信号に変換し、その信号によってトランジスタＴＲを介して発光ダイオードＬＤを駆動する構成のものがあった。
【０００５】
【発明が解決しようとする課題】
ところが、ＵＳＢの新規格としてＵＳＢ２．０の施行が決定されており、このＵＳＢ２．０においては、ＦＳの４０倍に相当する４８０Ｍｂｐｓの伝送レートを持つハイスピード（ＨＳ）デバイスがサポートされる。
【０００６】
だだし、ＵＳＢ２．０適合のＨＳデバイスを用いても、パーソナルコンピュータなどのホストがＵＳＢ１．１品の場合、ＦＳあるいはＬＳで動作する。また、ＵＳＢ２．０適合のホストとＵＳＢ２．０適合の周辺機器とを用いても、それらの中間にＵＳＢ１．１適合のハブが入った場合には、ＦＳあるいはＬＳで動作する。
【０００７】
そのため、上記従来の伝送検出装置を用いた場合、単に接続の有無が検出されるだけであり、ＵＳＢ２．０動作中かＵＳＢ１．１動作中かが判断できないという課題があった。
【０００８】
本発明は、このような事情のもとで考え出されたものであって、伝送路上のデータストリームのビットレートの遅速を複数段階に判別できる伝送検出装置を提供することを、その課題としている。

【０００９】
【発明の開示】
上記の課題を解決するため、本発明では、次の技術的手段を講じている。
【００１０】
本発明の第１の側面によれば、伝送路に接続され、当該伝送路に所定のビットレート以上で伝送されるデータストリームが存在するか否かを検出する伝送検出装置であって、伝送路を伝送する３個の連続したビットの変化パターンを検出するビットパターン検出手段と、ビットパターン検出手段で検出されたビットの変化パターンに基づいてデータストリームの有無を判別する判別手段とを備えたことを特徴とする、伝送検出装置が提供される。
【００１１】
好ましい実施の形態によれば、ビットパターン検出手段は、所定の周波数のクロックを生成するクロック生成手段と、クロック生成手段で生成されたクロックに基づいて伝送路を伝送する信号をラッチする第１のラッチ手段と、クロック生成手段で生成されたクロックに基づいて第１のラッチ手段から出力される信号をラッチする第２のラッチ手段とからなり、判別手段は、伝送路を伝送する信号と第１，第２のラッチ手段からそれぞれ出力される信号との論理積を演算する論理積演算手段からなる。
【００１２】
他の好ましい実施の形態によれば、論理積演算手段によりデータストリーム有りと判別された信号が出力されると、データストリーム有りの状態を所定時間保持する信号を出力する判別結果保持手段を更に備える。また、判別結果保持手段は、論理積演算手段から出力される信号が入力されると、少なくとも所定のビットレートの期間、アクティブになるマルチバイブレータで構成されている。
【００１３】
他の好ましい実施の形態によれば、判別結果保持手段は、論理積演算手段から出力される信号が入力されると、少なくとも所定のビットレートの期間、アクティブになるマルチバイブレータで構成されている。
【００１４】
他の好ましい実施の形態によれば、判別結果保持手段から出力される信号に基づいて所定時間だけデータストリーム有りの状態を報知する報知手段を更に備える。
【００１５】
他の好ましい実施の形態によれば、伝送路は、差動２線式である。
【００１６】
本発明によれば、伝送路を伝送する３個の連続したビットの変化パターンを検出し、その変化パターンに基づいて所定のビットレートで伝送されるデータストリームが存在するか否かを判別するので、高速のデータストリームを検出することができる。
【００１７】
本発明のその他の特徴および利点は、添付図面を参照して以下に行う詳細な説明によって、より明らかとなろう。
【００１８】
【発明の実施の形態】
以下、本発明の好ましい実施の形態を、図面を参照して具体的に説明する。
【００１９】
図１は、本発明に係る伝送検出装置の回路ブロック図である。この伝送検出装置は、複数（本実施形態では２個）のデータストリーム検出手段１ａ，１ｂ、検出結果保持手段２、および複数（本実施形態では２個）の報知手段３ａ，３ｂを備えている。データストリーム検出手段１ａ，１ｂは、差動２線式の伝送路４ａ，４ｂに接続されている。これら伝送路４ａ，４ｂには、互いに逆極性のデータストリームＤ＋，Ｄ－が流れる。この伝送検出装置は、パーソナルコンピュータなどのホスト、周辺機器、あるいはハブなど、ＵＳＢポートを備えたいずれの機器に設けてもよいし、それらの全てに設けてもよい。また、ケー

ブルの途中に設けてもよい。

【００２０】

データストリーム検出手段１ａ，１ｂは、伝送路４ａ，４ｂに所定ビットレート以上のデータストリームが存在するか否かを検出する。これらデータストリーム検出手段１ａ，１ｂは、検出閾値としての所定ビットレートが相互に異なっており、データストリーム検出手段１ａはたとえば０Ｈｚ、データストリーム検出手段１ｂはたとえば４８０ＭＨｚである。すなわちデータストリーム検出手段１ａは、ビットレートに係わらず、全てのデータストリームを検出する。またデータストリーム検出手段１ａは、検出結果をたとえば１ｍｓｅｃの期間保持する。

【００２１】

検出結果保持手段２は、データストリーム検出手段１ｂによりデータストリームが検出されたときに、その検出結果をたとえば１２５μｓｅｃの期間保持する。

【００２２】

報知手段３ａは、データストリーム検出手段１ａによりデータストリームが検出され、その検出結果が保持されている期間中、その旨を使用者に報知する。

【００２３】

報知手段３ｂは、検出結果保持手段２により検出結果が保持されている期間中、その旨を使用者に報知する。

【００２４】

図２は、本発明に係る伝送検出装置の回路図である。

【００２５】

データストリーム検出手段１ａは、差動レシーバ５、リトリガラブル・モノステーブル・マルチバイブレータ６、抵抗器Ｒ１，Ｒ２，Ｒ３、およびキャパシタＣ１を備えている。抵抗器Ｒ１は、伝送路４ａと差動レシーバ５の入力端との間に介装されている。抵抗器Ｒ２は、伝送路４ｂと差動レシーバ５の反転入力端との間に介装されている。差動レシーバ５の出力端は、リトリガラブル・モノステーブル・マルチバイブレータ６のクロック入力端に接続されている。抵抗器Ｒ１，Ｒ２は、差動レシーバ５の入力容量の影響を軽減し、高速なデータストリームの信号品質を劣化させないためのダンパー抵抗として機能している。抵抗器Ｒ３およびキャパシタＣ１は、リトリガラブル・モノステーブル・マルチバイブレータ６の出力のアクティブ期間を決定する素子である。クロックの入力によるリトリガラブル・モノステーブル・マルチバイブレータ６の出力のアクティブ期間は、１ｍｓｅｃ程度以上の所定時間に設定される。本実施形態では、１ｍｓｅｃに設定されている。差動レシーバ５は、伝送路４ａ，４ｂからの差動信号を非差動信号に変換する。

【００２６】

データストリーム検出手段１ｂは、クロックジェネレータ７、ラッチ回路８，９、インバータ１０，１１、およびＡＮＤ回路１２を備えている。クロックジェネレータ７の出力端は、ラッチ回路８およびラッチ回路９のクロック入力端に接続されている。ラッチ回路８およびインバータ１０の入力端は、差動レシーバ５の出力端に接続されている。インバータ１０の出力端は、ＡＮＤ回路１２の第１入力端に接続されている。ラッチ回路８の出力端は、ラッチ回路９の入力端およびＡＮＤ回路１２の第２入力端に接続されている。ラッチ回路９の出力端は、インバータ１１の入力端に接続されている。インバータ１１の出力端は、ＡＮＤ回路１２の第３入力端に接続されている。クロックジェネレータ７の発振周波数は、ＦＳに相当する１２ＭＨｚよりも高く、かつＨＳに相当する４８０ＭＨｚ以下の所定の周波数に設定される。本実施形態では、４８０ＭＨｚに設定されている。ラッチ回路８およびラッチ回路９は、２段のシフトレジスタを構成している。ＡＮＤ回路１２は、ラッチ回路８の入力レベルとラッチ回路８の出力レベルとラッチ回路９の出力レベルとがＬ・Ｈ・Ｌのときに出力がハイレベルすなわちアクティブになる。

【００２７】

検出結果保持手段２は、リトリガラブル・モノステーブル・マルチバイブレータ１４、抵抗器Ｒ４、およびキャパシタＣ２を備えている。抵抗器Ｒ４およびキャパシタＣ２は、リ

トリガラブル・モノステーブル・マルチバイブレータ１４の出力のアクティブ期間を決定する素子である。ＡＮＤ回路１２の出力端から供給されるクロックの入力によるリトリガラブル・モノステーブル・マルチバイブレータ１４の出力のアクティブ期間は、１フレームタイムに相当する１２５μｓｅｃ程度以上の所定時間に設定される。本実施形態では、１２５μｓｅｃに設定されている。

【００２８】

報知手段３ａは、インバータ１５、ＡＮＤ回路１６、トランジスタＴＲ１、発光ダイオードＬＥＤ１、抵抗器Ｒ５を備えている。インバータ１５の入力端は、リトリガラブル・モノステーブル・マルチバイブレータ１４の出力端に接続されている。インバータ１５の出力端は、ＡＮＤ回路１６の一方の入力端に接続されている。ＡＮＤ回路１６の他方の入力端は、リトリガラブル・モノステーブル・マルチバイブレータ６の出力端に接続されている。ＡＮＤ回路１６の出力端は、トランジスタＴＲ１のベースに接続されている。

【００２９】

報知手段３ｂは、トランジスタＴＲ２、発光ダイオードＬＥＤ２、抵抗器Ｒ６を備えている。トランジスタＴＲ２のベースは、リトリガラブル・モノステーブル・マルチバイブレータ１４の出力端に接続されている。

【００３０】

次に動作を説明する。

【００３１】

図３は、伝送路４ａ，４ｂにＨＳのデータストリームが流れている場合の各部信号波形図である。

【００３２】

伝送路４ａ，４ｂを流れているデータストリームは、差動レシーバ５によって非差動信号に変換され、ラッチ回路８に供給される。ここで、ラッチ回路８およびラッチ回路９はクロックジェネレータ７からの４８０ＭＨｚのクロックによって動作しているので、データストリームはそのビットレートと同じタイミングでサンプリングされ、データストリームがシフトする。すなわち、現在のビットがインバータ１０によって反転されてＡＮＤ回路１２の第１入力端に供給され、現在よりも１つ前のビットがラッチ回路８の出力端からＡＮＤ回路１２の第２入力端に供給され、現在よりも２つ前のビットがラッチ回路９の出力端からインバータ１１によって反転されてＡＮＤ回路１２の第３入力端に供給される。したがって、ＡＮＤ回路１２の出力は、現在のビットがＬ、１サンプル前のビットがＨ、２サンプル前のビットがＬのときにアクティブになる。

【００３３】

ＡＮＤ回路１２の出力がアクティブになると、リトリガラブル・モノステーブル・マルチバイブレータ１４の出力が１２５μｓｅｃの期間アクティブになる。リトリガラブル・モノステーブル・マルチバイブレータ１４の出力がアクティブになると、トランジスタＴＲ２がオンし、発光ダイオードＬＥＤ２が点灯する。

【００３４】

ところで、ＵＳＢデータパケットの先頭には、ＬとＨとが交互に連続するシンクパターンが必ず存在している。したがって、ＡＮＤ回路１２の出力はシンクパターンの部分で必ずアクティブになる。そして、１フレームタイムには１パケットが必ず存在するため、ＡＮＤ回路１２の出力すなわちリトリガラブル・モノステーブル・マルチバイブレータ１４のクロック入力は、１２５μｓｅｃ毎に少なくとも１回はアクティブになる。なお、ＨＳの場合、１フレームタイムは１２５μｓｅｃである。したがって、リトリガラブル・モノステーブル・マルチバイブレータ１４の出力は常にアクティブになり、発光ダイオードＬＥＤ２が連続して点灯する。

【００３５】

一方、差動レシーバ５の出力はリトリガラブル・モノステーブル・マルチバイブレータ６にも供給され、リトリガラブル・モノステーブル・マルチバイブレータ６の出力も連続してアクティブになるのであるが、リトリガラブル・モノステーブル・マルチバイブレータ

１４の出力がインバータ１５によって反転されてＡＮＤ回路１６の他方の入力端に供給されるので、リトリガラブル・モノステーブル・マルチバイブレータ１４の出力がアクティブである期間中は、ＡＮＤ回路１６の出力がアクティブになることはない。したがって、トランジスタＴＲ１がオンせず、発光ダイオードＬＥＤ１が点灯することはない。

【００３６】

図４は、伝送路４ａ，４ｂにＦＳあるいはＬＳのデータストリームが流れている場合の各部信号波形図である。

【００３７】

クロックジェネレータ７からラッチ回路８およびラッチ回路９に供給されるクロックの周波数は４８０ＭＨｚであるので、ＦＳあるいはＬＳのデータストリームの場合、ラッチ回路８の入力、ラッチ回路８の出力、およびラッチ回路９の出力が、相互に異なるビットになることはない。すなわち、ＦＳあるいはＬＳのデータストリームを４８０ＭＨｚでサンプリングしたときに、３回の連続したサンプリングで３つのビットがサンプリングされることは決してない。換言すれば、ＡＮＤ回路１２の３つの入力は、ＬＬＬ、ＬＬＨ、ＬＨＨ、ＨＨＨ、ＨＨＬ、ＨＬＬしかあり得ず、ＬＨＬにならないので、ＡＮＤ回路１２の出力がアクティブになることはない。この結果、トランジスタＴＲ２がオンすることはなく、発光ダイオードＬＥＤ２は点灯しない。

【００３８】

一方、リトリガラブル・モノステーブル・マルチバイブレータ６の出力は、ＦＳあるいはＬＳのデータストリームによって連続的にアクティブになる。このとき、リトリガラブル・モノステーブル・マルチバイブレータ１４の出力がアクティブになっていないので、インバータ１５の出力はハイレベルであり、ＡＮＤ回路１６の出力が連続的にアクティブになる。したがって、トランジスタＴＲ１がオンし、発光ダイオードＬＥＤ１が連続的に点灯する。

【００３９】

このように、データストリーム検出手段１ａとデータストリーム検出手段１ｂとを設け、データストリーム検出手段１ａによって全てのデータストリームを検出し、データストリーム検出手段１ｂによってＨＳのデータストリームを検出するように構成したので、伝送路４ａ，４ｂ上のデータストリームの有無を判別できるばかりでなく、そのデータストリームがＨＳであるかＦＳあるいはＬＳであるかを判別できる。

【００４０】

また、伝送路４ａ，４ｂ上のデータストリームがＨＳの場合は発光ダイオードＬＥＤ２を点灯させ、伝送路４ａ，４ｂ上のデータストリームがＦＳあるいはＬＳの場合は発光ダイオードＬＥＤ１を点灯させるので、ＵＳＢ２．０動作中であるかＵＳＢ１．１動作中であるかを使用者に明瞭に報知できる。

【００４１】

また、抵抗器Ｒ１，Ｒ２および差動レシーバ５を設け、伝送路４ａ，４ｂの双方からデータストリームを抽出するように構成したので、伝送路４ａ，４ｂのインピーダンスのバランスを崩すことがなく、高速なＨＳのデータストリームの信号品質を劣化させることがない。

【００４２】

なお、上記実施形態においては、クロックジェネレータ７の発振周波数を４８０ＭＨｚにしたが、クロックジェネレータ７の発振周波数は、１２ＭＨｚよりも高く４８０ＭＨｚ以下の範囲で適宜決定すればよい。すなわち、クロックジェネレータ７の発振周波数が１２ＭＨｚよりも高ければ、データストリーム検出手段１ｂがＦＳのデータストリームを検出することはない。また、クロックジェネレータ７の発振周波数が４８０ＭＨｚ以下であれば、１フレームタイム中のいずれかのタイミングでＡＮＤ回路１２の出力がアクティブになるものと考えられる。

【００４３】

また、上記実施形態においては、ＨＳ検出時に発光ダイオードＬＥＤ１を消灯させるよう

に構成したが、ＨＳ検出時に発光ダイオードＬＥＤ１と発光ダイオードＬＥＤ２との双方を点灯させるように構成してもよい。この場合、インバータ１５およびＡＮＤ回路１６は不要である。

【００４４】

また、上記実施形態においては、データストリーム検出手段１ｂによって、データストリームをサンプリングし、３回の連続したサンプリングによるビットパターンに基づいてＨＳのデータストリームを検出するように構成したが、データストリーム検出手段１ｂは必ずしもこのように構成する必要はない。たとえば、データストリームの各ビットのパルス幅を計測することによってＨＳのデータストリームを検出してもよい。

【００４５】

また、上記実施形態においては、ＨＳとＦＳあるいはＬＳとの２段階でデータストリームの伝送レートを判別したが、データストリームの伝送レートを３段階以上に判別するように構成してもよい。

【００４６】

また、上記実施形態においては、報知手段３ａ，３ｂに発光ダイオードＬＥＤ１，ＬＥＤ２を設け、光による報知を行ったが、それの代わりに、あるいはそれに加えて、報知手段３ａ，３ｂにチャイム音やブザー音などの報知音を発生する発音装置を設け、音による報知を行うように構成してもよい。

【００４７】

また、上記実施形態においては、ＵＳＢ規格に適合したデータストリームについて説明したが、本発明の伝送検出装置は、ＵＳＢ規格に適合したデータストリームに限らず、あらゆるデータストリームに対して採用可能である。

【図面の簡単な説明】

【図１】本発明に係る伝送検出装置の回路ブロック図である。

【図２】本発明に係る伝送検出装置の回路図である。

【図３】伝送路にＨＳのデータストリームが流れている場合の各部信号波形図である。

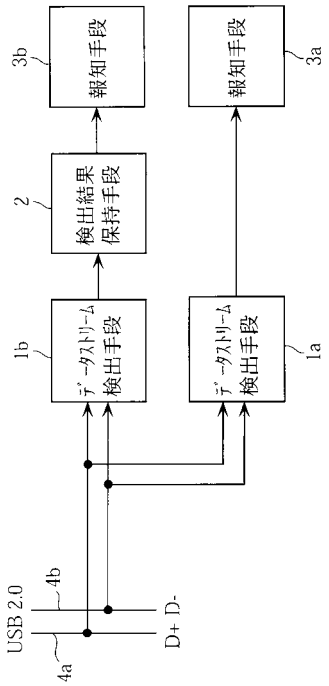
【図４】伝送路にＦＳあるいはＬＳのデータストリームが流れている場合の各部信号波形図である。

【図５】従来の伝送検出装置の回路図である。

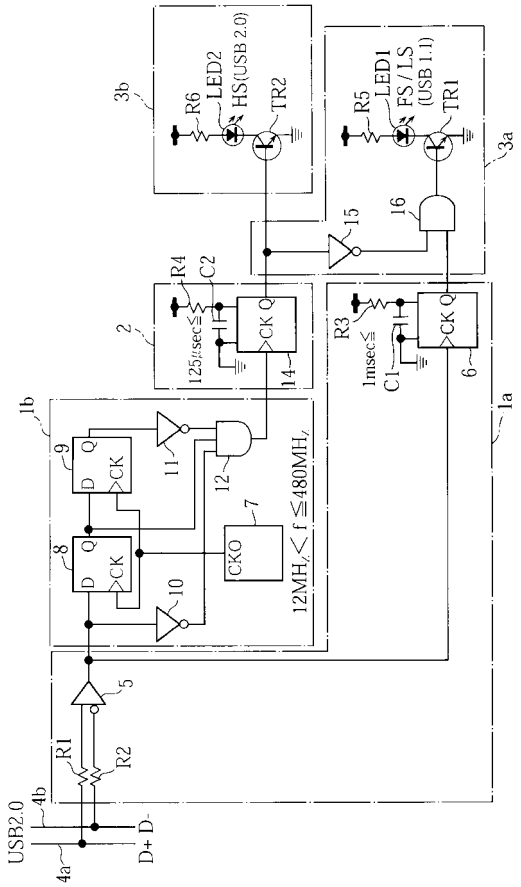
【符号の説明】

１ａ，１ｂ　データストリーム検出手段
２　検出結果保持手段
３ａ，３ｂ　報知手段
４ａ，４ｂ　伝送路
５　差動レシーバ
６　リトリガラブル・モノステーブル・マルチバイブレータ
７　クロックジェネレータ
８　ラッチ回路
９　ラッチ回路
１０　インバータ
１１　インバータ
１２　ＡＮＤ回路
１４　リトリガラブル・モノステーブル・マルチバイブレータ
１５　インバータ
１６　ＡＮＤ回路
ＬＥＤ１，ＬＥＤ２　発光ダイオード

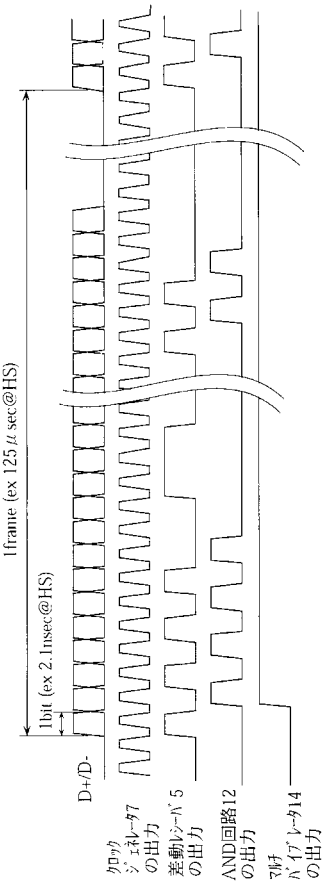
【図１】


3b
報知手段
2
検出結果
保持手段
1b
ﾃﾞｰﾀｽﾄﾘｰﾑ
検出手段
ﾃﾞｰﾀｽﾄﾘｰﾑ
検出手段
報知手段
3a
1a
USB 2.0
4b
4a
D+ D-

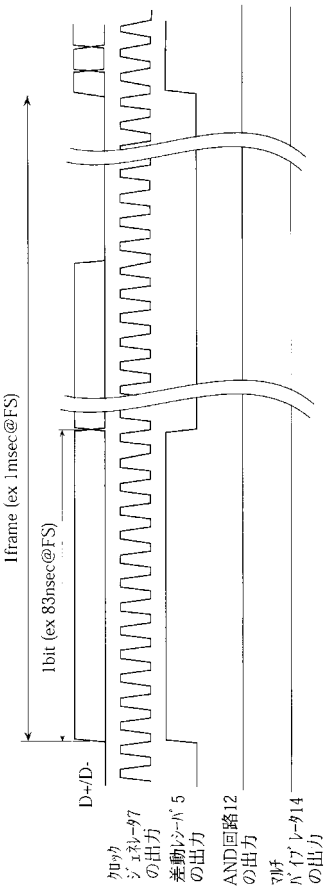
【図２】


3b
R6
LED2
HS(USB 2.0)
TR2
R5
LED1
FS/LS
(USB 1.1)
TR1
3a
15
16
R4
C2
2
125μsec≦
CK Q
R3
1msec≦
C1
CK Q
6
14
1b
9
D Q
CK
11
12
8
D Q
CK
10
CKO
7
12MHz＜f≦480MHz
1a
5
R1
R2
USB2.0
4b
4a
D+ D-

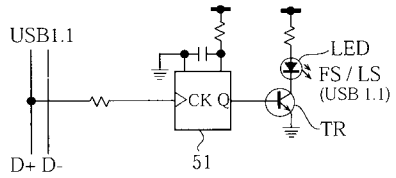
【図３】


1frame (ex 125μsec@HS)
1bit (ex 2.1nsec@HS)
D+/D-
ｸﾛｯｸ
ｼﾞｪﾈﾚｰﾀ7
の出力
差動ﾄﾞﾗｲﾊﾞ5
の出力
AND回路12
の出力
ﾏﾙﾁ
ﾊﾞｲﾌﾞﾚｰﾀ14
の出力

【図４】


1frame (ex 1msec@FS)
1bit (ex 83nsec@FS)
D+/D-
ｸﾛｯｸ
ｼﾞｪﾈﾚｰﾀ7
の出力
差動ﾄﾞﾗｲﾊﾞ5
の出力
AND回路12
の出力
ﾏﾙﾁ
ﾊﾞｲﾌﾞﾚｰﾀ14
の出力

【図５】



フロントページの続き

(56)参考文献 特開平０９－１０２８０４（ＪＰ，Ａ）
特開２０００－０８３２５３（ＪＰ，Ａ）
特開平１１－０４１３９８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H04L 13/00 307@C