

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-304564
(P2004-304564A)

(43) 公開日 平成16年10月28日(2004.10.28)

(51) Int. Cl.⁷

H03K 3/354
H03K 3/03

F I

H03K 3/354 B
H03K 3/354 C
H03K 3/03

ターマコード (参考)

5J043

審査請求 未請求 請求項の数 4 O L (全 13 頁)

(21) 出願番号 特願2003-95797 (P2003-95797)
(22) 出願日 平成15年3月31日 (2003.3.31)

(71) 出願人 501285133
川崎マイクロエレクトロニクス株式会社
千葉県千葉市美浜区中瀬一丁目3番地
(74) 代理人 100080159
弁理士 渡辺 望穂
(74) 代理人 100090217
弁理士 三和 晴子
(72) 発明者 川原 倫哉
千葉県千葉市美浜区中瀬一丁目三番地 川崎マイクロエレクトロニクス株式会社 幕張本社内
(72) 発明者 小滝 宏一
千葉県千葉市美浜区中瀬一丁目三番地 川崎マイクロエレクトロニクス株式会社 幕張本社内
Fターム(参考) 5J043 AA00 AA01 AA02 LL02 MM00

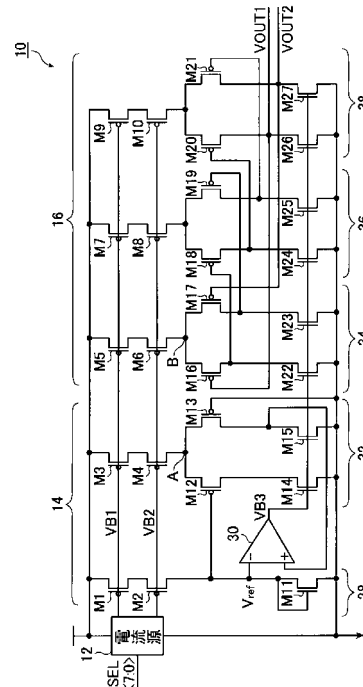
(54) 【発明の名称】 変動補償型発振器

(57) 【要約】

【課題】 主要変動要因である温度、電源電圧、プロセスの各変動に対するクロックの変動を高精度に補償できる変動補償型発振器を提供する。

【解決手段】 電流源は、温度変動による、発振回路の入力段トランジスタの相互コンダクタンスの変動を補償するように、温度変動に応じて、その電流が変化するものである。負荷バイアス生成回路は、電流源の電流と同じ温度依存性を持つ参照電圧を生成し、この参照電圧とレプリカ回路の第2のドレイン電圧とが等しくなるように、第2バイアス電圧を制御する。全ての電流源トランジスタは、第1バイアス電圧により、それぞれのドレイン電流が電流源の電流と同じ温度依存性を持つように制御され、全ての負荷抵抗トランジスタは、第2バイアス電圧により、それぞれのドレイン電圧がそのドレイン電流と同じ温度依存性を持つように制御される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 バイアス電圧を出力する電流源と、第 2 バイアス電圧を出力する負荷バイアス生成回路と、所定周波数のクロックを出力する発振回路とを備え、

前記発振回路は、複数のインバータを有するリングオシレータであって、前記複数のインバータの各々は、電流源トランジスタと、そのゲート電圧に応じて、当該インバータの電流源トランジスタを介して供給されるドレイン電流を第 1 および第 2 のドレイン電流に分配する第 1 および第 2 の入力段トランジスタと、これら第 1 および第 2 のドレイン電流を第 1 および第 2 のドレイン電圧に変換する第 1 および第 2 の負荷抵抗トランジスタとを備え、前段のインバータの第 1 および第 2 のドレイン電圧が後段のインバータの第 1 および第 2 の入力段トランジスタのゲートに各々入力され、

10

前記電流源は、温度変動による、前記発振回路の複数のインバータの各々の第 1 および第 2 の入力段トランジスタの相互コンダクタンスの変動を補償するように、温度変動に応じて、その電流が変化するものであって、温度変動に応じて、その電流が変化する第 1 および第 2 のトランジスタと、当該電流源の電流を調整し前記第 1 バイアス電圧に変換する可変抵抗と、前記第 1 バイアス電圧の出力用トランジスタとを備え、

前記負荷バイアス生成回路は、前記電流源の電流と同じ温度依存性を持つ参照電圧を生成する電圧生成回路と、前記発振回路の複数のインバータの各々と同じ構成のレプリカ回路と、前記参照電圧と前記レプリカ回路の第 2 のドレイン電圧とが等しくなるように、前記第 2 バイアス電圧を制御するオペアンプとを備え、前記電圧生成回路は、電流源トランジスタと、当該電圧生成回路の電流源トランジスタを介して供給されるドレイン電流を前記参照電圧に変換する負荷抵抗トランジスタとを備え、前記レプリカ回路の第 1 および第 2 の入力段トランジスタのゲートは、それぞれ前記参照電圧およびグランドに接続され、前記電圧生成回路の電流源トランジスタ、前記レプリカ回路の電流源トランジスタ、および前記発振回路の複数のインバータの各々の電流源トランジスタは、前記第 1 バイアス電圧により、それぞれのドレイン電流が前記電流源の電流と同じ温度依存性を持つように制御され、前記レプリカ回路の負荷抵抗トランジスタ、および前記発振回路の複数のインバータの各々の負荷抵抗トランジスタは、前記第 2 バイアス電圧により、それぞれのドレイン電圧がそのドレイン電流と同じ温度依存性を持つように制御されることを特徴とする変動補償型発振器。

20

30

【請求項 2】

前記電流源の第 1 バイアス電圧の出力用トランジスタ、前記電圧生成回路の電流源トランジスタ、前記レプリカ回路の電流源トランジスタ、および前記発振回路の複数のインバータの各々の電流源トランジスタは、カスコード構造に同数縦列接続されている請求項 1 に記載の変動補償型発振器。

【請求項 3】

前記発振回路の複数のインバータの各々の負荷抵抗トランジスタは線形領域で動作する請求項 1 または 2 に記載の変動補償型発振器。

【請求項 4】

前記可変抵抗は、その抵抗値が複数ビットの信号の値に応じて設定され、当該信号の上位側ビットの値に応じて設定され、当該上位側ビットに対応する抵抗値を持つ複数の単位抵抗と、前記信号の下位側ビットの値に応じて設定され、当該下位側ビットに対応する抵抗値を持つ複数の単位抵抗とを備える請求項 1 ~ 3 のいずれかに記載の変動補償型発振器。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、主要変動要因である温度、電源電圧、プロセスの各変動によるクロックの変動を補償する変動補償型発振器に関するものである。

【0002】

【従来の技術】

50

半導体装置の外部から基準クロックを供給することなく、所定周波数のクロックを出力する発振器が知られている。このような発振器において、抵抗素子やキャパシタ等の外付け部品を使用することなく、主要変動要因である温度、電源電圧、プロセスの各変動に対するクロックの変動を補償する回路、すなわち温度、電源電圧、プロセスが変動してもクロックが変動しないように補償する回路に対する要求がある。

【0003】

以下、この補償回路について、特許文献1, 2を例に挙げて説明する。

【0004】

特許文献1には、その図2aに示されているように、温度変動に応じてFET12のゲートに接続されたバイアス電圧を変化させることによりFET12の移動度の温度変動を補償し、すなわちキャパシタ14からFET12を介して流れるドレイン電流の温度依存性を抑え、温度変動に関わらず、常に一定の時間遅延する信号を発生する遅延回路が開示されている。なお、特許文献1は遅延回路に関するものであり、発振器に関するものではない。

10

【0005】

特許文献2には、その図4に示されているように、FETM3のバイアス電圧に温度依存性を与えて、FETM3のドレイン電流が温度に対してほぼ一定となるようにする基準回路が開示されている。特許文献2は、特許文献1の回路よりもさらに正確に温度補償を行うために、温度依存性をより高次の項まで考慮してバイアス電圧を制御するものである。なお、特許文献2は基準回路に関するものであり、発振器に関するものではない。

20

【0006】

すなわち、上記特許文献1, 2では、トランジスタの移動度が温度依存性を有するので、移動度の温度依存性を打ち消すように、トランジスタを制御するゲート電圧に温度依存性を持たせる手法がとられている。

【0007】

しかし、特許文献1, 2等の従来技術では、温度変動は考慮されているが、他の主要変動要因である電源電圧やプロセスの変動は考慮されていないし、発振器に特化されたものでもない。

【0008】

また、特許文献1, 2では温度補償についても充分であるとは言えない。例えば、特許文献1では、その図2aに示されているFET12の抵抗値は温度補償されているが、FET22の相互コンダクタンス g_m は温度補償されていない。また、特許文献2では、その図10に示されている回路を例に挙げて説明すると、FETM2, M3の相互コンダクタンス g_m は温度補償されているが、FETM1の抵抗値は温度補償されていない。

30

【0009】

このように、入力段のFETの相互コンダクタンス g_m と、負荷抵抗となるFETの抵抗値のうち的一方を温度補償するだけでは、高精度に温度補償することはできない。

【0010】

【特許文献1】

米国特許第4843265号明細書

40

【特許文献2】

特表平8-509312号公報

【0011】

【発明が解決しようとする課題】

本発明の目的は、前記従来技術に基づく問題点を解消し、主要変動要因である温度、電源電圧、プロセスの各変動に対するクロックの変動を高精度に補償することができる変動補償型発振器を提供することにある。

【0012】

【課題を解決するための手段】

上記目的を達成するために、本発明は、第1バイアス電圧を出力する電流源と、第2バイ

50

アス電圧を出力する負荷バイアス生成回路と、所定周波数のクロックを出力する発振回路とを備え、

前記発振回路は、複数のインバータを有するリングオシレータであって、前記複数のインバータの各々は、電流源トランジスタと、そのゲート電圧に応じて、当該インバータの電流源トランジスタを介して供給されるドレイン電流を第1および第2のドレイン電流に分配する第1および第2の入力段トランジスタと、これら第1および第2のドレイン電流を第1および第2のドレイン電圧に変換する第1および第2の負荷抵抗トランジスタとを備え、前段のインバータの第1および第2のドレイン電圧が後段のインバータの第1および第2の入力段トランジスタのゲートに各々入力され、

前記電流源は、温度変動による、前記発振回路の複数のインバータの各々の第1および第2の入力段トランジスタの相互コンダクタンスの変動を補償するように、温度変動に応じて、その電流が変化するものであって、温度変動に応じて、その電流が変化する第1および第2のトランジスタと、当該電流源の電流を調整し前記第1バイアス電圧に変換する可変抵抗と、前記第1バイアス電圧の出力用トランジスタとを備え、

前記負荷バイアス生成回路は、前記電流源の電流と同じ温度依存性を持つ参照電圧を生成する電圧生成回路と、前記発振回路の複数のインバータの各々と同じ構成のレプリカ回路と、前記参照電圧と前記レプリカ回路の第2のドレイン電圧とが等しくなるように、前記第2バイアス電圧を制御するオペアンプとを備え、前記電圧生成回路は、電流源トランジスタと、当該電圧生成回路の電流源トランジスタを介して供給されるドレイン電流を前記参照電圧に変換する負荷抵抗トランジスタとを備え、前記レプリカ回路の第1および第2の入力段トランジスタのゲートは、それぞれ前記参照電圧およびグランドに接続され、前記電圧生成回路の電流源トランジスタ、前記レプリカ回路の電流源トランジスタ、および前記発振回路の複数のインバータの各々の電流源トランジスタは、前記第1バイアス電圧により、それぞれのドレイン電流が前記電流源の電流と同じ温度依存性を持つように制御され、前記レプリカ回路の負荷抵抗トランジスタ、および前記発振回路の複数のインバータの各々の負荷抵抗トランジスタは、前記第2バイアス電圧により、それぞれのドレイン電圧がそのドレイン電流と同じ温度依存性を持つように制御されることを特徴とする変動補償型発振器を提供するものである。

【0013】

ここで、前記電流源の第1バイアス電圧の出力用トランジスタ、前記電圧生成回路の電流源トランジスタ、前記レプリカ回路の電流源トランジスタ、および前記発振回路の複数のインバータの各々の電流源トランジスタは、カスコード構造に同数縦列接続されているのが好ましい。

【0014】

また、前記発振回路の複数のインバータの各々の負荷抵抗トランジスタは線形領域で動作するのが好ましい。

【0015】

また、前記可変抵抗は、その抵抗値が複数ビットの信号の値に応じて設定され、当該信号の上位側ビットの値に応じて設定され、当該上位側ビットに対応する抵抗値を持つ複数の単位抵抗と、前記信号の下位側ビットの値に応じて設定され、当該下位側ビットに対応する抵抗値を持つ複数の単位抵抗とを備えるのが好ましい。

【0016】

【発明の実施の形態】

以下に、添付の図面に示す好適実施形態に基づいて、本発明の変動補償型発振器を詳細に説明する。

【0017】

図1は、本発明の変動補償型発振器の一実施形態の構成概略図である。同図に示す変動補償型発振器10は、主要変動要因である温度、電源電圧、プロセスの各変動に伴うクロックの変動を補償する機能を持つものであり、電流源12と、負荷バイアス生成回路14と、発振回路16とを備えている。

【0018】

図示例の変動補償型発振器10において、電流源12は、温度補償用の電流源であり、温度変動に応じて、その電圧が変化する2つのバイアス電圧VB1, VB2を出力する。

【0019】

図2は、電流源の一実施形態の構成概略図である。同図に示す電流源12は、電流が絶対温度に比例するPTAT(Proportional To Absolute Temperature)回路であり、バイアス電圧VB1, VB2の出力用のP型MOSトランジスタ(以下、PMOSという)M28, M29, M30, M31と、N型MOSトランジスタ(以下、NMOSという)M32, M33と、温度変動に応じて、その電流が変化するPNP型バイポーラトランジスタB1, B2と、電流調整用抵抗VRとを備えている。 10

【0020】

ここで、PMOSM28, M30、NMOSM32、およびバイポーラトランジスタB1は電源とグランドとの間に直列に接続されている。同様に、PMOSM29, M31、NMOSM33、およびバイポーラトランジスタB2は、NMOSM33とバイポーラトランジスタB2との間に電流調整用抵抗VRを介して、電源とグランドとの間に直列に接続されている。

【0021】

また、PMOSM28, M29のゲートはPMOSM29のドレインに共通に接続されている。同様に、PMOSM30, M31のゲートはPMOSM31のドレインに共通に接続され、NMOSM32, M33のゲートはNMOSM32のドレインに共通に接続されている。すなわち、PMOSM28, M29、PMOSM30, M31、およびNMOSM32, M33のそれぞれはカレントミラー回路を構成する。 20

【0022】

また、バイポーラトランジスタB1, B2のベースはグランドに共通に接続されている。

【0023】

電流調整用抵抗VRは、個々の半導体チップにおいて、プロセス変動に伴うクロックの中心周波数のずれを補正するためのものであり、信号SEL<7:0>の値に応じて、その抵抗値が変化する可変抵抗である。電流調整用抵抗VRの抵抗値を変更することによって電流源12を流れる電流が変化し、その結果、バイアス電圧VB1, VB2の値が変化する。これにより、プロセス変動に伴うクロックの中心周波数のずれを補正できる。 30

【0024】

図3は、電流調整用抵抗の一実施形態の構成概略図である。同図に示す電流調整用抵抗VRは、その抵抗値が16R0である15個の単位抵抗18_1, 18_2, ..., 18_15と、16個のスイッチ20_1, 20_2, ..., 20_16と、その抵抗値がR0である15個の単位抵抗22_1, 22_2, ..., 22_15と、16個のスイッチ24_1, 24_2, ..., 24_16と、その抵抗値がRdefである抵抗素子26とを備えている。

【0025】

ここで、抵抗値Rdefの抵抗素子26の一方の端子は端子-に接続され、その他方の端子は、スイッチ24_1およびスイッチ20_1を介して端子+に接続されている。 40

【0026】

また、抵抗値がR0である15個の単位抵抗22_1, 22_2, ..., 22_15は直列に接続され、図中左端の単位抵抗22_1の左側の端子はスイッチ24_1の上側の端子に接続されている。また、それぞれの単位抵抗22_1, 22_2, ..., 22_15の右側の端子は、それぞれスイッチ24_2, 24_3, ..., 24_16を介してスイッチ24_1の下側の端子に並列に共通に接続されている。

【0027】

同様に、抵抗値が16R0である15個の単位抵抗18_1, 18_2, ..., 18_15も直列に接続され、図中左端の単位抵抗18_1の左側の端子はスイッチ20_1の上側 50

の端子に接続されている。また、それぞれの単位抵抗 $18_1, 18_2, \dots, 18_15$ の右側の端子は、それぞれスイッチ $20_2, 20_3, \dots, 20_16$ を介してスイッチ 20_1 の下側の端子に並列に共通に接続されている。

【0028】

単位抵抗 $18_1, 18_2, \dots, 18_15$ は、上位4ビットの信号 $SEL < 7 : 4 >$ に対応して設けられたものであり、その値に応じて、スイッチ $20_1, 20_2, \dots, 20_16$ のオンオフが制御される。一方、単位抵抗 $22_1, 22_2, \dots, 22_15$ は、下位4ビットの信号 $SEL < 3 : 0 >$ に対応して設けられたものであり、その値に応じて、スイッチ $24_1, 24_2, \dots, 24_16$ のオンオフが制御される。

【0029】

信号 $SEL < 7 : 0 > = '00h'$ (16進数、以下同様) の場合、スイッチ $20_1, 24_1$ がオン、他のスイッチは全てオフし、端子 - と端子 + との間には抵抗値 R_{def} の抵抗素子 26 だけが接続される。この場合の抵抗値は R_{def} である。

【0030】

また、例えば信号 $SEL < 7 : 0 > = '01h'$ の場合には、スイッチ $20_1, 24_2$ がオン、他のスイッチは全てオフし、端子 - と端子 + との間には、抵抗値 R_0 の1個の単位抵抗 22_1 と抵抗値 R_{def} の抵抗素子 26 とが直列に接続される。この場合の抵抗値は、 $R_{def} + R_0$ である。

【0031】

また、例えば信号 $SEL < 7 : 0 >$ の値が $'10h'$ の場合には、スイッチ $20_2, 24_1$ がオン、他のスイッチは全てオフし、端子 - と端子 + との間には、抵抗値 $16R_0$ の1個の単位抵抗 18_1 と抵抗値 R_{def} の抵抗素子 26 とが直列に接続される。この場合の抵抗値は、 $R_{def} + 16R_0$ である。

【0032】

以下同様にして、下位4ビットの信号 $SEL < 3 : 0 >$ の値が $'1h'$ 増える毎に、全体の抵抗値が R_0 ずつ増え、上位4ビットの信号 $SEL < 7 : 4 >$ の値が $'1h'$ 増える毎に、全体の抵抗値が $16R_0$ ずつ増えるように、スイッチ $20_1, 20_2, \dots, 20_16$ およびスイッチ $24_1, 24_2, \dots, 24_16$ のオンオフが制御される。信号 $SEL < 7 : 0 >$ の値が n (n は $0 \sim 255$ の整数) の場合の抵抗値は、 $n \cdot R_0 + R_{def}$ である。

【0033】

図示例の電流調整用抵抗 VR は、信号 $SEL < 7 : 0 >$ の上位4ビットおよび下位4ビットのそれぞれに対応して、抵抗値が $16R_0$ および R_0 の単位抵抗を使用して構成されている。これにより、必要となる単位抵抗の個数を削減することができる。また、電流調整用抵抗 VR では、信号 $SEL < 7 : 0 >$ の値に関わらず、常に2つのスイッチのみがオンするので、スイッチのオンオフに関わる変動要因の増大を抑えることができる。

【0034】

P T A T回路は従来公知の回路であり、当業者には、その構成や動作は周知のものである。従って、ここではその詳細な説明は省略する。電流源 12 の温度特性は、理想的には下記式のように、後述する発振回路 16 のインバータ $34, 36, 38$ の入力段の P M O S M $16 \sim M 21$ のドレイン電流 I_d が、温度 T の $3/2$ に比例するように設定することにより、これらの相互コンダクタンス g_m の温度依存性を打ち消すことが可能となる。

【0035】

$$\begin{aligned} g_m &= \sqrt{\{2\mu \cdot C_{ox} \cdot (W/L) \cdot I_d\}} \\ &= \sqrt{\{2\mu_0 \cdot T^{(-3/2)} \cdot C_{ox} \cdot (W/L) \cdot I_d\}} \\ \therefore I_d &\propto T^{(3/2)} \end{aligned}$$

ここで、 μ : 移動度、 μ_0 : 移動度の温度に依存しない項のみ、 T : 温度、 C_{ox} : 単位面積当たりのゲート容量、 W : ゲート幅、 L : ゲート長、 I_d : ドレイン電流である。

10

20

30

40

50

【0036】

前述のように、図2に示す電流源12は、電流が絶対温度に比例するPTAT回路である。従って、電流源12では、PMOSM28, M30、NMOSM32、およびバイポーラトランジスタB1を介して流れるドレイン電流 I_d と、PMOSM29, M31、NMOSM33、電流調整用抵抗VR、およびバイポーラトランジスタB2を介して流れるドレイン電流 I_d とは等しく、温度Tに比例するように設定される。

【0037】

さらに高い精度でドレイン電流 I_d を温度Tに依存させる必要がある場合には、例えば特許文献1, 2等に関示の従来技術を利用して、ドレイン電流 I_d が温度Tの $3/2$ 乗に比例するように近づけるようにすることも可能である。

10

【0038】

また、PMOSM28~M31、およびNMOSM32, M33はその飽和領域で動作させる。飽和領域では、ドレイン電圧の変動に対してドレイン電流がほとんど変化しないため、電源電圧の変動によるドレイン電流の変動を抑えることができる。また、PMOSM28, M30、およびPMOSM29, M31のように、トランジスタを縦列接続してカスコード構造とすれば、飽和領域におけるドレイン電流の変化をさらに抑えることができるので好ましい。

【0039】

前述のように、電流源12では、PMOSM28, M30、NMOSM32、およびバイポーラトランジスタB1を介して流れる電流と、PMOSM29, M31、NMOSM33、電流調整用抵抗VR、およびバイポーラトランジスタB2を介して流れる電流とは等しく絶対温度に比例して増減する。温度が上がると電流量が増え、これに応じてバイアス電圧VB1, VB2は下がる。一方、温度が下がると電流量が減り、バイアス電圧VB1, VB2は上昇する。

20

【0040】

また、プロセスが、ティピカルを中心としてベスト側に傾いている場合、電流調整用抵抗VRの抵抗値は大きくなるように設定される。これにより、電流量が減ってバイアス電圧VB1, VB2は上昇する。一方、プロセスがワースト側に傾いている場合、電流調整用抵抗VRの抵抗値は小さくなるように設定される。これにより、電流量が増大してバイアス電圧VB1, VB2は低くなる。

30

【0041】

バイアス電圧VB1, VB2は、後述する負荷バイアス生成回路14および発振回路16の電流源に供給される。バイアス電圧VB1, VB2が上昇すると、発振回路16の電流源から供給される電流量が減少し、クロックVOUT1, VOUT2の発振周波数は低くなる方向に調整される。一方、バイアス電圧VB1, VB2が下がると電流量が増大し、クロックVOUT1, VOUT2の発振周波数は高くなる方向に調整される。

【0042】

続いて、図1に示す負荷バイアス生成回路14は、温度変動に応じて、その電圧が変化するバイアス電圧VB3を生成するものであり、電圧生成回路28と、オペアンプ30と、レプリカ回路32とを備えている。

40

【0043】

まず、電圧生成回路28は、参照電圧Vrefを生成するものであり、電流源となる2つのPMOSM1, M2と、これらのPMOSM1, M2を介して供給されるドレイン電流を参照電圧Vrefに変換する負荷抵抗となるNMOSM11とを備えている。

【0044】

ここで、PMOSM1, M2およびNMOSM11は、電源とグランドとの間に直列に接続されている。すなわち、PMOSM1, M2はカスコード構造に縦列接続されている。また、PMOSM1, M2のゲートには、電流源12から供給されるバイアス電圧VB1, VB2がそれぞれ入力され、NMOSM11のゲートは、自分自身のドレインに接続されている。

50

【0045】

電圧生成回路28では、電流源となるPMOSM1, M2を介して供給される電流が、負荷抵抗となるNMOSM11によって電圧に変換され、NMOSM11のドレイン側のノードに参照電圧Vrefが発生される。参照電圧Vrefは以下のように表される。

$$V_{ref} = \sqrt{\left\{ \frac{2I_{ds}}{(\mu \cdot C_{ox}) \cdot (L/W)} \right\} + V_{th}}$$

$$= \sqrt{\left\{ \frac{(2I_0 \cdot T^{(3/2)})}{(\mu_0 \cdot T^{(-3/2)} \cdot C_0 x) \cdot (L/W)} \right\} + V_{th} \propto T^{(3/2)}}$$

ここで、I_{ds} : ドレイン電流、I₀ : ドレイン電流の温度に依存しない項のみ、V_{th} : 閾値電圧である。 10

【0046】

オペアンプ30は、その端子-と端子+の電圧が等しくなるように、その出力信号であるバイアス電圧VB3を制御する。オペアンプ30の端子-には参照電圧Vrefが入力され、その端子+には、レプリカ回路32のNMOSM15のドレインが接続されている。また、バイアス電圧VB3は、レプリカ回路32の負荷抵抗となるNMOSM14, M15、および発振回路16の負荷抵抗となるNMOSM22~M27のゲートに共通に入力されている。

【0047】

レプリカ回路32は、発振回路16の各インバータ34, 36, 38と同じ構造のインバータであり、同じく電流源となる2つのPMOSM3, M4と、入力段の2つのPMOSM12, M13と、負荷抵抗となる2つのNMOSM14, M15とを備えている。 20

【0048】

ここで、PMOSM3, M4は、電源とノードAとの間にカスコード構造に縦列接続され、そのゲートには、電流源12から供給されるバイアス電圧VB1, VB2がそれぞれ入力されている。

【0049】

また、PMOSM12およびNMOSM14はノードAとグランドとの間に直列に接続され、PMOSM13およびNMOSM15もノードAとグランドとの間に直列に接続されている。また、PMOSM12, M13のゲートは、それぞれ参照電圧Vrefおよびグランドに接続され、NMOSM14, M15のゲートにはオペアンプ30の出力信号であるバイアス電圧VB3が共通に入力されている。 30

【0050】

負荷バイアス生成回路14において、電流源となるPMOSM1, M2、およびPMOSM3, M4は、電流源12のPMOSM28~M31と同様に飽和領域で動作させる。これにより、電源電圧の変動によるドレイン電流の変動を抑えることができる。また、図示例のように、カスコード構造としてトランジスタを縦列接続することにより、電源電圧の変動によるドレイン電流の変動をさらに抑えることができる。

【0051】

PMOSM1, M2、およびPMOSM3, M4を介して流れる電流は、電流源12を流れる電流と等しく、温度変動に応じてその電流量が変化する。このため、参照電圧Vrefは、PMOSM1, M2を介して流れる電流と同じ温度依存性を持つ。また、オペアンプ30によって、参照電圧Vrefとレプリカ回路32のNMOSM15のドレイン電圧とが等しくなるように、バイアス電圧VB3が制御されるため、NMOSM15のドレイン電圧は、PMOSM3, M4を介して流れる電流と同じ温度依存性を持つ。 40

【0052】

このバイアス電圧VB3を発振回路16の各インバータ34, 36, 38の負荷抵抗となるNMOSM22~M27のゲートに共通に与えることによって、NMOSM22~M27のドレイン電圧は、そのドレイン電流と同じ温度依存性を持つ。ドレイン電圧およびドレイン電流が同じ温度依存性を持つ場合、NMOSM22~M27の抵抗値は温度依存性 50

がなくなるため、温度変動に伴う、NMOSM22～M27の抵抗値の変動を補償することができる。

【0053】

なお、本実施形態では、電流源12がPTAT回路で構成されているため、発振回路16の負荷抵抗となるNMOSM22～M27の抵抗値 r_{ds} の温度依存性は、 $r_{ds} \propto T^{1/4}$ と若干ではあるが残る。

【0054】

すなわち、理想的には、

$$\begin{aligned} V_{ds} &= V_{ref} = \sqrt{\{(2I_{ds} / (\mu \cdot C_{ox}) \cdot (L/W))\} + V_{th}} \\ &= \sqrt{\{(2I_0 \cdot T^{3/2} / (\mu_0 \cdot T^{-3/2}) \cdot C_{ox}) \cdot (L/W)\} + V_{th}} \propto T^{3/2} \\ r_{ds} &= V_{ds} / I_{ds} \propto T^{3/2} / T^{3/2} \end{aligned}$$

10

となり、この場合には温度依存性は無い。

【0055】

これに対し、本実施形態のように、PTAT回路を使用した場合には、

$$\begin{aligned} V_{ds} &= V_{ref} = \sqrt{\{(2I_{ds} / (\mu \cdot C_{ox}) \cdot (L/W))\} + V_{th}} \\ &= \sqrt{\{(2I_0 \cdot T / (\mu_0 \cdot T^{-3/2}) \cdot C_{ox}) \cdot (L/W)\} + V_{th}} \propto T^{5/4} \\ r_{ds} &= V_{ds} / I_{ds} \propto T^{5/4} / T = T^{1/4} \end{aligned}$$

20

となり、若干の温度依存性が残る。

【0056】

しかし、前述のように、例えば特許文献1, 2等の従来技術を適用し、電流源12において、ドレイン電流 I_d を、 $I_d \propto T^{3/2}$ に近づけることによって、 r_{ds} の温度依存性を解消することが可能である。

30

【0057】

続いて、図1に示す発振回路16は、所定の発振周波数の差動クロック V_{OUT1} , V_{OUT2} を出力するものであり、リングオシレータを構成する3つのインバータ34, 36, 38を備えている。

【0058】

インバータ34は、電流源となる2つのPMOSM5, M6と、入力段の2つのPMOSM16, M17と、負荷抵抗となる2つのNMOSM22, M23とを備えている。同様に、インバータ36は、PMOSM7, M8と、PMOSM18, M19と、NMOSM24, M25とを備えている。インバータ38は、PMOSM9, M10と、PMOSM20, M21と、NMOSM26, M27とを備えている。

40

【0059】

インバータ34において、電流源となる2つのPMOSM5, M6は電源とノードBとの間にカスコード構造に縦列接続されている。また、入力段のPMOSM16および負荷抵抗となるNMOSM22はノードBとグランドとの間に直列に接続され、同様に入力段のPMOSM17および負荷抵抗となるNMOSM23とはノードBとグランドとの間に直列に接続されている。なお、インバータ36, 38についても同様である。

【0060】

インバータ34, 36, 38の電流源となるPMOSM5, M7, M9およびPMOSM

50

6, M8, M10のゲートには、電流源12から供給されるバイアス電圧VB1, VB2がそれぞれ共通に入力されている。

【0061】

また、インバータ34の入力段のPMOSM16, M17のゲートは、インバータ38の負荷抵抗となるNMOSM26, M27のドレイン側のノードにそれぞれ接続され、同様にインバータ36のPMOSM18, M19のゲートは、インバータ34のNMOSM22, M23のドレイン側のノードにそれぞれ接続され、インバータ38のPMOSM20, M21のゲートは、インバータ36のNMOSM24, M25のドレイン側のノードにそれぞれ接続されている。

【0062】

また、インバータ34, 36, 38の負荷抵抗となるNMOSM22~M27のゲートには、負荷バイアス生成回路14のオペアンプ30から供給されるバイアス電圧VB3が共通に入力されている。

【0063】

発振回路16において、電流源となるPMOSM5, M6, PMOSM7, M8、およびPMOSM9, M10は、電流源12のPMOSM28~M31と同様に飽和領域で動作させる。これにより、電源電圧の変動によるドレイン電流の変動を抑えることができる。また、図示例のように、カスコード構造としてトランジスタを縦続接続することにより、電源電圧の変動によるドレイン電流の変動をさらに抑えることができる。

【0064】

発振回路16のそれぞれのインバータ34, 36, 38では、電流源となるPMOSM5, M6, PMOSM7, M8、およびPMOSM9, M10を介して、電源からバイアス電圧VB1, VB2に応じた電流が供給される。

【0065】

例えば、インバータ34において、PMOSM16よりもPMOSM17のゲート電圧の方が低い場合、言い換えると、インバータ38の負荷抵抗となるNMOSM26よりもNMOSM27のドレイン電圧の方が低い場合、電流源となるPMOSM5, M6を介して供給される電流は、PMOSM16よりもPMOSM17を介してより多く流れる。その結果、負荷抵抗となるNMOSM22のドレイン電圧は、NMOSM23のドレイン電圧よりも低くなる。

【0066】

インバータ34のNMOSM22, M23のドレイン電圧は、それぞれインバータ36のPMOSM18, M19のゲートに入力されている。このため、NMOSM22のドレイン電圧が、NMOSM23のドレイン電圧よりも低くなると、PMOSM19よりもPMOSM18を介してより多くの電流が流れる。その結果、NMOSM25のドレイン電圧は、NMOSM24のドレイン電圧よりも低くなる。

【0067】

同様に、インバータ36のNMOSM24, M25のドレイン電圧は、それぞれインバータ38のPMOSM20, M21のゲートに入力されている。このため、NMOSM25のドレイン電圧が、NMOSM24のドレイン電圧よりも低くなると、PMOSM20よりもPMOSM21を介してより多くの電流が流れる。その結果、NMOSM26のドレイン電圧は、NMOSM27のドレイン電圧よりも低くなる。

【0068】

インバータ38のNMOSM26, M27のドレイン電圧は、それぞれインバータ34のPMOSM16, M17のゲートに入力されている。このため、NMOSM26のドレイン電圧が、NMOSM27のドレイン電圧よりも低くなると、PMOSM17よりもPMOSM16を介してより多くの電流が流れる。その結果、NMOSM23のドレイン電圧は、NMOSM22のドレイン電圧よりも低くなる。

【0069】

以下同様にして、負荷抵抗となるNMOSM22~M27のドレイン電圧は、リングオシ

10

20

30

40

50

レータを構成する3つのインバータ34, 36, 38の合計の遅延時間の2倍に相当する周期で、高電圧と低電圧との間で繰り返し変化する。その結果、一定の発振周波数の差動クロックVOUT1, VOUT2が出力される。

【0070】

すなわち、図4のタイミングチャートに示すように、インバータ1個当たりの遅延時間をCRとすると、インバータ34, 36, 38のNMOSM22, M24, M26のドレイン電圧は全て6CRの周期で変化する。また、インバータ36のNMOSM24のドレイン電圧は、インバータ34のNMOSM22のドレイン電圧よりも位相がCRだけ遅く、かつ波形が反転している。同様に、インバータ38のNMOSM26のドレイン電圧(VOUT1)は、インバータ36のNMOSM24のドレイン電圧よりも位相がCRだけ遅く、かつ波形が反転しており、インバータ34のNMOSM22のドレイン電圧は、インバータ38のNMOSM26のドレイン電圧よりも位相がCRだけ遅く、かつ波形が反転している。

10

【0071】

前述の通り、変動補償型発振器10では、温度補償用の電流源12によって、ドレイン電流Idが、発振回路16の各インバータ34, 36, 38の入力段のPMOSM16~M21の相互コンダクタンスgmの温度依存性を打ち消すように設定される。すなわち、本実施形態の場合、ドレイン電流Idが温度Tに比例(理想的には温度Tの3/2乗に比例)するように設定される。これにより、温度変動によるPMOSM16~M21の相互コンダクタンスの変動を補償することができる。

20

【0072】

また、負荷バイアス生成回路14によって、発振回路16の各インバータ34, 36, 38の負荷抵抗となるNMOSM22~M27の抵抗値の温度依存性を打ち消すために、NMOSM22~M27のドレイン電圧がドレイン電流と同じ温度依存性を持つように制御される。これにより、温度変動によるNMOSM22~M27の抵抗値の変動も補償することができ、温度変動によるクロックの変動を高精度に補償することができる。

【0073】

なお、発振回路16の負荷抵抗となるNMOSM22~M27は、線形領域で動作させるのが好ましい。線形領域で動作させることにより、負荷抵抗の低抵抗化がなされ、高周波のクロックVOUT1, VOUT2出力を容易に得ることができる。

30

【0074】

また、電流源12のPMOSM28~M31、負荷バイアス生成回路14の電流源となるPMOSM1~M4、および発振回路16の電流源となるPMOSM5~M10を飽和領域で動作させることによって、ドレイン電流の電源電圧依存性を抑えることができる。また、これらのPMOSをカスコード構造として縦続接続することによって、さらにドレイン電流の電源電圧依存性を抑えることができる。これにより、電源電圧の変動によるクロック出力の変動を補償することができる。

【0075】

また、電流源12は、電流調整用抵抗VRを備えているため、プロセス変動に伴う、個々の半導体チップにおけるクロック出力の変動を調整して、プロセス変動によるクロック出力の変動を補償することができる。

40

【0076】

なお、電流源12は、図2に示すPTAT回路に限定されるわけではなく、従来公知の他の構成のPTAT回路、又は同様の機能を有する電流源も適用可能である。また、電流調整用抵抗VRも図3に示す構成のものに限定されるわけではなく、同様の機能を実現する他の回路構成のものを使用することも可能である。また、発振回路16のインバータの個数は3個に限定されず、クロック出力が必要とする発振周波数に応じて適宜決めればよい。

【0077】

本発明は、基本的に以上のようなものである。

50

以上、本発明の変動補償型発振器について詳細に説明したが、本発明は上記実施形態に限定されず、本発明の主旨を逸脱しない範囲において、種々の改良や変更をしてもよいのはもちろんである。

【 0 0 7 8 】

【 発明の効果 】

以上詳細に説明した様に、本発明の変動補償型発振器によれば、主要変動要因である温度、電源電圧、プロセスの各変動に伴うクロック出力の変動を補償することができる。また、温度変動については、従来よりもさらに高精度に補償することが可能である。また、発振回路の負荷抵抗となるトランジスタを線形領域で動作させることにより、高周波のクロック出力を容易に得ることができる。

10

【 図面の簡単な説明 】

【 図 1 】 本発明の変動補償型発振器の一実施形態の構成概略図である。

【 図 2 】 電流源の一実施形態の構成概略図である。

【 図 3 】 電流調整用抵抗の一実施形態の構成概略図である。

【 図 4 】 発振回路の動作を表す一実施形態のタイミングチャートである。

【 符号の説明 】

1 0 変動補償型発振器

1 2 電流源

1 4 負荷バイアス生成回路

1 6 発振回路

20

1 8 , 2 2 単位抵抗

2 6 抵抗素子

2 0 , 2 4 スイッチ

2 8 電圧生成回路

3 0 オペアンプ

3 2 レプリカ回路

3 4 , 3 6 , 3 8 インバータ

B 1 , B 2 バイポーラトランジスタ

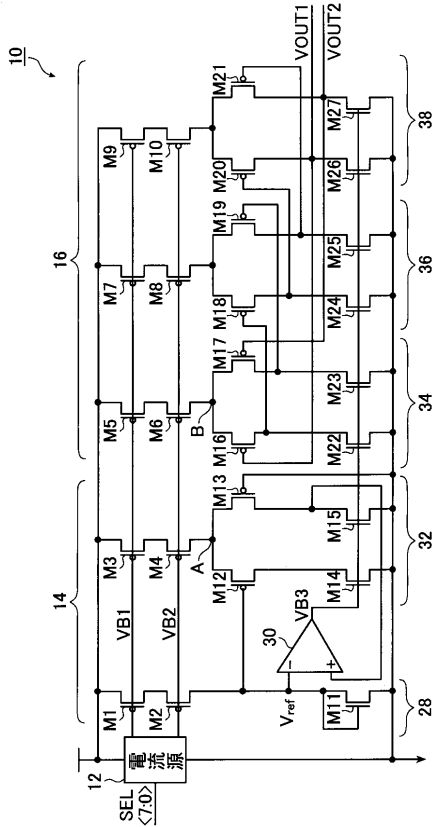
M 1 ~ M 1 0 , M 1 2 , M 1 3 , M 1 6 ~ M 2 1 , M 2 8 ~ M 3 1 P型MOSトランジスタ

30

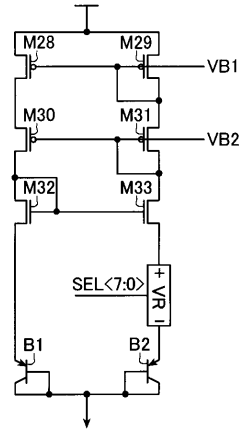
M 1 1 , M 1 4 , M 1 5 , M 2 2 ~ M 2 7 , M 3 2 , M 3 3 N型MOSトランジスタ

V R 電流調整用抵抗

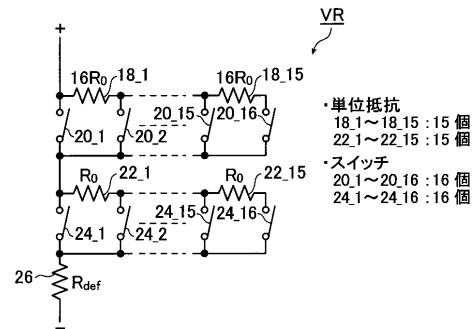
【図1】



【図2】



【図3】



【図4】

