

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年2月1日(01.02.2018)



(10) 国際公開番号

WO 2018/021115 A1

(51) 国際特許分類:
H01G 4/33 (2006.01) H01G 9/04 (2006.01)

(21) 国際出願番号: PCT/JP2017/026121

(22) 国際出願日: 2017年7月19日(19.07.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-150083 2016年7月29日(29.07.2016) JP

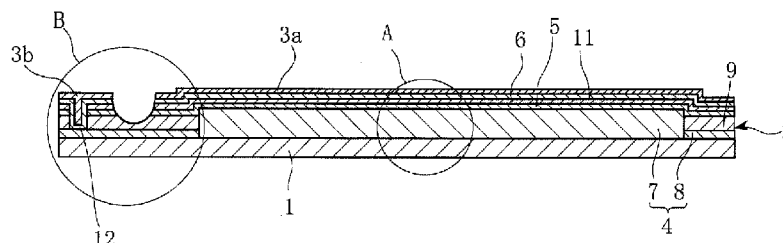
(71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
JP]; 〒6178555 京都府長岡京市東神足 1
丁目 10 番 1 号 Kyoto (JP).

(72) 発明者: 青木 健介(AOKI Kensuke); 〒6178555
京都府長岡京市東神足 1 丁目 10 番 1 号 株
式会社 村田製作所内 Kyoto (JP). 荒川 建夫
(ARAKAWA Takeo); 〒6178555 京都府長岡京
市東神足 1 丁目 10 番 1 号 株式会社 村田製
作所内 Kyoto (JP). 井上 徳之(INOUE Noriyuki);
〒6178555 京都府長岡京市東神足 1 丁目 10
番 1 号 株式会社 村田製作所内 Kyoto (JP). 伊
藤 賢(ITO Ken); 〒6178555 京都府長岡京市東
神足 1 丁目 10 番 1 号 株式会社 村田製作
所内 Kyoto (JP). 神涼 康一(KANRYO Koichi);
〒6178555 京都府長岡京市東神足 1 丁目 10 番
1 号 株式会社 村田製作所内 Kyoto (JP). 佐伯
洋昌(SAEKI Hiromasa); 〒6178555 京都府長岡
京市東神足 1 丁目 10 番 1 号 株式会社 村田
製作所内 Kyoto (JP). 岩地 直樹(IWAJI Naoki);

(54) Title: CAPACITOR AND METHOD FOR PRODUCING CAPACITOR

(54) 発明の名称: コンデンサ、及び該コンデンサの製造方法

Fig. 1



(57) Abstract: In the present invention, an element body 2 is formed only on one main surface of a foil-like conductive substrate 1. The element body 2 is provided with: a porous substrate 4 comprising a conductive material having fine pores; a dielectric layer 5 formed on a prescribed region of a surface of the porous substrate 4 including the inner surface of the pores; and a conductive section 6 formed on the dielectric layer 5. First and second electrically insulated terminal electrodes 3a, 3b are formed on the main surface of the element body 2. The first terminal electrode 3a is electrically connected to the conductive section 6, while the second terminal electrode 3b is electrically connected to the conductive substrate 1 via a via conductor 12. Due to this configuration, a compact and large-capacity capacitor, the height of which can be further lowered, and a method for producing the same are realized.

(57) 要約: 箔状の導電性基板 1 の一方の主面にのみ素子本体 2 が形成されている。この素子本体 2 は、微小な細孔を有する導電材料からなる多孔基体 4 と、細孔の内表面を含む多孔基体 4 の表面所定域に形成された誘電体層 5 と、誘電体層 5 上に形成された導電部 6 とを備えている。素子本体 2 の主面には、電氣的に絶縁された第 1 及び第 2 の端子電極 3 a、3 b が形成されている。第 1 の端子電極 3 a は導電部 6 と電氣的に接続される一方、第 2 の端子電極 3 b はビア導体 12 を介して導電性基板 1 に電氣的に接続されている。これにより、より一層の低背化が可能な小型・大容量のコンデンサとその製造方法を実現する。

〒6178555 京都府長岡京市東神足 1 丁目 1 0 番
1 号 株式会社 村田製作所内 Kyoto (JP).

(74) 代理人: 國 弘 安 俊 (KUNIHIRO Yasutoshi);
〒5320011 大阪府大阪市淀川区西中島 5 丁目 1
4 - 1 0 新大阪トヨタビル 1 0 階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：コンデンサ、及び該コンデンサの製造方法

技術分野

[0001] 本発明は、コンデンサ、及び該コンデンサの製造方法に関し、より詳しくは微小な細孔を有する多孔基体を使用したコンデンサとこのコンデンサの製造方法に関する。

背景技術

[0002] 今日、パーソナルコンピュータや携帯情報端末等の電子機器には、多くの各種コンデンサが搭載されている。この種のコンデンサのうち、固体電解コンデンサは、陽極酸化された酸化皮膜を誘電体層としていることから、誘電体層を薄層化することができ、小型・大容量化が可能なコンデンサとして広く使用されている。

[0003] しかしながら、上記固体電解コンデンサでは、Nb等の弁金属を主体とした多孔質焼結体で陽極を形成しているため、欠陥が多く機械的強度に劣る。しかも誘電体層を陽極酸化により形成しているため、固体電解コンデンサには極性が付与されることとなり、使い勝手に劣るという欠点がある。

[0004] そこで、特許文献1には、図16に示すように、空隙率の大きい微小な細孔を有する高空隙部101と該高空隙部101に比べ空隙率が小さい低空隙部102とを有する多孔金属基体103と、多孔金属基体103と電氣的に接続された断面コ字状の導電部104と、多孔金属基体103の両主面に形成された保護膜105と、多孔金属基体103の低空隙部102と電氣的に接続された第1の端子電極106aと、導電部104と電氣的に接続された第2の端子電極106bとを備えたコンデンサが提案されている。

[0005] この特許文献1では、多孔金属基体103は、金属芯部の両主面に高空隙部101及び低空隙部102が形成されると共に、該高空隙部101の細孔内表面を含む表面所定域に誘電体層が形成され、かつ誘電体層の表面に前記導電部104が形成されている。そして、高空隙部101、誘電体層、及び

導電部 104 で静電容量を取得し、前記低空隙部 102 で機械的強度を確保しようとしている。

先行技術文献

特許文献

[0006] 特許文献1：国際公開2015／118901号（請求項1～11、図1、2等）

発明の概要

発明が解決しようとする課題

[0007] しかしながら、特許文献1では、金属芯部の両主面に形成された高空隙部101で静電容量を取得しているものの、高空隙部101は金属芯部の両主面に形成されていることからコンデンサの低背化には限界があった。また、上述したように高空隙部101を金属芯部の両主面に形成していることから、構造上、両端部の端面から側面部に架けて端子電極（第1及び第2の端子電極106a、106b）を形成せざるを得ず、斯かる点からも低背化に限界があり、実装性にも劣っていた。

[0008] また、特許文献1では、多孔金属基体103を両面から種々の加工を施して形成しなければならず、三次元的な形成プロセスが必要となり、製造工程が煩雑化を招いていた。

[0009] 本発明はこのような事情に鑑みなされたものであって、より一層の低背化が可能な小型・大容量のコンデンサ、及びこのコンデンサを加工プロセスが簡素で効率良く作製することができるコンデンサの製造方法することを目的とする。

課題を解決するための手段

[0010] 上記目的を達成するために本発明に係るコンデンサは、箔状の導電性基板の一方の主面に素子本体が形成されると共に、該素子本体が、微小な細孔を有する導電材料からなる多孔基体と、前記細孔の内表面を含む前記多孔基体の表面所定域に形成された誘電体層と、前記誘電体層上に形成された導電部

とを備え、前記素子本体の主面には、電氣的に絶縁された一对の端子電極が形成され、前記一对の端子電極のうちの一方の端子電極は前記導電部に電氣的に接続される一方、他方の端子電極は前記導電性基板に電氣的に接続されていることを特徴としている。

[0011] これにより素子本体の一方の主面上に形成された一对の端子電極を使用して基板実装することが可能となり、コンデンサ単体での取り扱いが容易となる。しかも素子本体を導電性基板の一方の主面のみに形成されることが可能になることから、より一層の低背化が可能となり、より小型化された大容量のコンデンサを得ることが可能となる。

[0012] また、本発明のコンデンサは、前記多孔基体が、静電容量の取得に寄与する高空隙部と、該高空隙部の少なくとも両端部に形成された前記高空隙部よりも空隙率の低い低空隙部とを有し、前記低空隙部は少なくとも前記素子本体の両端部に形成されているのが好ましく、さらにこの場合、前記高空隙部は、前記低空隙部で囲繞されているのが好ましい。

[0013] これにより高空隙部が低空隙部で取り囲まれることから、機械的強度を確保することが可能となる。

[0014] また、本発明のコンデンサは、前記一方の端子電極と前記導電性基板との間には絶縁性材料からなる保護層が介在されているのが好ましい。

[0015] これによりコンデンサのより一層の機械的強度を確保することが可能となる。

[0016] また、本発明のコンデンサは、前記他方の端子電極は、第1のビア導体を介して前記導電性基板と電氣的に接続されているのが好ましい。

[0017] さらに、本発明のコンデンサは、前記一对の端子電極が、前記素子本体の主面上で面一に形成されているのが好ましい。

[0018] これにより実装時にコンデンサが傾斜するのを抑制することが可能となる。

[0019] 尚、一对の端子電極を面一に形成するための手段としては、上記保護層の厚みを調整したり、或いは第1の端子電極と導電部との間に絶縁層を介在さ

せる等の手段が可能である。

[0020] また、本発明のコンデンサは、前記導電部は2つに分断されると共に、分断されたそれぞれの導電部の表面に中間電極層が形成され、かつ前記中間電極層と前記一对の端子電極間には第1の絶縁層が介在され、前記一方の端子電極は、前記中間電極層のうちの一方の前記中間電極層と電氣的に接続されると共に、前記他方の端子電極は、他方の前記中間電極層を介して前記導電性基板と電氣的に接続されているのも好ましく、この場合、前記一方の端子電極は、前記第1の絶縁層を貫通する第2のビア導体を介して前記一方の中間電極層と電氣的に接続され、前記他方の端子電極は、前記第1の絶縁層を貫通する第3のビア導体を介して前記他方の中間電極層と電氣的に接続されているのが好ましい。

[0021] このように中間電極層を設けて再配線化を行うことにより、自由な形状の端子電極を素子本体上に形成することが可能となる。また、中間電極層と端子電極間には絶縁層を介在させることにより、低背化を確保しつつ物理的衝撃を緩和することができ、機械的耐性を向上させることが可能となる。

[0022] また、本発明のコンデンサは、前記分断された導電部のうち一方の導電部と該導電部上に形成される中間電極層との間には第2の絶縁層が介在されているのも好ましい。

[0023] これにより、物理的衝撃をより緩和することができ、機械的耐性をより一層向上させることが可能となる。

[0024] また、本発明のコンデンサは、前記導電性基板の他方の主面に保護部材が設けられているのが好ましい。

[0025] これにより機械的強度の更なる向上が可能となり、より良好な機械的耐性を有するコンデンサを得ることが可能となる。

[0026] また、本発明のコンデンサは、前記誘電体層が、原子層単位で堆積されるのが好ましい。

[0027] これにより緻密な誘電体層を得ることができ、固体電解コンデンサにおける陽極酸化のように欠陥が生じて絶縁性の低下を招くのを抑制することがで

き、絶縁性の良好なコンデンサを得ることができる。また、極性が付与されることもなく、良好な信頼性を有し使い勝手の良好な小型・大容量のコンデンサを得ることができる。

[0028] また、本発明のコンデンサは、前記導電部が、前記細孔の内部に充填されてなるのが好ましい。

[0029] さらに、本発明のコンデンサは、前記導電部が、前記細孔の内部を前記誘電体層に沿うように形成されているのも好ましい。

[0030] すなわち、導電部が、細孔の内部に充填されて形成されている場合、前記細孔の内部を誘電体層に沿うように形成されている場合のいずれにおいても、多数の細孔を利用して静電容量を取得することが可能となる。

[0031] また、本発明のコンデンサは、前記導電性基板及び前記多孔基体が、金属材料からなりかつ一体的に形成されているのが好ましい。

[0032] また、本発明のコンデンサは、前記導電部が、金属材料及び導電性化合物のうちのいずれかで形成されているのが好ましく、さらに前記導電性化合物は、金属窒化物及び金属酸窒化物を含むのが好ましい。

[0033] 導電部を低抵抗の金属材料で形成した場合は、より一層のESR（等価直列抵抗）の低減が可能であり、また、導電部を金属窒化物や金属酸窒化物等の導電性化合物で形成した場合は、細孔内部にまで良好な均一性を有する導電部を形成することが可能となる。

[0034] また、本発明に係るコンデンサの製造方法は、箔状の導電性基板の一方の主面に微小な細孔が形成された多孔性の導電材料からなる集合基体を準備する工程と、前記集合基体を加工し、該集合基体の所定領域に高空隙部を形成する工程と、絶縁性材料からなる保護層を前記導電性基板上に形成する工程と、前記細孔の内表面を含む前記集合基体の表面所定域に誘電体層を形成する工程と、前記誘電体層の表面に導電部を形成する工程と、前記導電部及び前記保護層を貫通するビアホールを形成し、該ビアホールに導電材料を充填して第1のビア導体を形成する工程と、前記導電部を、前記第1のビア導体を含まず前記高空隙部を含む第1の領域と前記第1のビア導体を含む第2の

領域とに分断する工程と、前記第1の領域の主面に前記導電部に接続する一方の端子電極を形成し、前記第2の領域の主面に前記第1のビア導体を介して前記導電性基板に接続する他方の端子電極を形成し、電氣的に絶縁された一对の端子電極を作製する工程と、前記一連の工程を実施した後、前記集合基体を個片化する工程とを含むことを特徴としている。

[0035] また、本発明に係るコンデンサの製造方法は、導電性基板の一方の主面に微小な細孔が形成された多孔性の導電材料からなる集合基体を準備する工程と、前記集合基体を加工し、該集合基体の所定領域に高空隙部を形成する工程と、絶縁性材料からなる保護層を前記導電性基板上に形成する工程と、前記細孔の内表面を含む前記集合基体の表面所定域に誘電体層を形成する工程と、前記誘電体層の表面に導電部を形成する工程と、前記導電部上に中間電極層を形成する工程と、前記中間電極層、前記導電部及び前記保護層を貫通するビアホールを形成し、少なくとも前記ビアホールの内面に導電性薄膜を成膜して第1のビア導体を作製する工程と、前記導電部及び前記中間電極層を、前記第1のビア導体を含まず前記高空隙部を含む第1の領域と前記第1のビア導体を含む第2の領域とに分断する工程と、前記第1の領域と第2の領域との間隙を含む前記中間電極層の表面に第1の絶縁層を形成する工程と、電氣的に絶縁された一对の端子電極を前記第1の絶縁層上に形成する工程と、前記一对の端子電極のうち一方の端子電極を前記第1の領域の中間電極層と電氣的に導通させる第2のビア導体を作製し、他方の端子電極を前記第2の領域の中間電極層と電氣的に導通させる第3のビア導体を作製する工程と、前記一連の工程を実施した後、前記集合基体を個片化する工程とを含むことを特徴としている。

[0036] この場合、前記第2の領域において前記導電部と前記中間電極層との間に第2の絶縁層を形成する工程を含むのも好ましい。

[0037] また、本発明のコンデンサの製造方法は、前記保護層の厚みを調整し、前記一对の端子電極が面一となるように形成するのが好ましい。

[0038] また、本発明のコンデンサの製造方法は、前記誘電体層を原子層堆積法に

より形成するのが好ましい。

[0039] さらに、本発明のコンデンサの製造方法は、前記導電部を原子層堆積法により形成するのが好ましい。

[0040] また、本発明のコンデンサの製造方法は、前記高空隙部の少なくとも両端部に前記高空隙部よりも空隙率の低い低空隙部を形成するのが好ましい。

発明の効果

[0041] 本発明のコンデンサによれば、箔状の導電性基板の一方の主面に素子本体が形成されると共に、該素子本体が、微小な細孔を有する導電材料からなる多孔基体と、前記細孔の内表面を含む前記多孔基体の表面所定域に形成された誘電体層と、前記誘電体層上に形成された導電部とを備え、前記素子本体の主面には、電氣的に絶縁された一对の端子電極が形成され、前記一对の端子電極のうちの一方の端子電極は前記導電部に電氣的に接続される一方、他方の端子電極は前記導電性基板に電氣的に接続されているので、素子本体の一方の主面上に形成された一对の端子電極を使用して基板実装することが可能となり、電子部品としてのコンデンサ単体での取り扱いが容易となる。しかも、素子本体を導電性基板の一方の主面のみに形成されることが可能になることから、より一層の低背化が可能となり、より小型化された大容量のコンデンサを得ることが可能となる。

[0042] また、本発明のコンデンサの製造方法によれば、上述した集合基体を準備する工程、高空隙部を形成する工程、保護層を導電性基板上に形成する工程、誘電体層を形成する工程、導電部を形成する工程、第1のビア導体を形成する工程、前記保護層を第1の領域と第2の領域とに分断する工程、一对の端子電極を得る工程、及び集合基体を個片化する工程を含むので、集合基体の状態で導電性基板の一方の主面側のみに加工処理を施せばよく、加工プロセスを簡素化することができ、低背化された小型・大容量のコンデンサを高効率で得ることが可能となる。

[0043] また、中間接続層を形成する工程等を含む場合についても同様、集合基体の状態で導電性基板の一方の主面側のみに加工処理を施せばよく、加工プロ

セスを簡素化することができ、再配線化によって自由な形状の端子電極を有するコンデンサを容易に製造することが可能となる。

図面の簡単な説明

[0044] [図1]本発明に係るコンデンサの一実施の形態を模式的に示す断面図である。

[図2]図1の平面図である。

[図3]図1のA部詳細を示す拡大断面図である。

[図4]図1のB部詳細を示す拡大断面図である。

[図5]本発明に係るコンデンサの製造方法を模式的に示す製造工程図（1／7）である。

[図6]本発明に係るコンデンサの製造方法を模式的に示す製造工程図（2／7）である。

[図7]本発明に係るコンデンサの製造方法を模式的に示す製造工程図（3／7）である。

[図8]本発明に係るコンデンサの製造方法を模式的に示す製造工程図（4／7）である。

[図9]本発明に係るコンデンサの製造方法を模式的に示す製造工程図（5／7）である。

[図10]本発明に係るコンデンサの製造方法を模式的に示す製造工程図（6／7）である。

[図11]本発明に係るコンデンサの製造方法を模式的に示す製造工程図（7／7）である。

[図12]本発明に係るコンデンサの第2の実施の形態を模式的に示す断面図である。

[図13]本発明に係るコンデンサの第3の実施の形態を模式的に示す断面図である。

[図14]本発明に係るコンデンサの第4の実施の形態を模式的に示す断面図である。

[図15]本発明に係るコンデンサの第5の実施の形態を模式的に示す要部断面

図である。

[図16]特許文献 1 に記載されたコンデンサを模式的に示す断面図である。

発明を実施するための形態

[0045] 次に、本発明の実施の形態を詳説する。

[0046] 図 1 は、本発明に係るコンデンサの一実施の形態（第 1 の実施の形態）を模式的に示す断面図であり、図 2 は、図 1 の平面図である。

[0047] このコンデンサは、箔状の導電性基板 1 の一方の主面に素子本体 2 が形成され、前記素子本体 2 の主面には電氣的に絶縁された一对の端子電極（第 1 の端子電極 3 a、第 2 の端子電極 3 b）が形成されている。

[0048] 素子本体 2 は、導電材料からなる多孔基体 4 と、該多孔基体 4 の表面に形成された誘電体層 5 と、該誘電体層 5 上に形成された導電部 6 とを有している。

[0049] 多孔基体 4 は、具体的には、静電容量の取得に寄与する空隙率の大きな高空隙部 7 と、該高空隙部 7 を囲繞するように形成された高空隙部 7 よりも空隙率の小さい低空隙部 8 とを有している。

[0050] また、低空隙部 8 と誘電体層 5 との間には絶縁性材料からなる保護層 9 が介在され、さらに第 1 及び第 2 の端子電極 3 a、3 b と導電部 6 との間には、後述するビア導体（第 1 のビア導体）12 をめっき形成するためのシード電極層 11 が介在されている。

[0051] 尚、導電性基板 1 及び多孔基体 4（高空隙部 7、低空隙部 8）は、後述するように、集合基体を加工して一体的に形成される。

[0052] 図 3 は、図 1 の A 部詳細を示す拡大断面図である。

[0053] 導電性基板 1 上には微小な細孔 7 a を有する高空隙部 7 が形成され、該細孔 7 a の内表面には該内表面に沿うように誘電体層 5 が形成されている。また、誘電体層 5 上には細孔 7 a を閉塞するように導電部 6 が形成され、細孔 7 a は導電部 6 を形成する材料で充填されると共に、シード電極層 11 に沿うように高空隙部 7 上に形成されている。そして、本実施の形態では、高空隙部 7、誘電体層 5 及び導電部 6 とで静電容量を取得している。

- [0054] 尚、誘電体層 5 は原子層単位で堆積されてなり、これにより緻密に成膜されることから、固体電解コンデンサのように陽極酸化で誘電体層を形成した場合とは異なり、欠陥が少なく絶縁性が良好となる。また、極性が付与されないことから、使い勝手の良好なコンデンサを得ることが可能となる。
- [0055] 図 4 は、図 1 の B 部詳細を示す拡大断面図である。
- [0056] 導電性基板 1 上には、低空隙部 8 が高空隙部 7 を囲繞するように形成され、さらに低空隙部 8 上には保護層 9、誘電体層 5、導電部 6、及びシード電極層 11 が高空隙部 7 を囲繞するように形成されている。
- [0057] そして、素子本体 2 の一端面近傍には第 2 の端子電極 3b と低空隙部 8 とを電氣的に導通可能とするビア導体（第 1 のビア導体）12 が形成されている。このビア導体 12 は、導電部 6、誘電体層 5 及び保護層 9 を貫通するビアホール内に形成されている。すなわち、ビアホールの内面にはシード電極層 11 が成膜され、シード電極層 11 の内面には第 2 の端子電極 3b を形成する導電性材料 14 が充填され、シード電極層 11 と導電性材料 14 とでビア導体 12 を形成している。
- [0058] また、低空隙部 8 上には少なくとも保護層 9 の一部に食い込むような形態で溝部 15 が形成されている。すなわち、シード電極層 11、導電部 6、及び誘電体層 5 は、溝部 15 によって第 1 の領域 31 と第 2 の領域 32 の 2 つに領域分断され、これによりシード電極層 11 上には、互いに電氣的に絶縁された第 1 の端子電極 3a 及び第 2 の端子電極 3b が形成されている。
- [0059] そして、この実施の形態では、高空隙部 7 上の第 1 の端子電極 3a と低空隙部 8 上の第 1 の端子電極 3a とは段差 d を有するように形成されている。
- [0060] ここで、高空隙部 7 の空隙率は、特に限定されるものではないが、所望の静電容量を取得する観点からは、好ましくは 30～80%、より好ましくは 35～65% である。
- [0061] 一方、低空隙部 8 の空隙率は、所望の機械的強度を確保する観点から、25% 以下が好ましく、より好ましくは 10% 以下であり、空隙が存在しない 0% であってもよい。

- [0062] 尚、高空隙部7の作製方法は特に限定されるものではなく、例えば、後述するようにエッチング法、焼結法、脱合金化法等により製造することができ、これらの製法により作製された金属エッチング箔、焼結体、多孔金属体等を高空隙部7として使用することができる。
- [0063] 高空隙部7の厚みは、特に限定されるものではないが、機械的強度を確保しつつ、所望の小型化を図る観点からは、 $10 \sim 300 \mu\text{m}$ が好ましく、より好ましくは $30 \sim 150 \mu\text{m}$ であり、さらに好ましくは $30 \sim 80 \mu\text{m}$ である。
- [0064] また、低空隙部8は、後述するように高空隙部7が形成された導電性基板1にプレス加工やレーザー照射等を施し、多孔基体4（高空隙部7）の細孔7aを潰滅させることにより形成することができる。高空隙部7と低空隙部8の領域比率は、取得すべき静電容量に応じて設定される。例えば、大容量のコンデンサを得る場合は、高空隙部7の領域比率が大きくなり、一方、静電容量は小さくなるが機械的強度を確保したい場合は、低空隙部8の領域比率が大きくなる。
- [0065] 尚、本実施の形態では、機械的強度を向上させることにより、素子本体2の高さHに対する長さLの比を3以上、好ましくは5以上とすることができ、低背で小型かつ大容量のコンデンサを得ることが可能となる。
- [0066] また、導電性基板1の厚みも特に限定されるものではないが、機械的強度と低背化の観点からは $10 \sim 100 \mu\text{m}$ が好ましい。
- [0067] このような導電性基板1の素材としては、導電性を有していれば特に限定されるものではなく、例えば、Al、Ta、Ni、Cu、Ti、Nb、Fe等の金属材料やステンレス、ジュラルミン等の合金材料を使用することができる。
- [0068] ただし、導電性基板1は、ESRをより効果的に低減する観点からは、良導電性材料、特に比抵抗が $10 \mu\Omega \cdot \text{cm}$ 以下の金属材料で形成するのが好ましく、Siのような半導体材料は好ましくない。
- [0069] また、上記誘電体層5を形成する材料としては、絶縁性を有する材料であ

れば特に限定されるものではなく、例えば、 Al_2O_3 等の AlO_x 、 SiO_2 等の SiO_x 、 $AlTiO_x$ 、 $SiTiO_x$ 、 HfO_x 、 TaO_x 、 ZrO_x 、 $HfSiO_x$ 、 $ZrSiO_x$ 、 $TiZrO_x$ 、 $TiZrWO_x$ 、 TiO_x 、 $SrTiO_x$ 、 $PbTiO_x$ 、 $BaTiO_x$ 、 $BaSrtiO_x$ 、 $BaCaTiO_x$ 、 $SiAlO_x$ 等の金属酸化物、 AlN_x 、 SiN_x 、 $AlScN_x$ 等の金属窒化物、或いは AlO_xN_y 、 SiO_xN_y 、 $HfSiO_xN_y$ 、 $SiC_xO_yN_z$ 等の金属酸窒化物を使用することができる。また、緻密な膜形成を行う観点からは、誘電体層5が結晶性を有する必要はなく、非晶質膜を使用するのが好ましい。

[0070] 誘電体層5の厚みも特に限定されるものではないが、絶縁性を高めて漏れ電流を抑制し、かつ大きな静電容量を確保する観点からは、 $3\sim 100\text{ nm}$ が好ましく、より好ましくは $10\sim 50\text{ nm}$ である。

[0071] 誘電体層5の膜厚のバラツキについては、安定した所望の静電容量を取得する観点からは、膜厚が均一性を有するのが好ましい。本実施の形態では、後述する原子層堆積法を使用することにより、膜厚のバラツキは、平均膜厚を基準に絶対値換算で10%以下に抑制することが可能である。

[0072] また、導電部6を形成する材料については、導電性を有していれば特に限定されるものではなく、 Ni 、 Cu 、 Al 、 W 、 Ti 、 Ag 、 Au 、 Pt 、 Zn 、 Sn 、 Pb 、 Fe 、 Cr 、 Mo 、 Ru 、 Pd 、 Ta 、及びこれらの合金類（例えば $CuNi$ 、 $AuNi$ 、 $AuSn$ ）、さらには TiN 、 $TiAlN$ 、 TaN 等の金属窒化物、 $TiON$ 、 $TiAlON$ 等の金属酸窒化物、PEDOT/PSS（ポリ（3，4-エチレンジオキシチオフェン）／ポリスチレンスルホン酸）、ポリアニリン、ポリピロール等の導電性高分子等を使用することができるが、細孔7aへの充填性や成膜性を考慮すると、金属窒化物や金属酸窒化物が好ましい。尚、このような金属窒化物や金属酸窒化物、或いは導電性高分子を使用する場合は、電気抵抗をより一層低抵抗化すべく、めっき法等により導電部6の表面に Cu 皮膜、 Ni 皮膜等の金属皮膜を形成するのが好ましい。

[0073] 導電部6の厚みも特に限定されるものではないが、より低抵抗の導電部6を得るためには、3nm以上が好ましく、より好ましくは10nm以上である。

[0074] 保護層9の形成材料についても、絶縁性を有するものであれば特に限定されるものではなく、上記誘電体層5と同様の材料、例えば SiN_x 、 SiO_x 、 AlTiO_x 、 AlO_x 等を使用することができるが、好ましくは SiO_x であり、またエポキシ樹脂、ポリイミド樹脂などの樹脂材料やガラス材料等を使用することもできる。

[0075] 第1及び第2の端子電極3a、3bの形成材料や厚みについても、所望の導電性を有するものであれば特に限定されるものではなく、例えば、Cu、Ni、Sn、Au、Ag、Pb等の金属材料やこれらの合金等を使用することができ、厚みは0.5～50 μm 、好ましくは1～20 μm に形成される。

[0076] このように本コンデンサは、箔状の導電性基板1の一方の主面に素子本体2が形成されると共に、該素子本体2が、微小な細孔7aを有する導電材料からなる多孔基体4（高空隙部7及び低空隙部8）と、細孔7aの内表面を含む多孔基体4の表面所定域に形成された誘電体層5と、誘電体層5上に形成された導電部6とを備え、素子本体2の主面には、互いに電氣的に絶縁された第1及び第2の端子電極3a、3bが形成され、第1の端子電極3aは導電部6と電氣的に接続される一方、第2の端子電極3bはビア導体12及び低空隙部8を介して導電性基板1と電氣的に接続されているので、素子本体2の一方の主面上に形成された第1及び第2の端子電極3a、3bを使用して基板実装することが可能となる。しかも素子本体2を導電性基板1の一方の主面のみに形成されることが可能になることから、より一層の低背化が可能となり、より小型化された大容量のコンデンサを得ることが可能となる。

[0077] 次に、上記コンデンサの製造方法を図5～図11に基づき詳述する。

[0078] 図5（a₁）は、基材となる箔状の集合基体の斜視図であり、図5（a₂）

は、図5 (a₁) のX-X矢視断面図である。

[0079] まず、この図5 (a₁)、(a₂)に示すように、導電性基板1の一方の主面に微小な細孔7aを形成した多孔基体4を有する大判の集合基体16を準備する。尚、多孔基体4は、金属芯部7bと該金属芯部7b上に形成された多数の微小な細孔7aとで構成されている。

[0080] ここで、集合基体16としては、導電性基板1の一方の主面に拡面処理が施された金属エッチング箔や金属焼結体、多孔金属体等を使用することができる。

[0081] 金属エッチング箔は、Au等の金属箔に任意の方向に所定電流を通電し、金属箔をエッチング加工することにより作製することができる。金属焼結体は、TaやNi等の金属粉末をシート状に成形加工した後、金属の融点よりも低い温度で加熱し、焼成することにより作製することができる。また、多孔金属体は、脱合金化法を使用することにより作製することができる。すなわち、電気化学的に貴な金属と卑な金属の二次元合金から卑な金属のみを酸などの電解液中で溶解除去する。そして、卑な金属を溶解除去する際に、溶解せずに残った貴な金属がナノメートルオーダの開気孔を形成し、これにより多孔金属体を作製することができる。

[0082] このようにして導電性基板1上に多孔基体4が形成された集合基体16を準備する。

[0083] 次に、図6 (b₁)に示すように、集合基体16にブロック化処理を施し、多孔基体4を高空隙部7と該高空隙部7よりも低背の低空隙部8とを一組とした多数のブロック群を形成する。

[0084] 図6 (b₂)は、図6 (b₁)のY-Y矢視断面図、図6 (b₃)は、図6 (b₂)の要部拡大断面図である。

[0085] ブロック化処理の方法は、特に限定されるものではなく、プレス加工、レーザー照射等を使用し、高空隙部7の細孔7aの一部を潰滅させることにより、多孔基体4を高空隙部7と低空隙部8とにブロック化することができる。

[0086] 例えば、プレス加工を使用してブロック化処理を行う場合は、所定の幅寸法を有する金型を使用し、上面から集合基体 16 を加圧し、高空隙部 7 と低空隙部 8 とにブロック化することができる。この場合、金型等の幅寸法を調整することにより、高空隙部 7 と低空隙部 8 の領域比率を調整することができる、上述したようにコンデンサの静電容量を制御することができる。

[0087] また、レーザー照射を使用してブロック化処理を行う場合は、 YVO_4 レーザー、 CO_2 レーザー、YAG レーザー、エキシマレーザー、ファイバーレーザー、更にはフェムト秒レーザー、ピコ秒レーザー、ナノ秒レーザー等の全固体パルスレーザーを多孔基体 4 の所定位置に照射して細孔 7a の一部を潰滅させ、これにより低空隙部 8 を形成することができる。尚、このようなレーザー照射で低空隙部 8 を形成する場合は、形状や空隙率をより高精度に制御するためには上述した全固体パルスレーザーを使用するのが好ましい。

[0088] 次に、図 7 (c) に示すように、絶縁性材料からなる保護層 9 を低空隙部 8 の表面に形成する。保護層 9 の形成方法は特に限定されるものではなく、エア式ディスペンサ、ジェット式ディスペンサ、インクジェット法、スクリーン印刷法、静電塗布法等で低空隙部 8 の表面に絶縁性材料を充填又は塗布して保護層 9 を形成することができる。

[0089] このような保護層用の絶縁性材料についても絶縁性を有すれば特に限定されるものではなく、例えばポリイミド樹脂、エポキシ樹脂等を使用することができる。

[0090] 次に、図 8 (d₁) に示すように、高空隙部 7 及び保護層 9 の表面に誘電体層 5 を形成する。図 8 (d₂) は、図 8 (d₁) の要部拡大断面図である。

[0091] 誘電体層 5 は、具体的には、この図 8 (d₂) に示すように、高空隙部 7 の細孔 7a の内表面及び低空隙部 8 上の保護層 9 の表面に形成される。

[0092] 誘電体層 5 の形成方法は特に限定されるものではなく、化学的気相成長 (Chemical Vapor Deposition; 以下、「CVD」) という。) 法、物理的気相成長法 (Physical Vapor Deposition; 以下「PVD」) という。) 法等で製造することもできるが、薄膜かつ緻密で漏れ電流が小さく良好な絶縁性を得る

観点からは、原子層堆積（Atomic Layer Deposition；以下「ALD」という。）法で形成するのが好ましい。

[0093] すなわち、CVD法では、前駆体である有機金属化合物や水等の反応ガスを同時に反応室に供給して反応させ、成膜するため、ナノオーダーの微小な細孔7aの内表面の奥深くまで均一な膜厚の誘電層5を形成するのが困難である。また、固体原料を使用したPVD法の場合も同様である。

[0094] これに対しALD法では、有機金属前駆体を反応室に供給して化学吸着させた後、気相中に過剰に存在する有機金属前駆体をパージして除去し、その後、反応室で水蒸気等の反応ガスと反応させ、これにより細孔7aの内表面を含む高空隙部7及び低空隙部8上の保護層9の表面所定域に原子層単位の薄膜を堆積させることができる。したがって、上述の過程を繰り返すことにより、原子層単位で薄膜が積層され、その結果細孔7aの内表面の奥深くまで均一で所定膜厚を有する緻密で高品質の誘電体層5が形成することができる。

[0095] このように誘電体層5をALD法で作製することにより、薄膜かつ緻密で漏れ電流が小さく良好な絶縁性を有する誘電体層5を得ることができ、安定した容量を有し、良好な信頼性を有する大容量のコンデンサを得ることが可能となる。

[0096] 次に、図9（e₁）に示すように、誘電体層5の表面に導電部6を形成する。図9（e₂）は、図9（e₁）の要部拡大断面図である。

[0097] 導電部6は、具体的にはこの図9（e₂）に示すように、誘電体層5に接するように細孔7aの内部に充填され、かつ高空隙部7の表面所定域及び低空隙部8上の誘電体層5の表面に形成される。

[0098] 導電部6の形成方法も特に限定されるものではなく、例えば、CVD法、めっき法、バイアススパッタ法、ゾルーゲル法、導電性高分子充填法等を使用することができるが、緻密で高精度の導電部6を得るためには、誘電体層5と同様、成膜性に優れたALD法を使用するのが好ましい。また、例えば、細孔7a内部に形成された誘電体層5表面にALD法で導電体層を作製し

、次いで、導電性材料を使用して前記導電体層上にCVD法やめっき法等の方法で成膜し、これにより導電部6を形成してもよい。

[0099] 次に、図10 (f_1)、(f_2)に示すように、所定個所に端面と平行に等間隔でレーザー照射を行い、導電部6、誘電体層5、及び保護層9を貫通し、低空隙部8を貫通しないような複数のビアホール17を形成する。

[0100] ビアホール17の孔径は特に限定されるものではなく、例えば25 μm 程度に形成される。また、ビアホール17の形成箇所も特に限定されるものではなく、例えば、高空隙部7と低空隙部8の境界から低空隙部8方向に向かって0.15 mm程度の位置に端面と平行に5ヶ所程度形成される。

[0101] 次に、Arプラズマ処理等を施してビアホール17内の保護層9の残渣を除去した後、図11 (g)に示すように、導電部6の表面及びビアホール17の内面にシード電極層11を形成する。尚、図11 (g)及び後述の図11 (h)、(i)等では、ビアホール17の内面のシード電極層は省略して図示している。

[0102] このシード電極層11の形成方法は特に限定されるものではなく、スパッタ法や無電解めっき法等で形成することができる。

[0103] また、シード電極層11の形成材料や膜厚も特に限定されるものではなく、例えばTi膜とCu膜の二層構造とすることができる。この場合、Ti膜の膜厚は例えば0.1~0.3 μm 、Cu膜の膜厚は例えば0.5~2.0 μm が好ましい。

[0104] 次に、図11 (h)に示すように、導電部6及びシード電極層11の分断処理を行う。すなわち、ビアホール17の形成位置よりも高空隙部7方向の低空隙部8の所定位置にレーザー照射等を行い、シード電極層11、導電部6、及び誘電体層5を貫通し、保護層9を貫通しないように分断処理を行い、溝部15を形成する。このようにして導電部6は、溝部15によりビアホール17を含まず高空隙部7を含む第1の領域31と低空隙部8上にビアホール17が形成された第2の領域32とに分断される。

[0105] 次に、図11 (i)に示すように、電解めっきを施し、第1の領域31に

第1の端子電極3aを形成し、第2の領域32に第2の端子電極3bを形成する。この際、電解めっきによりビアホール17にも第2の端子電極3bと同一の導電性材料がビアホール17に充填され、これによりビア導体12が形成される。

[0106] そして最後に集合基体16を、破線Cに示すように、縦横に切断して個片化し、これによりコンデンサが製造される。

[0107] 尚、集合基体16の切断方法は、特に限定されるものでなく、例えば、レーザー照射による切断、金型による抜き加工、ダイサー、超硬刃、スリッター、ピナクル刃等の切断具を使用することにより容易に切断することができる。

[0108] このように本製造方法によれば、集合基体16の状態で導電性基板1の一方の主面側のみに加工処理を施せばよく、加工プロセスを簡素化することができる。すなわち、いわゆる多数個取り方式で大判の集合基体16から低背化された小型・大容量のコンデンサを高効率で得ることが可能となり、良好な生産性を得ることができる。

[0109] 図12は、本発明に係るコンデンサの第2の実施の形態を模式的に示す断面図である。

[0110] 本第2の実施の形態では、低空隙部8上において、導電部6とシード電極層11との間に絶縁層18を介在させ、第1の端子電極3aと第2の端子電極3bとが素子本体2上で面一となるように形成されている。そしてこれにより、第1の端子電極3aと第2の端子電極3bとの間で第1の実施の形態のような段差dが生じるのを解消することかでき、コンデンサが傾斜して実装されるのを回避することが可能となる。

[0111] すなわち、第1の実施の形態でも、保護層9の厚みを調整することにより段差dが生じるのを回避することが可能であるが、誘電体層5や導電部6をALD法で作製した場合、生産技術的な観点から成膜温度や原料ガス（アンモニアガス、塩素ガス等）の雰囲気起因して保護層9の厚みを増加させるのが困難な場合がある。

- [0112] これに対し本第2の実施の形態のように低空隙部8上で導電部6とシード電極層11との間に絶縁層18を介在させることにより、第1の端子電極3a及び第2の端子電極3bが素子本体2上で面一となるように形成することができる。
- [0113] 尚、本第2の実施の形態のコンデンサは、以下の方法で容易に製造することができる。
- [0114] すなわち、第1の実施の形態と同様の方法・手順で、高空隙部7、低空隙部8、保護層9、誘電体層5及び導電部6を形成した後、導電部6の全面に感光性エポキシ樹脂をスピコート法等で塗布し、周知のフォトリソグラフィ技術を使用し、低空隙部7上で露光、現像、硬化の各処理を順次行い、低空隙部7上に絶縁層18を作製する。その後は第1の実施の形態と同様、シード電極層11、ビア導体12、第1及び第2の端子電極3a、3bを順次形成し、個片化することにより第2の実施の形態のコンデンサを容易に製造することができる。
- [0115] 図13は、本発明に係るコンデンサの第3の実施の形態を模式的に示す断面図であって、本第3の実施の形態では、導電部6が低空隙部8上で溝部26を介して第1の領域34と第2の領域35の2つの領域に分断されると共に、分断された各導電部6上には第1及び第2の中間電極層19a、19bがそれぞれ形成され、この第1及び第2の中間電極層19a、19bがシード電極層を兼ねている。
- [0116] すなわち、第1の中間電極層19aは、第1の領域34において導電部6の主面に第2の絶縁層20を介して形成されている。また、溝部26の外方にはビアホールが形成されると共に、該ビアホールの内面には第1の中間電極層19aと同一の導電性材料からなる薄膜状の第4のビア導体25が形成され、これにより第1の中間電極層19aは第4のビア導体25を介して低空隙部8と電氣的に接続されている。
- [0117] 一方、第2の中間電極層19bは、第2の領域35において導電部6の主面に第2の絶縁層20を介して形成されると共に高空隙部7上に延伸され、

該高空隙部 7 上では導電部 6 の表面に直接形成されている。

[0118] また、中間電極層 19（第 1 及び第 2 の中間電極層 19 a、19 b）の表面には互いに電氣的に絶縁された第 1 及び第 2 の端子電極 22 a、22 b が第 1 の絶縁層 21 を介して形成されている。すなわち、第 1 の絶縁層 21 は第 4 のビア導体 25 及び溝部 26 の内面及び第 1 及び第 2 の中間電極層 19 a、19 b の表面に形成されている。そして、第 1 の端子電極 22 a は、第 2 のビア導体 23 を介して第 1 の中間電極層 19 a に電氣的に接続され、第 2 の端子電極 22 b は、第 3 のビア導体 24 を介して第 2 の中間電極層 19 b、さらには第 4 のビア導体 25、低空隙部 8 を介して導電性基板 1 に電氣的に接続されている。

[0119] このように第 3 の実施の形態では、中間電極層 19（第 1 及び第 2 の中間電極層 19 a、19 b）を設けて再配線化を行うことにより、形状の自由度が高い第 1 及び第 2 の端子電極 22 a、22 b の形成が可能になる。また、第 1 の絶縁層 21 で高空隙部 7 全体を被覆することができ、物理的衝撃を緩和することができ、機械的耐性の向上を図ることができる。

[0120] この第 3 の実施の形態は以下の方法で容易に製造することができる。

[0121] すなわち、第 1 の実施の形態と同様の方法・手順で、高空隙部 7、低空隙部 8、保護層 9、誘電体層 5、導電部 6、第 2 の絶縁層 20、及びビアホールを形成した後、第 1 及び第 2 の中間電極層 19 a、19 b を形成し、さらにビアホール内面に薄膜状の第 4 のビア導体 25 を形成する。次いで、第 1 の実施の形態と同様、レーザー照射を行って溝部 26 を形成する。次に、第 4 のビア導体 25 及び溝部 26 の内面に絶縁性材料を充填し、第 1 及び第 2 の中間電極層 19 a、19 b の表面に絶縁性材料を塗布して第 1 の絶縁層 21 を形成する。次に、第 1 の絶縁層 21 を貫通するビアホールを所定箇所に形成し、その後、電解めっきを施して前記ビアホールに導電性材料を充填し第 2 のビア導体 23 及び第 3 のビア導体 24 を形成する。次いで、第 1 の絶縁層 21 上にスパッタ法等を施して第 1 及び第 2 の端子電極 22 a、22 b を形成し、これにより第 1 の端子電極 22 a と第 1 の中間電極層 19 a とを

電氣的に導通させると共に、第2の端子電極23aと導電性基板1とを第2の中間電極層19b、第4のビア導体25、及び低空隙部8を介して電氣的に導通させる。

[0122] 最後に、集合基体を所定寸法に切断して個片化し、これにより第3の実施の形態のコンデンサを作製することができる。

[0123] この第3の実施の形態のように、第1及び第2の中間電極層19a、19bを形成する工程等を含む場合であっても、第1の実施の形態と略同様、集合基体16の状態で導電性基板1の一方の主面側のみに加工処理を施せばよく、加工プロセスを簡素化することができ、再配線化によって自由な形状の端子電極を有するコンデンサを容易に製造することが可能となる。

[0124] 図14は、本発明に係るコンデンサの第4の実施の形態を模式的に示す断面図である。

[0125] 本第4の実施の形態は、上記第3の実施の形態において、低空隙部8上で第1及び第2の中間電極層19a、19bと導電部6との間に介在されている第2の絶縁層20（図13参照）を省略し、低空隙部8上でも導電部6上に第1及び第2の中間電極層19a、19bを直接形成している。

[0126] 本第4の実施の形態では、第3の実施の形態のような第2の絶縁層20を設けていないが、第1の絶縁層21の厚みを薄膜化することにより、第1の端子電極22aと第2の端子電極22bを面一に形成することが可能である。そして、第2の絶縁層20を設けず第1の絶縁層21を薄層化していることから、機械的耐性が若干劣るものの、より一層の低背化が可能である。

[0127] すなわち、第3の実施の形態と第4の実施の形態とを用途等に応じて適宜使い分けることにより、適用の自由度を広げることができる。

[0128] 図15は、本発明に係るコンデンサの第5の実施の形態を模式的に示す断面図であって、本第5の実施の形態は、第1の実施の形態に加え、導電性基板1の多孔基体4が形成されている面と反対側の主面、すなわち他方の主面にガラス材やセラミック材等で形成された保護部材27が設けられている。

[0129] このように導電性基板1の他方の主面に保護部材27を設けることにより

、落下や衝撃等の物理的ダメージに対し、更なる機械的耐性の向上を図ることが可能となる。

[0130] 尚、本発明は上記実施の形態に限定されるものではない。例えば、上記各実施の形態では、導電部 6 は細孔 7 a に形成された誘電体層 5 内に充填されているが、誘電体層 5 と略同一の膜厚で該誘電体層 5 に沿うように形成してもよい。また、上記実施の形態では高空隙部 7 の周囲に低空隙部 8 を設けたが、高空隙部 7 の両端部のみに設けたり、或いはレーザー照射等で多孔基体 4 の一部を除去し、導電性基板 1 上に高空隙部 7 のみを設けるようにしてもよい。また、溝部 1 5、2 6 は、保護層 9 の一部に食い込むように形成しているが、溝部 1 5、2 6 を低空隙部 8 の一部に食い込む程度に形成してもよい。

[0131] また、上記実施の形態で示した製造手順は一例であって、上記製造工程が含まれるのであれば、工程順序は必要に応じて適宜変更することも可能である。

産業上の利用可能性

[0132] 低背で部品単体としての取り扱いが容易な小型・大容量のコンデンサを実現する。

符号の説明

- [0133] 1 導電性基板
2 素子本体
3 a 第 1 の端子電極（一方の端子電極）
3 b 第 2 の端子電極（他方の端子電極）
4 多孔基体
5 誘電層
6 導電部
7 高空隙部
8 低空隙部
9 保護層

- 1 2 ビア導体（第 1 のビア導体）
- 1 9 a 第 1 の中間電極層（一方の中間電極層）
- 1 9 b 第 2 の中間電極層（他方の中間電極層）
- 2 0 第 2 の絶縁層
- 2 1 第 1 の絶縁層
- 2 2 a 第 1 の端子電極（一方の端子電極）
- 2 2 b 第 2 の端子電極（他方の端子電極）
- 2 3 第 2 のビア導体
- 2 4 第 3 のビア導体
- 2 5 第 4 のビア導体
- 3 4 第 1 の領域
- 3 5 第 2 の領域

請求の範囲

- [請求項1] 箔状の導電性基板の一方の主面に素子本体が形成されると共に、
該素子本体が、微小な細孔を有する導電材料からなる多孔基体と、
前記細孔の内表面を含む前記多孔基体の表面所定域に形成された誘電体層と、前記誘電体層上に形成された導電部とを備え、
前記素子本体の主面には、電氣的に絶縁された一対の端子電極が形成され、
前記一対の端子電極のうちの一方の端子電極は前記導電部に電氣的に接続される一方、他方の端子電極は前記導電性基板に電氣的に接続されていることを特徴とするコンデンサ。
- [請求項2] 前記多孔基体は、静電容量の取得に寄与する高空隙部と、該高空隙部の少なくとも両端部に形成された前記高空隙部よりも空隙率の低い低空隙部とを有し、前記低空隙部は少なくとも前記素子本体の両端部に形成されていることを特徴とする請求項1記載のコンデンサ。
- [請求項3] 前記高空隙部は、前記低空隙部で囲繞されていることを特徴とする請求項2記載のコンデンサ。
- [請求項4] 前記一方の端子電極と前記導電性基板との間には絶縁性材料からなる保護層が介在されていることを特徴とする請求項1乃至請求項3のいずれかに記載のコンデンサ。
- [請求項5] 前記他方の端子電極は、第1のビア導体を介して前記導電性基板と電氣的に接続されていることを特徴とする請求項1乃至請求項4のいずれかに記載のコンデンサ。
- [請求項6] 前記一対の端子電極は、前記素子本体の主面上で面一に形成されていることを特徴とする請求項1乃至請求項5のいずれかに記載のコンデンサ。
- [請求項7] 前記導電部は2つに分断されると共に、分断されたそれぞれの導電部の表面に中間電極層が形成され、かつ前記中間電極層と前記一対の端子電極間には第1の絶縁層が介在され、

前記一方の端子電極は、前記中間電極層のうちの一方の前記中間電極層と電氣的に接続されると共に、前記他方の端子電極は、他方の前記中間電極層を介して前記導電性基板と電氣的に接続されていることを特徴とする請求項 1 乃至請求項 6 のいずれかに記載のコンデンサ。

[請求項8] 前記一方の端子電極は、前記第 1 の絶縁層を貫通する第 2 のビア導体を介して前記一方の中間電極層と電氣的に接続され、前記他方の端子電極は、前記第 1 の絶縁層を貫通する第 3 のビア導体を介して前記他方の中間電極層と電氣的に接続されていることを特徴とする請求項 7 記載のコンデンサ。

[請求項9] 前記分断された導電部のうち一方の導電部と該導電部上に形成される中間電極層との間には第 2 の絶縁層が介在されていることを特徴とする請求項 7 又は請求項 8 記載のコンデンサ。

[請求項10] 前記導電性基板の他方の主面に保護部材が設けられていることを特徴とする請求項 1 乃至請求項 9 のいずれかに記載のコンデンサ。

[請求項11] 前記誘電体層は、原子層単位で堆積されてなることを特徴とする請求項 1 乃至請求項 10 のいずれかに記載のコンデンサ。

[請求項12] 前記導電部は、前記細孔の内部に充填されてなることを特徴とする請求項 1 乃至請求項 11 のいずれかに記載のコンデンサ。

[請求項13] 前記導電部は、前記細孔の内部を前記誘電体層に沿うように形成されていることを特徴とする請求項 1 乃至請求項 11 のいずれかに記載のコンデンサ。

[請求項14] 前記導電性基板及び前記多孔基体は、金属材料からなりかつ一体的に形成されていることを特徴とする請求項 1 乃至請求項 13 のいずれかに記載のコンデンサ。

[請求項15] 前記導電部は、金属材料及び導電性化合物のうちのいずれかで形成されていることを特徴とする請求項 1 乃至請求項 14 のいずれかに記載のコンデンサ。

[請求項16] 前記導電性化合物は、金属窒化物及び金属酸窒化物を含むことを特

徴とする請求項 15 記載のコンデンサ。

[請求項17]

箔状の導電性基板の一方の主面に微小な細孔が形成された多孔性の導電材料からなる集合基体を準備する工程と、

前記集合基体を加工し、該集合基体の所定領域に高空隙部を形成する工程と、

絶縁性材料からなる保護層を前記導電性基板上に形成する工程と、

前記細孔の内表面を含む前記集合基体の表面所定域に誘電体層を形成する工程と、

前記誘電体層の表面に導電部を形成する工程と、

前記導電部及び前記保護層を貫通するビアホールを形成し、該ビアホールに導電材料を充填して第1のビア導体を形成する工程と、

前記導電部を、前記第1のビア導体を含まず前記高空隙部を含む第1の領域と前記第1のビア導体を含む第2の領域とに分断する工程と、

前記第1の領域の主面に前記導電部に接続する一方の端子電極を形成し、前記第2の領域の主面に前記第1のビア導体を介して前記導電性基板に接続する他方の端子電極を形成し、電氣的に絶縁された一対の端子電極を作製する工程と、

前記一連の工程を実施した後、前記集合基体を個片化する工程とを含むことを特徴とするコンデンサの製造方法。

[請求項18]

導電性基板の一方の主面に微小な細孔が形成された多孔性の導電材料からなる集合基体を準備する工程と、

前記集合基体を加工し、該集合基体の所定領域に高空隙部を形成する工程と、

絶縁性材料からなる保護層を前記導電性基板上に形成する工程と、

前記細孔の内表面を含む前記集合基体の表面所定域に誘電体層を形成する工程と、

前記誘電体層の表面に導電部を形成する工程と、

前記導電部上に中間電極層を形成する工程と、

前記中間電極層、前記導電部及び前記保護層を貫通するビアホールを形成し、少なくとも前記ビアホールの内面に導電性薄膜を成膜して第1のビア導体を作製する工程と、

前記導電部及び前記中間電極層を、前記第1のビア導体を含まず前記高空隙部を含む第1の領域と前記第1のビア導体を含む第2の領域とに分断する工程と、

前記第1の領域と第2の領域との間隙を含む前記中間電極層の表面に第1の絶縁層を形成する工程と、

電氣的に絶縁された一对の端子電極を前記第1の絶縁層上に形成する工程と、

前記一对の端子電極のうち一方の端子電極を前記第1の領域の中間電極層と電氣的に導通させる第2のビア導体を作製し、他方の端子電極を前記第2の領域の中間電極層と電氣的に導通させる第3のビア導体を作製する工程と、

前記一連の工程を実施した後、前記集合基体を個片化する工程とを含むことを特徴とするコンデンサの製造方法。

[請求項19] 前記第2の領域において前記導電部と前記中間電極層との間に第2の絶縁層を形成する工程を含むことを特徴とする請求項18記載のコンデンサの製造方法。

[請求項20] 前記保護層の厚みを調整し、前記一对の端子電極が面一となるように形成することを特徴とする請求項17乃至請求項19のいずれかに記載のコンデンサの製造方法。

[請求項21] 前記誘電体層を原子層堆積法により形成することを特徴とする請求項17乃至請求項20のいずれかに記載のコンデンサの製造方法。

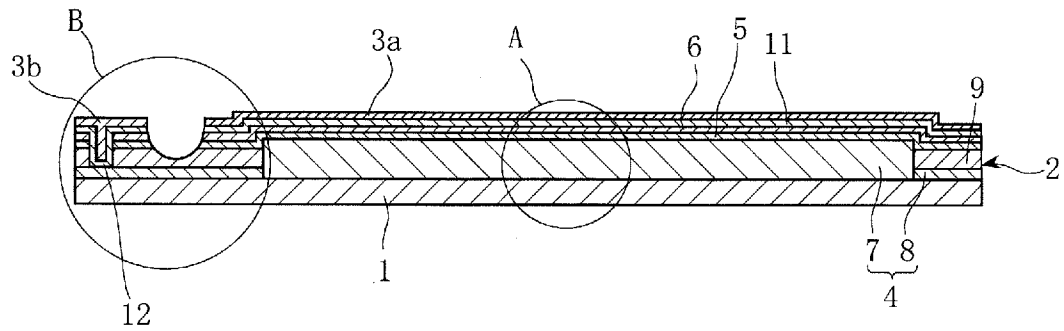
[請求項22] 前記導電部を原子層堆積法により形成することを特徴とする請求項17乃至請求項21のいずれかに記載のコンデンサの製造方法。

[請求項23] 前記高空隙部の少なくとも両端部に前記高空隙部よりも空隙率の低

い低空隙部を形成することを特徴とする請求項 17 乃至請求項 22 のいずれかに記載のコンデンサの製造方法。

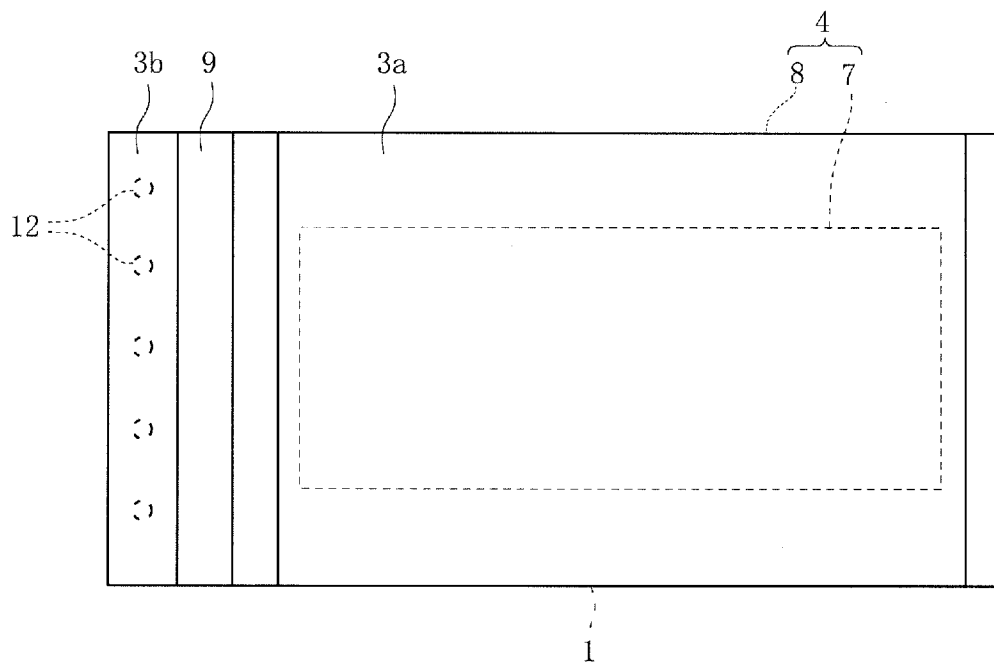
[図1]

Fig. 1



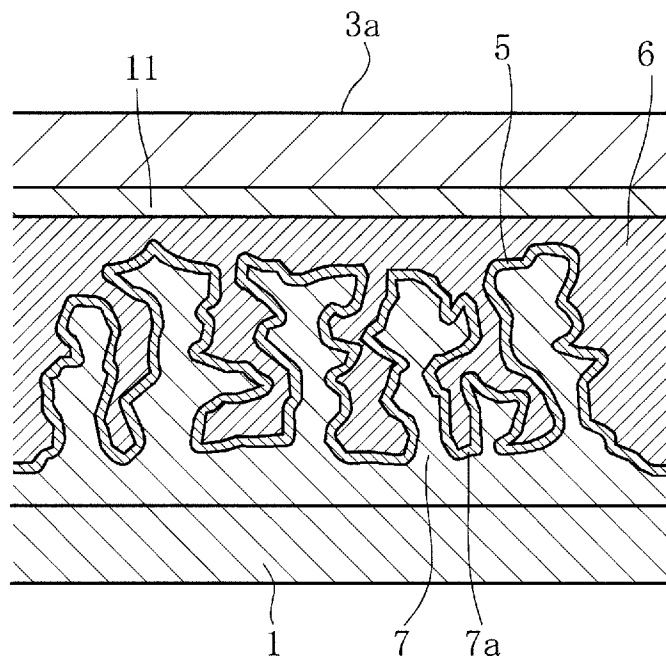
[図2]

Fig. 2



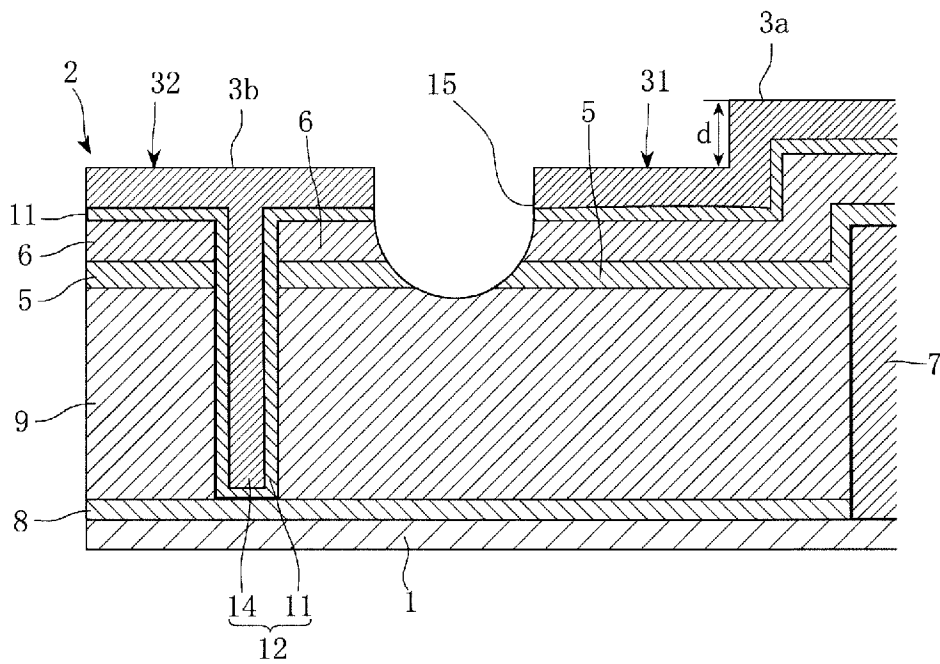
[図3]

Fig. 3



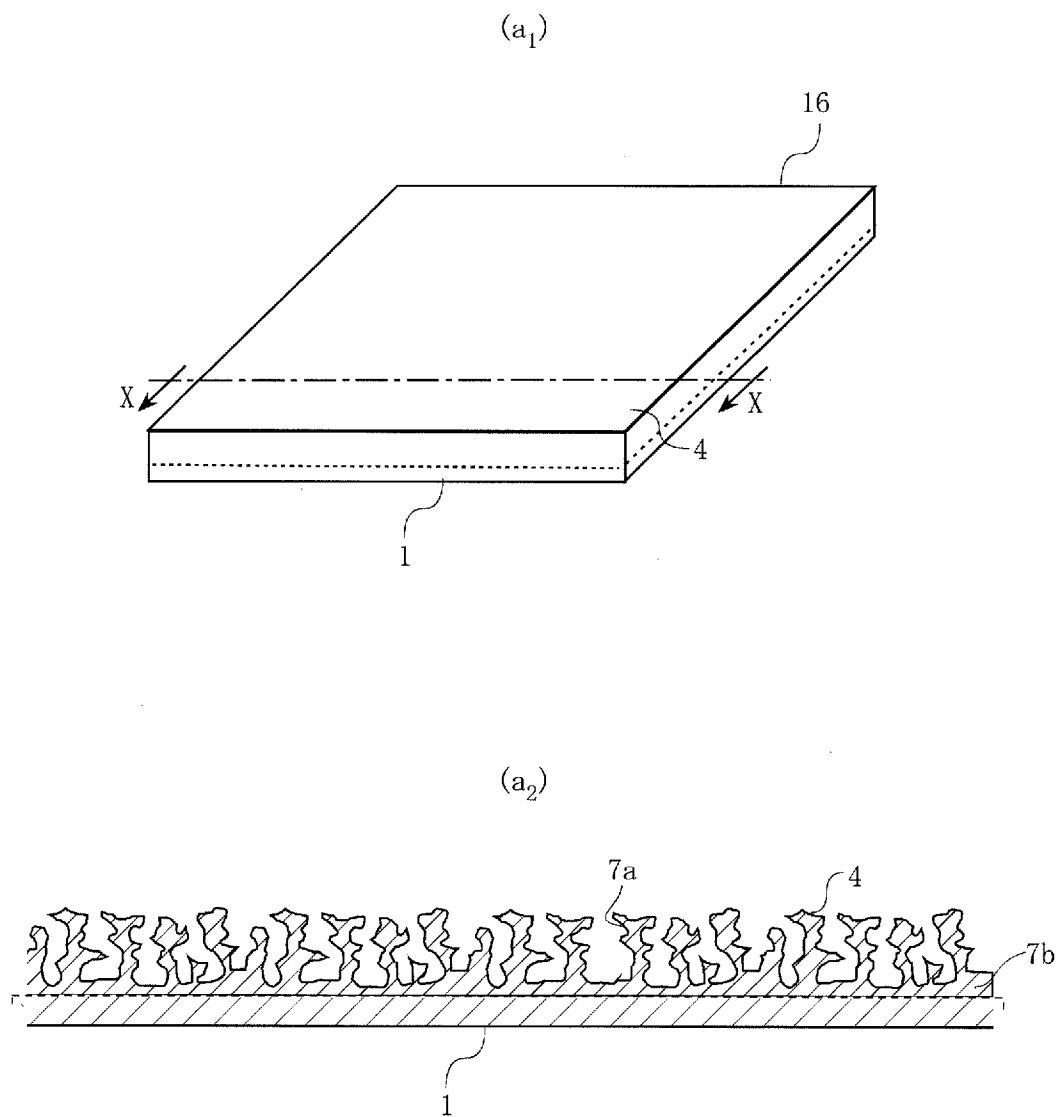
[図4]

Fig. 4



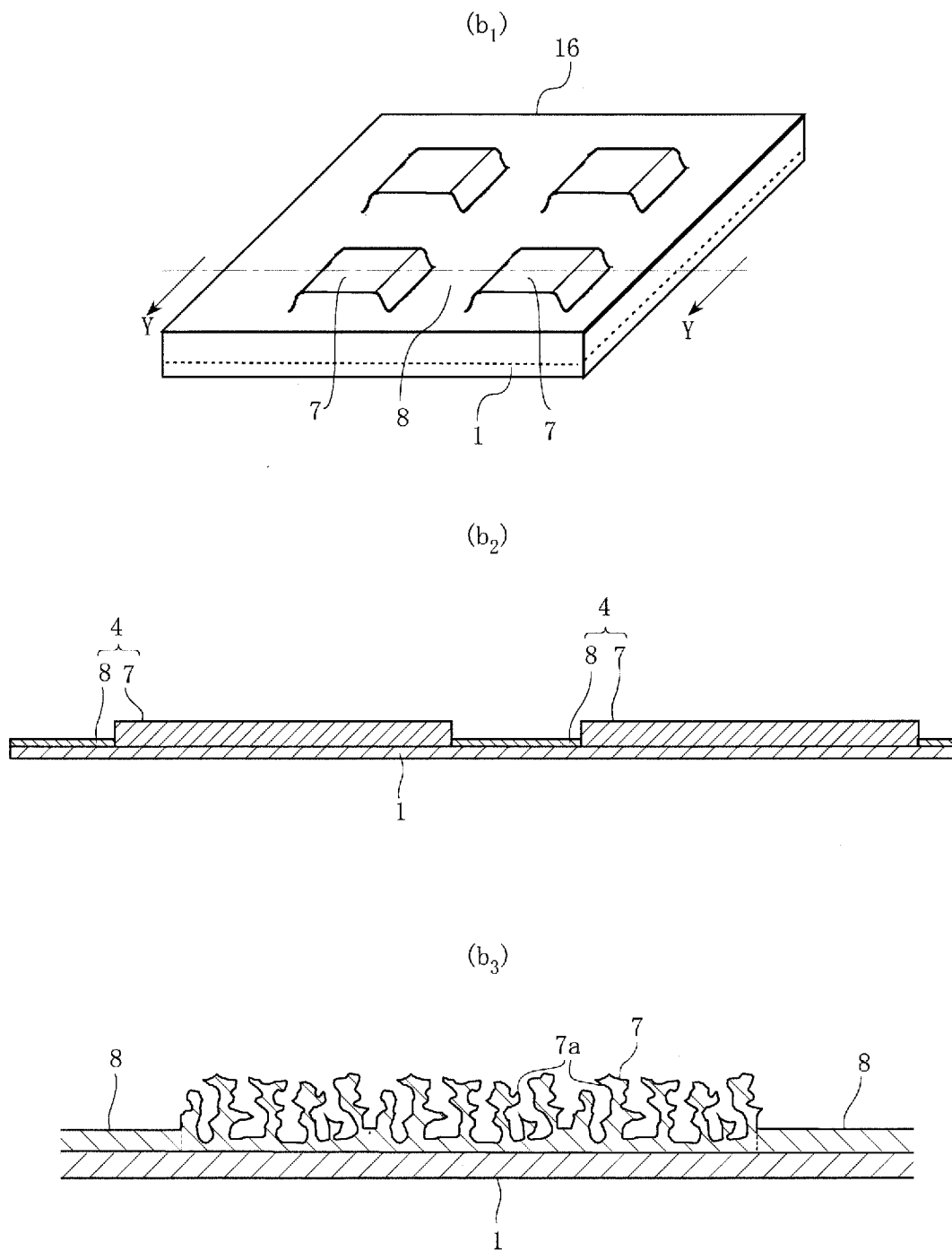
[図5]

Fig. 5



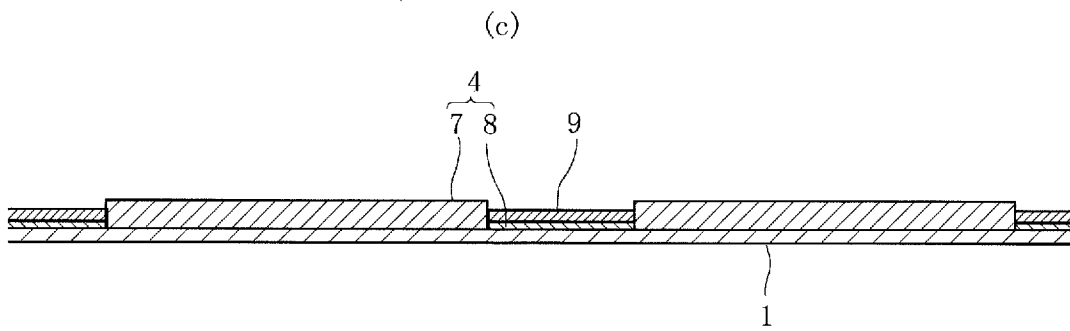
[図6]

Fig. 6



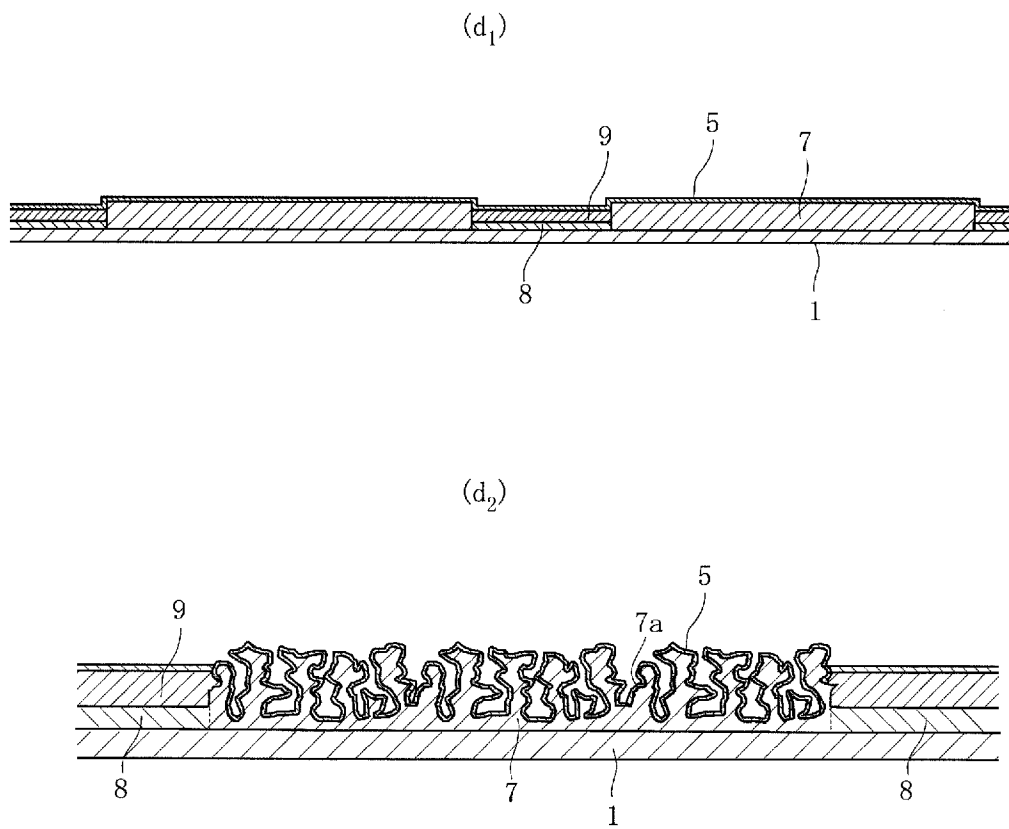
[図7]

Fig. 7



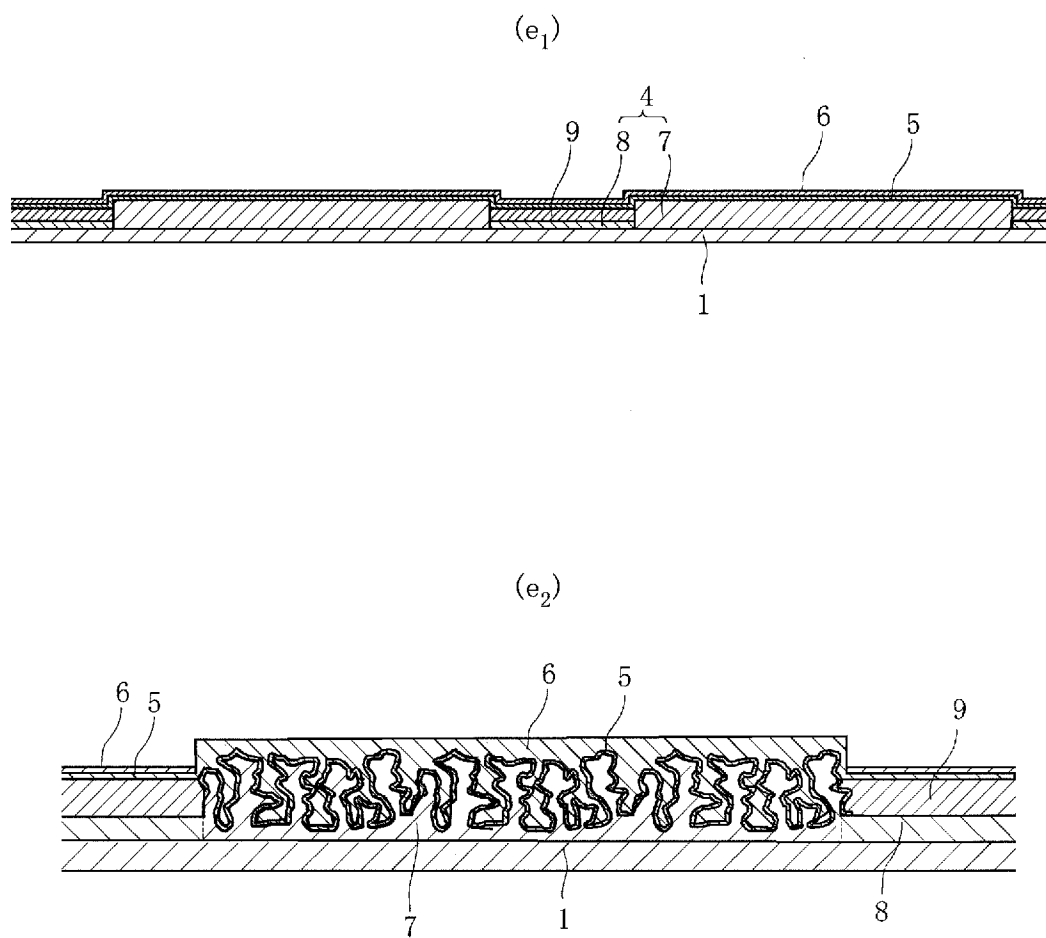
[図8]

Fig. 8



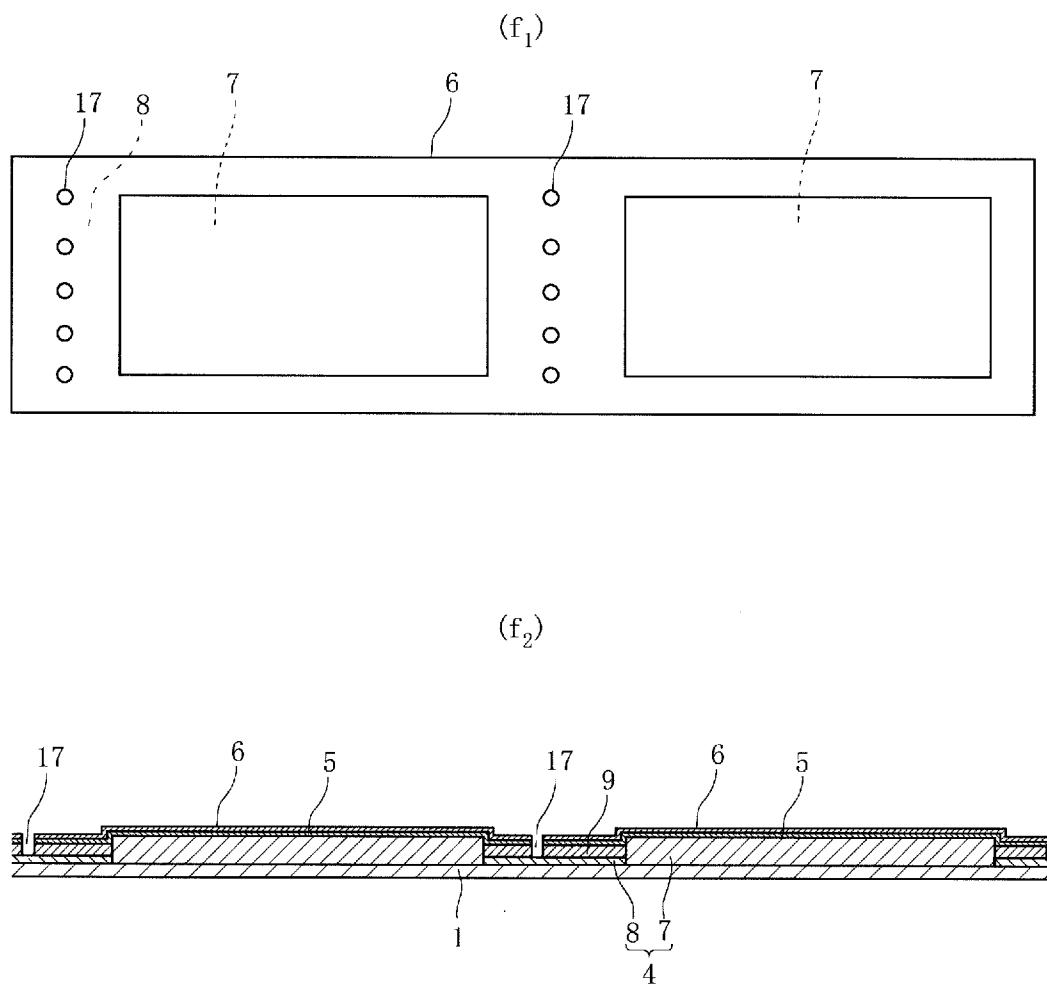
[図9]

Fig. 9



[図10]

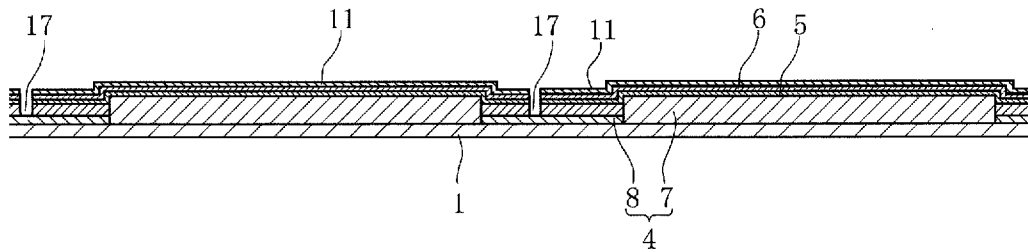
Fig. 10



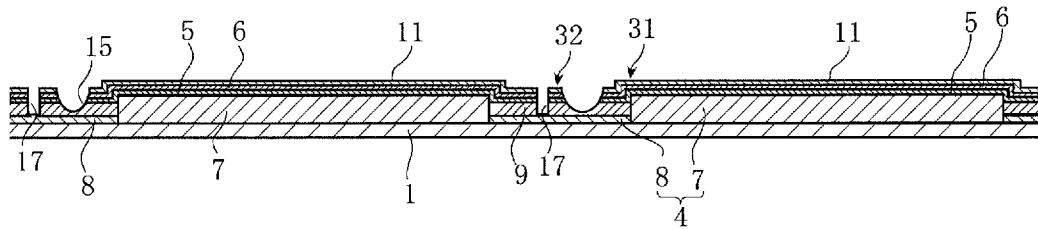
[図11]

Fig. 11

(g)



(h)



(i)

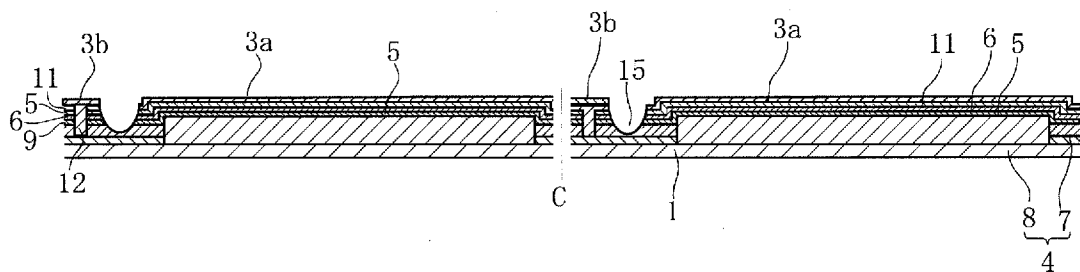


Fig. 12

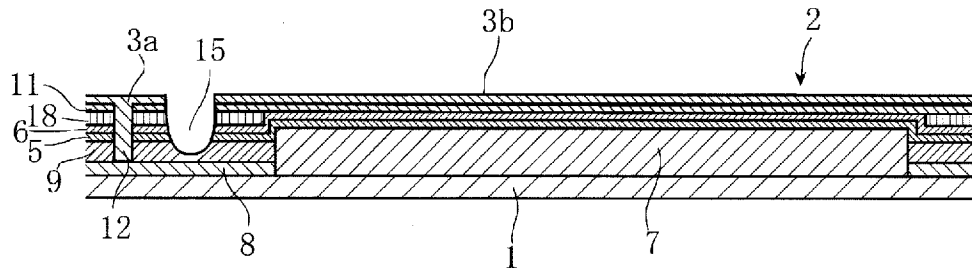


Fig. 13

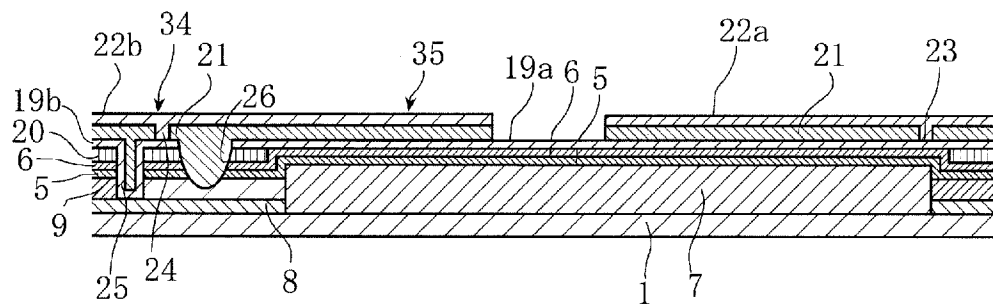
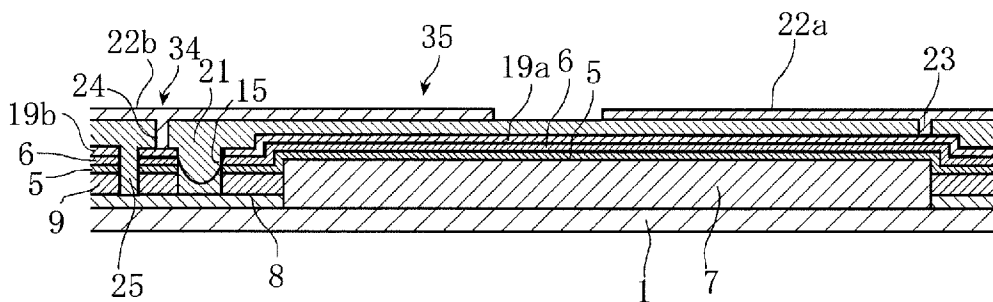
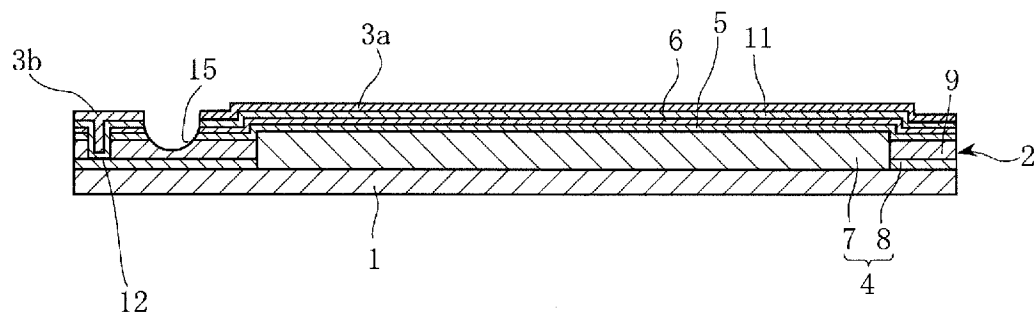


Fig. 14



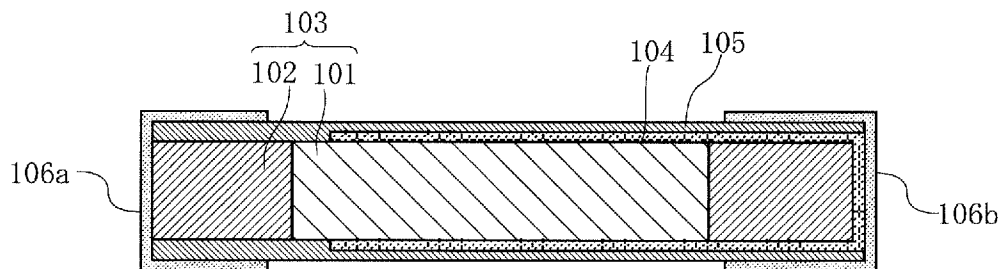
[図15]

Fig. 15



[図16]

Fig. 16



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/026121

A. CLASSIFICATION OF SUBJECT MATTER

H01G4/33(2006.01)i, H01G9/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01G4/33, H01G9/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2010-520647 A (Kemet Electronics Corp.), 10 June 2010 (10.06.2010),	1, 4-6, 10, 12-15
Y	paragraphs [0034], [0044]; fig. 10, 11, 15, 16 & US 2008/0216296 A1	2-3, 7-8, 11, 16-18, 20-23
A	paragraphs [0068], [0078]; fig. 10, 11, 15, 16 & WO 2008/109283 A1 & EP 2130208 A1 & CN 101627449 A	9, 19
Y	WO 2015/118901 A1 (Murata Mfg. Co., Ltd.), 13 August 2015 (13.08.2015),	2-3, 11, 16-18, 20-23
A	claims 6, 8, 9; paragraphs [0036] to [0037] & US 2016/0329158 A1 & EP 3104382 A1 claims 6, 8, 9; paragraphs [0036] to [0037] & TW 201535446 A & CN 105960692 A & KR 10-2016-0104693 A	9, 19

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 October 2017 (10.10.17)

Date of mailing of the international search report
24 October 2017 (24.10.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/026121

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-049339 A (NEC Tokin Corp.), 10 March 2011 (10.03.2011), paragraph [0043]; fig. 8 (Family: none)	7-8, 17-18, 20-23 9, 19
A	JP 2003-045762 A (Matsushita Electric Industrial Co., Ltd.), 14 February 2003 (14.02.2003), fig. 4 & US 2004/0095710 A1 fig. 4 & WO 2003/013200 A1 & EP 1414281 A1 & CN 1465214 A	1-23
A	JP 2016-510944 A (Kemet Electronics Corp.), 11 April 2016 (11.04.2016), fig. 7 & US 2014/0168859 A1 fig. 7 & US 2014/0233157 A1 & WO 2014/168686 A1 & WO 2014/130500 A1 & DE 112014000883 T & CN 105074854 A & CN 105378868 A	1-23

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01G4/33(2006.01)i, H01G9/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01G4/33, H01G9/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2010-520647 A（ケメット エレクトロニクス コーポレーション）2010.06.10, 段落[0034], [0044], 図 10, 11, 15, 16	1, 4-6, 10, 12-15
Y	& US 2008/0216296 A1, 段落[0068], [0078], 図 10, 11, 15, 16	2-3, 7-8, 11,
A	& WO 2008/109283 A1 & EP 2130208 A1 & CN 101627449 A	16-18, 20-23 9, 19
Y	WO 2015/118901 A1（株式会社村田製作所）2015.08.13,	2-3, 11, 16-18
A	請求項 6, 8, 9, 段落[0036]-[0037] & US 2016/0329158 A1 & EP 3104382 A1, 請求項 6, 8, 9, 段落[0036]-[0037]	, 20-23 9, 19

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

10.10.2017

国際調査報告の発送日

24.10.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小池 秀介

5 D

3 6 6 2

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	& TW 201535446 A & CN 105960692 A & KR 10-2016-0104693 A	
Y A	JP 2011-049339 A (NEC トーキン株式会社) 2011. 03. 10, 段落[0043], 図 8 (ファミリーなし)	7-8, 17-18, 20-23 9, 19
A	JP 2003-045762 A (松下電器産業株式会社) 2003. 02. 14, 図 4 & US 2004/0095710 A1, 図 4 & WO 2003/013200 A1 & EP 1414281 A1 & CN 1465214 A	1-23
A	JP 2016-510944 A (ケメット エレクトロニクス コーポレーショ ン) 2016. 04. 11, 図 7 & US 2014/0168859 A1, 図 7 & US 2014/0233157 A1 & WO 2014/168686 A1 & WO 2014/130500 A1 & DE 112014000883 T & CN 105074854 A & CN 105378868 A	1-23