

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7160956号
(P7160956)

(45)発行日 令和4年10月25日(2022.10.25)

(24)登録日 令和4年10月17日(2022.10.17)

(51)国際特許分類 F I
 G 0 6 F 9/38 (2006.01) G 0 6 F 9/38 3 3 0 A
 G 0 6 F 9/32 (2006.01) G 0 6 F 9/32 3 2 0 F

請求項の数 26 (全22頁)

(21)出願番号	特願2020-570692(P2020-570692)	(73)特許権者	591016172
(86)(22)出願日	令和1年6月13日(2019.6.13)		アドバンスト・マイクロ・デバイス
(65)公表番号	特表2021-527892(P2021-527892 A)		・インコーポレイテッド
(43)公表日	令和3年10月14日(2021.10.14)		ADVANCED MICRO DEVI
(86)国際出願番号	PCT/US2019/036967		CES INCORPORATED
(87)国際公開番号	WO2019/245846		アメリカ合衆国 9 5 0 5 4 カリフォル
(87)国際公開日	令和1年12月26日(2019.12.26)		ニア州、 サンタ クララ、 オーガスティ
審査請求日	令和4年6月10日(2022.6.10)	(74)代理人	ンドライブ 2 4 8 5
(31)優先権主張番号	16/011,010		100108833
(32)優先日	平成30年6月18日(2018.6.18)		弁理士 早川 裕司
(33)優先権主張国・地域又は機関	米国(US)	(74)代理人	100111615
早期審査対象出願			弁理士 佐野 良太
		(74)代理人	100162156
			弁理士 村雨 圭介
		(72)発明者	マリウス エバース

最終頁に続く

(54)【発明の名称】 分岐命令のタイプに基づく先行分岐予測の選択的実行

(57)【特許請求の範囲】

【請求項1】

第1のブロックの第1のアドレスに基づいて、前記第1のブロックにおける少なくとも1つの第1の分岐命令の結果に対応する第2のブロックのセットの分岐予測構造のエントリのセットにアクセスすることと、

前記分岐予測構造の前記エントリのセットに基づいて、前記第2のブロックのセットにおける第2の分岐命令の結果の投機的予測を開始することと、

前記少なくとも1つの第1の分岐命令の少なくとも1つのタイプに基づいて、前記投機的予測に関連付けられる状態を選択的にフラッシュすることと、

を含む、方法。

【請求項2】

前記分岐予測構造の前記エントリのセットにアクセスすることは、前記少なくとも1つの第1の分岐命令の潜在的ターゲットである第2のブロックのセットまたは前記少なくとも1つの第1の分岐命令を受け入れない場合は前記第1のブロックに続くブロックのための前記分岐予測構造のエントリのセットにアクセスすることを含む、請求項1に記載の方法。

【請求項3】

前記第2のブロックのセットにおける前記第2の分岐命令の前記結果の前記投機的予測と同時に、前記少なくとも1つの第1の分岐命令の前記少なくとも1つのタイプを決定することをさらに含む、請求項1または2に記載の方法。

【請求項 4】

前記少なくとも 1 つの第 1 の分岐命令の前記少なくとも 1 つのタイプを決定することは、前記少なくとも 1 つの第 1 の分岐命令の結果が、分岐ターゲットバッファ、間接分岐予測器、またはリターンアドレススタックによって決定されるかどうかに基づいて、前記少なくとも 1 つの第 1 の分岐命令の前記少なくとも 1 つのタイプを決定することを含む、請求項 3 に記載の方法。

【請求項 5】

前記状態を選択的にフラッシュすることは、前記分岐命令のタイプのセットの第 1 のサブセットに属する前記少なくとも 1 つの第 1 の分岐命令の前記少なくとも 1 つのタイプに
10 応答して、前記第 2 の分岐命令の前記結果の前記投機的予測に関連付けられる前記状態をフラッシュすることを含む、請求項 1 ~ 4 のいずれか 1 項に記載の方法。

【請求項 6】

前記第 1 のサブセットは、呼び出し命令、戻り命令、及び間接分岐命令を含む、請求項 5 に記載の方法。

【請求項 7】

前記予測された第 2 のブロックの第 2 のアドレスによってインデックス化される前記分岐予測構造のエントリに基づいて、前記第 2 のブロックの予測された第 2 のブロックにおける前記第 2 の分岐命令の少なくとも 1 つの投機的予測を再開することをさらに含む、請求項 5 または 6 に記載の方法。

【請求項 8】

前記予測された第 2 のブロックは、前記第 1 のブロックにおける前記少なくとも 1 つの第 1 の分岐命令の予測された結果に対応する、請求項 7 に記載の方法。
20

【請求項 9】

前記状態を選択的にフラッシュすることは、前記状態をフラッシュすることをバイパスし、前記分岐命令の前記タイプのセットの第 2 のサブセットに属する前記少なくとも 1 つの第 1 の分岐命令の前記少なくとも 1 つのタイプに
25 応答して、前記投機的予測を継続することを含む、請求項 5 ~ 7 のいずれか 1 項に記載の方法。

【請求項 10】

前記第 1 のブロックの前記第 1 のアドレスから所定数の最下位ビットをドロップすることによって、インデックスを前記分岐予測構造に生成することをさらに含む、請求項 1 ~ 9 のいずれか 1 項に記載の方法。
30

【請求項 11】

第 1 のブロックにおける少なくとも 1 つの第 1 の分岐命令の結果を予測し、前記第 1 のブロックの第 1 のアドレスに基づいて、前記第 1 のブロックにおける前記少なくとも 1 つの第 1 の分岐命令の前記結果に対応する第 2 のブロックのセットのための分岐予測構造のエントリのセットにアクセスするように構成される分岐予測器と、

前記分岐予測構造の前記エントリのセットに基づいて、前記第 2 のブロックのセットにおける第 2 の分岐命令の結果の投機的予測のための命令をフェッチするフェッチロジックと、を含み、

前記投機的予測に関連付けられる状態は、前記少なくとも 1 つの第 1 の分岐命令の少なくとも 1 つのタイプに基づいて、前記分岐予測器から選択的にフラッシュされる、装置。
40

【請求項 12】

前記分岐予測器は、前記少なくとも 1 つの第 1 の分岐命令の潜在的ターゲットである第 2 のブロックのセットまたは前記少なくとも 1 つの第 1 の分岐命令を受け入れない場合は前記第 1 のブロックに続くブロックのための前記分岐予測構造の前記エントリのセットにアクセスするように構成される、請求項 11 に記載の装置。

【請求項 13】

前記分岐予測器は、前記第 2 のブロックのセットにおける前記第 2 の分岐命令の前記結果の前記投機的予測と同時に、前記少なくとも 1 つの第 1 の分岐命令の前記少なくとも 1 つのタイプを決定するように構成される、請求項 11 または 12 に記載の装置。
50

【請求項 14】

前記分岐予測器は、前記少なくとも1つの第1の分岐命令の結果が、分岐ターゲットバッファ、間接分岐予測器、またはリターンアドレススタックによって決定されるかどうかに基づいて、前記少なくとも1つの第1の分岐命令の前記少なくとも1つのタイプを決定するように構成される、請求項13に記載の装置。

【請求項 15】

前記第2の分岐命令の前記結果の前記投機的予測に関連付けられる前記状態は、前記分岐命令のタイプのセットの第1のサブセットに属する前記少なくとも1つの第1の分岐命令の前記少なくとも1つのタイプにตอบสนองしてフラッシュされる、請求項11～14のいずれか1項に記載の装置。

10

【請求項 16】

前記第1のサブセットは、呼び出し命令、戻り命令、及び間接分岐命令を含む、請求項15に記載の装置。

【請求項 17】

前記分岐予測器は、前記予測された第2のブロックの第2のアドレスによってインデックス化される前記分岐予測構造のエントリに基づいて、前記第2のブロックの予測された第2のブロックにおける前記第2の分岐命令の少なくとも1つの投機的予測を再開するように構成される、請求項15に記載の装置。

【請求項 18】

前記予測された第2のブロックは、前記第1のブロックにおける前記少なくとも1つの第1の分岐命令の予測された結果に対応する、請求項17に記載の装置。

20

【請求項 19】

前記分岐予測器は、前記状態をフラッシュすることをバイパスし、前記分岐命令の前記タイプのセットの第2のサブセットに属する前記少なくとも1つの第1の分岐命令の前記少なくとも1つのタイプにตอบสนองして、前記投機的予測を継続するように構成される、請求項15に記載の装置。

【請求項 20】

前記分岐予測器は、前記第1のブロックの前記第1のアドレスから所定数の最下位ビットをドロップすることによって、インデックスを前記分岐予測構造に生成するように構成される、請求項11に記載の装置。

30

【請求項 21】

対応するブロックの分岐命令に関する分岐予測情報を含むエントリを記憶するように構成される分岐ターゲットバッファ(BTB)と、

第1のブロックの第1のアドレスを使用してアクセスされる前記BTBのエントリに基づいて、前記第1のブロックにおける分岐命令の結果を所定数になるまで予測するように構成される第1の分岐予測器と、

前記第1のブロックの前記第1のアドレスを使用してアクセスされる前記BTBのエントリに基づいて、複数の第2のブロックの分岐命令の結果を前記所定数になるまで投機的に予測するように構成される第2の分岐予測器であって、前記第2のブロックは前記第1のブロックにおける前記分岐命令の結果に対応する、前記第2の分岐予測器と、を備え、

40

前記投機的予測に関連付けられる状態は前記第2の分岐予測器から選択的にフラッシュされ、前記第2のブロックの1つの分岐命令の結果の予測は、前記第1のブロックにおける前記分岐命令の少なくとも1つのうちの少なくとも1つのタイプに基づいて、前記第1の分岐予測器で選択的に開始される、装置。

【請求項 22】

前記投機的予測に関連付けられる前記状態は、前記分岐命令のタイプのセットの第1のサブセットに属する前記少なくとも1つのタイプにตอบสนองしてフラッシュされ、前記投機的予測に関連付けられる前記状態は、前記分岐命令の前記タイプのセットの第2のサブセットに属する前記少なくとも1つのタイプにตอบสนองしてフラッシュされない、請求項21に記載の装置。

50

【請求項 2 3】

前記第 1 のサブセットは、呼び出し命令、戻り命令、及び間接分岐命令を含む、請求項 2 2 に記載の装置。

【請求項 2 4】

前記戻り命令または前記間接分岐命令は、前記 B T B のエントリに基づいて予測される前記戻り命令または前記間接分岐命令の結果にตอบสนองして、前記第 1 のサブセットから削除される、請求項 2 3 に記載の装置。

【請求項 2 5】

前記第 1 の分岐予測器は、前記予測された第 2 のブロックの第 2 のアドレスによってインデックス化される前記 B T B のエントリに基づいて、前記第 2 のブロックの予測された第 2 のブロックにおける前記分岐命令の少なくとも 1 つの投機的予測を再開するように構成される、請求項 2 1 に記載の装置。

10

【請求項 2 6】

前記予測された第 2 のブロックは、前記第 1 のブロックにおける前記分岐命令のうちの少なくとも 1 つの予測された結果に対応する、請求項 2 5 に記載の装置。

【発明の詳細な説明】

【背景技術】

【0 0 0 1】

処理ユニットは様々なタイプの分岐命令を行い、分岐命令によって示されるアドレスにおける命令にプログラムフローをリダイレクト（または「分岐」）する。分岐命令のタイプは、プログラムフローを所定のターゲットアドレスにリダイレクトする無条件分岐命令と、条件が満たされた場合はプログラムフローをターゲットアドレスにリダイレクトするために「受け入れ」られ、条件が満たされない場合は命令の順次実行を継続するために「受け入れられない」条件付き分岐命令と、プログラムフローをサブルーチンのアドレスにリダイレクトする呼び出し命令と、サブルーチンから、サブルーチンを開始した呼び出し命令の後のアドレスにプログラムフローをリダイレクトする戻り命令と、処理ユニットの状態に応じて、プログラムフローを異なるアドレスにリダイレクトする間接分岐命令と、を含む。

20

【0 0 0 2】

分岐予測技術を使用して分岐命令の結果を推測し、これにより、処理ユニットが分岐命令を評価する前に、処理ユニットが予測された分岐に沿って後続の命令を投機的に実行することを始めることができる。処理ユニットは、分岐命令を含む命令のブロックに関連付けられる分岐予測構造のエントリの情報を使用して結果を予測する。分岐命令を評価するときに予測された分岐が誤りであることが判明した場合、予測が正しくない分岐に沿った投機的実行が中断され、処理ユニットの状態が分岐命令の状態にロールバックされ、正しい分岐に沿って実行が始まる。より具体的には、分岐予測ユニット及びフェッチユニットの両方がロールバックされ、分岐の正しいターゲットから、または分岐が受け入れなかった場合は分岐後のアドレスから処理される。

30

【0 0 0 3】

本開示は、添付の図面を参照することによって、良好に理解され得、その多くの特徴及び利点が当業者に明らかになる。異なる図面における同じ参照記号の使用は、類似項目または同一項目を示す。

40

【図面の簡単な説明】

【0 0 0 4】

【図 1】いくつかの実施形態による、処理システムのブロック図である。

【図 2】いくつかの実施形態による、プロセッサコアを含む処理システムの部分のブロック図である。

【図 3】いくつかの実施形態による、予測ブロックと、予測ブロックにおける分岐命令の異なる起こり得る結果に対応するブロックのセットとのブロック図である。

【図 4】いくつかの実施形態による、プログラムフロー及びサブルーチンを含む命令のセ

50

ットである。

【図5】いくつかの実施形態による、分岐予測構造のブロック図である。

【図6】いくつかの実施形態による、分岐ターゲットバッファのブロック図である。

【図7】いくつかの実施形態による、分岐命令のタイプに基づいて、非先行分岐予測または先行分岐予測を選択的に行う方法のフロー図である。

【図8】いくつかの実施形態による、分岐ターゲットバッファ及び条件付き分岐予測器を含む分岐予測ユニットの一部のブロック図である。

【図9】いくつかの実施形態による、戻り命令及び間接分岐命令のサブセットが「予測先行」分岐予測を使用することを選択的に可能にする処理システムの部分のブロック図である。

10

【発明を実施するための形態】

【0005】

分岐予測の「予測先行」手法では、第1のブロックのアドレスは、分岐予測構造及び分岐予測ストレージの情報にアクセスするためのインデックスとして使用される。その情報は、第1のブロックにおける分岐命令のターゲットのいずれかである潜在的な後続ブロックのセット、または第1のブロックの全ての分岐が受け入れないと予測される場合は第1のブロックに続くブロックに対応するエントリのセットを含む。エントリの1つのサブセットは、第1のブロックにおける分岐命令の結果を予測する分岐予測器に回答して、セットから選択される。予測された結果は、第2のブロックにおける分岐命令に関する分岐予測情報を含むエントリのサブセットに対応する分岐命令を含む第2のブロックを示す。分岐予測器は、エントリのサブセットの情報を使用して、第1のブロックの結果が正しく予測されたかどうかを決定する前に、第2のブロックにおける分岐命令の結果を予測する。第2のブロックのアドレスは、第2のブロックにおける分岐命令の1つの結果として予測されたアドレスにおいて、第3のブロックにおける分岐命令の結果を予測するために使用される情報へのインデックスとして使用される。第1のブロックの分岐結果またはターゲットの予測ミスが生じる場合、処理ユニットは第1のブロックにおける予測ミスした分岐命令の終わりの状態にロールバックされ、正しいパスに沿って実行が始まる。分岐命令が「受け入れなかった」、実際の分岐結果が「受け入れられた」という誤った予測であった場合、正しいパスは、第1のブロックにおける分岐命令のターゲットである潜在的な後続ブロックのセットの別の1つから始まる。分岐命令が「受け入れられ」、実際の分岐結果が「受け入れなかった」という誤った予測であった場合、第1のブロックの残りの部分が予測され、第2のブロックに移動する前にフェッチされる。したがって、第1の分岐予測が誤りである場合、処理ユニットは正しいパスに基づいて分岐予測器を再起動する必要があり、これによって、分岐予測の待ち時間が長くなる。

20

30

【0006】

予測先行技術の有効性は、分岐命令のタイプによって異なる。予測先行技術は、通常、条件付き分岐命令及び無条件分岐命令の精度を犠牲にすることなく、全体的な待ち時間を短くする。しかしながら、他のタイプの分岐命令に予測先行技術を使用すると、ブロック内の分岐命令の結果を予測するために使用される情報に対するインデックスとしてブロックのアドレスを使用する従来の分岐予測と比較して、潜在的に精度が犠牲になる可能性がある。例えば、サブルーチンは、通常、プログラム内の複数の場所からアクセスされる。予測先行が使用中である場合、分岐予測構造の複数のエントリがサブルーチン内のブロックに対して生成される。この理由として、各エントリがプログラム内の異なる発信元アドレスによってインデックス化されるためである。同じブロックに複数のエントリを記憶すると、分岐ターゲットバッファのスペースが消費され、容量性ミスにつながる。係る分岐ターゲットバッファミスにより分岐予測器が分岐を識別できないとき、識別されない分岐を受け入れる場合、予測ミスが生じる。別の例について、サブルーチンからの戻り命令は、プログラムの複数のターゲットアドレスに戻る。したがって、分岐ターゲットバッファは、複数のターゲットアドレスから始まるブロックのエントリを含む。予測先行が使用中である場合、エントリは同じ発信元アドレス（つまり、戻り命令を含むブロックのアドレ

40

50

ス)によってインデックス化される。したがって、セットアソシアティブ分岐ターゲットバッファはエントリを同じセットに記憶し、これによって、分岐ターゲットバッファにホットスポットを作成し、ウェイの数が同じ発信元アドレスによってインデックス化されるエントリの数よりも少ない場合、競合性ミスが生じる。また別の例として、間接分岐命令は、処理ユニットの状態に応じて異なるターゲットアドレスにジャンプする可能性があるため競合性ミスが発生し、これによって、戻り命令に対して発生するものと同様な方式で、複数のエントリが同じ発信元アドレスによってインデックス化されることがもたらされる。

【0007】

図1～図9は、第1のブロックにおける分岐命令のタイプに基づいて予測先行分岐予測を選択的に行うことによって、従来の非先行予測器の精度を維持しながら、先行予測器の待ち時間の利点のほとんどを達成する分岐予測技術を開示する。分岐予測器は、分岐予測構造の情報にアクセスするためのインデックスとして第1のブロックのアドレスを使用する。その情報は、第1のブロックにおける分岐命令の潜在的にターゲットになる第2のブロックのセットまたは第1のブロックにおける全ての分岐が受け入れないと予測される場合は第1のブロックに続くブロックに対応するエントリのセットを含む。分岐予測構造の組み合わせロジックの複数のインスタンスは、第2のブロックのセットに対応するエントリのセットからの分岐予測情報を使用して、第1のブロックにおける分岐命令の結果を決定する前に、(予測された及び代替の)第2のブロックにおける分岐命令の結果を予測する。分岐予測器は、組み合わせロジックが第2のブロックにおける分岐命令の結果を予測すると同時に、第1のブロックにおける分岐命令のタイプを決定する。タイプが分岐命令のタイプのセットの所定のサブセットにあると分岐予測器が決定したことに応答して、分岐予測器は、第2のブロックにおける分岐命令の結果の投機的予測に関連付けられる状態をフラッシュし、第2のブロックのアドレスを使用して第2のブロックの分岐予測構造のエントリにアクセスする。例えば、第1のブロックが呼び出し命令、戻り命令、または間接分岐命令で終了すると予測される場合、分岐予測器は第2のブロックの投機的予測に関連付けられる状態をフラッシュする。次に、分岐予測器は、第2のブロックのアドレスによってインデックス化されるエントリに基づいて、第2のブロックにおける分岐命令の結果の予測を再開する。

【0008】

予測先行技術を実装する分岐予測器のいくつかの実施形態の性能は、少ない数のインデックスビットを使用して改善される。例えば、分岐ターゲットバッファにおけるエントリのインデックスを生成するために使用されるアドレスから、所定数の最下位ビットがドロップされる。いくつかのソフトウェア構成は、アドレス空間で相互に近接し、同じターゲットアドレスを有する複数の分岐命令を含む。予測先行分岐予測では、これらの分岐命令のそれぞれは同じターゲットアドレスを有し、ひいては、同じブロックを参照するが、分岐ターゲットバッファに異なるエントリを生成するであろう。このタイプの重複はインデックスから所定数の最下位ビットをドロップすることによって減り、これにより、近接する分岐命令は分岐ターゲットバッファにおける単一のエントリと同じインデックスを有する。

【0009】

図1は、いくつかの実施形態による、処理システム100のブロック図である。処理システム100は、メモリ105もしくはダイナミックランダムアクセスメモリ(DRAM)等の非一時的コンピュータ可読媒体を使用して実装される他のストレージコンポーネントを含む、またはメモリ105もしくは他のストレージコンポーネントにアクセスことが可能である。しかしながら、場合によって、メモリ105は、スタティックランダムアクセスメモリ(SRAM)、及び不揮発性RAM等を含む他のタイプのメモリを使用して実装される。メモリ105は、それが処理システム100に実装される処理ユニットの外部に実装されることから、外部メモリと称される。処理システム100は、また、メモリ105等の処理システム100に実装されるエンティティ間の通信をサポートするバス11

10

20

30

40

50

0を含む。処理システム100のいくつかの実施形態は、分かり易くするために図1に示さない他のバス、ブリッジ、スイッチ、ルータ等を含む。

【0010】

処理システム100は、ディスプレイ120に提示するために画像をレンダリングするように構成されるグラフィックスプロセッシングユニット(GPU)115を含む。例えば、GPU115は、オブジェクトをレンダリングし、ディスプレイ120に提供される画素値を作り、ディスプレイ120は、その画素値を使用して、レンダリングされたオブジェクトを表す画像を表示する。GPU115は、同時にまたは並行して、命令を実行するように構成される複数のプロセッサコア121、122、123(本明細書では、まとめて「プロセッサコア121~123」と称される)を実装する。GPU115に実装されているプロセッサコア121~123の数は、設計上の選択に関する重要な点である。GPU115のいくつかの実施形態は、汎用コンピューティングのために使用される。GPU115はメモリ105に記憶されるプログラムコード125等の命令を実行し、GPU115は実行された命令の結果等の情報をメモリ105に記憶する。

10

【0011】

また、処理システム100は中央処理装置(CPU)130を含み、中央処理装置(CPU)130は、バス110に接続され、ひいては、バス110を介してGPU115及びメモリ105と通信する。CPU130は、同時にまたは並行して、命令を実行するように構成される複数のプロセッサコア131、132、133(本明細書では、まとめて「プロセッサコア131~133」と称される)を実装する。プロセッサコア131~133はメモリ105に記憶されるプログラムコード135等の命令を実行し、CPU130は実行された命令の結果等の情報をメモリ105に記憶する。CPU130は、また、GPU115にドローコールを発行することによって、グラフィック処理を開始することが可能である。CPU130のいくつかの実施形態は、同時にまたは並行して命令を実行するように構成されるマルチプロセッサコア(分かり易くするために、図1に示さない)を実装する。

20

【0012】

入力/出力(I/O)エンジン145は、ディスプレイ120、ならびにキーボード、マウス、プリンタ、及び外部ディスク等の処理システム100の他の要素に関連付けられる入力動作または出力動作に対処する。I/Oエンジン145はI/Oエンジン145がバス110に結合され、これにより、メモリ105、GPU115、またはCPU130と通信することが可能である。示される実施形態では、I/Oエンジン145は、コンパクトディスク(CD)、及びデジタルビデオディスク(DVD)等の非一時的コンピュータ可読媒体を使用して実装される外部ストレージコンポーネント150に記憶される情報を読み取る。I/Oエンジン145は、また、GPU115またはCPU130による処理の結果等の情報を、外部ストレージコンポーネント150に書き込むことが可能である。

30

【0013】

図2は、いくつかの実施形態による、プロセッサコア205を含む処理システムの部分200のブロック図である。プロセッサコア205は、図1に示されるプロセッサコア121~123、131~133のいくつかの実施形態を実装するために使用される。また、処理システムの部分200は図1に示されるメモリ105のいくつかの実施形態を実装するために使用されるメモリ210を含む。メモリ210に記憶される情報の一部のコピーは、また、キャッシュ215に記憶される。例えば、頻繁にアクセスされる命令は、キャッシュ215のキャッシュラインまたはキャッシュブロックに記憶される。

40

【0014】

プロセッサコア205は、条件付き分岐予測ストレージ及び条件付き分岐予測ロジックを含む分岐予測ユニット220を含む。条件付き分岐予測ストレージは、メモリ210の場所のアドレスを記憶し、条件付き分岐予測ロジックは、下記に詳細に説明するように、分岐命令の結果を予測するように構成される。分岐命令は、条件が真または偽であるかに応じてプログラムフローをアドレスにリダイレクトする条件付き分岐命令を含む。例えば

50

、条件付き分岐命令は、`if - then - else`ステートメント及びケースステートメント等のソフトウェア構成を実施するために使用される。分岐命令は、また、プログラムフローを命令によって示されるアドレスに常にリダイレクトする無条件分岐命令を含む。例えば、`JMP`命令は、常に、命令によって示されるアドレスにジャンプする。分岐命令は、さらに、プログラムフローをサブルーチンの場所にリダイレクトする呼び出し命令と、プログラムフローをサブルーチンからプログラムフローの呼び出し命令に続く命令にリダイレクトする戻り命令とを含む。場合によって、ターゲットアドレスがレジスタまたはメモリの場所に提供されるため、分岐が実行されるたびにターゲットが異なる可能性がある。係る分岐は間接分岐と呼ばれる。

【 0 0 1 5 】

分岐予測ユニット 2 2 0 のいくつかの実施形態は、現在のプロセスまたはプロセッサコア 2 0 5 で以前に実行されたプロセスによって以前に実行された分岐命令に関連付けられるエントリを含む。分岐予測ユニット 2 2 0 の各エントリに記憶される分岐予測情報は、分岐命令がプログラムフローを命令のアドレスに向ける可能性を示す。分岐予測ユニット 2 2 0 のエントリは、対応する分岐命令に関連付けられるアドレスに基づいてアクセスされる。例えば、分岐命令の物理アドレス、仮想アドレス、またはキャッシュラインアドレスを表すビット（またはそのサブセット）の値は、分岐予測ユニット 2 2 0 へのインデックスとして使用される。別の例について、ビット（またはそのサブセット）のハッシュ値が、分岐予測ユニット 2 2 0 へのインデックスとして使用される。分岐予測構造の例は、間接分岐予測器、リターンアドレススタック、分岐ターゲットバッファ、条件付き分岐予測器、分岐履歴、または分岐予測情報を記憶するために使用されるいずれかのその他の予測構造を含む。

【 0 0 1 6 】

分岐予測ユニット 2 2 0 のいくつかの実施形態は、非先行分岐予測ロジック及び先行分岐予測ロジックを含む。本明細書で使用される語句「非先行分岐予測」は、ブロックを識別するアドレスに基づいてアクセスされる分岐予測構造（分岐ターゲットバッファ等）のエントリに基づいて、ブロックにおける 1 つ以上の分岐命令に対して分岐予測ユニット 2 2 0 によって行われる分岐予測を指す。本明細書で使用される語句「先行分岐予測」は、分岐予測ユニット 2 2 0 で以前にされたまたは同時に処理されているブロックを識別するアドレスに基づいてアクセスされる分岐予測構造のエントリに基づいて、ブロックにおける 1 つ以上の分岐命令に対して分岐予測ユニット 2 2 0 によって行われる分岐予測を指す。例えば、分岐予測ユニット 2 2 0 は、第 1 のブロックにおける分岐命令の結果を予測できる。結果は第 2 のブロックを示し、先行分岐予測ロジックは、本明細書で詳細に説明するように、第 1 のブロックのアドレスに基づいて、第 2 のブロックにおける分岐命令のエントリにアクセスできる。

【 0 0 1 7 】

分岐予測ユニット 2 2 0 は、分岐命令のタイプに基づいて、先行分岐予測または非先行分岐予測を選択的に利用する。例えば、分岐予測ユニット 2 2 0 の先行分岐予測ロジックは、条件付き分岐命令及び無条件分岐命令の分岐予測を行うために使用される。分岐予測ユニット 2 2 0 の非先行分岐予測ロジックは、サブルーチンのアドレスに分岐する呼び出し命令の分岐予測、サブルーチンから呼び出し命令に続く後続のアドレスに戻る戻り命令、及び間接分岐命令を行うために使用される。分岐予測ユニット 2 2 0 は、現在のブロックにおける分岐命令の起こり得る結果に対応する 1 つ以上の後続のブロックにおける分岐命令の結果を投機的に予測すると同時に、現在のブロックにおける分岐命令のタイプを決定する。分岐予測ユニット 2 2 0 が、現在のブロックにおける分岐命令のタイプが所定のタイプのサブセットにあると決定した場合（例えば、分岐命令は、呼び出し命令、戻り命令、または間接分岐命令である場合）、分岐予測ユニット 2 2 0 の状態がフラッシュされ、後続のブロックのアドレスに基づく非先行分岐予測ロジックを使用して、後続のブロックの 1 つの分岐予測が再開される。

【 0 0 1 8 】

10

20

30

40

50

いくつかの実施形態では、特定のタイプの分岐命令が所定のタイプのサブセットから削除され、これにより、BTBエントリ、間接分岐予測器、またはリターンアドレススタックに基づいて分岐命令の結果を予測するかどうかに基づいて、分岐命令に先行予測を使用できる。例えば、下記に説明するように、間接分岐命令を所定のタイプのサブセットから削除して、これにより、結果を予測する間接分岐予測器の代わりに、間接分岐命令の結果を予測するBTBエントリに回答して、間接分岐命令に先行予測を使用できる。別の例について、下記に説明するように、結果を予測するリターンアドレススタックの代わりに、戻り命令の結果を予測するBTBエントリに回答して、所定のタイプのサブセットから戻り命令を削除できる。

【0019】

フェッチユニット225は、分岐予測ユニット220から受信したアドレスに基づいて、メモリ210またはキャッシュ215から命令等の情報をフェッチする。フェッチユニット225は、キャッシュ215またはメモリ210から命令を表すバイトを読み取り、その命令をデコードユニット230に送信する。デコードユニット230は命令バイトを調べて、命令の機能を決定する。デコードユニット230は、プロセッサコア205によって行われる予定の一連の動作を発生させる命令を変換(すなわち、デコード)する。これらの動作はスケジューラ235に書き込まれる。スケジューラ235は、動作のソース値がいつ準備ができているかを決定し、ソース値を1つ以上の実行ユニット231、232、233(本明細書では、まとめて「実行ユニット231~233」と称される)に送信して動作を行う。結果は、レジスタファイル240にライトバックされる。

【0020】

スケジューラ235は、プロセッサコア205による命令の実行をスケジュールする。スケジューラ235のいくつかの実施形態は、分岐命令によって示されるメモリ210(または関連のキャッシュ215)のアドレスにおいて、プログラムフローを命令にリダイレクトする分岐命令に続く命令の投機的実行を行う。次に、プロセッサコア205は、送信先アドレスにおいて命令と、プログラムフローの予測された分岐に沿って後続の命令とを投機的に実行することが可能である。分岐命令を評価するときに予測分岐が不正確であることが判明した場合、予測が不正確であった分岐に沿った投機的実行が中断され、プロセッサコア205の状態が分岐命令の状態にロールバックされ、正しい分岐に沿って実行が始まる。

【0021】

図3は、いくつかの実施形態による、予測ブロック300と、予測ブロック300にける分岐命令の異なる起こり得る結果に対応するブロック305、310、315のセットとのブロック図である。予測ブロック300は、分岐命令320、325と、命令330、335とを含む。予測ブロック300のいくつかの実施形態は、より少ない分岐命令または追加の分岐命令(分かり易くするために、図3に示さない)を含む。ブロック305、310、315は、各々、命令340、345、350、355、360、365を含む。ブロック305は分岐命令320のターゲットである第1のアドレスによって識別され、ブロック310は分岐命令325のターゲットである第2のアドレスによって識別され、ブロック315は分岐命令325に続く第3のアドレスによって識別される。示される実施形態では、第3のアドレスは、命令360等のブロック300とブロック315との間のキャッシュライン境界等の境界における後続の命令のためのものである。他の実施形態では、第3のアドレスは、命令335等のブロック300における後続の命令のためのものである。

【0022】

図2に示される分岐予測ユニット220等の分岐予測器は、予測ブロック内の複数の分岐命令の結果を同時に予測する。示される実施形態では、分岐予測器は、分岐命令320及び分岐命令325の結果を同時に予測する。分岐命令320の起こり得る結果が「受け入れられた」場合、プログラムフローはブロック305における命令340のターゲットアドレスに分岐する、または「受け入れられない」場合、プログラムフローは予測ブロッ

10

20

30

40

50

ク 3 0 0 の命令 3 3 0 を連続的に継続する。分岐命令 3 2 5 の起こり得る結果が「受け入れられた」場合、プログラムフローはブロック 3 1 0 における命令 3 5 0 のターゲットアドレスに分岐する、または「受け入れられない」場合、プログラムフローは予測ブロック 3 0 0 の命令 3 3 5 を連続的に継続する。

【 0 0 2 3 】

ブロック 3 0 5、3 1 0、3 1 5 の命令 3 4 0、3 4 5、3 5 0、3 5 5、3 6 0、3 6 5 は、1 つ以上の分岐命令を含み得る。先行分岐予測を実施するいくつかの実施形態では、条件付き予測ロジックの複数のインスタンスを使用して、ブロック 3 0 5、3 1 0、3 1 5 における分岐命令の結果を同時に予測する。例えば、ブロック 3 0 0 のアドレスを使用して、ブロック 3 0 5、3 1 0、3 1 5 の予測情報等の条件付き分岐予測ストレージの情報にアクセスできる。条件付き予測ロジックの複数のインスタンスは、アクセスされた情報を使用して、ブロック 3 0 5、3 1 0、3 1 5 における分岐命令の結果を予測する。下記に詳細に説明するように、投機的実行は、ブロック 3 0 5、3 1 0、3 1 5 のうちの予測された 1 つを含むパスに沿って進行する。

10

【 0 0 2 4 】

分岐予測器は、ブロック 3 0 5、3 1 0、3 1 5 における分岐命令の結果を予測すると同時に、分岐命令 3 2 0、3 2 5 のタイプを決定する。いくつかの実施形態では、先行分岐予測器は、ブロック 3 0 5、3 1 0、3 1 5 のアドレスに基づいてアクセスされる分岐予測構造の対応するエントリを使用して、ブロック 3 0 5、3 1 0、3 1 5 における分岐命令の結果を同時に予測するために分岐予測器に実装される。先行分岐予測は第 1 のタイプのサブセット（条件付き分岐命令及び無条件分岐命令等）に優先され、非先行分岐予測は第 2 のタイプのサブセット（呼び出し命令、戻り命令、間接分岐命令等）に優先される。したがって、分岐予測器は、分岐命令 3 2 0、3 2 5 のタイプに基づいて、先行分岐予測または非先行分岐予測を選択的に行う。1 つ以上の分岐命令 3 2 0、3 2 5 のタイプが第 1 のサブセットにあるとの決定に回答して、分岐予測器は先行分岐予測を継続する。1 つ以上の分岐命令 3 2 0、3 2 5 のタイプが第 2 のサブセットにあるとの決定に回答して、分岐予測器の状態はフラッシュされ、分岐予測は、例えば、分岐予測器の非先行インデックスを使用して、非先行分岐予測のために再開される。

20

【 0 0 2 5 】

図 4 は、いくつかの実施形態による、プログラムフロー 4 0 5 及びサブルーチン 4 1 0 を含む命令のセット 4 0 0 である。プログラムフロー 4 0 5 は、プログラムフロー 4 0 5 の異なる場所からサブルーチン 4 1 0 を呼び出す、呼び出し命令 4 1 5、4 2 0、4 2 5 を含む。呼び出し命令 4 1 5、4 2 0、4 2 5 のいくつかの実施形態は、命令 4 3 0 のアドレスに基づいて、プログラムフロー 4 0 5 を命令 4 3 0 にリダイレクトすることによって、サブルーチン 4 1 0 を呼び出す。先行命令を利用している分岐予測器は、前のブロックのアドレスに基づいて、ブロックにおける分岐命令のための分岐予測構造にエントリを生成する。したがって、分岐予測器は、呼び出し命令 4 1 5、4 2 0、4 2 5 のそれぞれについて、サブルーチン 4 1 0 の分岐予測構造にエントリを生成する。例えば、分岐予測器は、呼び出し命令 4 1 5 のアドレスを使用してアクセスされる分岐予測構造の第 1 のエントリ、呼び出し命令 4 2 0 のアドレスを使用してアクセスされる分岐予測構造の第 2 のエントリ、及び呼び出し命令 4 2 5 のアドレスを使用してアクセスされる分岐予測構造の第 3 のエントリを生成する。第 1 のエントリ、第 2 のエントリ、及び第 3 のエントリの分岐予測情報は、同じサブルーチン 4 1 0 を参照しているため同じである。

30

40

【 0 0 2 6 】

サブルーチン 4 1 0 は、1 つ以上の追加の命令 4 3 5（場合によって、分岐命令を含む）と、プログラムフロー 4 0 5 をサブルーチン 4 1 0 にリダイレクトした呼び出し命令に続く命令に戻すようにフローをリダイレクトする戻り命令 4 4 0 とを含む。例えば、サブルーチン 4 1 0 が呼び出し命令 4 1 5 によって呼び出される場合、戻り命令 4 4 0 はフローを命令 4 4 5 にリダイレクトし、サブルーチン 4 1 0 が呼び出し命令 4 2 0 によって呼び出される場合、戻り命令 4 4 0 はフローを命令 4 5 0 にリダイレクトし、サブルーチン

50

4 1 0 が呼び出し命令 4 2 5 によって呼び出される場合、戻り命令 4 4 0 はフローを命令 4 5 5 にリダイレクトする。分岐予測器は、命令 4 4 5、4 5 0、4 5 5 のターゲットアドレスによって識別されるブロックの分岐予測構造にエントリを生成する。予測先行が使用中である場合、エントリは、同じ発信元アドレス（すなわち、戻り命令 4 4 0 を含むブロックのアドレス）によってインデックス化される。したがって、セットアソシアティブ分岐予測構造は、命令 4 4 5、4 5 0、4 5 5 のエントリを同じセットに記憶し、これによって、分岐予測構造にホットスポットを作成し、ウェイの数が同じ発信元アドレスによってインデックス化されるエントリの数よりも少ない場合、競合性ミスが生じる。

【 0 0 2 7 】

図 5 は、いくつかの実施形態による、分岐予測構造 5 0 0 のブロック図である。分岐予測構造 5 0 0 は、図 2 に示される分岐予測ユニット 2 2 0 のいくつかの実施形態で実装される。分岐予測構造 5 0 0 は、図 4 に示される呼び出し命令 4 1 5、4 2 0、4 2 5 等の呼び出し命令の先行分岐予測中に生成されるエントリ 5 0 5、5 1 0、5 1 5 を含む。呼び出し命令は、プログラムフローを同じサブルーチン（例えば、図 4 に示されるサブルーチン 4 1 0）にリダイレクトする。

【 0 0 2 8 】

エントリ 5 0 5 は、2 つの分岐命令に関する分岐予測情報を含む。例えば、エントリ 5 0 5 は、アドレス 5 2 0 に対する第 1 の分岐命令の場所を示すオフセット 5 3 5 と、アドレス 5 2 0 に対する第 2 の分岐命令の場所を示すオフセット 5 4 0 とを含む。エントリ 5 0 5 は、また、第 1 の分岐命令のタイプ 5 4 5 及び第 2 の分岐命令のタイプ 5 5 0 と、第 1 の分岐命令のターゲットアドレス 5 5 5 及び第 2 の分岐命令のターゲットアドレス 5 6 0 とを識別する情報を含む。第 1 の分岐命令が受け入れられた場合、プログラムフローは第 1 の分岐命令からターゲットアドレス 5 5 5 に分岐する。そうでなければ、プログラムフローが第 2 の分岐命令に到達するまで、プログラムフローはブロックの命令を連続的に継続する。第 2 の分岐命令が受け入れられた場合、プログラムフローは第 2 の分岐命令からターゲットアドレス 5 6 0 に分岐し、そうでなければ、プログラムフローはブロックの命令を連続的に継続する。オーバーフローインジケータ 5 6 5 は、次の順次境界の前に追加の分岐命令があるかどうかを示す。いくつかの実施形態では、順次境界は、命令キャッシュライン境界と一致する。他の実施形態では、順次境界は、他の整列されたアドレスに設定される。図 5 に示されるエントリ 5 0 5 は、分岐ターゲットバッファ等の分岐予測構造のエントリの一例である。エントリ 5 0 5 のいくつかの実施形態は、異なる方式で編成または構造化される異なる分岐予測情報を含む。

【 0 0 2 9 】

エントリ 5 1 0、5 1 5 は前のアドレス（例えば、図 4 に示される呼び出し命令 4 1 5、4 2 0、4 2 5 を含むブロックのアドレス）によってインデックス化されるため、エントリ 5 1 0、5 1 5 は B T B アレイの異なるインデックスに配置される。しかしながら、オフセット、分岐命令タイプ、ターゲットアドレス、オーバーフロー値等のエントリ 5 1 0、5 1 5 のコンテンツはエントリ 5 0 5 のコンテンツと同じであり、この理由として、エントリ 5 0 5、5 1 0、5 1 5 の全てが同じ命令ブロック（例えば、図 4 に示される呼び出し命令 4 1 5、4 2 0、4 2 5 によって呼び出されるサブルーチンに対応する命令ブロック 4 1 0）に生成されるためである。したがって、エントリ 5 0 5、5 1 0、5 1 5 は相互に重複し、分岐予測構造のスペースを不必要に消費する。

【 0 0 3 0 】

図 6 は、いくつかの実施形態による分岐ターゲットバッファ 6 0 0 のブロック図である。分岐ターゲットバッファ 6 0 0 は、図 2 に示される分岐予測ユニット 2 2 0 のいくつかの実施形態を実装するために使用される。分岐ターゲットバッファ 6 0 0 のエントリは、分岐命令を含むブロックのアドレスに基づいて形成されるインデックスを使用してインデックス化される。例えば、非先行予測が使用中であるとき、分岐命令を含むブロックのアドレスは、分岐ターゲットバッファ 6 0 0 のエントリへのインデックスを生成するために使用される。別の例について、先行予測が使用中であるとき、前のブロックのアドレスを

10

20

30

40

50

使用して、現在のブロックに対応する分岐ターゲットバッファのエントリへのインデックスを生成する。

【0031】

示される実施形態では、分岐ターゲットバッファ600は、対応するプロセッサコアで実行するプログラムフローにおける分岐命令に関する分岐予測情報を含むエントリを記憶する4ウェイセットアソシアティブバッファである。したがって、各インデックスは、複数のエントリを含む4つの異なる方法の1つにおけるエントリにマッピングされる。例えば、分岐ターゲットバッファ600は、実線のボックスによって示される第1のウェイに対応するエントリ605、610、615を含む。他のエントリ620（分かり易くするために、符号によって1つだけ示されるもの）は、破線のボックスによって示される4ウェイセットアソシアティブバッファの他のウェイに対応する。

10

【0032】

分岐予測器は、対応する分岐命令に関連付けられるアドレスに基づいて生成されるインデックス625、630、635によって識別されるブロックについて、分岐ターゲットバッファ600にエントリを生成する。示される実施形態では、分岐予測器は先行予測を実施し、インデックス625、630、635に関連付けられる分岐命令はサブルーチンの戻り命令である。したがって、インデックス625、630、635は同じ値を有する。この理由として、同じ発信元アドレス（すなわち、サブルーチンの戻り命令を含むブロックのアドレス）に基づいて生成されるためである。したがって、インデックス625、630、635によって識別されるエントリは、分岐ターゲットバッファ600において同じ（第1の）ウェイでエントリ605、610、615に作成される。これは、特に、他のインデックスを使用してアクセスされる分岐ターゲットバッファ600の他のウェイ620でエントリが作成されない（または、より少ないエントリが作成される）場合、第1のウェイにおいてホットスポットを作成する。第1のウェイにおけるエントリの数と同じ発信元アドレスによってインデックス化されるエントリの数よりも少ない場合（例えば、同じ戻り命令によってアクセスされるブロックに関するブロック予測情報によって消費されるエントリ数が第1のウェイにおけるエントリ数を超える場合）、ホットスポットでは競合性ミスが生じる。

20

【0033】

図7は、いくつかの実施形態による、分岐命令のタイプに基づいて、非先行分岐予測または先行分岐予測を選択的に行う方法のフロー図700である。方法700の第1の部分は、図1に示される処理システム100及び図2に示される処理システムの部分200のいくつかの実施形態で実施される。示される実施形態では、分岐予測器は、2つの分岐命令等の分岐命令の結果を所定数になるまで同時に予測する。しかしながら、ブロックは、所定数の分岐命令を正確に含む必要はなく、いくつかのブロックは所定数の分岐命令よりも多い数のまたは少ない数の分岐命令を含む。

30

【0034】

ブロック705において、分岐予測器は、第1のブロックにおける第1の分岐及び第2の分岐の結果を同時に予測する。本明細書で説明するように、第1のブロックにおける第1の分岐及び第2の分岐の結果の異なる組み合わせは、異なる送信先の第2のブロックに対応する。分岐予測器は、第1の分岐及び第2の分岐の予測された結果に基づいて、第2のブロックの1つを「予測された」第2のブロックとして識別する。他の結果に対応する第2のブロックは、「代替」の第2のブロックとして識別される。次に、方法700の一部は、ブロック710、715に移る。

40

【0035】

ブロック710において、分岐予測器は、第1のブロックにおける1つ以上の分岐命令のタイプを決定する。本明細書で説明するように、タイプは、条件付き分岐命令及び無条件直接分岐命令を含む第1のサブセットと、呼び出し命令、戻り命令、及び間接分岐命令を含む第2のサブセットとを含む。いくつかの実施形態では、他のタイプの命令は第1のサブセットまたは第2のサブセットに含まれる。例えば、間接分岐命令は、下記に説明す

50

るように、予測された第2のブロックのアドレスを生成する間接分岐予測器に回答して第1のサブセットに含まれる。別の例について、下記に説明するように、予測された第2のブロックのアドレスを生成するリターンアドレススタックに回答して、戻り命令は第1のサブセットに含まれる。分岐予測器は、図5に示される分岐予測構造500等の分岐予測構造及び図6に示される分岐ターゲットバッファ600から取り込まれた分岐予測情報に基づいて、分岐命令のタイプを決定する。

【0036】

ブロック715において、分岐予測器は、予測された及び代替の第2のブロックにおける分岐命令の結果の先行予測を開始する。本明細書で説明するように、分岐予測器による先行予測は、第1のブロックのアドレスから派生したインデックスに基づいてアクセスされる分岐予測構造のエントリにおける分岐予測情報に基づいて行われる。いくつかの実施形態では、条件付き予測ロジックの複数のインスタンスを使用して、予測された及び代替の第2のブロックのそれぞれにおける第1の分岐命令及び第2の分岐命令の結果を予測する。いくつかの実施形態では、条件付き予測ロジックの第1のインスタンスは予測された第2のブロックにおける第1の分岐命令及び第2の分岐命令の結果を予測し、第2のインスタンスは代替の第2のブロックの1つにおける第1の分岐命令及び第2の分岐命令の結果を予測し、第3のインスタンスは代替の第2のブロックの別のものにおける第1の分岐命令及び第2の分岐命令の結果を予測する。しかしながら、他の実施形態では、第2のブロックの一部または全ては、多い数のまたは少ない数の分岐命令を含む。

【0037】

ブロック710、715は、示される実施形態で同時に行われる。しかしながら、分岐予測器のいくつかの実施形態は、連続的にまたは交互方式を含む他の順序で、ブロック710、715における動作の一部または全てを行う。方法700は、第1のブロックにおける1つ以上の分岐命令のタイプを決定する分岐記述に回答して、決定ブロック720に移る。

【0038】

決定ブロック720において、分岐予測器は、第1のブロックにおいて最初に予測された受入済の分岐命令のタイプがタイプのセットの第1のサブセットまたは第2のサブセットにあるかどうかを決定する。分岐予測器が、分岐命令が第1のタイプのサブセットにあると決定した場合（例えば、分岐命令が条件付き分岐命令または無条件分岐命令である場合）、方法700はブロック725に移り、分岐予測器は先行分岐予測技術の使用を継続する。分岐予測器が、分岐命令が第2のタイプのサブセットにあると決定した場合（例えば、分岐命令が呼び出し命令、戻り命令、または間接分岐命令である場合）、方法700はブロック730に移る。

【0039】

本明細書で説明するように、第2のサブセットのタイプの分岐命令の結果を予測するために先行分岐予測を使用すると、ブロック内の分岐命令の結果の予測するために使用される情報に対するインデックスとしてブロックのアドレスを使用する従来の分岐予測と比較して、潜在的に精度が犠牲になる可能性がある。第2のサブセットにタイプを有する分岐命令の精度を保つために、ブロック730において、分岐予測パイプラインはフラッシュされ、予測された及び代替の第2のブロックにおける分岐命令の結果の先行予測に関連付けられる状態を削除する。次に、予測された第2のブロックのアドレスに基づいて分岐予測構造のエントリからアクセスされた分岐予測情報を使用して、予測された第2のブロックに対して非先行分岐予測が再開される。

【0040】

図8は、いくつかの実施形態による、分岐ターゲットバッファ及び条件付き分岐予測器を含む分岐予測ユニット800の一部のブロック図である。分岐予測ユニット800は、図2に示される分岐予測ユニット220のいくつかの実施形態を実装するために使用される。アドレス805は、命令のブロックの開始アドレスを示す。分岐ターゲットバッファのエントリは、エントリに関連付けられるブロックの開始アドレスによってインデックス

10

20

30

40

50

化される。示される実施形態では、ブロックにおける分岐命令に関する分岐予測情報を含む分岐ターゲットバッファのエントリ 815 へのインデックス 810 は、アドレス 805 に等しい値を含む。したがって、インデックス 810 は、分岐ターゲットバッファのエントリ 815 にアクセスするために使用される。例えば、図 3 に示されるブロック 300 のアドレスは、ブロック 300 の分岐 320、325 に対応する分岐ターゲットバッファのエントリへのインデックスとして使用される。

【0041】

エントリ 815 は、2つの分岐命令に関する分岐予測情報を含む。例えば、エントリ 815 は、アドレス 805 に対する第1の分岐命令の場所を示すオフセット 820 と、アドレス 805 に対する第2の分岐命令の場所を示すオフセット 825 とを含む。エントリは、また、第1の分岐命令のタイプ 830 及び第2の分岐命令のタイプ 835 と、第1の分岐命令のターゲットアドレス 840 及び第2の分岐命令のターゲットアドレス 845 とを識別する情報を含む。プログラムフローは、第1の分岐命令が受け入れられた場合、第1の分岐命令からターゲットアドレス 840 に分岐する。そうでなければ、プログラムフローが第2の分岐命令に到達するまで、プログラムフローはブロックの命令を連続的に継続する。第2の分岐命令が受け入れられた場合、プログラムフローは第2の分岐命令からターゲットアドレス 845 に分岐し、そうでなければ、プログラムフローはブロックの命令を連続的に継続する。オーバーフローインジケータ 850 は、次の順次境界の前に追加の分岐命令があるかどうかを示す。いくつかの実施形態では、順次境界は、命令キャッシュライン境界と一致する。他の実施形態では、順次境界は、他の整列されたアドレスに設定される。図 8 に示されるエントリ 815 は、分岐ターゲットバッファにおけるエントリの一例である。エントリ 815 のいくつかの実施形態は、異なる方式で編成または構造化される異なる分岐予測情報を含む。

【0042】

分岐予測構造は、条件付き分岐予測ストレージ 860 及び条件付き予測ロジック 865 を含む。条件付き分岐予測ストレージ 860 は、分岐命令の結果を予測するために使用される情報を記憶する。インデックス 810 は、アドレス 805 によって示されるブロックに関連付けられる記憶された情報にアクセスするために、条件付き分岐予測ストレージ 860 に提供される。いくつかの実施形態では、分岐履歴情報 855 等の追加情報は条件付き分岐予測ストレージ 860 に提供される。アドレス 805 から始まるブロックに関連付けられるアクセスされた情報は条件付き予測ロジック 865 に提供され、条件付き予測ロジック 865 は、また、エントリ 815 からブロックにおける分岐命令に関する分岐予測情報を受信する。条件付き予測ロジック 865 は、エントリ 815 及び条件付き分岐予測ストレージ 860 からアクセスされる情報を使用して、ブロックにおける分岐命令の結果を予測する。示される実施形態では、条件付き予測ロジック 865 は、第1の分岐命令が受け入れられず、第2の分岐命令が受け入れられたことを予測する。したがって、条件付き予測ロジック 865 は、第1のブロックの終わりが第2の分岐命令 (OFFSE T_2) の場所にあり、第2の分岐命令のターゲットアドレスが T_ A D D R_2 であると予測する。

【0043】

図 9 は、いくつかの実施形態による、戻り命令及び間接分岐命令のサブセットが「予測先行」分岐予測を使用することを選択的に可能にする処理システムの部分 900 のブロック図である。処理システムの部分 900 は、図 1 に示される処理システム 100 及び図 2 に示される処理システムの部分 200 のいくつかの実施形態を実装するために使用される。部分 900 の示される実施形態は、間接分岐命令または戻り命令のターゲットを記憶する B T B エントリ 905 を含む。間接予測器 910 は間接分岐命令のターゲットを予測し、リターンアドレススタック 915 は戻り命令のリターンアドレスを予測する。間接予測器 910 及びリターンアドレススタック 915 は、対応する分岐の結果が予測されるたびに異なるアドレスを返す。分岐が例えば B T B エントリ 905 に最初にインストールされるときに、間接分岐命令またはリターンの第1のターゲットは B T B に書き込まれる。間

10

20

30

40

50

接分岐命令または戻り命令の B T B エントリ 9 0 5 に記憶されるターゲット情報はその後変更されない。

【 0 0 4 4 】

間接分岐予測器 9 1 0 またはリターンアドレススタック 9 1 5 からの予測は、B T B エントリ 9 0 5 の予測よりも優先される。例えば、間接予測器 9 1 0 が間接分岐命令のターゲットアドレスを予測する場合、このターゲットアドレスは、B T B エントリ 9 0 5 によって予測されたターゲットアドレスの代わりに、後続の分岐予測のためにセクタ 9 2 0 によって選択される。別の例について、リターンアドレススタック 9 1 5 が戻り命令のリターンアドレスを予測する場合、このリターンアドレスは、B T B エントリ 9 0 5 によって予測されたリターンアドレスの代わりに、後続の分岐予測のためにセクタ 9 2 0 によって選択される。間接分岐予測器 9 1 0 及びリターンアドレススタック 9 1 5 は常に予測を返すわけではない。したがって、B T B エントリ 9 0 5 によって予測されたアドレスは、間接分岐予測器 9 1 0 またはリターンアドレススタック 9 1 5 による予測がない場合に、セクタ 9 2 0 によって選ばれる。

10

【 0 0 4 5 】

いくつかの実施形態では、先行予測または非先行予測は、セクタ 9 2 0 によって選ばれるアドレスを生成するエンティティに応じて、間接分岐命令及び戻り命令に対して選択的に使用される。先行予測は、B T B エントリ 9 0 5 によって予測されたアドレスを選ぶセクタ 9 2 0 に応答して使用される。この理由として、B T B エントリ 9 0 5 が分岐予測に使用されるたびに、分岐予測が同じアドレスに対して行われるためである。したがって、これらの場合、先行予測を使用することによって、ホットスポットは B T B アレイに生成されない。非先行予測は、間接分岐予測器 9 1 0 またはリターンアドレススタック 9 1 5 によって予測されたアドレスを選ぶセクタ 9 2 0 に応答して使用される。この理由として、本明細書で説明するように、これらのエンティティは毎回異なるターゲットアドレスを生成し、ひいては、B T B アレイにホットスポットを生成し得るためである。

20

【 0 0 4 6 】

本明細書に開示されるように、本方法は、第 1 のブロックの第 1 のアドレスに基づいて、第 1 のブロックにおける少なくとも 1 つの第 1 の分岐命令の結果に対応する第 2 のブロックのセットのための分岐予測構造のエントリのセットにアクセスすることと、分岐予測構造のエントリのセットに基づいて、第 2 のブロックのセットにおける第 2 の分岐命令の結果の投機的予測を開始することと、少なくとも 1 つの第 1 の分岐命令の少なくとも 1 つのタイプに基づいて、投機的予測に関連付けられる状態を選択的にフラッシュすることとを含む。一態様では、分岐予測構造のエントリのセットにアクセスすることは、少なくとも 1 つの第 1 の分岐命令の潜在的ターゲットである第 2 のブロックのセットまたは少なくとも 1 つの第 1 の分岐命令が受け入れられない場合は第 1 のブロックに続くブロックのための分岐予測構造のエントリのセットにアクセスすることを含む。別の態様では、第 2 のブロックのセットにおける第 2 の分岐命令の結果の投機的予測と同時に、少なくとも 1 つの第 1 の分岐命令の少なくとも 1 つのタイプを決定する。

30

【 0 0 4 7 】

別の態様では、少なくとも 1 つの第 1 の分岐命令の少なくとも 1 つのタイプを決定することは、少なくとも 1 つの第 1 の分岐命令の結果が、分岐ターゲットバッファ、間接分岐予測器、またはリターンアドレススタックによって決定されるかどうかに基づいて、少なくとも 1 つの第 1 の分岐命令の少なくとも 1 つのタイプを決定することを含む。また別の態様では、状態を選択的にフラッシュすることは、分岐命令のタイプのセットの第 1 のサブセットに属する少なくとも 1 つの第 1 の分岐命令の少なくとも 1 つのタイプに応じて、第 2 の分岐命令の結果の投機的予測に関連付けられる状態をフラッシュすることを含む。さらに別の態様では、第 1 のサブセットは、呼び出し命令、戻り命令、及び間接分岐命令を含む。また別の態様では、本方法は、予測された第 2 のブロックの第 2 のアドレスによってインデックス化される分岐予測構造のエントリに基づいて、第 2 のブロックの予測された第 2 のブロックにおける第 2 の分岐命令の少なくとも 1 つの投機的予測を再開する

40

50

ことを含む。一態様では、予測された第2のブロックは、第1のブロックにおける少なくとも1つの第1の分岐命令の予測された結果に対応する。別の態様では、状態を選択的にフラッシュすることは、状態のフラッシュをバイパスし、分岐命令のタイプのセットの第2のサブセットに属する少なくとも1つの第1の分岐命令の少なくとも1つのタイプに応答して投機的予測を継続することを含む。また別の態様では、本方法は、第1のブロックの第1のアドレスから所定数の最下位ビットをドロップすることによって、インデックスを分岐予測構造に生成することを含む。

【0048】

本明細書に開示されるように、本装置は、第1のブロックにおける少なくとも1つの第1の分岐命令の結果を予測し、第1のブロックの第1のアドレスに基づいて、第1のブロックにおける少なくとも1つの第1の分岐命令の結果に対応する第2のブロックのセットのための分岐予測構造のエントリのセットにアクセスするように構成される分岐予測器と、分岐予測構造のエントリのセットに基づいて、第2のブロックのセットにおける第2の分岐命令の結果の投機的予測のための命令をフェッチするフェッチロジックと、を含み、投機的予測に関連付けられる状態は、少なくとも1つの第1の分岐命令の少なくとも1つのタイプに基づいて、分岐予測器から選択的にフラッシュされる。一態様では、分岐予測器は、少なくとも1つの第1の分岐命令の潜在的ターゲットである第2のブロックのセットまたは少なくとも1つの第1の分岐命令を受け入れない場合は第1のブロックに続くブロックのための分岐予測構造のエントリのセットにアクセスするように構成される。別の態様では、分岐予測器は、第2のブロックのセットにおける第2の分岐命令の結果の投機的予測と同時に、少なくとも1つの第1の分岐命令の少なくとも1つのタイプを決定するように構成される。さらに別の態様では、分岐予測器は、少なくとも1つの第1の分岐命令の結果が、分岐ターゲットバッファ、間接分岐予測器、またはリターンアドレススタックによって決定されるかどうかに基づいて、少なくとも1つの第1の分岐命令の少なくとも1つのタイプを決定するように構成される。

【0049】

別の態様では、第2の分岐命令の結果の投機的予測に関連付けられる状態は、分岐命令のタイプのセットの第1のサブセットに属する少なくとも1つの第1の分岐命令の少なくとも1つのタイプに応答してフラッシュされる。別の態様では、第1のサブセットは、呼び出し命令、戻り命令、及び間接分岐命令を含む。さらに別の態様では、分岐予測器は、予測された第2のブロックの第2のアドレスによってインデックス化される分岐予測構造のエントリに基づいて、第2のブロックの予測された第2のブロックにおける第2の分岐命令の少なくとも1つの投機的予測を再開するように構成される。また別の態様では、予測された第2のブロックは、第1のブロックにおける少なくとも1つの第1の分岐命令の予測された結果に対応する。別の態様では、分岐予測器は、状態のフラッシュをバイパスし、分岐命令のタイプのセットの第2のサブセットに属する少なくとも1つの第1の分岐命令の少なくとも1つのタイプに応答して投機的予測を継続するように構成される。さらに別の態様では、分岐予測器は、第1のブロックの第1のアドレスから所定数の最下位ビットをドロップすることによって、インデックスを分岐予測構造に生成するように構成される。

【0050】

本明細書に開示されるように、本装置は、対応するブロックの分岐命令に関する分岐予測情報を含むエントリ [605] を記憶するように構成される分岐ターゲットバッファ (BTB) [600] と、第1のブロックの第1のアドレスを使用してアクセスされるBTBのエントリに基づいて、第1のブロックにおける分岐命令の結果を所定数になるまで予測するように構成される第1の分岐予測器 [500] と、第1のブロックの第1のアドレスを使用してアクセスされるBTBのエントリに基づいて、複数の第2のブロックの分岐命令の結果を所定数になるまで投機的に予測するように構成される第2の分岐予測器であって、第2のブロックは第1のブロックにおける分岐命令の結果に対応する、第2の分岐予測器と、を含み、投機的予測に関連付けられる状態は第2の分岐予測器から選択的にフ

10

20

30

40

50

ラッシュされ、第2のブロックの1つの分岐命令の結果の予測は、第1のブロックにおける分岐命令の少なくとも1つのうちの少なくとも1つのタイプに基づいて、第1の分岐予測器で選択的に開始する。別の態様では、投機的予測に関連付けられる状態は、分岐命令のタイプのセットの第1のサブセットに属する少なくとも1つのタイプに回答してフラッシュされ、投機的予測に関連付けられる状態は、分岐命令のタイプのセットの第2のサブセットに属する少なくとも1つのタイプに回答してフラッシュされない。さらに別の態様では、第1のサブセットは、呼び出し命令、戻り命令、及び間接分岐命令を含む。また別の態様では、戻り命令または間接分岐命令は、B T Bのエントリに基づいて予測される戻り命令または間接分岐命令の結果に回答して、第1のサブセットから削除される。また別の態様では、第1の分岐予測器は、予測された第2のブロックの第2のアドレスによってインデックス化されるB T Bのエントリに基づいて、第2のブロックの予測された第2のブロックにおける分岐命令の少なくとも1つの投機的予測を再開するように構成される。さらに別の態様では、予測された第2のブロックは、第1のブロックにおける分岐命令のうちの少なくとも1つの予測された結果に対応する。

【0051】

いくつかの実施形態では、上記に説明した装置及び技術は、図1～図9を参照して上記に説明した分岐予測等の、1つ以上の集積回路（IC）デバイス（また、集積回路パッケージまたはマイクロチップと称される）を含むシステムに実装される。電子設計自動化（EDA）及びコンピュータ支援設計（CAD）ソフトウェアツールは、これらのICデバイスの設計及び製作で使用され得る。これらの設計ツールは、通常、1つ以上のソフトウェアプログラムとして表される。1つ以上のソフトウェアプログラムは、回路を製造するための製造システムを設計または適合させるプロセスの少なくとも一部を行うように、コンピュータシステムを操作し1つ以上のICデバイスの回路を表すコードで動作する、コンピュータシステムによって実行可能なコードを含む。このコードは、命令、データ、または命令及びデータの組み合わせを含み得る。設計ツールまたは製作ツールを表すソフトウェア命令は、通常、コンピューティングシステムにアクセス可能なコンピュータ可読記憶媒体に記憶される。同様に、ICデバイスの設計または製造の1つ以上のフェーズを表すコードは、同じコンピュータ可読記憶媒体または異なるコンピュータ可読記憶媒体に記憶され、同じコンピュータ可読記憶媒体または異なるコンピュータ可読記憶媒体からアクセスされ得る。

【0052】

コンピュータ可読記憶媒体は、命令及び/またはデータをコンピュータシステムに提供するために、使用中にコンピュータシステムによってアクセス可能な任意の非一時的記憶媒体、または非一時的記憶媒体の組み合わせを含み得る。係る記憶媒体は、限定ではないが、光媒体（例えば、コンパクトディスク（CD）、デジタル多用途ディスク（DVD）、ブルーレイディスク）、磁気媒体（例えば、フロッピーディスク、磁気テープ、または磁気ハードドライブ）、揮発性メモリ（例えば、ランダムアクセスメモリ（RAM）またはキャッシュ）、不揮発性メモリ（例えば、読み取り専用メモリ（ROM）またはフラッシュメモリ）、または微小電気機械システム（MEMS）ベースの記憶媒体を含み得る。コンピュータ可読記憶媒体は、コンピューティングシステムに埋め込まれ得（例えば、システムRAMまたはROM）、コンピューティングシステムに固定式に取り付けられ得（例えば、磁気ハードドライブ）、コンピューティングシステムに取り外し可能に取り付けられ得（例えば、光ディスクまたはユニバーサルシリアルバス（USB）ベースフラッシュメモリ）、または有線もしくは無線ネットワークを介してコンピュータシステムに結合され得る（例えば、ネットワークアクセス可能ストレージ（NAS））。

【0053】

いくつかの実施形態では、上記に説明した技術の特定の態様は、ソフトウェアを実行する処理システムの1つ以上のプロセッサによって実施され得る。ソフトウェアは、非一時的コンピュータ可読記憶媒体に記憶されるまたはそうでなければ有形に具現化される、実行可能な命令の1つ以上のセットを含む。ソフトウェアは、1つ以上のプロセッサにより

10

20

30

40

50

実行されるとき、上記に説明した技術の1つ以上の態様を行うために1つ以上のプロセッサを操作する命令及び特定のデータを含み得る。非一時的コンピュータ可読記憶媒体は、例えば、磁気もしくは光ディスク記憶デバイス、フラッシュメモリ、キャッシュ、ランダムアクセスメモリ(RAM)等のソリッドステートストレージデバイス、または他の単一の不揮発性メモリデバイスもしくは複数の不揮発性メモリデバイス等を含み得る。非一時的コンピュータ可読記憶媒体上に記憶される実行可能命令は、1つ以上のプロセッサにより、解釈される、またはそうでなければ実行可能である、ソースコード、アセンブリ言語コード、オブジェクトコード、または他の命令形式であり得る。

【0054】

説明したものに加えて、全体的な説明において上記に説明した全てのアクティビティまたは要素が要求されないこと、特定のアクティビティまたはデバイスの一部が要求され得ないこと、1つ以上のさらなるアクティビティが行われ得ること、または要素が含まれることを留意されたい。さらには、アクティビティをリストアップする順序は、必ずしもそれらが行われる順序ではない。また、特定の実施形態を参照して概念が説明されている。しかしながら、当業者は、下記の「特許請求の範囲」に記載される本開示の範囲から逸脱することなく、様々な修正及び変更がなされ得ることを認識する。したがって、本明細書及び図は、限定的な意味ではなく、例示的な意味で見なされるべきであり、全ての係る修正は、本開示の範囲内に含まれることが意図される。

10

【0055】

特定の実施形態に関して、利益、他の利点、及び問題に対する解決策を上記に説明している。しかしながら、利益、利点、及び問題に対する解決策、ならびにいずれかの利益、利点、または解決策を生じさせ得る、もしくはより顕著になり得るいずれかの特徴(複数可)が、いずれかまたは全ての請求項の重要な、必要な、または不可欠な特徴として解釈されるべきではない。さらに、開示された主題は、本明細書の教示の利益がもたらされる当業者に明らかである、異なるが同等になるように修正及び実践され得るため、上記に開示した特定の実施形態は例示にすぎない。下記の「特許請求の範囲」に記載される場合を除き、本明細書に示される構造または設計の詳細に対する制限は意図されていない。したがって、上記に開示した特定の実施形態が改正または修正され得、全ての係る変形が開示した主題の範囲内で考慮されることは明らかである。したがって、本明細書に求められる保護は、下記の「特許請求の範囲」に記載されるようなものである。

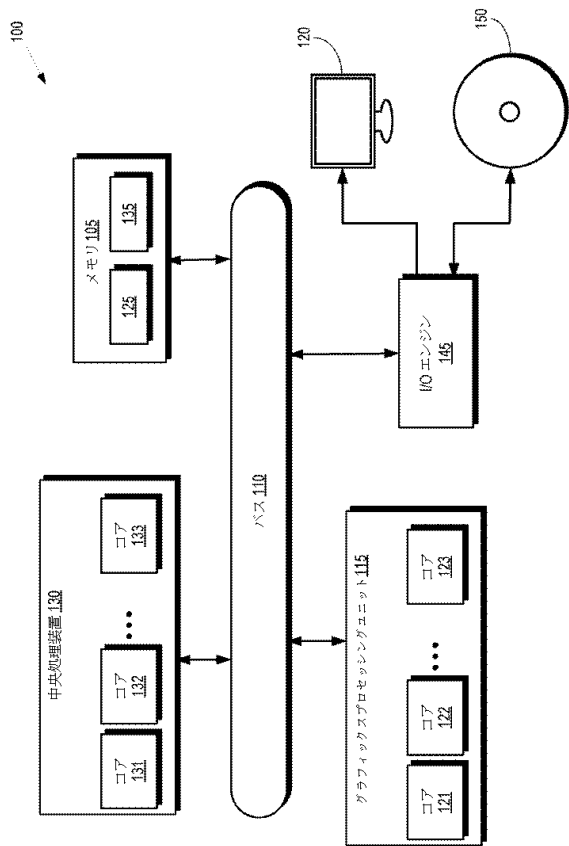
20

30

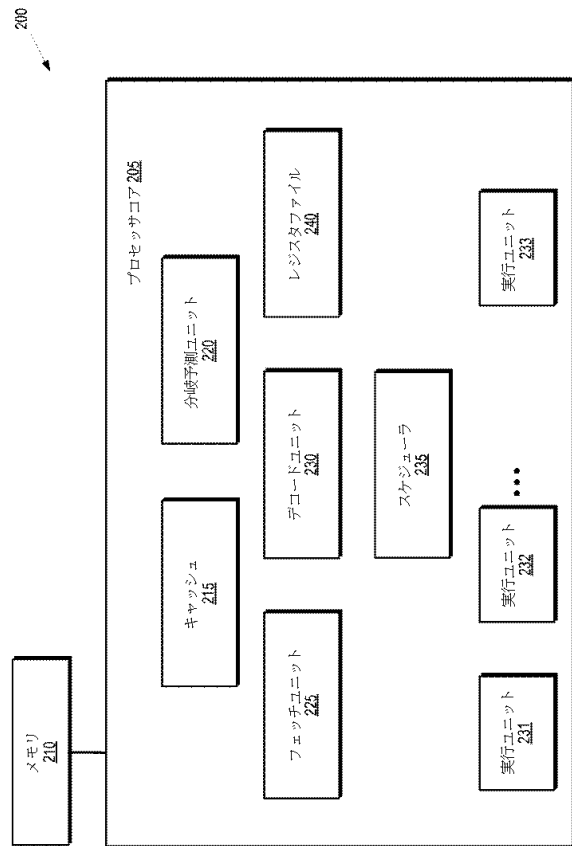
40

50

【図面】
【図 1】



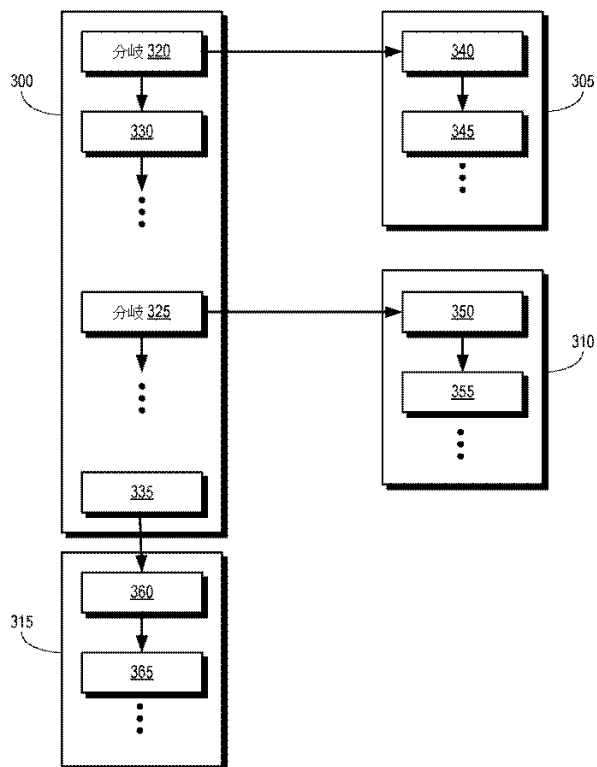
【図 2】



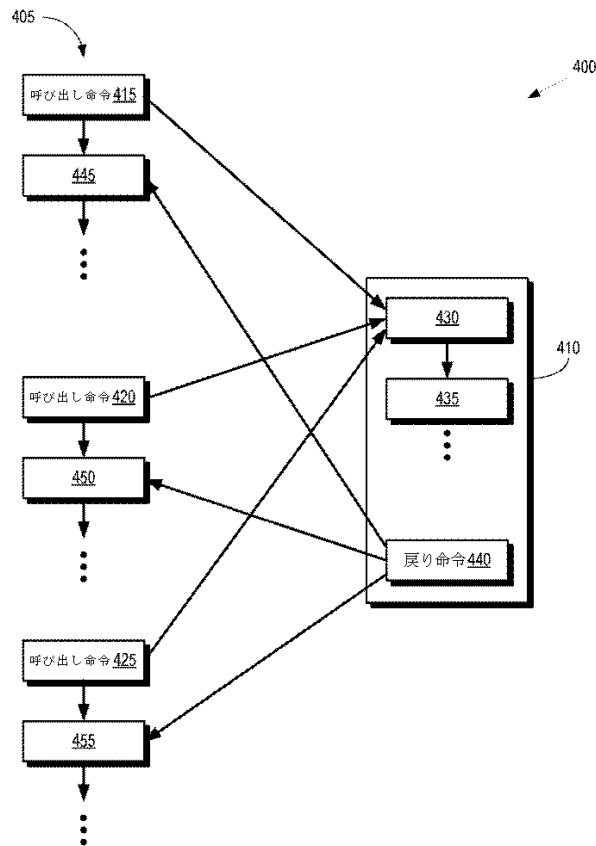
10

20

【図 3】



【図 4】

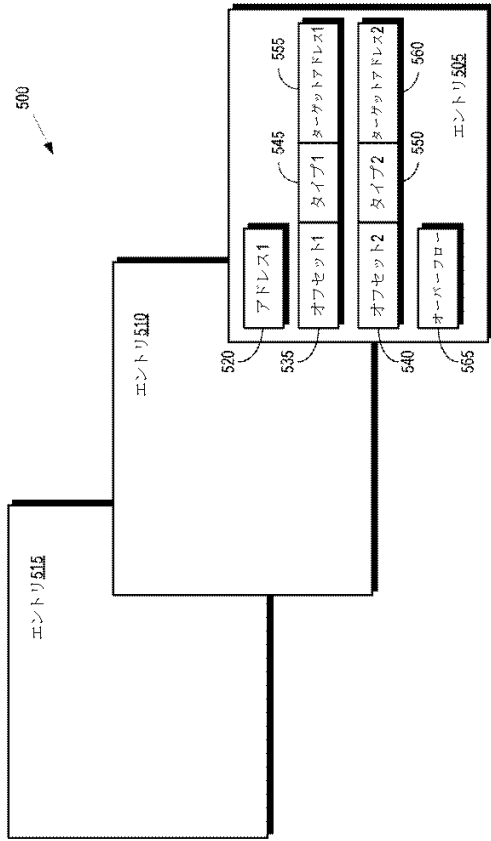


30

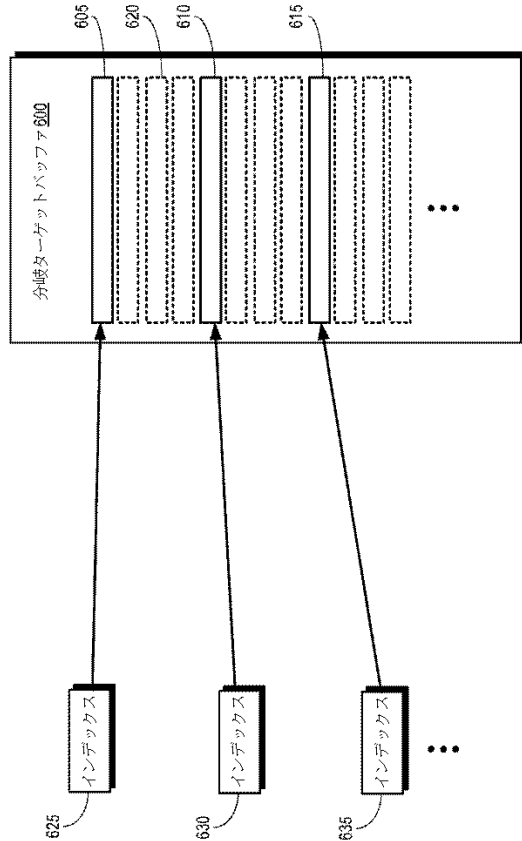
40

50

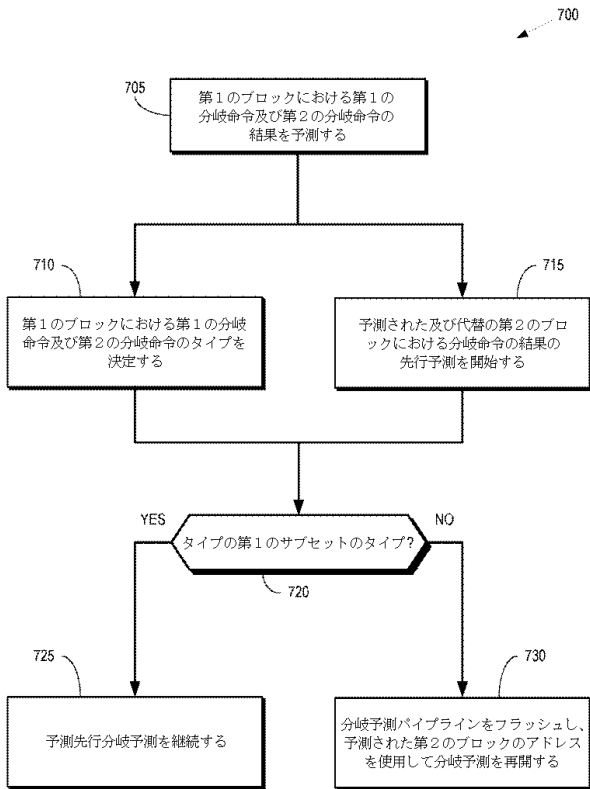
【図5】



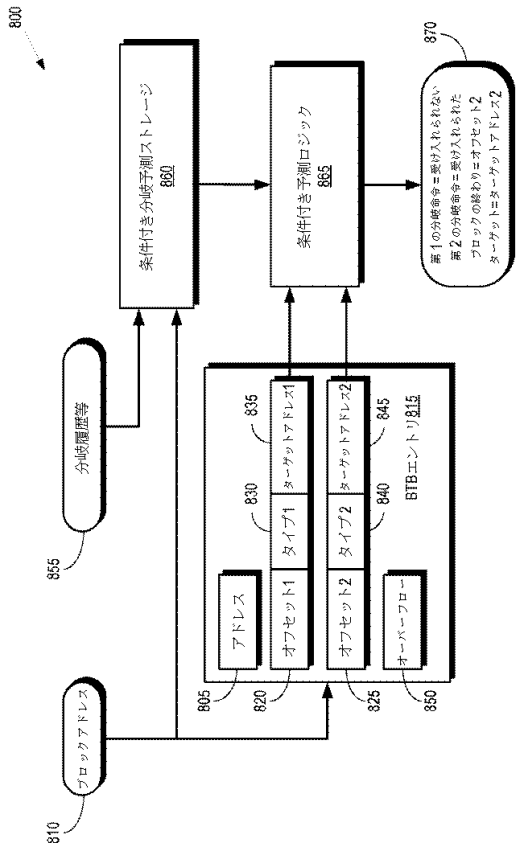
【図6】



【図7】



【図8】



10

20

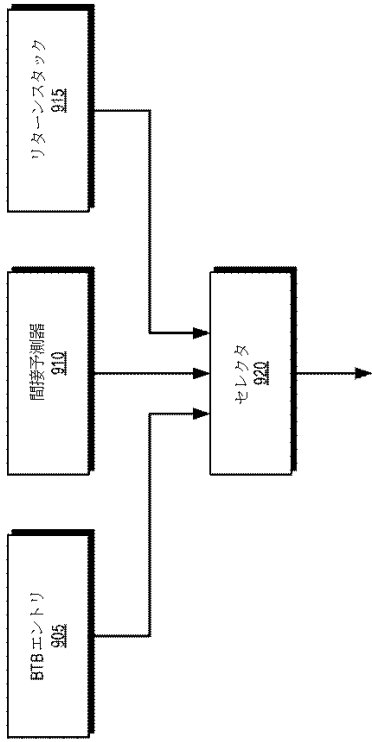
30

40

50

【 9 】

900



10

20

30

40

50

フロントページの続き

- アメリカ合衆国 9 5 0 5 4 カリフォルニア州、サンタ クララ、オーガスティン ドライブ 2 4 8 5
(72)発明者 アパルナ シャガラジャン
アメリカ合衆国 9 5 0 5 4 カリフォルニア州、サンタ クララ、オーガスティン ドライブ 2 4 8 5
(72)発明者 アショク ティー . ベンカタチャー
アメリカ合衆国 9 5 0 5 4 カリフォルニア州、サンタ クララ、オーガスティン ドライブ 2 4 8 5
審査官 漆原 孝治
(56)参考文献 特表 2 0 1 9 - 5 2 6 8 7 3 (J P , A)
特開平 7 - 2 1 0 3 8 3 (J P , A)
(58)調査した分野 (Int.Cl. , D B 名)
G 0 6 F 9 / 3 8
G 0 6 F 9 / 3 2