

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5951265号  
(P5951265)

(45) 発行日 平成28年7月13日(2016.7.13)

(24) 登録日 平成28年6月17日(2016.6.17)

(51) Int. Cl.	F I	
HO 1 L 23/12 (2006.01)	HO 1 L 23/12	3 O 1 D
HO 3 F 1/42 (2006.01)	HO 3 F 1/42	
HO 3 F 1/08 (2006.01)	HO 3 F 1/08	
HO 1 L 25/00 (2006.01)	HO 1 L 25/00	B
HO 1 L 25/04 (2014.01)	HO 1 L 25/04	Z
請求項の数 16 (全 28 頁) 最終頁に続く		

(21) 出願番号	特願2012-13823 (P2012-13823)	(73) 特許権者	000003078
(22) 出願日	平成24年1月26日(2012.1.26)		株式会社東芝
(65) 公開番号	特開2013-153097 (P2013-153097A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成25年8月8日(2013.8.8)	(74) 代理人	100083806
審査請求日	平成26年8月27日(2014.8.27)		弁理士 三好 秀和
		(74) 代理人	100100712
			弁理士 岩▲崎▼ 幸邦
		(74) 代理人	100095500
			弁理士 伊藤 正和
		(74) 代理人	100101247
			弁理士 高橋 俊一
		(74) 代理人	100098327
			弁理士 高松 俊雄
最終頁に続く			

(54) 【発明の名称】 広帯域増幅器

(57) 【特許請求の範囲】

【請求項1】

導体ベースプレートと、  
 前記導体ベースプレート上に配置されたマルチセル構成の半導体チップと、  
 前記半導体チップを内在し、前記導体ベースプレート上に配置された金属壁と、  
 前記金属壁に囲まれた前記導体ベースプレート上に前記半導体チップに隣接して配置された入力回路基板および出力回路基板と、  
 前記導体ベースプレート上に前記半導体チップに隣接し、かつ前記半導体チップと前記出力回路基板との間に配置されたキャパシタ基板と、  
 前記入力回路基板上に配置された入力分配整合回路と、  
 出力回路基板上に配置された出力合成整合回路と、  
 前記半導体チップと前記入力分配整合回路および前記出力合成整合回路を接続する複数本の入力ボンディングワイヤおよび複数本の出力ボンディングワイヤと、  
 前記半導体チップと前記キャパシタ基板を接続する複数本のシャント・インダクタ用ボンディングワイヤと、  
 前記金属壁の入出力部に設けられた貫通孔と、  
 前記貫通孔にはめ込まれ、かつ前記導体ベースプレート上に配置されたフィードスルー下層部と、  
 前記貫通孔にはめ込まれ、かつ前記フィードスルー下層部上に配置されたフィードスルー上層部と、

前記フィードスルー下層部と前記フィードスルー上層部の間に配置された入力ストリップラインおよび出力ストリップラインと、

前記入力ストリップラインおよび前記出力ストリップライン上にそれぞれ配置された入力端子電極および出力端子電極と

を備え、前記出力ボンディングワイヤと前記シャント・インダクタ用ボンディングワイヤは、平面上で90°の角度を有し、

前記半導体チップを複数チップ配置するとともに、前記半導体チップを、前記半導体チップの長手方向が前記貫通孔が配置された前記金属壁に対して0°より大きく、90°より小さい所定の角度に配置したことを特徴とする広帯域増幅器。

【請求項2】

導体ベースプレートと、

前記導体ベースプレート上に配置されたマルチセル構成の半導体チップと、

前記半導体チップを内在し、前記導体ベースプレート上に配置された金属壁と、

前記金属壁に囲まれた前記導体ベースプレート上に前記半導体チップに隣接して配置された入力回路基板および出力回路基板と、

前記導体ベースプレート上に前記半導体チップに隣接し、かつ前記半導体チップと前記出力回路基板との間に配置されたキャパシタ基板と、

前記入力回路基板上に配置された入力分配整合回路と、

出力回路基板上に配置された出力合成整合回路と、

前記半導体チップと前記入力分配整合回路および前記出力合成整合回路を接続する複数本の入力ボンディングワイヤおよび複数本の出力ボンディングワイヤと、

前記半導体チップと前記キャパシタ基板を接続する複数本のシャント・インダクタ用ボンディングワイヤと

を備え、前記出力ボンディングワイヤと前記シャント・インダクタ用ボンディングワイヤは、平面上で90°の角度を有し、

前記入力分配整合回路は、入力整合回路および入力分配回路を備え、前記出力合成整合回路は、出力整合回路および出力合成回路を備え、

前記金属壁の入出力部に設けられた貫通孔と、

前記貫通孔にはめ込まれ、かつ前記導体ベースプレート上に配置されたフィードスルー下層部と、

前記貫通孔にはめ込まれ、かつ前記フィードスルー下層部上に配置されたフィードスルー上層部と、

前記フィードスルー下層部と前記フィードスルー上層部の間に配置された入力ストリップラインおよび出力ストリップラインと、

前記入力ストリップラインおよび前記出力ストリップライン上にそれぞれ配置された入力端子電極および出力端子電極と

を備え、

前記入力分配回路は前記入力ストリップラインに接続され、前記出力合成回路は前記出力ストリップラインに接続され、

前記半導体チップを複数チップ配置するとともに、前記半導体チップを、前記半導体チップの長手方向が前記貫通孔が配置された前記金属壁に対して0°より大きく、90°より小さい所定の角度に配置したことを特徴とする広帯域増幅器。

【請求項3】

導体ベースプレートと、

前記導体ベースプレート上に配置されたマルチセル構成の半導体チップと、

前記半導体チップを内在し、前記導体ベースプレート上に配置された金属壁と、

前記金属壁に囲まれた前記導体ベースプレート上に前記半導体チップに隣接して配置された入力回路基板および出力回路基板と、

前記導体ベースプレート上に前記半導体チップに隣接し、かつ前記半導体チップと前記出力回路基板との間に配置されたキャパシタ基板と、

10

20

30

40

50

前記入力回路基板上に配置された入力分配整合回路と、  
出力回路基板上に配置された出力合成整合回路と、  
前記半導体チップと前記入力分配整合回路および前記出力合成整合回路を接続する複数本の入力ボンディングワイヤおよび複数本の出力ボンディングワイヤと、  
前記半導体チップと前記キャパシタ基板を接続する複数本のシャント・インダクタ用ボンディングワイヤと  
を備え、前記出力ボンディングワイヤと前記シャント・インダクタ用ボンディングワイヤは、平面上で90°の角度を有し、  
前記半導体チップを複数チップ配置するとともに、前記半導体チップを前記金属壁の対角線に対して実質的に平行に配置したことを特徴とする広帯域増幅器。

10

## 【請求項4】

導体ベースプレートと、  
前記導体ベースプレート上に配置されたマルチセル構成の半導体チップと、  
前記半導体チップを内在し、前記導体ベースプレート上に配置された金属壁と、  
前記金属壁に囲まれた前記導体ベースプレート上に前記半導体チップに隣接して配置された入力回路基板および出力回路基板と、  
前記導体ベースプレート上に前記半導体チップに隣接し、かつ前記半導体チップと前記出力回路基板との間に配置されたキャパシタ基板と、  
前記入力回路基板上に配置された入力分配整合回路と、  
出力回路基板上に配置された出力合成整合回路と、  
前記半導体チップと前記入力分配整合回路および前記出力合成整合回路を接続する複数本の入力ボンディングワイヤおよび複数本の出力ボンディングワイヤと、  
前記半導体チップと前記キャパシタ基板を接続する複数本のシャント・インダクタ用ボンディングワイヤと  
を備え、前記出力ボンディングワイヤと前記シャント・インダクタ用ボンディングワイヤは、平面上で90°の角度を有し、  
前記半導体チップを複数チップ配置するとともに、前記半導体チップを前記半導体チップの長手方向が実質的に互いに直交するように、配置したことを特徴とする広帯域増幅器  
。

20

## 【請求項5】

導体ベースプレートと、  
前記導体ベースプレート上に配置されたマルチセル構成の半導体チップと、  
前記半導体チップを内在し、前記導体ベースプレート上に配置された金属壁と、  
前記金属壁に囲まれた前記導体ベースプレート上に前記半導体チップに隣接して配置された入力回路基板および出力回路基板と、  
前記導体ベースプレート上に前記半導体チップに隣接し、かつ前記半導体チップと前記出力回路基板との間に配置されたキャパシタ基板と、  
前記入力回路基板上に配置された入力分配整合回路と、  
出力回路基板上に配置された出力合成整合回路と、  
前記半導体チップと前記入力分配整合回路および前記出力合成整合回路を接続する複数本の入力ボンディングワイヤおよび複数本の出力ボンディングワイヤと、  
前記半導体チップと前記キャパシタ基板を接続する複数本のシャント・インダクタ用ボンディングワイヤと、  
前記金属壁の入出力部に設けられた貫通孔と、  
前記貫通孔にはめ込まれ、かつ前記導体ベースプレート上に配置されたフィードスルー下層部と、  
前記貫通孔にはめ込まれ、かつ前記フィードスルー下層部上に配置されたフィードスルー上層部と、  
前記フィードスルー下層部と前記フィードスルー上層部の間に配置された入力ストリップラインおよび出力ストリップラインと、

30

40

50

前記入力ストリップラインおよび前記出力ストリップライン上にそれぞれ配置された入力端子電極および出力端子電極と

を備え、前記出力ボンディングワイヤと前記シャント・インダクタ用ボンディングワイヤは、平面上で90°の角度を有し、

前記半導体チップを複数チップ配置するとともに、前記半導体チップを、前記半導体チップの長手方向が実質的に互いに直交するように、配置し、

前記半導体チップと前記キャパシタ基板は、いずれも長手方向が前記貫通孔が配置された前記金属壁に対して、相対的に45°回転して配置されていることを特徴とする広帯域増幅器。

**【請求項6】**

導体ベースプレートと、

前記導体ベースプレート上に配置されたマルチセル構成の半導体チップと、

前記半導体チップを内在し、前記導体ベースプレート上に配置された金属壁と、

前記金属壁に囲まれた前記導体ベースプレート上に前記半導体チップに隣接して配置された入力回路基板および出力回路基板と、

前記導体ベースプレート上に前記半導体チップに隣接し、かつ前記半導体チップと前記出力回路基板との間に配置されたキャパシタ基板と、

前記入力回路基板上に配置された入力分配整合回路と、

出力回路基板上に配置された出力合成整合回路と、

前記半導体チップと前記入力分配整合回路および前記出力合成整合回路を接続する複数本の入力ボンディングワイヤおよび複数本の出力ボンディングワイヤと、

前記半導体チップと前記キャパシタ基板を接続する複数本のシャント・インダクタ用ボンディングワイヤと

を備え、前記出力ボンディングワイヤと前記シャント・インダクタ用ボンディングワイヤは、平面上で90°の角度を有し、

前記入力分配整合回路は、入力整合回路および入力分配回路を備え、前記出力合成整合回路は、出力整合回路および出力合成回路を備え、

前記金属壁の入出力部に設けられた貫通孔と、

前記貫通孔にはめ込まれ、かつ前記導体ベースプレート上に配置されたフィードスルー下層部と、

前記貫通孔にはめ込まれ、かつ前記フィードスルー下層部上に配置されたフィードスルー上層部と、

前記フィードスルー下層部と前記フィードスルー上層部の間に配置された入力ストリップラインおよび出力ストリップラインと、

前記入力ストリップラインおよび前記出力ストリップライン上にそれぞれ配置された入力端子電極および出力端子電極と

を備え、

前記入力分配回路は前記入力ストリップラインに接続され、前記出力合成回路は前記出力ストリップラインに接続され、

前記半導体チップを複数チップ配置するとともに、前記半導体チップを、前記半導体チップの長手方向が実質的に互いに直交するように、配置し、

前記半導体チップと前記キャパシタ基板は、いずれも長手方向が前記貫通孔が配置された前記金属壁に対して、相対的に45°回転して配置されていることを特徴とする広帯域増幅器。

**【請求項7】**

前記入力分配整合回路は、入力整合回路および入力分配回路を備え、前記出力合成整合回路は、出力整合回路および出力合成回路を備えることを特徴とする請求項1、3、4、5のいずれか1項に記載の広帯域増幅器。

**【請求項8】**

前記入力ボンディングワイヤは、前記半導体チップの長手方向に対して平面上で90°

10

20

30

40

50

の角度を有することを特徴とする請求項 1 ~ 7 のいずれか 1 項に記載の広帯域増幅器。

【請求項 9】

前記入力ボンディングワイヤおよび前記出力ボンディングワイヤは、前記半導体チップの長手方向に対して平面上で 0 °より大きく、90 °より小さい所定の角度を有することを特徴とする請求項 1 ~ 7 のいずれか 1 項に記載の広帯域増幅器。

【請求項 10】

前記金属壁の入出力部に設けられた貫通孔と、  
前記貫通孔にはめ込まれ、かつ前記導体ベースプレート上に配置されたフィードスルー下層部と、

前記貫通孔にはめ込まれ、かつ前記フィードスルー下層部上に配置されたフィードスルー上層部と、

前記フィードスルー下層部と前記フィードスルー上層部の間に配置された入力ストリップラインおよび出力ストリップラインと、

前記入力ストリップラインおよび前記出力ストリップライン上にそれぞれ配置された入力端子電極および出力端子電極と

を備えることを特徴とする請求項 3 または 4 に記載の広帯域増幅器。

【請求項 11】

前記入力分配整合回路は、入力整合回路および入力分配回路を備え、前記出力合成整合回路は、出力整合回路および出力合成回路を備え、

前記金属壁の入出力部に設けられた貫通孔と、

前記貫通孔にはめ込まれ、かつ前記導体ベースプレート上に配置されたフィードスルー下層部と、

前記貫通孔にはめ込まれ、かつ前記フィードスルー下層部上に配置されたフィードスルー上層部と、

前記フィードスルー下層部と前記フィードスルー上層部の間に配置された入力ストリップラインおよび出力ストリップラインと、

前記入力ストリップラインおよび前記出力ストリップライン上にそれぞれ配置された入力端子電極および出力端子電極と

を備え、

前記入力分配回路は前記入力ストリップラインに接続され、前記出力合成回路は前記出力ストリップラインに接続されることを特徴とする請求項 3 または 4 に記載の広帯域増幅器。

【請求項 12】

前記入力端子電極と前記出力端子電極の位置は、前記金属壁の対向する辺上で、互いにずれて配置されることを特徴とする請求項 1、2、5、6、10、11 のいずれか 1 項に記載の広帯域増幅器。

【請求項 13】

前記半導体チップの各セルはドレイン端子電極を備え、

前記ドレイン端子電極は、前記複数本のボンディングワイヤに平行な平行四辺形を備えることを特徴とする請求項 1 ~ 12 のいずれか 1 項に記載の広帯域増幅器。

【請求項 14】

前記半導体チップの各セルはゲート端子電極を備え、

前記ゲート端子電極は、前記複数本のボンディングワイヤに平行な平行四辺形を備えることを特徴とする請求項 1 ~ 13 のいずれか 1 項に記載の広帯域増幅器。

【請求項 15】

前記半導体チップは、

半絶縁性基板と、

前記半絶縁性基板の第 1 表面に配置され、それぞれ複数のフィンガーを有するゲートフィンガー電極、ソースフィンガー電極およびドレインフィンガー電極と、

前記半絶縁性基板の第 1 表面に配置され、前記ゲートフィンガー電極、前記ソースフィ

10

20

30

40

50

ンガー電極および前記ドレインフィンガー電極ごとに複数のフィンガーをそれぞれ束ねて形成した複数のゲート端子電極、複数のソース端子電極および複数のドレイン端子電極と

前記ソース端子電極の下部に配置されたV I Aホールと、  
前記半絶縁性基板の第1表面と反対側の第2表面に配置され、前記ソース端子電極に対して前記V I Aホールを介して接続された接地電極と  
を備えることを特徴とする請求項1～12のいずれか1項に記載の広帯域増幅器。

【請求項16】

前記半絶縁性基板は、G a A s基板、S i C基板、G a N基板、S i C基板上にG a Nエピタキシャル層を形成した基板、S i C基板上にG a N / A l G a Nからなるヘテロ接合エピタキシャル層を形成した基板、サファイア基板、若しくはダイヤモンド基板のいずれかであることを特徴とする請求項15に記載の広帯域増幅器。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、広帯域増幅器に関する。

【背景技術】

【0002】

従来の広帯域増幅器においては、ドレイン・ソース間の寄生容量(Cds)をシャント・インダクタにより相殺することによって、広帯域な動作を実現することができる。

20

【0003】

ドレイン端子に接続されたシャント・インダクタは、ドレイン・ソース間の寄生出力容量を相殺して、出力インピーダンスを高く見せることで、目標インピーダンスに対するインピーダンス変換比を小さくする。これにより合成回路の帯域特性が広がる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2010-252162号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0005】

しかし、実際にはドレイン端子に接続されたボンディングワイヤは、ドレイン端子と合成回路とを接続するボンディングワイヤと近接し、かつ並行に配置されるため、互いに強く結合し、その結果、並列のインダクタ成分以外に、直列のインダクタ成分を有することになり、シャント・インダクタとしての効果を発揮することが困難である。

【0006】

本実施の形態が解決しようとする課題は、シャント・インダクタにより寄生出力容量を相殺し、出力インピーダンス変換比を小さく抑えた広帯域増幅器を提供することにある。

【課題を解決するための手段】

【0007】

40

本実施の形態に係る広帯域増幅器は、導体ベースプレートと、半導体チップと、金属壁と、入力回路基板および出力回路基板と、キャパシタ基板と、入力分配整合回路と、出力合成整合回路と、入力ボンディングワイヤおよび出力ボンディングワイヤと、シャント・インダクタ用ボンディングワイヤとを備える。半導体チップは、導体ベースプレート上に配置されたマルチセル構成を有する。金属壁は、半導体チップを内在し、導体ベースプレート上に配置される。入力回路基板および出力回路基板は、金属壁に囲まれた導体ベースプレート上に半導体チップに隣接して配置される。キャパシタ基板は、導体ベースプレート上に半導体チップに隣接し、かつ半導体チップと出力回路基板との間に配置される。入力分配整合回路は、入力回路基板上に配置される。出力合成整合回路は、出力回路基板上に配置される。入力ボンディングワイヤおよび出力ボンディングワイヤは、半導体チップ

50

と入力分配整合回路および出力合成整合回路を接続し、シャント・インダクタ用ボンディングワイヤは、半導体チップとキャパシタ基板を接続する。出力ボンディングワイヤとシャント・インダクタ用ボンディングワイヤは、平面上で90°の角度を有する。さらに、広帯域増幅器は、前記金属壁の入出力部に設けられた貫通孔と、前記貫通孔にはめ込まれ、かつ前記導体ベースプレート上に配置されたフィードスルー下層部と、前記貫通孔にはめ込まれ、かつ前記フィードスルー下層部上に配置されたフィードスルー上層部と、前記フィードスルー下層部と前記フィードスルー上層部の間に配置された入力ストリップラインおよび出力ストリップラインと、前記入力ストリップラインおよび前記出力ストリップライン上にそれぞれ配置された入力端子電極および出力端子電極とを備え、前記半導体チップを複数チップ配置するとともに、前記半導体チップを、前記半導体チップの長手方向が前記貫通孔が配置された前記金属壁に対して0°より大きく、90°より小さい所定の角度に配置する。若しくは、前記半導体チップを複数チップ配置するとともに、前記半導体チップを前記金属壁の対角線に対して実質的に平行に配置する。若しくは、前記半導体チップを複数チップ配置するとともに、前記半導体チップを、前記半導体チップの長手方向が実質的に互いに直交するように、配置し、前記半導体チップと前記キャパシタ基板は、いずれも長手方向が前記貫通孔が配置された前記金属壁に対して、相対的に45°回転して配置されている。また、本実施の形態に係る別の広帯域増幅器においては、前記入力分配整合回路は、入力整合回路および入力分配回路を備え、前記出力合成整合回路は、出力整合回路および出力合成回路を備え、前記金属壁の入出力部に設けられた貫通孔と、前記貫通孔にはめ込まれ、かつ前記導体ベースプレート上に配置されたフィードスルー下層部と、前記貫通孔にはめ込まれ、かつ前記フィードスルー下層部上に配置されたフィードスルー上層部と、前記フィードスルー下層部と前記フィードスルー上層部の間に配置された入力ストリップラインおよび出力ストリップラインと、前記入力ストリップラインおよび前記出力ストリップライン上にそれぞれ配置された入力端子電極および出力端子電極とを備え、前記入力分配回路は前記入力ストリップラインに接続され、前記出力合成回路は前記出力ストリップラインに接続され、前記半導体チップを複数チップ配置するとともに、前記半導体チップを、前記半導体チップの長手方向が前記貫通孔が配置された前記金属壁に対して0°より大きく、90°より小さい所定の角度に配置する。若しくは、前記入力分配回路は前記入力ストリップラインに接続され、前記出力合成回路は前記出力ストリップラインに接続され、前記半導体チップを複数チップ配置するとともに、前記半導体チップを、前記半導体チップの長手方向が実質的に互いに直交するように、配置し、前記半導体チップと前記キャパシタ基板は、いずれも長手方向が前記貫通孔が配置された前記金属壁に対して、相対的に45°回転して配置されている。

【図面の簡単な説明】

【0008】

【図1】第1の実施の形態に係る広帯域増幅器の模式的平面パターン構成図。

【図2】比較例に係る広帯域増幅器の模式的平面パターン構成図。

【図3】第1の実施の形態に係る広帯域増幅器の模式的断面構成であって、図1のI-I線に沿う模式的断面構成図。

【図4】第1の実施の形態に係る広帯域増幅器の模式的断面構成であって、図1のII-II線に沿う模式的断面構成図。

【図5】第1の実施の形態に係る広帯域増幅器の模式的断面構成であって、図1のIII-III線に沿う模式的断面構成図。

【図6】第1の実施の形態に係る広帯域増幅器の模式的断面構成であって、図1のIV-IV線に沿う模式的断面構成図。

【図7】第1の実施の形態に係る広帯域増幅器を収納するパッケージの模式的鳥瞰図であって、(a)メタルキャップ10、(b)メタルシールリング14a、(c)金属壁16、(d)導体ベースプレート200、フィードスルー下層部20、フィードスルー上層部22およびフィードスルー下層部20上に配置されたストリップライン19a・19bの模式的構成図。

10

20

30

40

50

【図 8】比較例に係る広帯域増幅器において、ドレイン端子電極 D 1 ~ D 4 に対して、出力ボンディングワイヤ 1 4 b およびシャント・インダクタ用ボンディングワイヤ 1 3 b を略平行に配置した例を示す模式的平面パターン構成図。

【図 9】第 1 の実施の形態に係る広帯域増幅器において、出力側等価回路と、出力側等価回路に並列接続されるシャント回路および合成回路の回路構成図。

【図 10】第 1 の実施の形態に係る広帯域増幅器の有する出力側等価回路において、スミスチャート上におけるアドミッタンス  $Y = 1 / R_{ds}$ 、アドミッタンス  $Y = 1 / C_{ds}$  および広帯域増幅器 (FET) が有する出力インピーダンス (点 A) を表す図。

【図 11】第 1 の実施の形態に係る広帯域増幅器の有する出力側等価回路およびシャント回路において、スミスチャート上におけるアドミッタンス  $Y = 1 / R_{ds}$ 、アドミッタンス  $Y = 1 / C_{ds}$ 、広帯域増幅器 (FET) が有する出力インピーダンス (点 A) のシャント回路による B 点への移動ベクトル  $V_{AB}$  を表す図。

10

【図 12】第 1 の実施の形態に係る広帯域増幅器の有する出力側等価回路およびシャント回路・合成回路において、スミスチャート上におけるアドミッタンス  $Y = 1 / R_{ds}$ 、アドミッタンス  $Y = 1 / C_{ds}$ 、広帯域増幅器 (FET) が有する出力インピーダンス (点 A) のシャント回路による B 点への移動ベクトル  $V_{AB}$ 、合成回路との結合分のアドミッタンス  $Y_{c'}$  の軌跡、広帯域増幅器 (FET) が有する出力インピーダンス (点 A) のシャント回路・合成回路によるアドミッタンス  $Y_{CON}$  の軌跡上における実線上への移動ベクトル  $V_{A'B'}$  を表す図。

【図 13】第 1 の実施の形態に係る広帯域増幅器を構成する半導体チップの模式的平面パターン構成の拡大図。

20

【図 14】(a) 第 1 の実施の形態に係る広帯域増幅器を構成する変形例に係る半導体チップの模式的平面パターン構成の拡大図、(b) 図 1 3 および図 1 4 (a) の J 部分の拡大図。

【図 15】図 1 4 (b) の V - V 線に沿う模式的断面構造図。

【図 16】第 1 の実施の形態に係る広帯域増幅器を構成する変形例に係る半導体チップ上において、ドレイン接続端子にワイヤボンディングを実施した様子を説明する模式図。

【図 17】第 2 の実施の形態に係る広帯域増幅器の模式的平面パターン構成図。

【図 18】第 2 の実施の形態の変形例 1 に係る広帯域増幅器の模式的平面パターン構成図。

30

【図 19】第 2 の実施の形態の変形例 2 に係る広帯域増幅器の模式的平面パターン構成図。

【図 20】第 2 の実施の形態およびその変形例 1 ~ 2 に係る広帯域増幅器の模式的断面構成であって、図 1 7 ~ 図 1 9 の VI - VI 線に沿う模式的断面構造図。

【図 21】(a) 第 2 の実施の形態に係る広帯域増幅器を構成する半導体チップ上において、長さ 1 mm のボンディングワイヤを 8 本並列に、ワイヤ端の間隔を 0.2 mm でボンディングした端子間のインダクタンスの値と、ワイヤリング角度 との関係を示す図、(b) ドレイン端子電極 D 1 に対してボンディングワイヤ W 1 1、W 2 1、W 3 1、...、W 8 1 を 8 本並列に、ワイヤリング角度 でボンディング接続し、かつボンディングワイヤ W 1 1、W 2 1、W 3 1、...、W 8 1 にそれぞれ直交するシャント・インダクタ用ボンディングワイヤ L S 1 1、L S 2 1、L S 3 1、...、L S 8 1 をボンディング接続した様子を示す模式図。

40

【図 22】第 2 の実施の形態に係る広帯域増幅器を構成する半導体チップ上において、ドレイン端子電極 D 1 に対してボンディングワイヤを複数本並列に、ワイヤリング角度 でボンディング接続し、かつボンディングワイヤにそれぞれ直交するシャント・インダクタ用ボンディングワイヤをボンディング接続する際のボンディングワイヤ端の間隔 D E、ボンディングワイヤの間隔 D W、およびワイヤリング角度 を示す図。

【図 23】第 3 の実施の形態に係る広帯域増幅器の模式的平面パターン構成図。

【図 24】第 3 の実施の形態の変形例 1 に係る広帯域増幅器の模式的平面パターン構成図。

50

【図 2 5】第 3 の実施の形態の変形例 2 に係る広帯域増幅器の模式的平面パターン構成図

。

【図 2 6】第 4 の実施の形態に係る広帯域増幅器の模式的平面パターン構成図。

【図 2 7】第 4 の実施の形態の変形例 1 に係る広帯域増幅器の模式的平面パターン構成図

。

【図 2 8】第 4 の実施の形態の変形例 2 に係る広帯域増幅器の模式的平面パターン構成図

。

【発明を実施するための形態】

【0009】

次に、図面を参照して、実施の形態を説明する。以下において、同じ要素には同じ符号を付して説明の重複を避け、説明を簡略にする。図面は模式的なものであり、現実のものとは異なることに留意すべきである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

10

【0010】

以下に示す実施の形態は、技術的思想を具体化するための装置や方法を例示するものであって、実施の形態は、各構成部品の配置などを下記のものに特定するものでない。この実施の形態は、特許請求の範囲において、種々の変更を加えることができる。

【0011】

[第 1 の実施の形態]

(広帯域増幅器)

20

第 1 の実施の形態に係る広帯域増幅器 1 の模式的平面パターン構成は、図 1 に示すように表される。

【0012】

第 1 の実施の形態に係る広帯域増幅器において、図 1 の I - I 線に沿う模式的断面構造は、図 3 に示すように表され、図 1 の II - II 線に沿う模式的断面構造は、図 4 に示すように表され、図 1 の III - III 線に沿う模式的断面構造は、図 5 に示すように表され、図 1 の IV - IV 線に沿う模式的断面構造は、図 6 に示すように表される。

【0013】

また、第 1 の実施の形態に係る広帯域増幅器 1 を収納するパッケージの模式的鳥瞰構成は、図 7 に示すように表される。図 7 ( a ) はメタルキャップ 1 0、図 7 ( b ) はメタルシールリング 1 0 a、図 7 ( c ) は、金属壁 1 6、図 7 ( d ) は、導体ベースプレート 2 0 0、フィードスルー下層部 2 0、フィードスルー上層部 2 2 およびフィードスルー下層部 2 0 上に配置されたストリップライン 1 9 a・1 9 b の模式的構成をそれぞれ表す。

30

【0014】

第 1 の実施の形態に係る広帯域増幅器を収納するパッケージにおいては、入力側のフィードスルー構成 ( 2 0・1 9 a・2 2 ) と出力側のフィードスルー構成 ( 2 0・1 9 b・2 2 ) は、図 1 に示すように、導体ベースプレート 2 0 0 上の互いに対向する边上において、シフトして配置されている。

【0015】

第 1 の実施の形態に係る広帯域増幅器 1 は、図 1 および図 3 ~ 図 7 に示すように、導体ベースプレート 2 0 0 と、導体ベースプレート 2 0 0 上に配置されたマルチセル構成の半導体チップ 2 4 a・2 4 b と、半導体チップ 2 4 a・2 4 b を内在し、導体ベースプレート 2 0 0 上に配置された金属壁 1 6 と、金属壁 1 6 に囲まれた導体ベースプレート 2 0 0 上に半導体チップ 2 4 a・2 4 b に隣接して配置された入力回路基板 2 6・出力回路基板 2 8 と、導体ベースプレート 2 0 0 上に半導体チップ 2 4 a・2 4 b に隣接し、かつ半導体チップ 2 4 a・2 4 b と出力回路基板 2 8 との間に配置されたキャパシタ基板 2 5 a・2 5 b と、入力回路基板 2 6 上に配置された入力整合回路 1 7 a・1 7 b・入力分配回路 1 7 c およびストリップライン 1 7 d と、出力回路基板 2 8 上に配置された出力整合回路 1 8 a・1 8 b・出力合成回路 1 8 c およびストリップライン 1 8 d と、半導体チップ 2 4 a・2 4 b と入力整合回路 1 7 a・1 7 b および出力整合回路 1 8 a・1 8 b を接続す

40

50

る複数本の入力ボンディングワイヤ12a・12bおよび複数本の出力ボンディングワイヤ14a・14bと、半導体チップ24a・24bとキャパシタ基板25a・25bを接続する複数本のシャント・インダクタ用ボンディングワイヤ13a・13bとを備える。

【0016】

ここで、図1に示すように、出力ボンディングワイヤ14a・14bとシャント・インダクタ用ボンディングワイヤ13a・13bは、平面上で90°の角度を有する。

【0017】

また、図1に示すように、入力ボンディングワイヤ12a・12bは、半導体チップ24a・24bの長手方向に対して平面上で90°の角度を有する。

【0018】

(比較例)

比較例に係る広帯域増幅器1aの模式的平面パターン構成は、図2に示すように表される。比較例に係る広帯域増幅器1aにおいては、図2に示すように、出力ボンディングワイヤ14a・14bとシャント・インダクタ用ボンディングワイヤ13a・13bは、平面上で略平行に配置され、かつ半導体チップ24a・24bの長手方向に対して平面上で90°の角度を有する。また、入力ボンディングワイヤ12a・12bも、半導体チップ24a・24bの長手方向に対して平面上で90°の角度を有する。

【0019】

比較例に係る広帯域増幅器1aにおいて、半導体チップ24bの近傍の拡大図であって、ドレイン端子電極D1～D4に対して、出力ボンディングワイヤ14bおよびシャント・インダクタ用ボンディングワイヤ13bを配置した例を示す模式的平面パターン構成は、図8に示すように表される。

【0020】

第1の実施の形態に係る広帯域増幅器1においては、図1に示すように、図2の比較例に比べて、パッケージの横幅を広げた構成を備える。

【0021】

比較例に係る広帯域増幅器1aにおいては、図2および図8に示すように、シャント・インダクタを構成する複数本のシャント・インダクタ用ボンディングワイヤ13a・13bと、半導体チップ24a・24bと出力整合回路18a・18bを接続する複数本の出力ボンディングワイヤ14a・14bとは、実質的に略平行に配置されており、シャント・インダクタ用ボンディングワイヤ13a・13bと出力ボンディングワイヤ14a・14bは互いに強く結合し、本来のシャント・インダクタとして広帯域増幅器1の寄生出力容量を相殺することが難しい。

【0022】

第1の実施の形態に係る広帯域増幅器1においては、シャント・インダクタを構成する複数本のシャント・インダクタ用ボンディングワイヤ13a・13bと、半導体チップ24a・24bと出力整合回路18a・18bを接続する複数本の出力ボンディングワイヤ14a・14bとを直交するように配置するため、シャント・インダクタ用ボンディングワイヤ13a・13bと出力ボンディングワイヤ14a・14bは互いに結合せず、本来のシャント・インダクタとして広帯域増幅器1の寄生出力容量を相殺することができる。

【0023】

第1の実施の形態に係る広帯域増幅器1において、半導体チップ24a・24bの各セルはドレイン端子電極を備え、ドレイン端子電極は、複数本の出力ボンディングワイヤ14a・14bに平行な平行四辺形を備えていても良い。

【0024】

また、半導体チップ24a・24bの各セルはゲート端子電極を備え、ゲート端子電極は、複数本の入力ボンディングワイヤ12a・12bに平行な平行四辺形を備えていても良い。

【0025】

また、第1の実施の形態に係る広帯域増幅器1は、金属壁16の入出力部に設けられた

10

20

30

40

50

貫通孔 3 4 と、貫通孔 3 4 にはめ込まれ、かつ導体ベースプレート 2 0 0 上に配置されたフィードスルー下層部 2 0 と、貫通孔 3 4 にはめ込まれ、かつフィードスルー下層部 2 0 上に配置されたフィードスルー上層部 2 2 と、フィードスルー下層部 2 0 とフィードスルー上層部 2 2 の間に配置された入力ストリップライン 1 9 a および出力ストリップライン 1 9 b と、入力ストリップライン 1 9 a および出力ストリップライン 1 9 b 上にそれぞれ配置された入力端子電極 2 1 a および出力端子電極 2 1 b とを備える。

【 0 0 2 6 】

また、第 1 の実施の形態に係る広帯域増幅器 1 において、入力分配回路 2 7 c は入力ストリップライン 1 9 a に接続され、出力合成回路 1 8 c は出力ストリップライン 1 9 b に接続される。

10

【 0 0 2 7 】

第 1 の実施の形態に係る広帯域増幅器 1 においては、図 1 に示すように、複数チップの半導体チップ 2 4 a ・ 2 4 b を配置している。ここで、図 1 においては、2 チップ構成の例が示されているが、さらに 3 チップ以上であっても良い。

【 0 0 2 8 】

また、図 1 に示すように、半導体チップ 2 4 a ・ 2 4 b を、半導体チップ 2 4 a ・ 2 4 b の長手方向が貫通孔 3 4 が配置された金属壁 1 6 に対して平行に配置している。

【 0 0 2 9 】

また、第 1 の実施の形態に係る広帯域増幅器 1 は、図 1 に示すように、シャント・インダクタ用ボンディングワイヤ 1 3 a ・ 1 3 b とキャパシタ基板 2 5 a ・ 2 5 b が、半導体チップ 2 4 a ・ 2 4 b に対して、マイナス方向に例えば約 4 5 ° ずれた位置に配置され、出力回路基板 2 8 が、半導体チップ 2 4 a ・ 2 4 b に対して、プラス方向に例えば約 4 5 ° ずれた位置に配置されていても良い。

20

【 0 0 3 0 】

また、第 1 の実施の形態に係る広帯域増幅器 1 は、図 1 に示すように、入力端子電極 2 1 a と出力端子電極 2 1 b の位置は、金属壁の対向する辺上で、互いにずれて配置される。

【 0 0 3 1 】

実施の形態に係る広帯域増幅器 1 は、図 1 ~ 図 7 に示すように、パッケージ外壁 1 6 と、パッケージ外壁 1 6 を貫通する貫通孔 3 4 と、貫通孔 3 4 にはめ込まれた凸状フィードスルー ( 2 0 ・ 2 2 ) と、凸状フィードスルー ( 2 0 ・ 2 2 ) に固定され端子電極 2 1 a ・ 2 1 b とを備える。

30

【 0 0 3 2 】

また、実施の形態に係る広帯域増幅器 1 は、図 1 ~ 図 7 に示すように、金属壁 1 6 上に配置されたメタルシールリング 1 4 a と、メタルシールリング 1 4 a 上に配置されたメタルキャップ 1 0 とを備えていても良い。

【 0 0 3 3 】

実施の形態に係る広帯域増幅器 1 の導体ベースプレート 2 0 0 は、例えば、モリブデン、銅モリブデン合金などの導電性金属によって形成されている。さらに、導体ベースプレート 2 0 0 の表面には、例えば、A u、N i、A g、A g - P t 合金、A g - P d 合金などのメッキ導体を形成してもよい。

40

【 0 0 3 4 】

パッケージ外壁 1 6 は、金属若しくはセラミックで形成可能である。金属壁 1 6 の場合には、例えば、アルミニウム、モリブデン、銅モリブデン合金などの導電性金属によって形成される。

【 0 0 3 5 】

金属壁 1 6 の上面には、メタルシールリング 1 0 a を介して、半田付けのためのハンダメタル層 ( 図示省略 ) が形成される。ハンダメタル層としては、例えば、金ゲルマニウム合金、金錫合金などから形成可能である。

【 0 0 3 6 】

50

また、実施の形態に係る広帯域増幅器 1 において、金属壁 16 は、絶縁性若しくは導電性の接着剤を介して、導体ベースプレート 200 上に配置される。絶縁性の接着剤としては、例えば、エポキシ樹脂、ガラスなどから形成可能であり、導電性の接着剤としては、例えば、金ゲルマニウム合金、金錫合金などから形成可能である。

【0037】

メタルキャップ 10 は、図 1 に示すように、平板形状を備える。メタルキャップ 10 は、例えば、アルミニウム、モリブデン、銅モリブデン合金などの導電性金属によって形成される。

【0038】

また、フィードスルー下層部 20 とフィードスルー上層部 22 は、例えば、セラミックで形成されていても良い。セラミックの材質としては、例えば、アルミナ ( $Al_2O_3$ )、窒化アルミニウム ( $AlN$ )、酸化ベリリウム ( $BeO$ ) などから形成可能である。

【0039】

実施の形態に係る広帯域増幅器 1 の構成例では、図 6 に示すように、フィードスルー下層部 20 とフィードスルー上層部 22 からなる凸状フィードスルーにおいて、ストリップライン 19b 上に出力端子 Po 用の端子電極 21b が銀ロウ付けなどによって固定されている。図示は省略するが、同様に、ストリップライン 19a 上に入力端子 Pi 用の端子電極 21a が銀ロウ付けなどによって固定されている。

【0040】

(シャント回路および合成回路)

第 1 の実施の形態に係る広帯域増幅器 1 において、出力側等価回路 50 および出力側等価回路 50 に並列接続されるシャント回路 30 および合成回路 40 の回路構成は、図 9 に示すように表される。

【0041】

第 1 の実施の形態に係る広帯域増幅器 1 において、出力側等価回路 50 は、図 9 に示すように、ドレイン端子電極 D と接地電位間に接続され、ドレイン・ソース間抵抗  $R_{ds}$  とドレイン・ソース間の寄生容量  $C_{ds}$  との並列回路で表される。図 9 において、 $g_m \cdot V_{gs}$  は FET のドレイン端子電極 D に接続される従属電流源を表す。

【0042】

シャント回路 30 は、シャント・インダクタ  $L_s$  とシャント・キャパシタ  $C_s$  との直列回路で表される。シャント・インダクタ  $L_s$  は、シャント・インダクタ用ボンディングワイヤ 13a・13b の有するインダクタ成分であり、シャント・キャパシタ  $C_s$  は、キャパシタ基板 25a・25b の有する DC 遮断キャパシタ成分である。

【0043】

合成回路 40 は、シリーズ・インダクタ  $L_c$  と伝送線路 (インピーダンス  $Z_c$ ) の直列回路で表される。インダクタ  $L_c$  は、ドレイン端子に接続される出力ボンディングワイヤ 14a・14b の有するシリーズ・インダクタ成分であり、インピーダンス  $Z_c$  は、出力整合回路 18a・18b・出力合成回路 18c・ストリップライン 18d から構成されるインピーダンス変換・合成回路のインピーダンスを表す。また、図 9 において、 $Z_0$  は、負荷インピーダンスを表す。

【0044】

第 1 の実施の形態に係る広帯域増幅器 1 の有する出力側等価回路 50 において、スミスチャート上におけるアドミッタンス  $Y = 1 / R_{ds}$ 、アドミッタンス  $Y = 1 / C_{ds}$  および広帯域増幅器 (FET) が有する出力インピーダンス (点 A) は、図 10 に示すように表される。

【0045】

さらに、第 1 の実施の形態に係る広帯域増幅器の有する出力側等価回路 50 およびシャント回路 30 において、スミスチャート上におけるアドミッタンス  $Y = 1 / R_{ds}$ 、アドミッタンス  $Y = 1 / C_{ds}$ 、広帯域増幅器 (FET) が有する出力インピーダンス (点 A) のシャント回路 30 による B 点への移動ベクトル  $V_{AB}$  は、図 11 に示すように表される。

10

20

30

40

50

## 【 0 0 4 6 】

第1の実施の形態に係る広帯域増幅器1において、理想的なシャント・インダクタ $L_s$ の場合、ドレイン・ソース間の寄生容量 $C_{ds}$ が相殺されて、ドレイン・ソース間抵抗 $R_{ds}$ のみに変換される。

## 【 0 0 4 7 】

一方、出力側等価回路50およびシャント回路30・合成回路40において、スミスチャート上におけるアドミッタンス $Y = 1 / R_{ds}$ 、アドミッタンス $Y = 1 / C_{ds}$ 、広帯域増幅器(FET)が有する出力インピーダンス(点A)のシャント回路30によるB点への移動ベクトル $V_{AB}$ 、合成回路40との結合分のアドミッタンス $Y_{c'}$ の軌跡、広帯域増幅器(FET)が有する出力インピーダンス(点A)のシャント回路30・合成回路40によるアドミッタンス $Y_{CON}$ の軌跡上における実線上への移動ベクトル $V_{AB'}$ は、図12に示すように表される。

10

## 【 0 0 4 8 】

シリーズ・インダクタ $L_c$ と結合したシャント・インダクタ $L_s$ の場合、シリーズ・インダクタ $L_c$ との結合のため、反時計回りの動き(シャント・インダクタ $L_s$ )と時計回りの動き(シリーズ・インダクタ $L_c$ )とが同時に生じるため、アドミッタンス $Y_{CON}$ の円の大きさは、アドミッタンス $Y = 1 / R_{ds}$ の円の大きさよりも小さな値に変換される。抵抗成分が小さくなった分、目標インピーダンスとの変換比が大きくなるので、理想的なシャント・インダクタ $L_s$ の場合に比べて帯域特性が劣化する。

(半導体素子構造)

20

第1の実施の形態に係る広帯域増幅器1に搭載される半導体チップ24の模式的平面パターン構成の拡大図は、図13に示すように表される。また、変形例の半導体チップ24cの模式的平面パターン構成の拡大図は、図14(a)に示すように表され、図13および図14(a)のJ部分の拡大図は、図14(b)に示すように表される。また、図14(b)のV-V線に沿う模式的断面構成例は、図15に示すように表される。

## 【 0 0 4 9 】

半導体チップ24において、複数のFETセルFET1~FET8は、図13に示すように、半絶縁性基板110と、半絶縁性基板110の第1表面に配置され、それぞれ複数のフィンガーを有するゲートフィンガー電極124、ソースフィンガー電極120およびドレインフィンガー電極122と、半絶縁性基板110の第1表面に配置され、ゲートフィンガー電極124、ソースフィンガー電極120およびドレインフィンガー電極122ごとに複数のフィンガーをそれぞれ束ねて形成した複数のゲート端子電極 $G_1, G_2, \dots, G_8$ 、複数のソース端子電極 $S_1, S_2, \dots, S_9$ およびドレイン端子電極 $D_1, D_2, \dots, D_8$ と、ソース端子電極 $S_1, S_2, \dots, S_9$ の下部に配置されたVIAホール $SC_1, SC_2, \dots, SC_9$ と、半絶縁性基板110の第1表面と反対側の第2表面に配置され、ソース端子電極 $S_1, S_2, \dots, S_9$ に対してVIAホール $SC_1, SC_2, \dots, SC_9$ を介して接続された接地電極(図示省略)とを備える。

30

## 【 0 0 5 0 】

ゲート端子電極 $G_1, G_2, \dots, G_8$ には、ボンディングワイヤ12が接続され、ドレイン端子電極 $D_1, D_2, \dots, D_8$ には、出力ボンディングワイヤ14が接続される。

40

## 【 0 0 5 1 】

VIAホール $SC_1, SC_2, \dots, SC_9$ の内壁に形成されたバリア金属層(図示省略)およびバリア金属層上に形成され、VIAホールを充填する充填金属層(図示省略)を介してソース端子電極 $S_1, S_2, \dots, S_9$ は、接地電極(図示省略)に接続される。

## 【 0 0 5 2 】

半絶縁性基板110は、GaAs基板、SiC基板、GaN基板、SiC基板上にGaNエピタキシャル層を形成した基板、SiC基板上にGaN/AlGaNからなるヘテロ接合エピタキシャル層を形成した基板、サファイア基板、若しくはダイヤモンド基板のいずれかである。

## 【 0 0 5 3 】

50

一方、変形例の半導体チップ24cは、図14(a)に示すように、ドレイン端子電極D1, D2, ..., D8およびゲート端子電極G1, G2, ..., G8が、平行四辺形の形状を有する。その他の構成は、第1の実施の形態と同様である。

【0054】

(構造例)

半導体チップ24・24cのFETセルの構成例は、図15に示すように、半絶縁性基板110と、半絶縁性基板110上に配置された窒化物系化合物半導体層112と、窒化物系化合物半導体層112上に配置されたアルミニウム窒化ガリウム層( $Al_xGa_{1-x}N$ ) ( $0.1 < x < 1$ ) 118と、アルミニウム窒化ガリウム層( $Al_xGa_{1-x}N$ ) ( $0.1 < x < 1$ ) 118上に配置されたソースフィンガー電極(S)120、ゲートフィンガー電極(G)124およびドレインフィンガー電極(D)122とを備える。窒化物系化合物半導体層112とアルミニウム窒化ガリウム層( $Al_xGa_{1-x}N$ ) ( $0.1 < x < 1$ ) 118との界面には、2次元電子ガス(2DEG: Two Dimensional Electron Gas)層116が形成されている。図15に示す構成例では、高電子移動度トランジスタ(HEMT: High Electron Mobility Transistor)が示されている。

10

【0055】

ソースフィンガー電極120およびドレインフィンガー電極122は、例えば、Ti/Alなどで形成される。ゲートフィンガー電極124は、例えばNi/Auなどで形成することができる。

【0056】

なお、半導体チップ24において、ゲートフィンガー電極124、ソースフィンガー電極120およびドレインフィンガー電極122の長手方向のパターン長は、マイクロ波/ミリ波/サブミリ波と動作周波数が高くなるにつれて、短く設定される。例えば、ミリ波帯においては、パターン長は、約25 $\mu$ m~50 $\mu$ mである。

20

【0057】

また、ソースフィンガー電極120の幅は、例えば、約40 $\mu$ m程度であり、ソース端子電極S1, S2, ..., S9の幅は、例えば、約100 $\mu$ m程度である。また、VIAホールSC1, SC2, ..., SC9の形成幅は、例えば、約10 $\mu$ m~40 $\mu$ m程度である。

【0058】

(ワイヤボンディング)

半導体チップ24c上において、ドレイン端子電極D1にボンディングワイヤW11・W21・W31・W41・W51...を結合した様子は、模式的に、図16に示すように表される。図16において、ドレイン端子電極D1上には、ボンディングワイヤW11・W21・W31・W41・W51に対応してボンディング接続電極BG11・BG21・BG31・BG41・BG51が形成されている。図示は省略されているが、他のドレイン端子電極D2・D3...・D8に対してもボンディングワイヤおよびボンディング接続電極が同様に形成される。

30

【0059】

ドレイン端子電極D1・D2...・D8は、図16に示すように、複数本のボンディングワイヤW11・W21...・W51に平行な平行四辺形を備えているため、斜めに複数本のボンディングワイヤW11・W21...・W51を形成しやすい。すなわち、ボンディングされたワイヤの先端には、図16に示すように、楕円状につぶれたボンディング接続電極BG1・BG2...・BG8が形成され、斜めにワイヤを打つ場合、ボンディングワイヤの先端が隣のセルのドレイン端子電極に接触しない。

40

【0060】

第1の実施の形態によれば、出力ボンディングワイヤとシャント・インダクタ用ボンディングワイヤは、平面上で90°の角度を有するため、シャント・インダクタにより寄生出力容量を相殺し、出力インピーダンス変換比を小さく抑えた広帯域増幅器を提供することができる。

50

## 【 0 0 6 1 】

## [第 2 の実施の形態]

(広帯域増幅器)

第 2 の実施の形態に係る広帯域増幅器 1 の模式的平面パターン構成は、図 1 7 に示すように表される。

## 【 0 0 6 2 】

第 2 の実施の形態の変形例 1 に係る広帯域増幅器 1 の模式的平面パターン構成は、図 1 8 に示すように表され、変形例 2 に係る広帯域増幅器 1 の模式的平面パターン構成は、図 1 9 に示すように表される。

## 【 0 0 6 3 】

また、第 2 の実施の形態およびその変形例 1 ~ 2 に係る広帯域増幅器の模式的断面構成であって、図 1 7 ~ 図 1 9 の V I - V I 線に沿う模式的断面構造は、図 2 0 に示すように表される。

## 【 0 0 6 4 】

第 2 の実施の形態に係る広帯域増幅器 1 は、図 1 7 および図 2 0 に示すように、マルチセル構成の半導体チップ 2 4 と、半導体チップ 2 4 を内在し、導体ベースプレート 2 0 0 上に配置された金属壁 1 6 と、金属壁 1 6 に囲まれた導体ベースプレート 2 0 0 上に半導体チップ 2 4 に隣接して配置された入力回路基板 2 6 ・出力回路基板 2 8 と、導体ベースプレート 2 0 0 上に半導体チップ 2 4 に隣接し、かつ半導体チップ 2 4 と出力回路基板 2 8 との間に配置されたキャパシタ基板 2 5 と、入力回路基板 2 6 上に配置された入力分配整合回路 1 7 と、出力回路基板 2 8 上に配置された出力合成整合回路 1 8 と、半導体チップ 2 4 と入力分配整合回路 1 7 ・出力合成整合回路 1 8 を接続する複数本の入力ボンディングワイヤ 1 2 ・複数本の出力ボンディングワイヤ 1 4 と、半導体チップ 2 4 とキャパシタ基板 2 5 を接続する複数本のシャント・インダクタ用ボンディングワイヤ 1 3 とを備える。ここで、出力ボンディングワイヤ 1 4 とシャント・インダクタ用ボンディングワイヤ 1 3 は、平面上で 9 0 ° の角度を有する。

## 【 0 0 6 5 】

また、第 2 の実施の形態に係る広帯域増幅器 1 において、入力ボンディングワイヤ 1 2 a ・ 1 2 b および出力ボンディングワイヤ 1 4 a ・ 1 4 b は、半導体チップ 2 4 a ・ 2 4 b の長手方向に対して平面上で 0 ° より大きく、9 0 ° より小さい所定の角度を有している。

## 【 0 0 6 6 】

ここで、入力分配整合回路 1 7 は、図 1 と同様に、入力分配回路と入力整合回路を備え、出力合成整合回路 1 8 は、出力整合回路と出力合成回路とを備えていても良い。

## 【 0 0 6 7 】

また、第 2 の実施の形態に係る広帯域増幅器 1 においても、ドレイン端子電極は、複数本の出力ボンディングワイヤ 1 4 に平行な平行四辺形を備えていても良い。同様に、ゲート端子電極は、複数本の入力ボンディングワイヤ 1 2 に平行な平行四辺形を備えていても良い。

## 【 0 0 6 8 】

第 2 の実施の形態およびその変形例 1 ~ 2 に係る広帯域増幅器 1 においては、シャント・インダクタを構成する複数本のシャント・インダクタ用ボンディングワイヤ 1 3 と、半導体チップ 2 4 a ・ 2 4 b と出力整合回路 1 8 a ・ 1 8 b を接続する複数本の出力ボンディングワイヤ 1 4 a ・ 1 4 b とを直交するように配置するため、シャント・インダクタ用ボンディングワイヤ 1 3 a ・ 1 3 b と出力ボンディングワイヤ 1 4 a ・ 1 4 b は互いに結合せず、本来のシャント・インダクタとして広帯域増幅器 ( F E T ) 1 の寄生出力容量を相殺することができる。

## 【 0 0 6 9 】

また、第 2 の実施の形態に係る広帯域増幅器 1 は、図 1 7 および図 2 0 に示すように、金属壁 1 6 の入出力部に設けられた貫通孔 3 4 と、貫通孔 3 4 にはめ込まれ、かつ導体ベ

10

20

30

40

50

ースプレート 200 上に配置されたフィードスルー下層部 20 と、貫通孔 34 にはめ込まれ、かつフィードスルー下層部 20 上に配置されたフィードスルー上層部 22 と、フィードスルー下層部 20 とフィードスルー上層部 22 の間に配置された入力ストリップライン 19 a および出力ストリップライン 19 b と、入力ストリップライン 19 a および出力ストリップライン 19 b 上にそれぞれ配置された入力端子電極 21 a および出力端子電極 21 b とを備える。

【0070】

また、第 2 の実施の形態に係る広帯域増幅器 1 において、入力分配整合回路 17 は、入力ストリップライン 19 a に接続され、出力合成整合回路 18 は、出力ストリップライン 19 b に接続される。

10

【0071】

第 2 の実施の形態の変形例 1 に係る広帯域増幅器 1 においては、図 18 に示すように、出力回路基板 28 上に配置された出力合成整合回路 18 のパターン形状を工夫して、端子電極 21 a ・ 21 b が、略直線上に配置可能な構成を実現している。一方、第 2 の実施の形態の変形例 2 に係る広帯域増幅器 1 においては、図 19 に示すように、出力回路基板 28 上に配置された出力合成整合回路 18 のパターン形状を第 1 の実施の形態のパターン形状と同様に配置し、ボンディングワイヤ 15 を斜めに形成することによって、端子電極 21 a ・ 21 b が、略直線上に配置可能な構成を実現している。

【0072】

第 2 の実施の形態に係る広帯域増幅器 1 においては、入力ボンディングワイヤ 12 および出力ボンディングワイヤ 14 は、半導体チップ 24 に対して平面上で 90° 以下の所定の角度を有するように配置されるため、金属壁 16 の入出力部に設けられた貫通孔 34 の配置は、図 17 に示すように、端子電極 21 a ・ 21 b が、直線から外れた位置に配置される。

20

【0073】

一方、第 2 の実施の形態の変形例 1 ・ 変形例 2 に係る広帯域増幅器 1 においては、端子電極 21 a ・ 21 b が、略直線上に配置可能な構成を実現しているため、金属壁 16 の入出力部に設けられた貫通孔 34 の配置は、図 18 ・ 図 19 に示すように、端子電極 21 a ・ 21 b が、略直線上に配置される。

【0074】

尚、図 17 ~ 図 20 に示すように、第 2 の実施の形態およびその変形例 1 ・ 変形例 2 に係る広帯域増幅器 1 においては、フィードスルー上層部 22 の厚さ  $W_2$  を金属壁 16 の厚さ  $W_1$  よりも厚く形成しても良い。すなわち、フィードスルー下層部 20 とフィードスルー上層部 22 からなる凸状フィードスルーにおいて、フィードスルー上層部 22 の厚さ  $W_2$  を金属壁 16 の厚さ  $W_1$  よりも厚く形成することにより、フィードスルー下層部 20 とフィードスルー上層部 22 の接続部分の応力集中点と応力発生源（金属壁 16）を離すことができる。これによって、応力が緩和され、応力集中点におけるクラックの発生を抑制することができる。

30

【0075】

第 2 の実施の形態に係る広帯域増幅器 1 を構成する半導体チップ 24 上において、長さ 1 mm のボンディングワイヤを 8 本並列に、ワイヤ端の間隔を 0.2 mm でボンディングした端子間のインダクタンスの値と、ワイヤリング角度 との関係は、図 21 (a) に示すように表される。また、ドレイン端子電極 D1 に対してボンディングワイヤ  $W_{11}$ 、 $W_{21}$ 、 $W_{31}$ 、...、 $W_{81}$  を 8 本並列に、ワイヤリング角度 でボンディング接続し、かつボンディングワイヤ  $W_{11}$ 、 $W_{21}$ 、 $W_{31}$ 、...、 $W_{81}$  にそれぞれ直交するシャント・インダクタ用ボンディングワイヤ  $LS_{11}$ 、 $LS_{21}$ 、 $LS_{31}$ 、...、 $LS_{81}$  をボンディング接続した様子は、模式的に図 21 (b) に示すように表される。ここで、ワイヤリング角度 は、図 15 (b) に示すように、複数本のボンディングワイヤ  $W_{11} \cdot W_{21} \cdot \dots \cdot W_{81}$  を半導体チップ 24 に対して垂直に配置する場合を 0 度として、この垂直線から図った角度である。ここで、ワイヤリング角度 は、平面上で 90° 以下の所定の

40

50

角度を有する。

【0076】

第2の実施の形態に係る広帯域増幅器1を構成する半導体チップ24c上において、ドレイン端子電極D1に対してボンディングワイヤを複数本並列に、ワイヤリング角度でボンディング接続し、かつボンディングワイヤにそれぞれ直交するシャント・インダクタ用ボンディングワイヤをボンディング接続する際のワイヤ端の間隔DE、ワイヤの間隔DW、およびワイヤリング角度は、それぞれ図22に示すように表される。

【0077】

図21(a)に示すように、第2の実施の形態に係る広帯域増幅器1を構成する半導体チップ24c上において、長さ1mmのボンディングワイヤを8本並列に、ワイヤ端の間隔DEを0.2mmでボンディングして、8本並列で0.03nHを形成したいとき、ワイヤリング角度 = 0度の場合(比較例)、ワイヤ長は1.2mmとなる。一方、ワイヤリング角度 = 45度の場合、1mm長のワイヤで0.03nHを得ることができる。

10

【0078】

ワイヤリング角度 = 0度の場合、ボンディングワイヤの間隔DWは0.2mmのままであるが、ボンディングワイヤを斜めにするすることで、ワイヤ端の間隔DEは、0.2mmのまま、ワイヤの間隔DWを縮めることができ、実質的に相互インダクタンスの値を増加することができる、結果としてインダクタンスの値を増加することができる。

【0079】

また、ワイヤリング角度の下限値は、ボンディングワイヤが重なり、1本にみえてしまう角度、すなわち、0度である。

20

【0080】

第2の実施の形態によれば、出力ボンディングワイヤとシャント・インダクタ用ボンディングワイヤは、平面上で90°の角度を有するため、シャント・インダクタにより寄生出力容量を相殺し、出力インピーダンス変換比を小さく抑えた広帯域増幅器を提供することができる。

【0081】

[第3の実施の形態]

第3の実施の形態に係る広帯域増幅器の模式的平面パターン構成は、図23に示すように表され、変形例1に係る広帯域増幅器の模式的平面パターン構成は、図24に示すように表され、変形例2に係る広帯域増幅器の模式的平面パターン構成は、図25に示すように表される。

30

【0082】

第3の実施の形態およびその変形例1～変形例2に係る広帯域増幅器1においては、図23～図25に示すように、複数チップの半導体チップ24a・24bを配置している。ここで、図23～図25においては、2チップ構成の例が示されているが、さらに3チップ以上であっても良い。

【0083】

第3の実施の形態およびその変形例1～2に係る広帯域増幅器1は、図23～図25に示すように、導体ベースプレート200と、導体ベースプレート200上に配置された複数チップのマルチセル構成の半導体チップ24a・24bと、半導体チップ24a・24bを内在し、導体ベースプレート200上に配置された金属壁16と、金属壁16に囲まれた導体ベースプレート200上に半導体チップ24a・24bに隣接して配置された入力回路基板26・出力回路基板28と、導体ベースプレート200上に半導体チップ24a・24bに隣接し、かつ半導体チップ24a・24bと出力回路基板28との間に配置されたキャパシタ基板25a・25bと、入力回路基板26上に配置された入力整合回路17a・17b・入力分配回路17cおよびストリップライン17dと、出力回路基板28上に配置された出力整合回路18a・18b・出力合成回路18cおよびストリップライン18dと、半導体チップ24a・24bと入力整合回路17a・17bおよび出力整合回路18a・18bを接続する複数本の入力ボンディングワイヤ12a・12bおよび

40

50

複数本の出力ボンディングワイヤ14a・14bと、半導体チップ24a・24bとキャパシタ基板25a・25bを接続する複数本のシャント・インダクタ用ボンディングワイヤ13a・13bとを備える。

【0084】

ここで、出力ボンディングワイヤ14a・14bとシャント・インダクタ用ボンディングワイヤ13a・13bは、平面上で90°の角度を有する。

【0085】

また、入力ボンディングワイヤ12a・12bおよび出力ボンディングワイヤ14a・14bは、半導体チップ24a・24bの長手方向に対して平面上で0°より大きく、90°より小さい所定の角度を有している。

10

【0086】

第3の実施の形態およびその変形例1～2に係る広帯域増幅器1においては、いずれも半導体チップ24a・24bを、半導体チップ24a・24bの長手方向が貫通孔34が配置された金属壁16に対して平行に配置している。

【0087】

半導体チップ24a・24bの各セルはドレイン端子電極を備え、ドレイン端子電極は、複数本の出力ボンディングワイヤ14a・14bに平行な平行四辺形を備えていても良い。

【0088】

また、半導体チップ24a・24bの各セルはゲート端子電極を備え、ゲート端子電極は、複数本の入力ボンディングワイヤ12a・12bに平行な平行四辺形を備えていても良い。尚、図24～図25では、導体ベースプレート200および導体ベースプレート200上に配置された金属壁16は図示を省略している。その他の構成は、第1の実施の形態と同様であるため、重複説明は省略する。

20

【0089】

第3の実施の形態によれば、出力ボンディングワイヤとシャント・インダクタ用ボンディングワイヤは、平面上で90°の角度を有するため、シャント・インダクタにより寄生出力容量を相殺し、出力インピーダンス変換比を小さく抑えた広帯域増幅器を提供することができる。

【0090】

30

[第4の実施の形態]

第4の実施の形態に係る広帯域増幅器の模式的平面パターン構成は、図26に示すように表され、変形例1に係る広帯域増幅器の模式的平面パターン構成は、図27に示すように表され、変形例2に係る広帯域増幅器の模式的平面パターン構成は、図28に示すように表される。

【0091】

第4の実施の形態およびその変形例1～2に係る広帯域増幅器1においては、図26～図28に示すように、複数チップの半導体チップ24a・24bを配置している。ここで、図26～図28においては、2チップ構成の例が示されているが、さらに3チップ以上であっても良い。

40

【0092】

また、第4の実施の形態およびその変形例1～2に係る広帯域増幅器1においては、図26～図28に示すように、半導体チップ24a・24bを、金属壁16の対角線に対して実質的に平行に配置している。

【0093】

また、第4の実施の形態に係る広帯域増幅器1においては、図26に示すように、半導体チップ24a・24bを、金属壁16の対角線に対して実質的に平行に配置すると共に、出力ボンディングワイヤ14a・14bは、半導体チップ24a・24bに対して平面上で約-45°の角度を有する。尚、入力ボンディングワイヤ12a・12bは、半導体チップ24a・24bに対して平面上で実質的に90°となるように配置されている。

50

## 【0094】

また、第2の実施の形態の変形例1に係る広帯域増幅器1においては、図27に示すように、半導体チップ24a・24bを、金属壁16の対角線に対して実質的に平行に配置すると共に、出力ボンディングワイヤ14a・14bは、半導体チップ24a・24bに対して平面上で約+45°の角度を有する。尚、入力ボンディングワイヤ12a・12bは、半導体チップ24a・24bに対して平面上で実質的に90°となるように配置されている。

## 【0095】

また、第4の実施の形態の変形例2に係る広帯域増幅器1においては、図28に示すように、半導体チップ24a・24bを、金属壁16の対角線に対して実質的に平行に配置すると共に、半導体チップ24a・24bの長手方向が実質的に互いに直交するように、配置している。また、出力ボンディングワイヤ14aは、半導体チップ24aに対して平面上で約+45°の角度を有し、出力ボンディングワイヤ14bは、半導体チップ24bに対して平面上で約-45°の角度を有する。尚、入力ボンディングワイヤ12a・12bは、半導体チップ24a・24bに対して平面上で実質的に90°となるように配置されている。

10

## 【0096】

また、第4の実施の形態の変形例2に係る広帯域増幅器1においては、図28に示すように、半導体チップ24a・24bとキャパシタ基板25a・25bは、いずれも長手方向が貫通孔34が配置された金属壁16に対して、相対的に約45°回転して配置されていても良い。すなわち、半導体チップ24aとキャパシタ基板25aは、いずれも長手方向が貫通孔34が配置された金属壁16に対して約-45°の角度を有し、半導体チップ24bとキャパシタ基板25bは、いずれも長手方向が貫通孔34が配置された金属壁16に対して約+45°の角度を有していても良い。

20

## 【0097】

また、半導体チップ24a・24bの各セルはドレイン端子電極を備え、ドレイン端子電極は、複数本の出力ボンディングワイヤ14a・14bに平行な平行四辺形を備えていても良い。

## 【0098】

また、半導体チップ24a・24bの各セルはゲート端子電極を備え、ゲート端子電極は、複数本の入力ボンディングワイヤ12a・12bに平行な平行四辺形を備えていても良い。その他の構成は、第1の実施の形態と同様であるため、重複説明は省略する。

30

## 【0099】

第4の実施の形態に係る広帯域増幅器1においては、半導体チップ24a・24bを、半導体チップ24a・24bの長手方向が貫通孔34が配置された金属壁16に対して0度よりも大きく、90度よりも小さい所定の角度に配置することもできる。

## 【0100】

第4の実施の形態およびその変形例1~2に係る広帯域増幅器1においては、第1~第3の実施の形態に比べ、半導体チップを実装できる幅を増大し、実装基板上を有効に使用可能な高周波用半導体装置を提供することができる。

40

## 【0101】

第4の実施の形態によれば、出力ボンディングワイヤとシャント・インダクタ用ボンディングワイヤは、平面上で90°の角度を有するため、シャント・インダクタにより寄生出力容量を相殺することができ、出力インピーダンス変換比を小さく抑えた広帯域増幅器を提供することができる。

## 【0102】

以上説明したように、本実施の形態によれば、シャント・インダクタにより寄生出力容量を相殺し、出力インピーダンス変換比を小さく抑えた広帯域増幅器を提供することができる。

## 【0103】

50

## [その他の実施の形態]

本実施形態を説明したが、この実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。この新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。この実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

## 【0104】

なお、実施の形態に係る広帯域増幅器に搭載される半導体チップとしては、FET、HEMTに限らず、LD MOS (Laterally Diffused Metal-Oxide-Semiconductor Field Effect Transistor) やヘテロ接合バイポーラトランジスタ (HBT: Hetero-junction Bipolar Transistor) などの増幅素子なども適用できることは言うまでもない。

## 【0105】

このように、ここでは記載していない様々な実施の形態などを含む。

## 【符号の説明】

## 【0106】

- 1、1 a ... 広帯域増幅器
- 10 ... メタルキャップ
- 10 a ... メタルシールリング
- 11、15 ... ボンディングワイヤ
- 12、12 a、12 b ... 入力ボンディングワイヤ
- 14、14 a、14 b ... 出力ボンディングワイヤ
- 13、13 a、13 b ... シャント・インダクタ用ボンディングワイヤ
- 16 ... パッケージ外壁 (金属壁)
- 17 ... 入力分配整合回路
- 17 a、17 b ... 入力整合回路
- 17 c ... 入力分配回路
- 18 ... 出力合成整合回路
- 18 a、18 b ... 出力整合回路
- 18 c ... 出力合成回路
- 17 d、18 d、19 a、19 b ... ストリップライン
- 20 ... フィードスルー下層部
- 21 a、21 b ... 端子電極
- 22 ... フィードスルー上層部
- 24、24 a、24 b、24 c ... 半導体チップ
- 25 a、25 b ... キャパシタ基板
- 26 ... 入力回路基板
- 28 ... 出力回路基板
- 30 ... シャント回路
- 34 ... 貫通孔
- 40 ... 合成回路
- 50 ... 出力側等価回路
- 110 ... 半絶縁性基板
- 112 ... 窒化物系化合物半導体層 (GaNエピタキシャル成長層)
- 116 ... 2次元電子ガス (2DEG) 層
- 118 ... アルミニウム窒化ガリウム層 ( $Al_xGa_{1-x}N$ ) ( $0 < x < 1$ )
- 120 ... ソースフィンガー電極
- 122 ... ドレインフィンガー電極
- 124 ... ゲートフィンガー電極
- 200 ... 導体ベースプレート
- G, G1, G2, ..., G8 ... ゲート端子電極

10

20

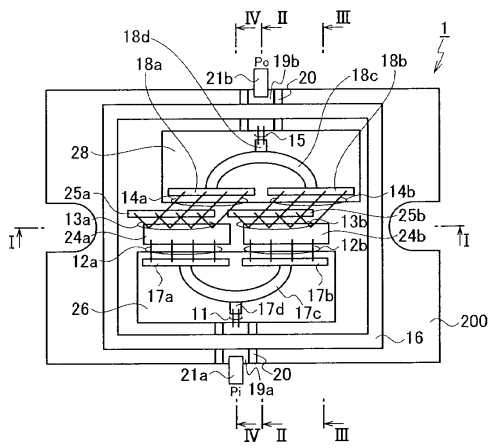
30

40

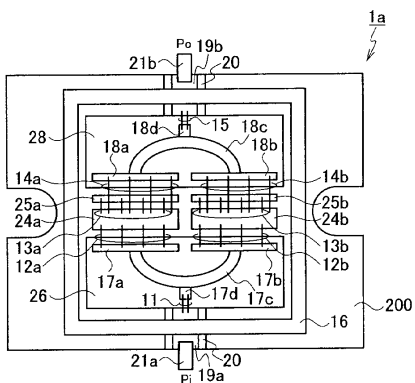
50

S, S1, S1, ..., S9 ... ソース端子電極  
D, D1, D2, ..., D8 ... ドレイン端子電極  
SC1, SC2, ..., SC9 ... V I Aホール  
Pi ... 入力端子  
Po ... 出力端子

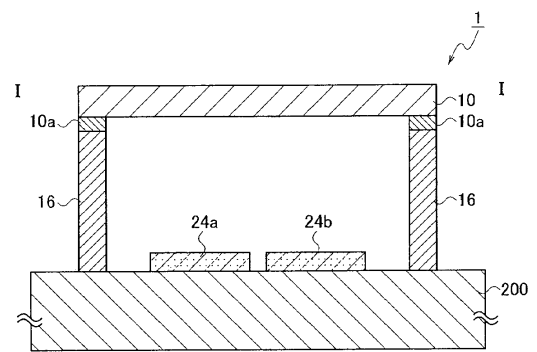
【図1】



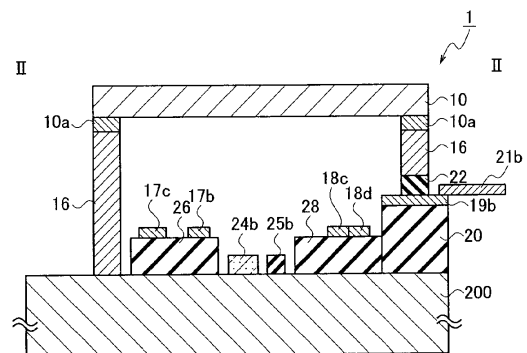
【図2】



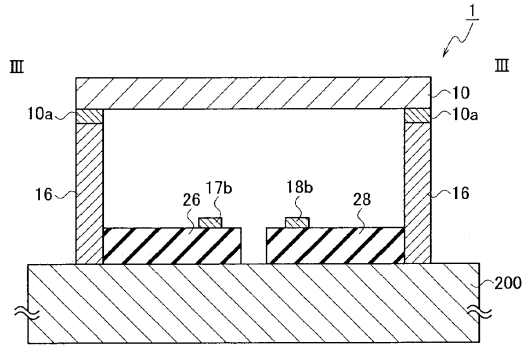
【図3】



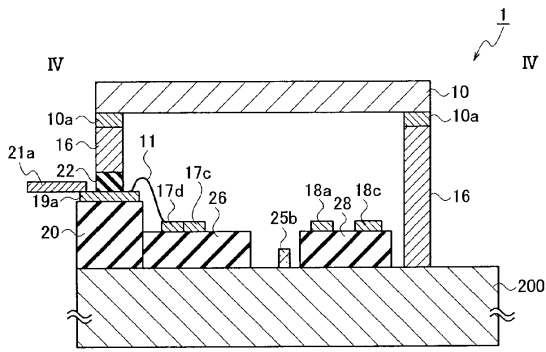
【図4】



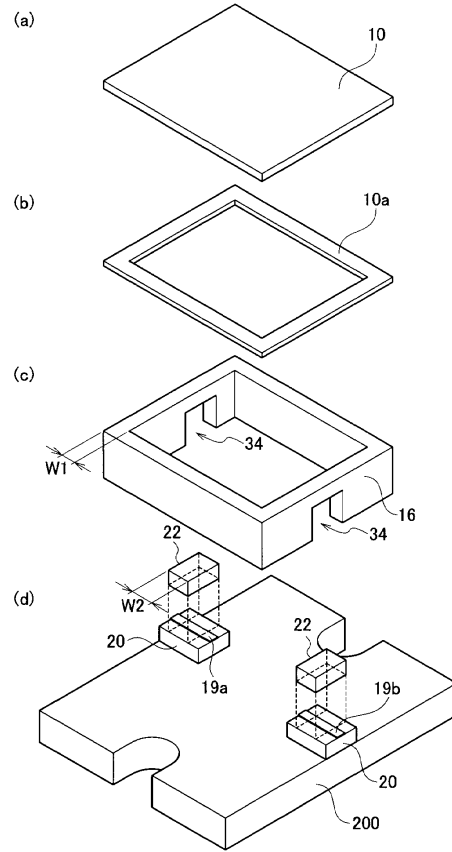
【図5】



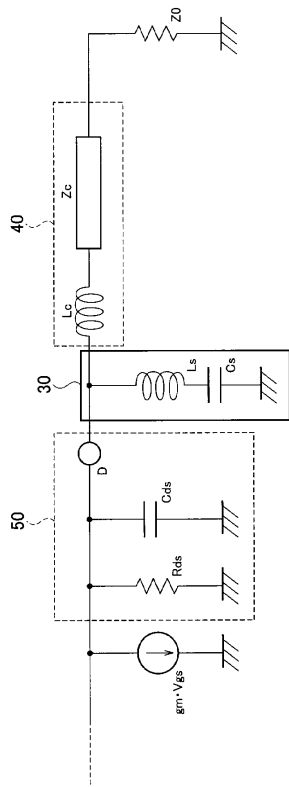
【図6】



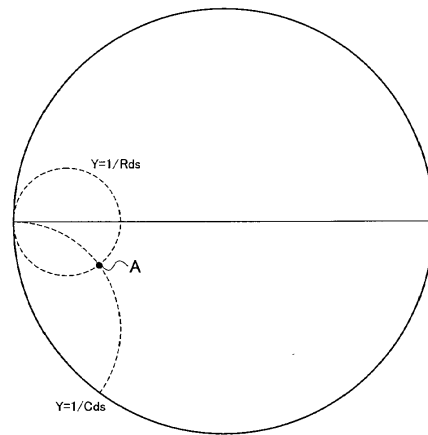
【図7】



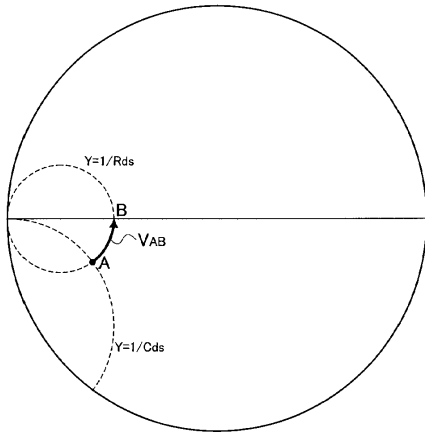
【図9】



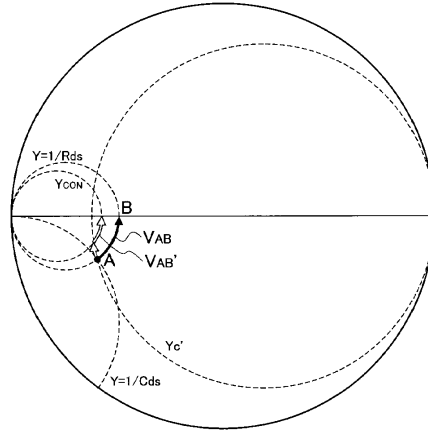
【図10】



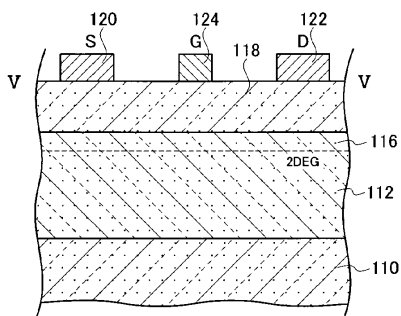
【 図 1 1 】



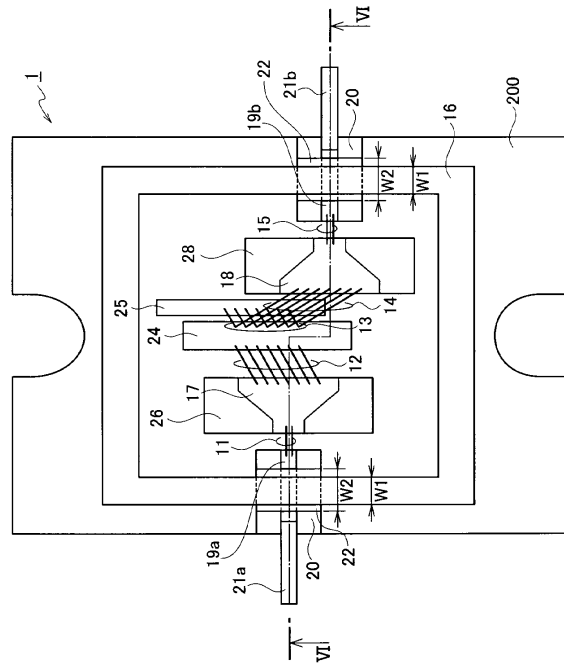
【 図 1 2 】



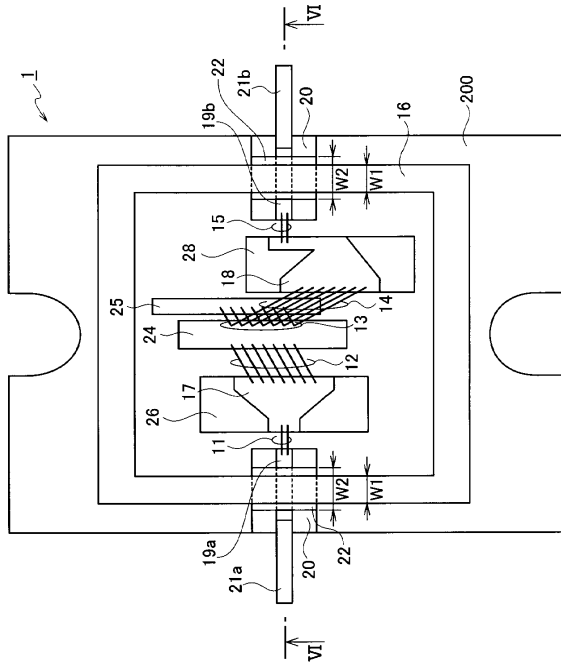
【 図 1 5 】



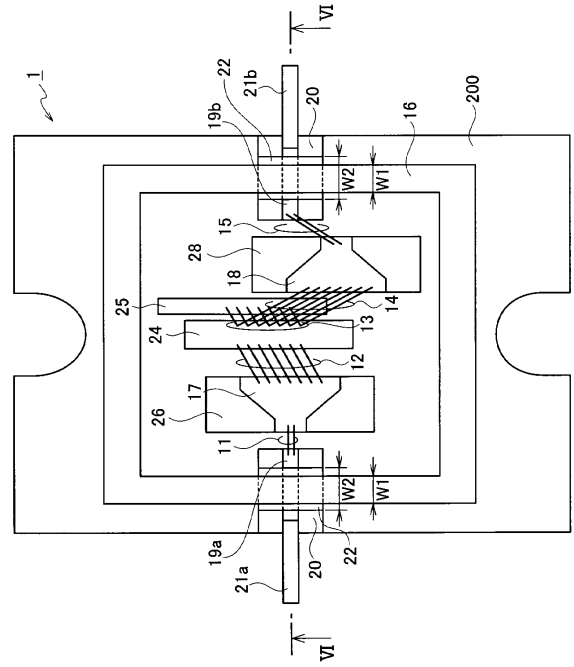
【 図 1 7 】



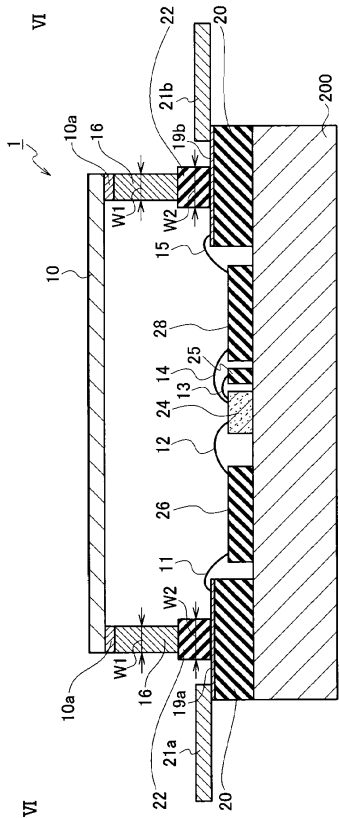
【図18】



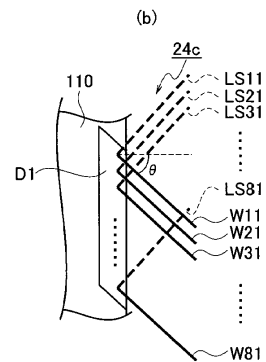
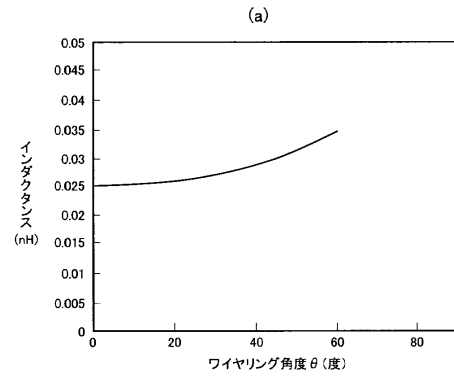
【図19】



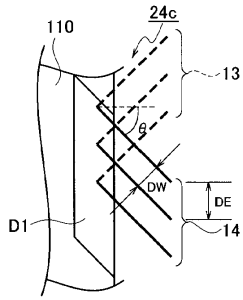
【図20】



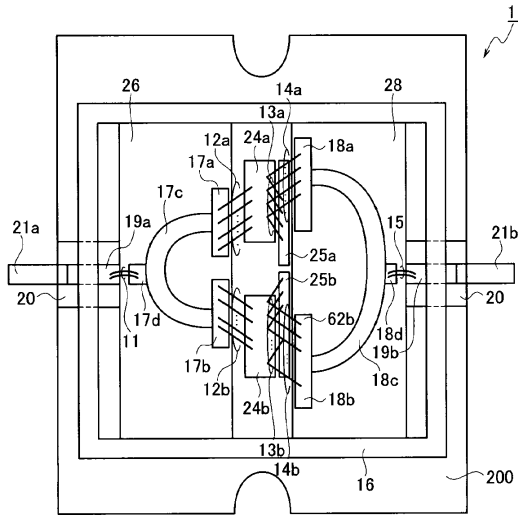
【図21】



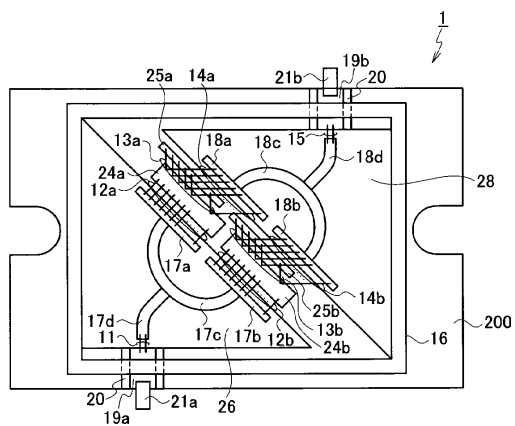
【 図 2 2 】



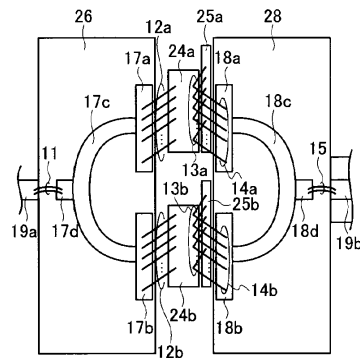
【 図 2 3 】



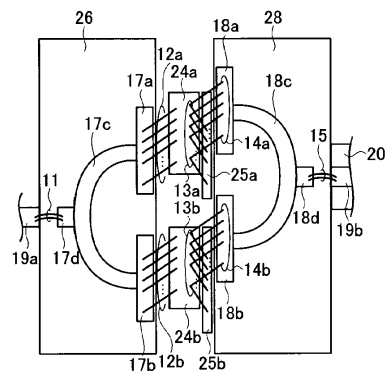
【 図 2 6 】



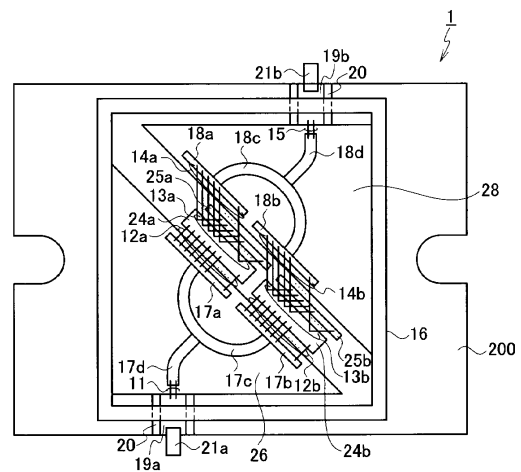
【 図 2 4 】



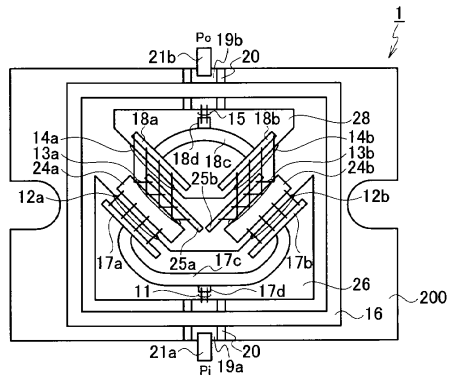
【 図 2 5 】



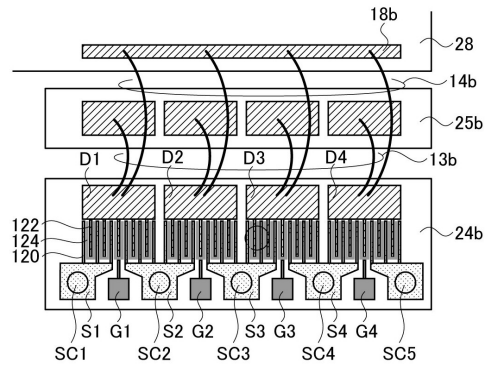
【 図 2 7 】



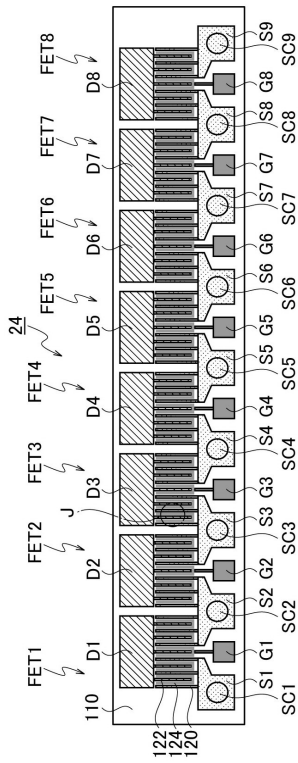
【 図 28 】



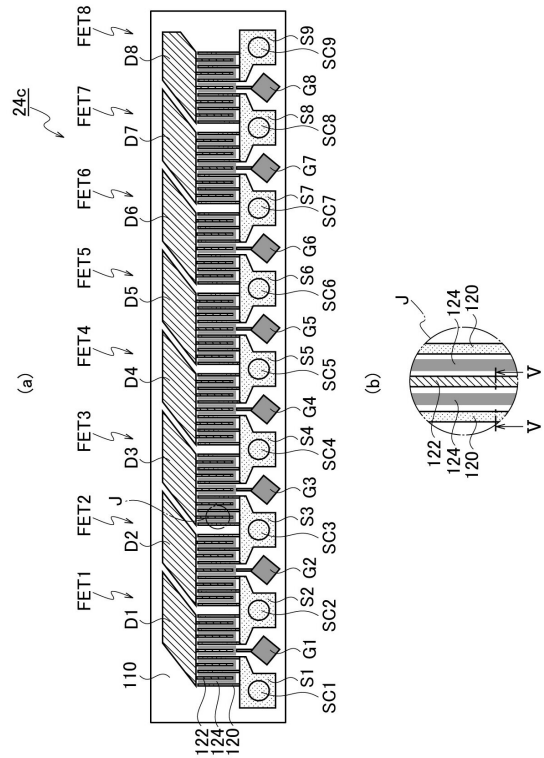
【 図 8 】



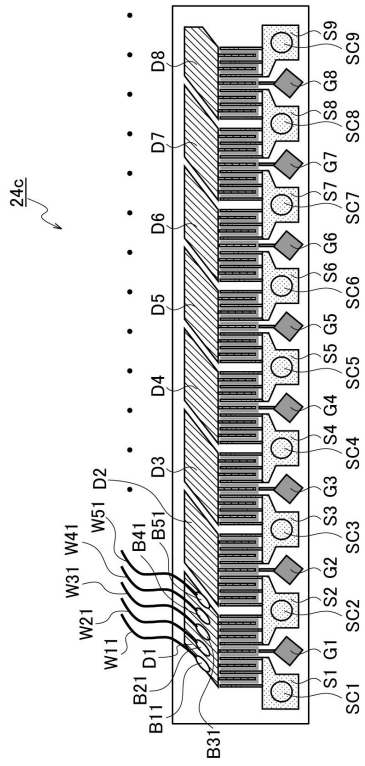
【 図 13 】



【 図 14 】



【 図 16 】



---

フロントページの続き

(51)Int.Cl. F I

H 0 1 L 25/18 (2006.01)

(72)発明者 高木 一考  
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 原田 貴志

(56)参考文献 特開2010-135722(JP,A)  
米国特許第07109589(US,B1)  
特開2011-171697(JP,A)  
登録実用新案第3092390(JP,U)  
特表2010-531060(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 23/12

H 0 1 L 25/00、25/04、25/18

H 0 3 F 1/08、1/42