

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成16年12月24日(2004.12.24)

【公開番号】特開2003-264260(P2003-264260A)

【公開日】平成15年9月19日(2003.9.19)

【出願番号】特願2002-62893(P2002-62893)

【国際特許分類第7版】

H 01 L 23/12

【F I】

H 01 L 23/12 501Z

H 01 L 23/12 501W

【手続補正書】

【提出日】平成16年1月26日(2004.1.26)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1主面と該第1主面に対向した第2主面とを有するチップ搭載基板と、前記第1主面に配置された複数の下面接続端子と、前記第2主面の前記複数の下面接続端子に対向して配置された複数の上面接続端子と、前記複数の下面接続端子の一部と該一部の直上となる前記複数の上面接続端子の一部とを接続するように前記チップ搭載基板中に配置されたスルーホールとを有することを特徴とする半導体チップ搭載基板。

【請求項2】

前記複数の下面接続端子の他の一部は、直上の前記上面接続端子から絶縁された上下接続用下面接続端子を含み、前記複数の上面接続端子の他の一部は、直下の前記下面接続端子から絶縁された上部接続専用端子を含み、前記上下接続用下面接続端子と前記上部接続専用端子とは階段型形状を有する屈曲スルーホールで接続されていることを特徴とする請求項1記載の半導体チップ搭載基板。

【請求項3】

前記チップ搭載基板は、BGAテープであることを特徴とする請求項1記載の半導体チップ搭載基板。

【請求項4】

第1主面と該第1主面に対向した第2主面とを有するチップ搭載基板；

前記第1主面に配置された複数の下面接続端子；

前記第2主面の前記複数の下面接続端子に対向して配置された複数の上面接続端子；

前記複数の下面接続端子の一部と該一部の直上となる前記複数の上面接続端子の一部とを接続するように前記チップ搭載基板中に配置されたスルーホール； and前記第2主面の前記複数の上面接続端子に隣接したチップ搭載領域に配置された半導体チップとを有することを特徴とする半導体装置。

【請求項5】

前記チップ搭載基板はBGAテープであることを特徴とする請求項4記載の半導体装置。

【請求項6】

前記半導体チップの周囲に配置されたヒートシンクをさらに有することを特徴とする請求項4記載の半導体装置。

【請求項7】

前記下面接続端子と前記上面接続端子との厚さの和が、前記半導体チップの厚さ以上に大きいことを特徴とする請求項4記載の半導体装置。

【請求項8】

前記半導体チップは、前記チップ搭載領域にフェイスダウンに搭載されることを特徴とする請求項4記載の半導体装置。

【請求項9】

前記複数の上面接続端子にそれぞれ配置された複数の基板間接続ボールと、第3主面と該第3主面に対向した第4主面とを有する上段チップ搭載基板と、前記第3主面に配置され、前記基板間接続ボールにそれぞれ接続された複数の第2下面接続端子と、前記複数の第2下面接続端子にそれぞれ対向して配置された複数の第2上面接続端子と、前記複数の第2下面接続端子の一部と該一部の直上となる前記複数の第2上面接続端子の一部とを接続するように前記上段チップ搭載基板中に配置された第2スルーホールと、前記第4主面の前記複数の第2上面接続端子に隣接した上段チップ搭載領域に配置された上段半導体チップとをさらに有することを特徴とする請求項4記載の半導体装置。

【請求項10】

前記複数の第2下面接続端子の他の一部は、直上の前記第2上面接続端子から絶縁された第2上下接続用下面接続端子を含み、前記複数の第2上面接続端子の他の一部は、直上の前記第2下面接続端子から絶縁された第2上部接続専用端子を含み、前記第2上下接続用下面接続端子と前記第2上部接続専用端子とは、階段型形状を有する第2屈曲スルーホールで接続されていることを特徴とする請求項9記載の半導体装置。

【請求項11】

前記上段チップ搭載基板は、BGAテープであることを特徴とする請求項9記載の半導体装置。

【請求項12】

前記上段半導体チップは、前記上段チップ搭載領域にフェイスダウンに搭載されることを特徴とする請求項9記載の半導体装置。

【請求項13】

チップ搭載基板を搭載するための基板搭載領域を備える第1主面を有する実装基板と、前記第1主面の基板搭載領域にそれぞれ離間して配置された複数の接続端子と、前記基板搭載領域の周辺に配置された複数の信号端子と、前記複数の接続端子及び前記複数の信号端子に接続された複数の信号配線と、前記複数の接続端子の上にそれぞれ配置された複数の実装基板接続ボールと、前記基板搭載領域に配置され、前記複数の実装基板接続ボールにそれぞれ接した複数の下面接続端子を備える第1主面と、前記複数の下面接続端子に対向する位置に配置された複数の上面接続端子を備える第2主面とし、前記複数の下面接続端子の一部と該一部の直上となる前記複数の上面接続端子の一部とを接続するスルーホールとを有するチップ搭載基板と、前記チップ搭載基板のチップ搭載領域に配置された半導体チップとを有することを特徴とする半導体モジュール。

【請求項14】

前記複数の下面接続端子の他の一部は、直上の前記上面接続端子から絶縁された上下接続用下面接続端子を含み、前記複数の上面接続端子の他の一部は、直下の前記下面接続端子から絶縁された上部接続専用端子を含み、前記上下接続用下面接続端子と前記上部接続専用端子とは階段型形状を有する屈曲スルーホールで接続されていることを特徴とする請求項13記載の半導体モジュール。

【請求項15】

前記チップ搭載基板は、BGAテープであることを特徴とする請求項13記載の半導体モジュール。

【請求項16】

前記半導体チップは、前記チップ搭載基板にフェイスダウンに搭載されることを特徴とする請求項13記載の半導体モジュール。

【請求項17】

前記基板搭載領域に隣接した第2の基板搭載領域にそれぞれ隣接して配置された複数の第2接続端子と、前記複数の第2接続端子及び前記複数の信号端子に接続された複数の第2信号配線と、前記複数の第2接続端子の上にそれぞれ配置された複数の第2実装基板接続ボールと、前記基板搭載領域に配置され、前記複数の第2実装基板接続ボールにそれぞれ接した複数の下面接続端子を備える第1主面と、前記複数の下面接続端子に対向する位置に配置された複数の上面接続端子を備える第2主面とし、前記複数の下面接続端子の一部と該一部の直上となる前記複数の上面接続端子の一部とを接続するスルーホールとを有する第2チップ搭載基板と、前記第2チップ搭載基板の第2チップ搭載領域に配置された第2半導体チップとをさらに有することを特徴とする請求項13記載の半導体モジュール。

【請求項18】

前記複数の第1上面接続端子にそれぞれ配置された複数の基板間接続ボールと、前記第3主面に配置され、前記複数の基板間接続ボールに接続された複数の第2下面接続端子と、前記複数の第2下面接続端子を有する第3主面と該第3主面に対向した第4主面とを有する上面チップ搭載基板と、前記複数の第2下面接続端子にそれぞれ対向して前記第4主面に配置された複数の第2上面接続端子と、前記複数の第2下面接続端子の一部と該一部の直上となる前記複数の第2上面接続端子の一部とを接続するように前記上面チップ搭載基板中に配置された第2スルーホールと、前記第4主面の前記複数の第2上面接続端子に隣接した上段チップ搭載領域に配置された上段半導体チップとをさらに有することを特徴とする請求項13記載の半導体モジュール。

【請求項19】

前記複数の第2下面接続端子の他の一部は、直上の前記第2上面接続端子から絶縁された第2上下接続用下面接続端子を含み、前記複数の第2上面接続端子の他の一部は、直下の前記第2下面接続端子から絶縁された第2上部接続専用端子を含み、前記第2上下接続用下面接続端子と前記第2上部接続専用端子とは、階段型形状を有する第2屈曲スルーホールで接続されていることを特徴とする請求項18記載の半導体モジュール。

【請求項20】

前記上段半導体チップはBGAテープであることを特徴とする請求項18記載の半導体モジュール。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

【課題を解決するための手段】

上記目的を達成するために、本発明は、これを解決する手段として、第1主面と該第1主面に対向した第2主面とを有するチップ搭載基板と、前記第1主面に配置された複数の下面接続端子と、前記第2主面の前記複数の下面接続端子に対向して配置された複数の上面接続端子と、前記複数の下面接続端子の一部と該一部の直上となる前記複数の上面接続端子の一部とを接続するように前記チップ搭載基板中に配置されたスルーホールとを有する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】削除

【補正の内容】

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】削除

【補正の内容】

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】削除

【補正の内容】