(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H03M 7/30 (2006.01)

(45) 공고일자 2006년09월14일
(11) 등록번호 10-0565868
(24) 등록일자 2006년03월23일

(21) 출원번호 10-1997-0034235
(22) 출원일자 1997년07월18일

(65) 공개번호 10-1998-0012964
(43) 공개일자 1998년04월30일

(30) 우선권주장 96-189163 1996년07월18일 일본(JP)

(73) 특허권자 소니 가부시끼 가이샤
일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고

(72) 발명자 나카야 히데오
일본 도쿄도 시나가와쿠 기다시나가와 6-7-35 소니 가부시키가이샤 내

곤도 데츠지로
일본 도쿄도 시나가와쿠 기다시나가와 6-7-35 소니 가부시키가이샤 내

(74) 대리인 정상구
이병호
신현문
이범래

심사관 : 송병준

(54) 데이타처리장치및그방법

요약

회로 블록(41A 내지 47A)에서 픽셀 데이타가 순차적으로 비교되고, 회로 블록(51B 내지 54B)에 보다 작은 픽셀 데이타가 공급되며, 그리고 또한, 보다 작은 픽셀 데이타가 회로 블록(71B, 72B)에 공급된다. 상기 회로 블록(71B, 72B)에 공급된 픽셀 데이타중 보다 작은 픽셀 데이타는 회로 블록(91B)에 공급되며, 이에따라 픽셀 데이타의 최소치가 결정된다. 픽셀 데이타의 최대치도 또한 동일한 방법으로 얻어질 수 있다. 이들 데이타를 기초로, 클래스 코드를 발생하기 위한 문턱 치가 얻어질 수 있다. 따라서, 간단한 구성의 하드웨어는 상기 픽셀 데이타를 클래스로 분류할 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 데이타 처리 장치가 적용된 ADRC 클래스 발생 회로의 일실시예의 구성을 보인 블록도.

도 2는 본 발명의 데이타 처리 장치가 적용된 ADRC 클래스 발생 회로의 일실시예의 구성을 보인 블록도.

도 3은 픽셀 데이타(d0 내지 d14)와 임계치(TH1 내지 TH3)간의 관계를 보인 도면.

도 4는 수평으로 배열된 15개의 탭으로 된 클래스를 형성하는 픽셀 예를 보인 도면.

도 5는 ADRC 클래스 발생 회로의 기본 회로 예를 보인 블록도.

도 6은 병렬로 배열된 ADRC 클래스 발생 회로의 일예를 보인 블록도.

* 도면의 주요 부분에 대한 부호의 설명

17-1 : 클래스 코드 발생 회로 113 : 제2검출 수단

114, 115 : 시프트 레지스터 116 - 119 : 가산기

131-1 내지 131-15 : 양자화 회로 132-1, 133-1, 134-1 : 비교기

135-1 : 선택기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 데이타 처리 장치 및 그 방법에 관한 것으로, 특히 예컨대 SD(Standard Definition) TV 화상으로부터 HD(High Definition) TV 화상을 발생하는 해상도 생성 기법, 압축 부호화에서의 적응 복호화, 및 공간-시간 세선화(thinning) 보간법 등에 사용하기에 적합한 데이타 처리 장치 및 그 방법에 관한 것이다.

ADRC(적응성 동적 범위 부호화)를 사용한 클래스 분류 기법은 각 픽셀에서 한 클래스를 형성하는 탭을 이동시키면서 각 픽셀에서 매번 클래스를 계산한다. 예컨대, 도 4에 도시된 바와 같이, 수평 방향으로 15개의 탭을 갖는 클래스를 형성하는 경우에, 클래스 분류 기법은 하나의 탭을 형성하는 15개의 픽셀의 데이타를 페치하고, 이 데이타의 최대치와 최소치를 검출하여, 동적 범위를 계산한 다음에, 상기 ADRC에 의해 부호화를 행한다.

도 5는 ADRC 클래스 발생 회로의 일예의 구성을 보인 블록도이다. 상기 ADRC 클래스 발생 회로는 레지스터(1-1 내지 1-16)와 클래스 코드 발생 회로(17-1)로 구성되어 있다. 다음에, 클래스 코드 발생 회로(17-1)에 대해서 설명한다.

클럭 신호에 따라 도시되지 않은 입력 단자로부터 입력된 하나의 픽셀의 픽셀값에 대응하는 데이타(이하, 픽셀 데이타라고 함)는 레지스터(1-1), 레지스터(2), 비교기(4), 레지스터(8) 및 비교기(10)에 공급되며, 이때 이들은 클래스 코드 발생 회로(17-1)를 구성하고 있다. 또한, 로드 신호(LD1)는 AND 게이트(3, 9)와 레지스터(5, 12)에 공급된다.

그리고, 로드 신호(LD2)와 인에이블 신호(OE1)는 레지스터(16)(클래스 발생 회로)에 공급된다. 로드 신호(LD2) 및 인에이블 신호(OE1)는 이들 신호의 레벨이 모든 15번째 클럭에서 로우(L)가 되도록 설계되어 있다.

레지스터(1-1)에 공급된 픽셀 데이타는 클럭 신호에 따라 레지스터(1-2)에 공급된다. 마찬가지로, 상기 레지스터(1-2)에 공급된 픽셀 데이타는 상기 클럭 신호에 따라 각각 하나의 클럭만큼 순차적으로 지연되어, 상기 레지스터(1-16)측으로 전달된다. 상기 레지스터(1-16)로부터 출력된 픽셀 데이타는 가산기(6)에 공급된다.

한편, 최소치(MIN)가 상기 레지스터(2), 비교기(4), 및 AND 게이트(3)에 의해 검출되어, 레지스터(5)측에 공급된다. 상기 비교기(4)는 상기 레지스터(2)를 통해 단자(A)에 공급된 데이타를 단자(B)에 공급된 데이타와 비교하며, 상기 단자(A)에 공급된 데이타가 보다 크면 출력 신호레벨은 로우로 된다. 상기 비교기(4)로부터 출력된 로우 레벨 신호는 AND 게이트(3)

를 통해 로드 펄스로서 상기 레지스터(2)측에 공급된다. 이에 따라, 새로운 데이타(단자(B)에 공급된 픽셀 데이타)가 입력되어 레지스터(2)에 저장된다. 최종적으로, 이러한 방법으로 15개 픽셀 데이타중 최소 픽셀 데이타가 레지스터(2)에 저장된다.

LD1 신호 레벨이 L이 되는 시점에서, 상기 레지스터(2)에 저장된 최소치(MIN)가 레지스터(5)에 입력된다. 또한, 상기 최소치(MIN)는 레지스터(5)에 입력되어 가산기(6)측으로 공급된다. 이 가산기(6)는 상기 레지스터(1-16)로부터 공급된 픽셀 데이타와 상기 레지스터(5)로부터 공급된 최소치(MIN)의 부호가 반전되는 데이타를 가산하고, 이 가산 결과로서 데이타(픽셀 데이타-최소치(MIN))가 레지스터(7)를 통해 양자화 회로(14)에 공급된다.

또한, 최대치(MAX)가 레지스터(8), 비교기(10), 및 AND 게이트(9)에 의해 검출되어 가산기(11)측에 공급된다. 이 비교기(10)는 상기 비교기(4)와 동일한 방법으로, 단자(A)에 공급된 데이타와 단자(B)에 공급된 데이타를 비교하며, 단자(A)에 공급된 데이타가 보다 크면, 출력 신호 레벨이 로우로 된다. 비교기(10)로부터 출력된 로우 레벨 신호는 AND 게이트(9)를 통해 레지스터(8)측에 로드 펄스로서 공급된다. 이에 따라, 새로운 픽셀 데이타(단자(A)에 공급된 픽셀 데이타)가 레지스터(8)에서 저장된다. 이러한 방법으로, 최종적으로, 15개 픽셀 데이타중 최대 픽셀 데이타가 레지스터(8)에 저장된다.

상기 가산기(11)는 레지스터(8)로부터 공급된 최대치(MAX)와 레지스터(2)로 부터 공급된 최소치(MIN)의 부호가 반전된 데이타를 가산하며, 이에 따라 동적 범위가 산출된다. 산출된 동적 범위(DR)는 상기 레지스터(12)측에 공급되어 저장된다. 이 레지스터(12)에 저장된 동적 범위(DR)는 레지스터(13)를 통해 양자화 회로(14)측에 공급된다. 이 양자화 회로(14)는 레지스터(7)로부터 공급된 픽셀 데이타와 레지스터(13)로부터 공급된 동적 범위(DR)로부터, 상기 클래스 발생 회로(16)에 공급될 픽셀 데이타를 양자화한다.

상기 양자화 회로(14)에서 양자화된 픽셀 데이타는 상기 클럭 신호에 따라 순차적으로 레지스터(15-1)측에 공급되어 레지스터(15-8)측으로 전달된다. 상기 레지스터(15-1 내지 15-7)에 저장된 양자화된 픽셀 데이타는 다음 레지스터로 각각 전달되고, 상기 레지스터(15-8)에 저장된 양자화된 픽셀 데이타가 상기 클래스 발생회로(16)측에 공급된다. 상기 클래스 발생 회로(16)에서, 하나의 클래스 코드는 출력될, 양자화된 8개의 픽셀 데이타로부터 발생된다.

양자화 회로(14)는 예컨대 ROM(판독 전용 메모리)으로 구성되어 있다. 이 경우에, 상기 레지스터(13)로부터 공급된 동적 범위(DR), 상기 레지스터(7)로부터 공급된 데이타(픽셀 데이타-최소치(MIN)), 및 이들 데이타에 대응하는 양자화 코드는 서로 연관되어 저장된다.

발명이 이루고자 하는 기술적 과제

하지만, 상기 회로에서, 클래스 코드를 계산하는 것은 처리량에서 30 클럭 이상의 지연을 수반한다. 또한, 도 6에 도시된 바와 같이, 시계 아래 픽셀이 하나씩 이동할 때마다 실시간으로 클래스 코드를 계산하기 위해서는, 평행한 15개의 클래스 발생 회로를 배열할 필요가 있고, 출력될 클래스 코드를 선택할 필요가 있다. 따라서, 하드웨어에서 부피가 매우 커지게 되는 문제가 생긴다. 특히, 양자화의 부분은 ROM으로 이루어지는데, 이에 따라 하드웨어의 부피가 커진다.

본 발명은 상기 문제점을 감안하여 창안되었고, 본 발명의 목적은 정확성을 저하시키지 않고 데이타를 클래스로 분류할 수 있도록 하드웨어를 간단화하는데 있다.

발명의 구성 및 작용

특허청구의 범위 제1항에 설명되어 있는 데이타 처리 장치는 클래스를 형성하는 복수의 데이타를 순차적으로 저장하는 기억 수단과; 상기 기억 수단에 저장된 데이타의 크기를 순차적으로 비교하고, 그 데이타의 최대치와 최소치를 토너먼트(tournament) 방식에 의해 검출하는 제1검출 수단과; 이 제1검출 수단에 의해 얻어진 데이타의 최대치와 최소치간의 차로서 동적 범위를 검출하는 제2검출 수단과; 상기 제2 검출 수단에 의해 검출된 동적 범위에 따라 데이타를 양자화하기 위한 복수의 임계치를 연산하는 연산 수단을 포함하고 있음을 특징으로 하고 있다.

특허청구의 범위 제4항에 설명된 데이타 처리 장치는 입력되는 데이타와 각 비교 수단에서의 기준치와의 대소를 비교하고, 비교 결과를 각각 출력하는 복수의 비교 수단과; 상기 복수의 비교 수단 중, 제 1 비교 수단으로부터 출력되는 상기 비교 결과에 기초하여, 다른 제 2 및 제 3 비교 수단으로부터 출력되는 비교 결과들 중 어느 한쪽을 선택적으로 출력하는 출력 수단을 구비하는 것을 특징으로 하고있다.

특허청구의 범위 제5항에 설명된 데이타 처리 방법은 클래스를 형성하는 복수의 데이타를 순차적으로 저장하는 단계와; 이 저장된 데이타의 크기를 순차적으로 비교하고, 그 데이타의 최대치와 최소치를 토너먼트 방식에 의해 검출하는 단계와; 검출된 데이타의 최대치와 최소치 사이의 차로서 동적 범위를 검출하는 단계와; 검출된 동적 범위에 따라 양자화를 위한 복수의 임계치를 연산하는 단계를 포함하고 있음을 특징으로 하고 있다.

특허청구의 범위 제6항에 설명된 데이타 처리 방법은 입력되는 데이타를 복수의 소정의 기준치로 대소 비교하고, 복수의 비교 결과를 출력하고, 상기 출력된 복수의 상기 비교 결과 중 제 1 비교 결과에 기초하여, 출력된 다른 제 2 및 제 3 비교 결과들 중 어느 한쪽을 선택적으로 출력하는 것을 포함하고 있음을 특징으로 하고 있다.

특허청구의 범위 제1항에 설명된 데이타 처리 장치에서, 기억 수단은 상기 클래스를 형성하는 복수의 데이타를 순차적으로 저장하고; 제1검출 수단은 상기 기억 수단에 저장된 데이타의 크기를 순차적으로 비교하고, 그 데이타의 최대치와 최소치를 토너먼트 방식에 의해 검출하고; 제2 검출 수단은 상기 제1 검출수단에 의해 얻어진 데이타의 최대치와 최소치간의 차로서 동적 범위를 검출하고; 연산 수단은 상기 제2검출 수단에 의해 검출된 동적 범위에 따라 데이타를 양자화하기 위한 복수의 임계치를 연산한다.

특허청구의 범위 제4항에 따른 데이타 처리장치에서, 비교 수단은 입력된 데이타와 특정 기준치의 크기를 비교하고 이 비교결과를 출력하며, 출력 수단은 비교 수단중 특정 비교 수단으로부터 출력된 비교 결과에 따라 다른 비교 수단으로부터 출력된 비교 결과중 어느 하나의 비교 결과를 선택적으로 출력한다.

특허청구의 범위 제5항에 따른 데이타 처리 방법에서, 클래스를 형성하는 복수의 데이타는 순차적으로 저장되고, 이 저장된 데이타의 크기가 순차적으로 비교되며, 그 데이타의 최대치와 최소치는 토너먼트 방식에 의해 검출되고, 검출된 데이타의 최대치와 최소치 사이의 차로서 동적 범위가 검출되고, 검출된 동적 범위에 따라 양자화를 위한 복수의 임계치가 연산된다.

특허청구의 범위 제6항에 따른 데이타 처리 방법에서, 입력된 데이타와 특정 기준치의 크기가 비교되고, 그 비교 결과가 출력되며; 출력된 특정 비교 결과에 따라 다른 비교 수단으로부터 출력된 비교 결과중 어느 하나의 비교 결과가 선택적으로 출력된다.

본 발명의 응용가능 범위는 이하에 주어진 상세한 설명으로부터 명백해진다. 하지만, 본 발명의 바람직한 실시예를 나타내는 상세한 설명과 특정 예는 단지 설명을 위한 것이지 본 발명을 이에 한정하는 것이 아니며, 본 발명의 취지와 범위내에서 각종 변형예와 수정예가 가능하다는 것은 이 상세한 설명으로부터 당업자에게는 명백해짐은 물론이다.

바람직한 실시예에 대한 설명

첨부된 도면을 참조해서 본 발명의 바람직한 실시예에 대해 설명한다. 여기서, 본 발명의 특허청구의 범위와 실시예에서 설명된 수단들간의 관계를 정의하기 위해서, 대응 실시예(단지 하나의 실시예)가 상기 수단의 뒤의 괄호에 부가된다.

본 발명의 데이타 처리 장치는, 클래스를 형성하기 위해 복수의 데이타를 순차적으로 저장하는 기억 수단(예컨대, 도 1의 레지스터(21 내지 35))과; 이 기억 수단에 저장된 데이타의 크기들을 순차적으로 비교하고, 토너먼트 방식에 의해 상기 데이타의 최대치와 최소치를 검출하는 제1검출 수단(예컨대, 도 1의 회로 블록(41A 내지 47A), 회로 블록(51B 내지 54B), 회로 블록(61C 내지 64C), 회로 블록(71B, 72B, 81C, 82C, 91B, 101C))과; 상기 제1검출 수단에 의해 얻어진 데이타의 최대치와 최소치의 차로서 동적 범위를 검출하는 제2검출 수단(예컨대, 도 1의 가산기(113)); 및 상기 제2검출 수단에 의해 검출된 동적 범위에 따라 데이타를 양자화하기 위해 복수의 임계치를 연산하는 연산 수단(예컨대, 도 1의 시프트 레지스터(114, 115), 가산기(116 내지 119))을 포함하고 있다.

본 발명의 데이타 처리 장치는, 상기 연산 수단에 의해 연산된 임계치에 따라 데이타를 양자화하는 양자화 수단(예컨대, 도 2의 양자화 회로(131-1 내지 131-15); 및 상기 양자화 수단에 의해 양자화된 데이타에 따라 클래스를 발생하는 클래스 발생 수단(예컨대, 도 2의 레지스터(136))을 더 포함하고 있다.

본 발명의 데이타 처리 장치는, 입력된 데이타와 특정 기준치의 크기를 비교하고 그 비교 결과를 출력하는 비교 수단(예컨대, 도 2의 비교기(132-1, 133-1, 134-1); 및 특정 비교수단으로부터 출력된 비교 결과에 따라 다른 비교 수단으로부터 출력된 비교 결과중 어느 하나의 비교 결과를 선택적으로 출력하는 출력 수단(예컨대, 도 2의 선택기(135-1))을 포함하고 있다.

상기 괄호안에서의 부가적인 설명은 상기 수단들이 상기 언급한 것에 한정되는 것으로 이해되어서는 안 된다.

도 1 및 도 2는 본 발명의 데이타 처리 장치가 적용된 ADRC 클래스 발생 회로의 일실시예의 구성을 각각 보인 블록도이다 도 1은 입력 데이타를 양자화하기 위한 임계치를 계산하는 부분의 블록도이고, 도 2는 입력 데이타를 양자화하고 클래스 코드를 발생하는 부분의 블록도이다.

도 1에서, 상기 레지스터(21 내지 37)는 입력된 픽셀값에 대응하는 픽셀 데이타를 15개의 픽셀에 대해 순차적으로 저장하도록 설계되어 있다. 상기 회로 블록(41A 내지 47A)은 두 입력 픽셀 데이타의 크기를 비교하여 비교 결과를 출력하도록 설계되어 있다.

각각의 회로 블록(51B 내지 54B)은 상기 회로 블록(41A 내지 47A)의 각각으로부터 출력된 두 픽셀 데이타중 보다 작은 데이타와, 이 데이타를 제공하는 회로 블록에 인접한 또 다른 회로 블록으로부터 출력된 두 픽셀 데이타중 또 다른 보다작은 데이타를 수신하여, 보다 작은 이들 픽셀 데이타를 출력하도록 설계되어 있다. 또한, 상기 회로 블록(61C 내지 64C) 각각은 회로 블록(41A 내지 47A) 각각으로부터 출력된 두 픽셀 데이타중 보다 큰 데이타와, 이 데이타를 제공하는 회로 블록에 인접한 또 다른 회로 블록으로부터 출력된 두 픽셀 데이타의 또다른 보다 큰 데이타를 수신하여, 보다 큰 이들 두 픽셀 데이타를 출력하도록 설계되어 있다.

상기 회로 블록(71B, 72B) 각각은 상기 회로 블록(51B 내지 54B)으로부터 출력된 픽셀 데이타중 두 데이타를 수신하고, 보다 작은 이들 두 픽셀 데이타를 출력하도록 설계되어 있다.

상기 회로 블록(81C, 82C) 각각은 상기 회로 블록(61C 내지 64C)로부터 출력된 픽셀 데이타의 두 데이타를 수신하여, 보다 큰 이들 두 픽셀 데이타를 출력하도록 설계되어 있다.

상기 회로 블록(91B)은 상기 회로 블록(71B, 72B)으로부터 출력된 픽셀 데이타를 수신하고 보다 작은 이들 두 픽셀 데이타를 출력하도록 설계되어 있다. 상기 회로 블록(101C)은 상기 회로 블록(81C, 82C)으로부터 출력된 픽셀 데이타를 수신하여 보다 큰 이들 두 픽셀 데이타를 출력하도록 설계되어있다.

다음에, 동작에 대해 설명한다. 상기 레지스터(21 내지 37)는 15개의 픽셀에 대해 순차적으로 입력된 픽셀값에 대응하는 픽셀 데이타를 저장한다. 상기 회로 블록(41A 내지 47A) 각각은 인접한 두 픽셀 데이타간의 크기를 비교하고, 이 픽셀 데이타를 보다 큰 데이타와 보다 작은 데이타로 분리한다.

예컨대, 상기 회로 블록(41A)의 비교기(411)에서, 상기 레지스터(21)로부터 단자(a)측에 공급된 픽셀 데이타(a)와 상기 레지스터(22)로부터 단자(b)측에 공급된 픽셀 데이타(b)가 비교되고, 이 비교 결과에 대응하는 신호(s)가 출력된다. 비교기(411)에 의한 비교 결과를 기초로, 선택기(412)는 상기 픽셀 데이타(a)와 상기픽셀 데이타(b)중 보다 작은 데이타를 출력한다. 선택기(413)는 상기 픽셀 데이타(a)와 상기 픽셀 데이타(b)중 보다 큰 데이타를 출력한다.

예컨대, 상기 비교기(411)는 상기 픽셀 데이타(a)가 상기 픽셀 데이타(b)보다 크면 레벨 1의 신호(s)를 출력하고, 상기 픽셀 데이타(a)가 상기 픽셀 데이타(b)보다 작거나 동일하면 레벨 0의 신호(s)를 출력한다. 상기 선택기(412)는 상기 비교기(411)로부터 공급된 신호(s)의 레벨이 1이면 단자(b)에 입력된 픽셀 데이타(b)를 출력하고, 비교기(411)로부터 공급된 신호(s)의 레벨이 0이면 단자(a)에 입력된 픽셀 데이타(a)를 출력한다. 상기 선택기(413)는 상기 비교기(411)로부터 공급된 신호(s)의 레벨이 1이면 단자(a)에 입력된 픽셀 데이타(a)를 출력하고, 비교기(411)로부터 공급된 신호(s)의 레벨이 0이면 선택기(413)는 단자(b)에 입력된 픽셀 데이타(b)를 출력한다.

상기 회로 블록(42A 내지 47A)에서, 위에서와 동일한 방법으로, 입력된 픽셀 데이타는 크기가 비교되고 보다 큰 데이타와 보다 작은 데이타로 분리된다.

이상의 설명은 제1계층의 동작이고, 동작은 다음 계층으로 진행된다.

다음 계층에서, 즉 회로 블록(51B 내지 54B)과 회로 블록(61C 내지 64C)에서, 상기 회로 블록(41A 내지 47A)으로부터 공급된 픽셀 데이타의 크기가 비교된다. 회로 블록(51B 내지 54B)에서 보다 작은 픽셀 데이타가 검출되고, 회로 블록(61C 내지 64C)에서 보다 큰 픽셀 데이타가 검출되어 출력된다.

상기 회로 블록(51B 내지 54B) 각각은 상기 회로 블록(41A 내지 47A) 각각으로부터 출력된 두 픽셀 데이타중 보다 작은 픽셀 데이타와, 이 보다 작은 데이타 하나를 제공하는 회로 블록에 인접한 또 다른 회로 블록으로부터 출력된 두 픽셀 데이타중 다른 보다 작은 데이타를 공급받는다. 예컨대, 상기 회로 블록(51B)에서, 비교기(511)는 회로 블록(41A)과 회로 블록(42A)으로부터 공급받은 보다 작은 두 픽셀 데이타의 크기를 비교하고, 이 비교 결과를 기초로 선택기(512)는 보다 작은 픽셀 데이타를 출력한다. 회로 블록(52B 내지 54B) 각각은 위에서와 동일한 방법으로, 회로 블록(43A 내지 47A)으로부터 공급된 보다 작은 두 픽셀 데이타를 공급받는다.

한편, 회로 블록(61B 내지 64B) 각각은 상기 회로 블록(41A 내지 47A) 각각으로부터 출력된 두 픽셀 데이타중 보다 큰 데이타와, 이 보다 큰 데이타 하나를 제공하는 회로 블록에 인접한 또 다른 회로 블록으로부터 출력된 두 픽셀 데이타중 보다 큰 다른 데이타를 공급받는다. 예컨대, 회로 블록(61C)에서, 상기 비교기(611)는 회로 블록(41A)과 회로 블록(42A)으로부터 공급받은 보다 큰 두 픽셀 데이타의 크기를 비교한다. 회로 블록(62B 내지 64B) 각각은 위에서와 동일한 방법으로, 회로 블록(43A 내지 47A)으로부터 공급된 보다 큰 두 픽셀 데이타를 공급받는다.

이상의 설명은 제2계층의 동작이며, 동작은 다음 계층으로 진행된다.

다음 계층에서, 즉 회로 블록(71B, 72B, 81C, 84C)에서, 상기 회로 블록(51B내지 54B)과 회로 블록(61C 내지 64C)으로부터 공급된 픽셀 데이타의 크기가 비교된다. 상기 회로 블록(71B, 72B)에서, 상기 보다 작은 픽셀 데이타가 검출되고, 회로 블록(81C, 82C)에서는, 보다 큰 픽셀 데이타가 검출되어 출력된다.

예컨대, 회로 블록(71B)에서, 상기 회로 블록(51B)으로부터 공급된 픽셀 데이타와 상기 회로 블록(52A)으로부터 공급받은 픽셀 데이타가 비교되어, 보다 작은 픽셀 데이타가 출력된다. 회로 블록(72B)에서는, 회로 블록(53B)으로부터 공급된 픽셀 데이타와 회로 블록(54B)으로부터 공급된 픽셀 데이타가 비교되어, 보다 작은 픽셀 데이타가 출력된다.

또한, 회로 블록(81C)에서는, 상기 회로 블록(61B)으로부터 공급된 픽셀 데이타와 상기 회로 블록(62A)으로부터 공급된 픽셀 데이타가 비교되어, 보다 큰 픽셀 데이타가 출력된다. 회로 블록(82C)에서는, 회로 블록(63B)으로부터 공급된 픽셀 데이타와 회로 블록(64C)으로부터 공급된 픽셀 데이타가 비교되어, 보다 큰 픽셀 데이타가 출력된다.

이상의 설명은 제3계층의 동작이고, 동작은 다음 계층으로 진행된다.

다음 계층에서, 즉 회로 블록(91B,101C)에서는, 회로 블록(71B, 72B)으로부터 공급된 두 픽셀 데이타가 회로 블록(91B)에 공급되어, 보다 작은 화상 데이타가 검출 및 출력되고, 회로 블록(81B 및 82C)으로부터의 두 픽셀 데이타는 회로 블록(101C)측으로 공급되어, 보다 큰 화상 데이타가 검출 및 출력된다.

상기 회로 블록(91B)은 상기 회로 블록(71B)으로부터 픽셀 데이타와 회로 블록(72B)으로부터 픽셀 데이타를 공급받아, 이들의 두 크기를 비교하여 보다 작은 데이타를 출력한다. 회로 블록(101C)은 상기 회로 블록(81C)로부터의 픽셀 데이타와 회로 블록(82C)로부터의 픽셀 데이타를 공급받아, 이들의 두 크기를 비교하여 보다 큰 데이타를 출력한다.

따라서, 토너먼트 방식에 의해, 레지스터(21 내지 35)로부터 공급된 픽셀 데이타의 최대치와 최소치가 각각 검출된다.

상기 회로 블록(91B)로부터 출력된 픽셀 데이타의 최소치는 저장을 위해 레지스터(112)측에 공급된다. 상기 회로 블록(101C)으로부터 출력된 픽셀 데이타의 최소치는 저장을 위해 레지스터(111)측에 공급된다.

레지스터(111)에 저장된 픽셀 데이타, 및 레지스터(112)에 저장된 픽셀 데이타가 극성이 반전된 데이타가 가산기(113)측에 공급된다. 가산기(113)는 레지스터(111)로부터 공급된 픽셀 데이타, 및 레지스터(112)로부터 공급된 픽셀 데이타가 극성이 반전된 데이타를 가산함으로써, 최대치와 최소치의 차, 즉 픽셀 데이타의 동적 범위(DR)를 연산한다.

상기 가산기(113)에서 연산된 동적 범위(DR)는 상기 시프트 레지스터(114, 115)에 공급된다. 이 시프트 레지스터(114)는 하위 디지트 방향으로만 1비트에 대한 픽셀 데이타를 시프트시키며, 이에 따라 그 반값이 얻어진다.

상기 시프트 레지스터(115)는 하위 디지트 방향으로만 2 비트에 대한 픽셀 데이타를 시프트시키며, 이에 따라 그 1/4값이 얻어진다.

상기 시프트 레지스터(114)로부터 출력된 값과 상기 시프트 레지스터(115)로부터 출력된 값은 상기 가산기(116)에서 가산되고, 이 가산된 값과 상기 레지스터(112)로부터 출력된 픽셀 데이타의 최소치는 상기 가산기(117)에서 가산되며, 이 가산된 값은 저장을 위해 레지스터(120)측에 공급된다. 이 간은 픽셀 데이타를 양자화하기 위한 임계치(TH1)의 역할을 한다.

상기 시프트 레지스터(114)로부터 출력된 값과 상기 레지스터(112)로부터 출력된 픽셀 데이타의 최소치는 상기 가산기(118)에서 가산되고, 이 가산된 값은 저장을 위해 레지스터(121)측에 공급된다. 이 값은 픽셀 데이타를 양자화하기 위한 임계치(TH2)의 역할을 한다.

또한, 상기 시프트 레지스터(115)로부터 출력된 값과 상기 레지스터(112)로부터 출력된 픽셀 데이타의 최소치는 상기 가산기(119)에서 가산되고, 이 가산된 값은 저장을 위해 레지스터(122)측에 공급된다. 이 값은 픽셀 데이타를 양자화하기 위한 임계치(TH3)의 역할을 한다.

이 실시예는 도 3을 참조하여 후술되는 바와 같이, 간단화를 위해, 2 비트 ADRC에 의해 양자화를 적용한다. 임계치(TH1 내지 TH3)를 수학식으로 표현하면, 다음과 같은 수학식 1 내지 3이 제공된다:

[수학식 1]

$$TH1 = DR/2 + DR/4 + MIN$$

[수학식 2]

$$TH2 = DR/2 + MIN$$

[수학식 3]

$$TH3 = DR/4 + MIN$$

도 2는 상기 ADRC 클래스 발생 회로에서 양자화 및 클래스 코드 발생을 실행하는 일부분의 구성을 보인 블록도이다. 상기 ADRC 클래스 발생 회로는 상기 양자화 회로(131-1 내지 131-15)와 상기 레지스터(136)로 구성되어 있다. 이 양자화 회로(131-1)는 상기 비교기(132-1, 133-1, 134-1)와 선택기(135-1)로 구성되어 있다.

상기 비교기(132-1, 133-1, 134-1)에는 상기 레지스터(37)로부터 픽셀 데이타(d0)가 공급된다. 또한, 상기 비교기(132-1)에는 이미 연산된 임계치(TH1)가 제공되고, 비교기(133-1)에는 임계치(TH2)가 공급되며, 비교기(134-1)에는 임계치(TH3)가 공급된다.

상기 비교기(132-1)는 상기 입력된 픽셀 데이타(d0)와 상기 임계치(TH1)를 비교하여, 상기 픽셀 데이타(d0)가 상기 임계치(TH1)보다 크면, 상기 비교기(132-1)는 H 레벨의 신호를 출력하도록 설계되고, 그리고 상기 픽셀 데이타(dO)가 임계치(TH1)보다 작거나 동일하면, 상기 비교기는 L 레벨의 신호를 출력하도록 설계된다. 위에서와 동일한 방법으로, 상기 비교기(133-1)는 상기 입력된 픽셀 데이타(d0)와 상기 임계치(TH2)를 비교하여, 상기 픽셀 데이타(d0)가 임계치(TH2)보다 크면, 상기 비교기(133-1)는 H 레벨 신호를 출력하도록 설계되고, 상기 픽셀 데이타(d0)가 임계치(TH2)보다 작거나 동일하면, 상기 비교기는 L 레벨의 신호를 출력하도록 설계된다. 또한, 상기 비교기(134-1)는 상기 입력 픽셀 데이타(d0)와 임계치(TH3)를 비교하여, 상기 픽셀 데이타(d0)가 상기 임계치(TH3)보다 크면, 상기 비교기(134-1)는 H 레벨의 신호를 출력하도록 설계되고, 상기 픽셀 데이타(d0)가 상기 임계치(TH3)보다 작거나 동일하면, L 레벨의 신호를 출력하도록 설계된다.

상기 비교기(133-1)의 출력 신호가 H 레벨이면, 즉 상기 픽셀 데이타(d0)가 상기 임계치(TH2)보다 크면, 상기 선택기(135-1)는 단자(b)측에 입력되어 상기 비교기(132-1)로부터 출력된 신호를 선택적으로 출력한다. 한편, 상기 비교기(133-1)의 출력 신호가 L 레벨이면, 즉 상기 픽셀 데이타(d0)가 임계치(TH2)보다 작거나 동일하면, 상기 선택기(135-1)는 단자(a)에 입력되어 상기 비교기(134-1)로부터 출력된 신호를 선택적으로 출력한다.

먼저, 상기 비교기(133-1)로부터의 출력 신호가 H 레벨이면, 즉 상기 픽셀 데이타(d0)가 상기 임계치(TH2)보다 크면, 상기 비교기(133-1)는 "1'을 출력한다. 그리고, 이 경우에, 상기 선택기(135-1)는 상기 단자(b)에 입력된 신호, 즉 상기 비교기(132-1)로부터의 출력 신호를 선택적으로 출력한다. 상기 픽셀 데이타(d0)가 상기 임계치(TH1)보다 크면, 상기 비교기(132-1)는 H 레벨, 즉 "1"을 출력한다.

또한, 상기 픽셀 데이타(d0)가 상기 임계치(TH1)보다 작거나 동일하면, 상기 비교기(132-1)는 L 레벨을, 즉 "0"을 출력한다.

그러므로, 상기 픽셀 데이타(d0)가 상기 임계치(TH1)보다 크면 상기 양자화 회로(131-1)는 2 비트 데이타 "11"을 출력하고, 상기 픽셀 데이타(d0)가 상기 임계치(TH1)보다 작거나 동일하고 상기 임계치(TH2)보다 크면, 상기 양자화 회로(131-1)는 2 비트 데이타 "10"을 출력한다.

다음에, 상기 비교기(133-1)로부터의 출력 신호가 L 레벨이면, 즉 상기 픽셀 데이타(d0)가 상기 임계치(TH2)보다 작거나 동일하면, 상기 비교기(133-1)는 "0"을 출력한다. 또한, 이러한 경우에, 상기 선택기(135-1)는 단자(a)에 입력된 신호, 즉 상기 비교기(134-1)로부터의 출력 신호를 선택적으로 출력한다. 상기 픽셀 데이타(d0)가 상기 임계치(TH3)보다 크면, 상기 비교기(134-1)는 H 레벨, 즉 "1"을 출력한다. 또한, 상기 픽셀 데이타(d0)가 임계치(TH3)보다 작거나 동일하면, 상기 비교기(134-1)는 "L" 레벨, 즉 "0"을 출력한다.

그러므로, 상기 픽셀 데이타(d0)가 상기 임계치(TH2)보다 작거나 동일하고 상기 임계치(TH3)보다 크면, 상기 양자화 회로(131-1)는 2비트 데이타 "01"을 출력하며, 상기 픽셀 데이타(d0)가 상기 임계치(TH3)보다 작거나 동일하면, 상기 양자화 회로(131-1)는 2 비트 데이타 "00"을 출력한다.

이러한 방법으로, 상기 픽셀 데이타는 부호화되고 2 비트 양자화 값으로 변환된다.

상기 양자화 회로(131-2 내지 131-15)의 구성과 동작은 상기 양자화 회로(131-1)의 구성 및 동작과 동일하므로, 이에 대한 설명은 생략한다. 이들 양자화 회로는 또한 상기 입력 픽셀 데이타(d1 내지 d14) 및 상기 임계치(TH1 내지 TH3)에 따라 2 비트 데이타를 출력한다.

도 3에는 상기 픽셀 데이타(d0 내지 d14)가 2 비트 ADRC에 의해 상기 임계치(TH1 내지 TH3)에 따라 양자화되는 본 발명의 일측면이 예시되어 있다. 이 경우에, 예컨대, 상기 픽셀 데이타(d0)는 상기 임계치(TH2)보다 작거나 동일하고 상기 임계치(TH3)보다 크며, 이에 따라, 상기 픽셀 데이타(d0)는 위에 설명한 바와 같이 "01"로 양자화된다. 또한, 상기 픽셀 데이타(d2)(좌측으로부터 세번째 픽셀 데이타)는 상기 임계치(TH3)보다 작거나 동일하며, 그리고 "00"으로 양자화된다. 상기픽셀 데이타(d4)(좌측으로부터 다섯번째 픽셀 데이타)는 상기 임계치(TH1)보다 크며, 그리고 "11"로 양자화된다. 상기 픽셀 데이타(d5)(좌측으로부터 여섯번째 픽셀 데이타)는 상기 임계치(TH1)보다 작거나 동일하고 상기 임계치(TH2)보다 크며, 그리고 "10"으로 양자화된다.

다음에, 상기 양자화 회로(131-5 내지 131-15)로부터의 상기 출력 데이타(2비트 양자화값)는 상기 레지스터(136)측에 공급된다. 또한, 이들 2 비트 양자화 데이타로 형성된 30(=15×2)의 양자화 코드는 출력될 클래스 코드로 최종적으로 통합된다.

따라서, 위에서 설명한 바와 같이 양자화 회로(131-1 내지 131-15)를 구성하면, 상기 ADRC 클래스 코드를 생성하기가 용이해지고, 상기 게이트의 크기가 줄어들며, 상기 회로 구성은 LSI에 집적화되기에 보다 적합해진다.

상기 ADRC 클래스 발생 회로와 이 실시예의 회로간의 차이에 대해서는 재확인을 위해 다음과 같이 설명할 수 있다. 첫째로, 상기 픽셀 데이타의 최대치와 최소치를 검출하는 방법은 병렬 방식으로부터 순차적인 토너먼트 방식으로 변경된다.

둘째로, 상기 양자화 회로의 제조 방법은 ROM의 어레이로부터 로직의 합성으로 변경된다.

따라서, ADRC를 이용하는 클래스 분류 기법을 하드웨어 내에 형성할 때, 이점들은 상기 하드웨어를 간단화시키는 역할을 하게 된다.

또한, 상기 실시예에서, 상기 양자화 회로(131-1 내지 131-15)에서 실행된 양자화에는 2 비트 ADRC가 적용되지만, 1 비트 또는 3 비트 이상의 ADRC가 적용될 수 있다.

또한, 상기 실시예에서, 상기 임계치(TH1 내지 TH3)는 최소치상에서 상기 픽셀 데이타의 상기 최대치와 상기 최소치간의 차의 1/2 값 및 1/4값을 가산함으로써 연산되지만, 임계치(TH1 내지 TH3)는 최대치로부터, 픽셀 데이타의 최대치와 최소치간의 차의 1/2 및 1/4를 감산함으로써 연산될 수 있다.

또한, 상기 실시예는 화상 신호를 처리하는 경우에 대해서 설명하고 있지만, 본 발명은 화상 신호에 한정되지 않으며, 그리고 본 발명은 오디오 신호와 같은 기타 다른 신호를 처리하는 경우에 적용될 수 있다.

발명의 효과

특허청구의 범위 제1항에 설명된 데이타 처리 장치와 특허청구의 범위 제5항에 설명된 데이타 처리 방법에 따라, 복수의 데이타 형성 클래스가 순차적으로 저장되고, 이 저장된 데이타의 크기가 순차적으로 비교되며, 그 데이타의 최대치와 최소치는 토너먼트 방식에 의해 검출되고, 이 검출된 데이타의 최대치와 최소치간의 차로서 동적 범위가 검출되며, 양자화를 위한 복수의 임계치는 검출된 동적 범위를 기초로 연산되며, 따라서 간단한 하드웨어를 사용하여 클래스 분류를 달성할수 있다.

특허청구의 범위 제4항에 설명된 데이타 처리 장치와 제6항에 설명된 데이타처리 방법에 따라, 상기 입력 데이타와 특정 기준치의 크기가 비교되고, 이 비교 결과가 출력되며, 출력된 특정 비교 결과를 기초로 다른 출력 비교 결과중의 하나의 비교 결과가 선택적으로 출력되고, 이에 따라 간단한 하드웨어를 이용하여 양자 화를 행할 수 있다.

이와 같이 본 발명에 대해 설명하였지만, 여러 가지 방법으로 본 발명이 변형될 수 있음은 명백하다. 이러한 변형은 본 발명의 취지와 범위로부터 이탈하는 것으로 간주되어서는 안되며, 당업자에게 명백한 이러한 모든 수정은 후술되는 특허청구의 범위 내에 포함되는 것으로 의도되어 있다.

(57) 청구의 범위

청구항 1.

입력 데이타의 주변 데이타에 따라 상기 입력 데이타를 클래스들로 분류하고, 상기 클래스들의 각각에 대해 상기 입력 데이타를 처리하는 데이타 처리 장치에 있어서,

상기 클래스들을 형성하는 복수의 데이타를 순차적으로 저장하는 기억 수단과;

상기 기억 수단에 저장된 상기 데이타의 크기들을 순차적으로 비교하고, 상기 데이타의 최대치와 최소치를 토너먼트 방식(tournament system)에 의해 검출하는 제1검출 수단과;

상기 제1검출 수단에 의해 얻어진 상기 데이타의 최대치와 최소치간의 차로서 동적 범위(dynamic range)를 검출하는 제2검출 수단과;

상기 제2검출 수단에 의해 검출된 상기 동적 범위에 따라 상기 데이타를 양 자화하기 위한 복수의 임계치들을 연산하는 연산 수단을 구비하는, 데이타 처리 장치 .

청구항 2.

제1항에 있어서,

상기 연산 수단은 시프트 연산과 가산 연산에 의해 상기 복수의 임계치들을 연산하는, 데이타 처리 장치.

청구항 3.

제1항에 있어서,

상기 연산 수단에 의해 연산된 상기 임계치들에 따라 상기 데이타를 양자화하는 양자화 수단과;

상기 양자화 수단에 의해 상기 데이타가 양자화된 양자화 결과들에 따라 상기 클래스들을 발생하는 클래스 발생 수단을 더 구비하는, 데이타 처리 장치.

청구항 4.

입력되는 데이타와 각 비교 수단에서의 기준치와의 대소를 비교하고, 비교 결과를 각각 출력하는 복수의 비교 수단과;

상기 복수의 비교 수단 중, 제 1 비교 수단으로부터 출력되는 상기 비교 결과에 기초하여, 다른 제 2 및 제 3 비교 수단으로부터 출력되는 비교 결과들 중 어느 한쪽을 선택적으로 출력하는 출력 수단을 구비하는 것을 특징으로 하는 데이타처리 장치.

청구항 5.

입력 데이타의 주변 데이타에 따라 상기 입력 데이타를 클래스들로 분류하고, 상기 클래스들의 각각에 대해 상기 입력 데이타를 처리하는 데이타 처리 방법에 있어서,

상기 클래스들을 형성하는 복수의 데이타들을 순차적으로 저장하는 단계와;

상기 저장된 데이타의 크기들을 순차적으로 비교하고, 상기 데이타의 최대치와 최소치를 토너먼트 방식에 의해 검출하는 단계와;

상기 검출된 데이타의 최대치와 최소치간의 차로서 동적 범위를 검출하는 단계와;

상기 검출된 동적 범위에 따라 양자화를 위한 복수의 임계치들을 연산하는 단계를 포함하는, 데이타 처리 방법.

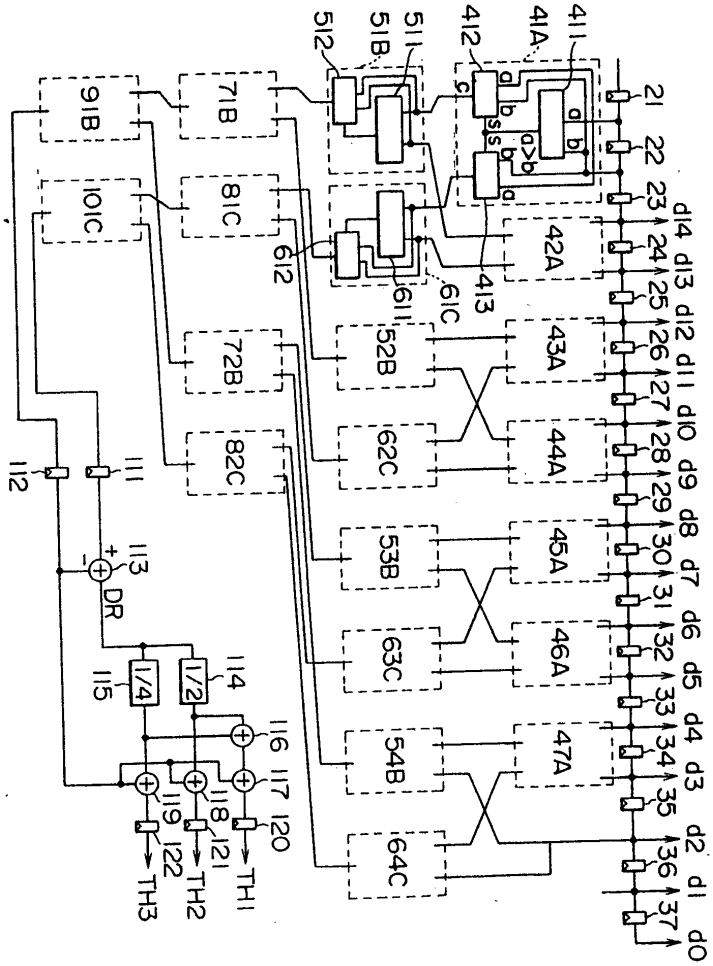
청구항 6.

입력되는 데이타를 복수의 소정의 기준치로 대소 비교하고, 복수의 비교 결과를 출력하고,

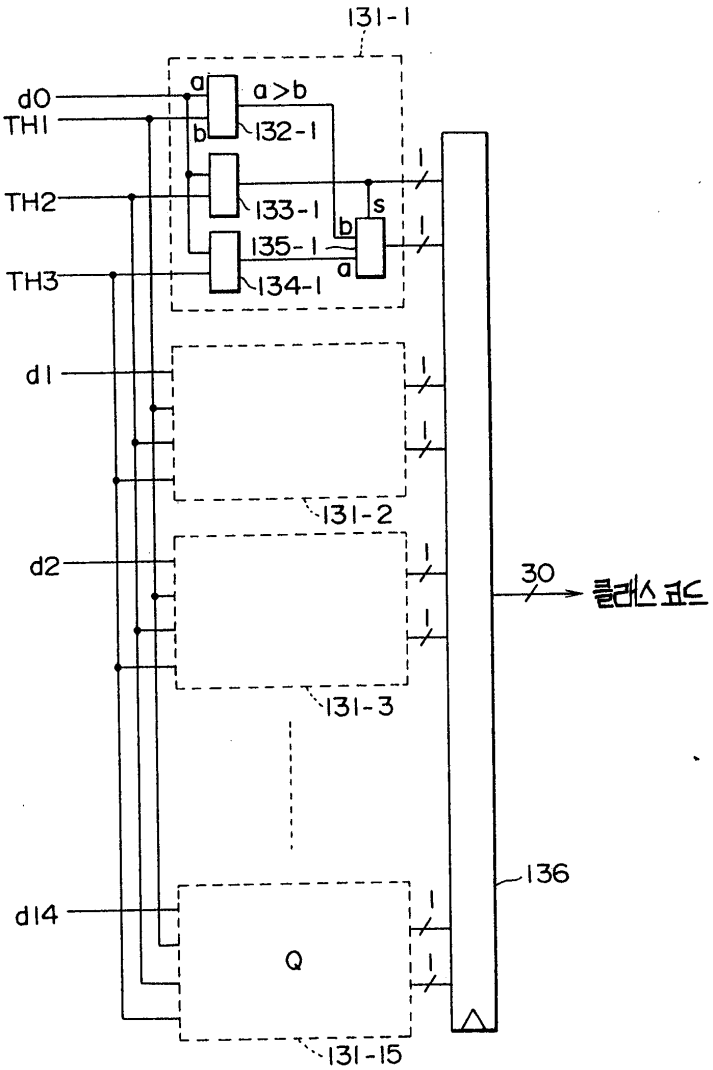
상기 출력된 복수의 상기 비교 결과 중 제 1 비교 결과에 기초하여, 출력된 다른 제 2 및 제 3 비교 결과들 중 어느 한쪽을 선택적으로 출력하는 것을 특징으로 하는 데이타 처리 방법.

도면

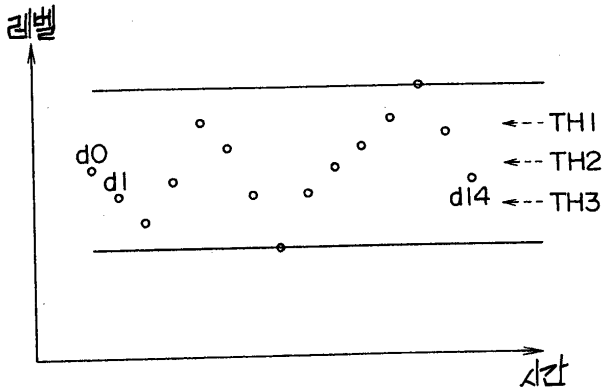
도면1


21
22
23
24
25
26
27
28
29
30
31
32
33
34
35
36
37
d14
d13
d12
d11
d10
d9
d8
d7
d6
d5
d4
d3
d2
d1
d0
411
41A
412
413
42A
43A
44A
45A
46A
47A
511
51B
512
52B
53B
54B
611
61C
612
62C
63C
64C
71B
72B
81C
82C
91B
101C
111
112
113
DR
114
1/2
115
1/4
116
117
118
119
120
121
122
TH1
TH2
TH3

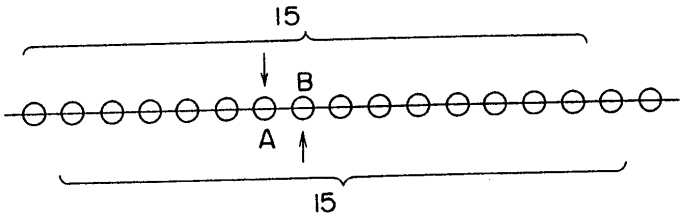
도면2


131-1
d0
TH1
a
b
a>b
132-1
TH2
133-1
s
b
135-1
a
TH3
134-1
d1
131-2
d2
30
클래스 코드
131-3
136
d14
Q
131-15

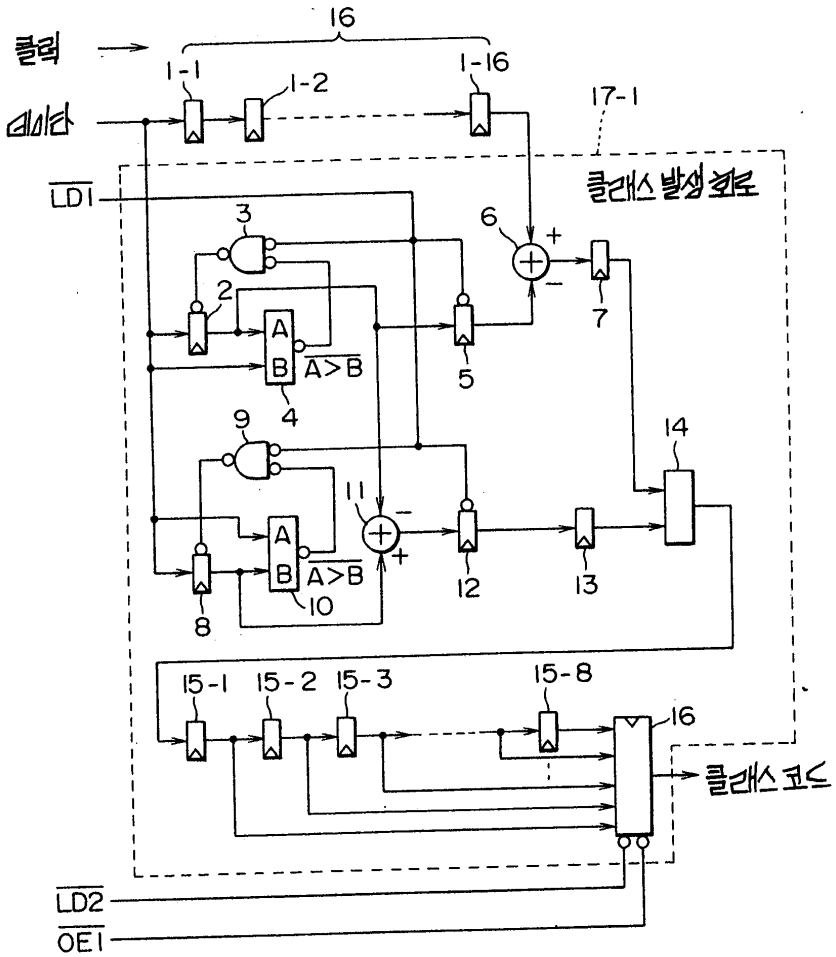
도면3


레벨
TH1
d0
TH2
d1
d14
TH3
시간

도면4


15
B
A
15

도면5


16
클럭
데이타
1-1
1-2
1-16
17-1
클래스 발생 회로
LD1
3
2
A
B
A>B
4
6
+
−
7
5
9
11
−
+
12
13
14
8
10
15-1
15-2
15-3
15-8
16
클래스 코드
LD2
OE1

도면6

