

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6595872号
(P6595872)

(45) 発行日 令和1年10月23日(2019.10.23)

(24) 登録日 令和1年10月4日(2019.10.4)

(51) Int.Cl.

F I

HO 1 L 21/8238 (2006.01)
 HO 1 L 27/092 (2006.01)
 HO 1 L 27/06 (2006.01)
 HO 1 L 21/336 (2006.01)
 HO 1 L 29/78 (2006.01)

HO 1 L 27/092 B
 HO 1 L 27/06 3 1 1 C
 HO 1 L 29/78 3 0 1 S
 HO 1 L 29/06 3 0 1 D

請求項の数 13 (全 25 頁) 最終頁に続く

(21) 出願番号 特願2015-194572 (P2015-194572)
 (22) 出願日 平成27年9月30日(2015.9.30)
 (65) 公開番号 特開2016-164967 (P2016-164967A)
 (43) 公開日 平成28年9月8日(2016.9.8)
 審査請求日 平成30年8月7日(2018.8.7)
 (31) 優先権主張番号 特願2015-35501 (P2015-35501)
 (32) 優先日 平成27年2月25日(2015.2.25)
 (33) 優先権主張国・地域又は機関
 日本国(JP)
 (31) 優先権主張番号 特願2015-37330 (P2015-37330)
 (32) 優先日 平成27年2月26日(2015.2.26)
 (33) 優先権主張国・地域又は機関
 日本国(JP)

(73) 特許権者 715010864
 エイブリック株式会社
 千葉県千葉市美浜区中瀬一丁目8番地
 (72) 発明者 原田 博文
 千葉県千葉市美浜区中瀬1丁目8番地 セ
 イコーインスツル株式会社内
 (72) 発明者 上村 啓介
 千葉県千葉市美浜区中瀬1丁目8番地 セ
 イコーインスツル株式会社内
 (72) 発明者 長谷川 尚
 千葉県千葉市美浜区中瀬1丁目8番地 セ
 イコーインスツル株式会社内
 (72) 発明者 加藤 伸二郎
 千葉県千葉市美浜区中瀬1丁目8番地 セ
 イコーインスツル株式会社内
 最終頁に続く

(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

N型半導体基板に設けられた第1のP型ウェル領域内に形成された、
 第1のゲート絶縁膜と、
 多結晶シリコンを含む第1のゲート電極と、
 N型の高濃度不純物領域を含む、第1のN型高濃度ドレイン領域及び第1のN型高濃度ソース領域と、
 前記ゲート電極と、前記第1のN型高濃度ドレイン領域及び前記第1のN型高濃度ソース領域の間に形成された第1のN型低濃度ドレイン領域及び第1のN型低濃度ソース領域と、
 を有する第1のNチャネル型MOSトランジスタと、
 前記第1のP型ウェル領域とは別の領域に前記第1のP型ウェル領域と接して設けられたN型ウェル領域内に形成された、
 第2のゲート絶縁膜と、
 多結晶シリコンを含む第2のゲート電極と、
 P型の高濃度不純物領域を含む、P型高濃度ドレイン領域及びP型高濃度ソース領域と、
 前記第2のゲート電極と、前記P型高濃度ドレイン領域及び前記P型高濃度ソース領域の間に形成されたP型低濃度ドレイン領域及びP型低濃度ソース領域と、
 を有するPチャネル型MOSトランジスタと、

10

20

前記第 1 の P 型ウェル領域とは接していない、第 2 の P 型ウェル領域内に形成された、第 3 のゲート絶縁膜と、

多結晶シリコンを含む第 3 のゲート電極と、

N 型の高濃度不純物領域を含む、第 2 の N 型高濃度ドレイン領域及び第 2 の N 型高濃度ソース領域と、

前記第 3 のゲート電極と、前記第 2 の N 型高濃度ドレイン領域及び前記第 2 の N 型高濃度ソース領域の間に配置された第 2 の N 型低濃度ドレイン領域及び第 2 の N 型低濃度ソース領域と、

前記第 2 の N 型低濃度ドレイン領域及び前記第 2 の N 型低濃度ソース領域上に配置された前記第 3 のゲート絶縁膜より厚い第 1 の絶縁膜と、

10

前記第 2 の N 型低濃度ドレイン領域の一部を含む領域と前記第 2 の N 型高濃度ドレイン領域の下方に、深さは前記第 2 の P 型ウェル領域よりも浅く形成された第 1 の N 型低濃度不純物領域と、

を有する第 2 の N チャンネル型 MOS トランジスタと、

前記第 1 の P 型ウェル領域とは接していない、第 3 の P 型ウェル領域内に形成された、第 4 のゲート絶縁膜と、

多結晶シリコンを含む第 4 のゲート電極と、

N 型の高濃度不純物領域を含む、第 3 の N 型高濃度ドレイン領域及び第 3 の N 型高濃度ソース領域と、

前記第 4 のゲート電極と、前記第 3 の N 型高濃度ドレイン領域及び前記第 3 の N 型高濃度ソース領域の間に配置された第 3 の N 型低濃度ドレイン領域及び第 3 の N 型低濃度ソース領域と、

20

前記第 3 の N 型低濃度ドレイン領域及び前記第 3 の N 型低濃度ソース領域上に配置された前記第 4 のゲート絶縁膜より厚い第 2 の絶縁膜と、

前記第 3 の N 型低濃度ドレイン領域の一部を含む領域と前記第 3 の N 型高濃度ドレイン領域の下方に形成された第 2 の N 型低濃度不純物領域と、

を有する第 3 の N チャンネル型 MOS トランジスタと、を備え、

前記第 3 の N チャンネル型 MOS トランジスタは、前記第 3 の N 型高濃度ドレイン領域が電源端子に接続され、前記第 3 の N 型高濃度ソース領域がグラウンド端子に接続された ESD 保護素子であることを特徴とする半導体集積回路装置。

30

【請求項 2】

前記第 2 の N 型低濃度不純物領域は、深さが前記第 3 の P 型ウェル領域よりも浅く形成されていることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 3】

前記第 2 の N 型低濃度不純物領域は、前記第 3 の P 型ウェル領域と隣接し、底面が前記 N 型半導体基板に接して形成されていることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 4】

前記第 2 の P 型ウェル領域における前記第 1 の N 型低濃度不純物領域の下の領域の不純物濃度は、前記第 1 の P 型ウェル領域の不純物濃度よりも低く、

40

前記第 2 の P 型ウェル領域における前記第 1 の N 型低濃度不純物領域の下以外の領域の不純物濃度は、前記第 1 の P 型ウェル領域の不純物濃度と同一であることを特徴とする請求項 3 記載の半導体集積回路装置。

【請求項 5】

前記第 1 の N 型低濃度不純物領域を構成する不純物の拡散係数が、前記第 2 の P 型ウェル領域を構成する不純物の拡散係数よりも低いことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 6】

前記 N 型半導体基板は、 $3 \times 10^{14} / \text{cm}^3$ から $8 \times 10^{14} / \text{cm}^3$ の不純物濃度のリンを含み、

50

前記第1のP型ウェル領域は、 $8 \times 10^{15} / \text{cm}^3$ から $4 \times 10^{16} / \text{cm}^3$ の不純物濃度のホウ素もしくはBF₂を含み、前記N型半導体基板の表面より7 μm から10 μm までの深さを有し、

前記N型ウェル領域は、 $8 \times 10^{15} / \text{cm}^3$ から $4 \times 10^{16} / \text{cm}^3$ の不純物濃度のリンを含み、半導体基板表面より7 μm から10 μm の深さを有し、

前記第1のN型低濃度不純物領域は、 $2 \times 10^{16} / \text{cm}^3$ から $2 \times 10^{17} / \text{cm}^3$ の不純物濃度の砒素を含み、半導体基板表面より2 μm から3.5 μm の深さを有していることを特徴とする請求項1乃至5のいずれか1項に記載の半導体集積回路装置。

【請求項7】

前記第1のNチャネル型MOSトランジスタの最小ゲート長が、1.0 μm であることを特徴とする、請求項1乃至6のいずれか1項に記載の半導体集積回路装置。

【請求項8】

前記第1のNチャネル型MOSトランジスタの最大動作電圧及び半導体集積回路装置の出力電圧が、12V以下であることを特徴とする、請求項7記載の半導体集積回路装置。

【請求項9】

前記第1のP型ウェル領域が、 $5 \times 10^{16} / \text{cm}^3$ から $2 \times 10^{17} / \text{cm}^3$ の不純物濃度のホウ素もしくはBF₂を含むことを特徴とする請求項4記載の半導体集積回路装置。

【請求項10】

前記第1のNチャネル型MOSトランジスタの最小ゲート長が、0.5 μm であることを特徴とする、請求項4または9に記載の半導体集積回路装置。

【請求項11】

前記第1のNチャネル型MOSトランジスタの最大動作電圧及び半導体集積回路装置の出力電圧が、6V以下であることを特徴とする、請求項10記載の半導体集積回路装置。

【請求項12】

第1のNチャネル型MOSトランジスタとPチャネル型MOSトランジスタと第2のNチャネル型MOSトランジスタとを含む半導体集積回路装置の製造方法であって、

N型半導体基板上に、第1のシリコン酸化膜及び第1のシリコン窒化膜を積層し、N型ウェル層形成予定領域の前記第1のシリコン窒化膜を開口して第1のシリコン窒化膜開口部を形成し、リンを含むN型不純物をイオン注入法により注入しN型ウェル層を形成する、N型ウェル層形成工程と、

前記第1のシリコン窒化膜開口部に第1のシリコン熱酸化膜を形成し、前記第1のシリコン窒化膜を除去した、前記N型ウェル層形成予定領域以外の領域に、ホウ素もしくはBF₂を含むP型不純物をイオン注入法によりセルフアラインに注入し第1のP型ウェル層を形成する、第1のP型ウェル層形成工程と、

前記第2のNチャネル型MOSトランジスタのN型低濃度不純物層形成予定領域に、砒素を含むN型不純物をイオン注入法により注入し第2のNチャネル型MOSトランジスタのN型低濃度不純物層を形成する、第2のNチャネル型MOSトランジスタのN型低濃度不純物層形成工程と、

熱処理により、前記N型ウェル層と、前記第1のP型ウェル層と、前記第2のNチャネル型MOSトランジスタのN型低濃度不純物層とを同時に拡散させる、ウェル拡散工程と、

第2のシリコン酸化膜及び第2のシリコン窒化膜を積層し、前記第2のNチャネル型MOSトランジスタのN型低濃度ドレイン/ソース形成予定領域の前記第2のシリコン窒化膜を開口して第2のシリコン窒化膜開口部を形成し、リンを含むN型不純物をイオン注入法により注入し第2のNチャネル型MOSトランジスタのN型低濃度ドレイン/ソースを形成する、第2のNチャネル型MOSトランジスタのN型低濃度ドレイン/ソース形成工程と、

前記第2のシリコン窒化膜開口部の前記第2のNチャネル型MOSトランジスタのN型低濃度ドレイン/ソース上に第2のシリコン熱酸化膜を形成する、前記第2のNチャネル型MOSトランジスタのゲート/ドレイン間電界緩和絶縁膜形成工程と、

10

20

30

40

50

前記第1のNチャネル型MOSトランジスタ、前記Pチャネル型MOSトランジスタ及び前記第2のNチャネル型MOSトランジスタのゲート絶縁膜を形成するゲート絶縁膜形成工程と、

前記ゲート絶縁膜の上にゲート電極を形成するゲート電極形成工程と、

前記第1のNチャネル型MOSトランジスタのN型低濃度ドレイン/ソース形成予定領域にリンを含むN型不純物をイオン注入法により注入する、第1のNチャネル型MOSトランジスタのN型低濃度ドレイン/ソース形成工程と、

前記Pチャネル型MOSトランジスタのP型低濃度ドレイン/ソース形成予定領域にホウ素もしくはBF₂を含むP型不純物をイオン注入法により注入する、P型低濃度ドレイン/ソース形成工程と、

10

前記第1のNチャネル型MOSトランジスタ及び前記第2のNチャネル型MOSトランジスタの高濃度ドレイン/ソース形成予定領域に、砒素を含むN型不純物層をそれぞれ形成し、前記Pチャネル型MOSトランジスタの高濃度ドレイン/ソース形成予定領域にBF₂を含むP型不純物層を形成する、高濃度ドレイン/ソース層形成工程と、
を有する半導体集積回路装置の製造方法。

【請求項13】

第1のNチャネル型MOSトランジスタとPチャネル型MOSトランジスタと第2のNチャネル型MOSトランジスタと第3のNチャネル型MOSトランジスタを含む半導体集積回路装置の製造方法であって、

N型半導体基板上に、第1のシリコン酸化膜及び第1のシリコン窒化膜を積層し、N型ウェル層形成予定領域及び第3のNチャネル型MOSトランジスタのN型低濃度不純物層形成予定領域の前記第1のシリコン窒化膜を開口して第1のシリコン窒化膜開口部を形成し、リンを含むN型不純物をイオン注入法により注入しN型ウェル層及び第3のNチャネル型MOSトランジスタのN型低濃度不純物層を形成する、N型ウェル層及び第3のNチャネル型MOSトランジスタのN型低濃度不純物層形成工程と、

20

前記第1のシリコン窒化膜開口部に第1のシリコン熱酸化膜を形成し、前記第1のシリコン窒化膜を除去した、前記N型ウェル層及び第3のNチャネル型MOSトランジスタのN型低濃度不純物層以外の領域に、ホウ素もしくはBF₂を含むP型不純物をイオン注入法によりセルフアラインに注入し第1のP型ウェル層を形成する、第1のP型ウェル層形成工程と、

30

前記第1のシリコン窒化膜を剥離した後に第2のシリコン窒化膜を堆積し、第2のNチャネル型MOSトランジスタのN型低濃度不純物層形成予定領域の前記第2のシリコン窒化膜を開口して第2のシリコン窒化膜開口部を形成し、砒素を含むN型不純物をイオン注入法により注入し第2のNチャネル型MOSトランジスタのN型低濃度不純物層を形成する、第2のNチャネル型MOSトランジスタのN型低濃度不純物層形成工程と、

前記第2のシリコン窒化膜開口部に第2のシリコン熱酸化膜を形成し、前記第2のシリコン窒化膜を除去した前記N型半導体基板上の前記第2のNチャネル型MOSトランジスタのN型低濃度不純物層形成予定領域、前記N型ウェル層形成予定領域、及び前記第3のNチャネル型MOSトランジスタのN型低濃度不純物層形成予定領域以外の領域に、ホウ素もしくはBF₂を含むP型不純物をイオン注入法によりセルフアラインに注入し第2のP型ウェル層を形成する、第2のP型ウェル層形成工程と、

40

熱処理により、前記N型ウェル層、前記第1のP型ウェル層、前記第2のP型ウェル層、前記第2のNチャネル型MOSトランジスタのN型低濃度不純物層及び前記第3のNチャネル型MOSトランジスタのN型低濃度不純物層とを同時に拡散させる、ウェル拡散工程と、

第3のシリコン酸化膜及び第3のシリコン窒化膜を積層し、前記第2のNチャネル型MOSトランジスタ及び前記第3のNチャネル型MOSトランジスタのN型低濃度ドレイン/ソース形成予定領域の前記第3のシリコン窒化膜を開口して第3のシリコン窒化膜開口部を形成し、リンを含むN型不純物をイオン注入法により注入する、第2のNチャネル型MOSトランジスタ及び第3のNチャネル型MOSトランジスタのN型低濃度ドレイン/

50

ソース形成工程と、

前記第3のシリコン窒化膜開口部の前記第2のNチャネル型MOSトランジスタ及び第3のNチャネル型MOSトランジスタのN型低濃度ドレイン/ソース形成予定領域上に第3のシリコン熱酸化膜を形成する、第2のNチャネル型MOSトランジスタ及び第3のNチャネル型MOSトランジスタのゲート/ドレイン間電界緩和絶縁膜形成工程と、

前記第1のNチャネル型MOSトランジスタ、前記Pチャネル型MOSトランジスタ、前記第2のNチャネル型MOSトランジスタ及び前記第3のNチャネル型MOSトランジスタのゲート絶縁膜を形成するゲート絶縁膜形成工程と、

前記ゲート絶縁膜の上にゲート電極を形成するゲート電極形成工程と、

前記第1のNチャネル型MOSトランジスタのN型低濃度ドレイン/ソース形成予定領域にリンを含むN型不純物をイオン注入法により注入する、第1のNチャネル型MOSトランジスタのN型低濃度ドレイン/ソース形成工程と、

前記Pチャネル型MOSトランジスタのP型低濃度ドレイン/ソース形成予定領域にホウ素もしくはBF₂を含むP型不純物をイオン注入法により注入する、P型低濃度ドレイン/ソース形成工程と、

前記第1のNチャネル型MOSトランジスタ、前記第2のNチャネル型MOSトランジスタ及び前記第3のNチャネル型MOSトランジスタの高濃度ドレイン/ソース形成予定領域に、砒素を含むN型不純物層をそれぞれ形成し、前記Pチャネル型MOSトランジスタの高濃度ドレイン/ソース形成予定領域にBF₂を含むP型不純物層を形成する、高濃度ドレイン/ソース層形成工程と、

を有する半導体集積回路装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、N型半導体基板を使用した、30V以上の電源電圧を必要とする半導体集積回路装置およびその製造方法に関する。

【背景技術】

【0002】

電気機器に用いられる電気回路は電池などの外部電源により駆動されるが、この外部電源の電圧値が変動すると電気回路の誤動作や様々な異常現象を引き起こす可能性があるので、外部電源を調整し一定電圧を出力したり、電源の変動をモニタリングしたりするようなパワーマネジメントICを電気回路と外部電源との間に設置し、安定動作を図るのが一般的である。

【0003】

パワーマネジメントICに求められる要求の1つとして高電圧入力/低電圧出力があるが、それに対応するためには半導体集積回路装置内に高電圧用信号処理の領域と低電圧用信号処理の領域を設ける必要がある。具体的には出力回路や内部論理回路などに向けた低耐圧用の素子を用いた低電圧用信号処理領域と、入力回路や一部の出力回路などに向けた高耐圧用の素子を用いた高電圧信号処理領域それぞれを用意する。このとき、高耐圧が必要となる回路では素子領域や素子分離領域を高耐圧に耐えうる構造にするために大きな所要面積が必要となるため、極力必要な部分のみ高耐圧素子や構造を用い、他の領域を低耐圧化することで半導体集積回路装置の高コスト化を抑制する工夫が重要となる。

【0004】

図6(1)に、このような低耐圧用のMOSトランジスタと高耐圧用のMOSトランジスタをP型半導体基板内の同一半導体集積回路内に形成した場合の模式断面図を示す。P型半導体基板1の表面に設けられた低耐圧用のNMOSトランジスタ501は、第1のゲート絶縁膜9とその直上のゲート電極6及び両端に配置するドレイン/ソース領域とからなる。そのドレイン/ソース領域は、金属とコンタクトするための低抵抗で高濃度のN型不純物領域17と第1のN型低濃度不純物領域18とで構成する。

【0005】

10

20

30

40

50

一方、高耐圧NMOSトランジスタ503は、ゲート絶縁膜9とその直上のゲート電極6及び両端に配置するドレイン/ソース領域とからなる。このドレイン/ソース領域は高濃度のN型不純物領域17及び第2のN型低濃度不純物領域19からなり、さらにN型低濃度不純物領域19上にはゲート絶縁膜よりも厚い絶縁膜13を形成している。この厚い絶縁膜はゲート/ドレイン間の電界緩和に効果があり有効である。

【0006】

このようなドレイン構造は30V以上のドレイン耐圧が必要とされる場合に採用され、主にドレイン側の第2のN型低濃度不純物領域19の長さや濃度によって耐圧調整がなされる。

【0007】

この高耐圧NMOSトランジスタのN型高濃度領域17は、一般にプロセスコスト削減のために低耐圧NMOSトランジスタのN型高濃度不純物領域17と工程を共有し、砒素あるいはアンチモンを使用する。

【0008】

また、しばしば、第2のN型低濃度不純物領域19は、素子外領域のチャネルストップ構造と併用する事で工程の簡略化が図られる。このため第2のN型低濃度不純物領域19の上には、LOCOSプロセスで形成される絶縁膜13が配置され、N型低濃度不純物領域19の濃度は配線による濃度反転防止のための濃度に合わせられる。一般に半導体集積回路の中で高耐圧NMOSトランジスタが使用される頻度が低い場合は、これらのような簡略化のための構造上の制約が高耐圧NMOSトランジスタに課せられ、この制約の中で素子設計をすることになる。

【0009】

さらには、図6(2)に示すように高耐圧NMOSトランジスタについては、このN型高濃度不純物領域17の全体と、第2のN型低濃度不純物領域19の一部を覆うように、深さが数 μm まで達する第3のN型低濃度不純物領域14を高耐圧NMOSトランジスタのドレイン側に設ける場合がある。これは、隣接するN型高濃度不純物領域17と第2のN型低濃度不純物領域19との境界の接触部分が少ないことを補完し、高耐圧NMOSトランジスタの電氣的動作時にかかる高電圧と大電流による発熱破壊を防ぐ効果がある。またこのような破壊現象は瞬間的な破壊だけでなく、長期信頼性にも影響する。

【0010】

加えて、このようなドレイン側の深い拡散領域14は、ESD(Electrostatic Discharge)破壊などの耐性向上にも効果がある。その理由は、瞬間的に入ってくる静電気に起因したアンペアレベルの過大電流による発熱・温度上昇を、大きなN型拡散領域の体積と、半導体基板との間に形成される広いPN接合の接触面積で緩和し、PN接合破壊を抑制することができるからである(例えば、特許文献1参照)。

【0011】

ところで、このような半導体集積回路に用いる半導体基板は、経済的な面からするとインゴット中の不純物濃度安定領域が広くウェハー収量が多いP型半導体基板が望ましいが、機能面やユーザからの要請でN型半導体基板を使用することは多い。

【0012】

例えば、内部に集積化するNMOSトランジスタの精度を保つため、バックバイアスがかからないような構成にするためには、N型半導体基板を使用しそれぞれのNMOSトランジスタを形成するP型ウェル領域を分離し、それぞれのP型ウェル領域の電位を任意に変更するという方法を取る。

【先行技術文献】

【特許文献】

【0013】

【特許文献1】特開2008-010443号公報

【発明の概要】

【発明が解決しようとする課題】

10

20

30

40

50

【 0 0 1 4 】

従来、N型半導体基板上に高耐圧NMOSトランジスタを集積化するには以下のような問題があった。

まず、図6(2)において高耐圧NMOSトランジスタのドレイン領域に形成するN型低濃度不純物領域14を高温長時間熱処理で形成していたために、そのままこの高耐圧NMOSトランジスタの領域全体をP型ウェル領域で包むにはさらに従来よりも深いP型ウェル拡散熱処理工程を必要とした。そのため両者のウェル領域を深く形成するために、1100以上の高温で長時間の熱処理を2回施す事が必要で、工期の長期化とともに、横方向への拡散の伸張による所要面積の増大が発生し、それらに伴う価格上昇が避けられなかった。

10

【 0 0 1 5 】

また、縦方向の2重拡散の高耐圧化のためにエピタキシャル成長プロセスを利用したPN接合分離あるいはSOI基板などを使用した誘電体分離を採用する方法があるが、この方法は所要面積の増大は抑制できるものの、製造費用の増大が著しく、やはり価格の上昇を引き起こしていた。

【 0 0 1 6 】

また、深い拡散の形成に対する別の方法として、MeV(百万電子ボルト)級イオン注入法が挙げられるが、これは高額な装置が必要で、特に微細プロセスを採用しない廉価プロセスにより製造される製品では、装置費用の増大による製品コストの上昇を無視することはできない。

20

【 0 0 1 7 】

一方、高耐圧NMOSトランジスタ503のドレイン領域にN型低濃度不純物領域14を形成しないでESDなどの耐性の向上を図ろうとする場合、ノイズ緩和用の抵抗体などの設置が必要になるが、発熱による破壊を防ぐために半導体集積回路装置の所要面積を左右する程の抵抗サイズが必要となり、やはりコストの上昇が避けられなかった。

【 0 0 1 8 】

そこで、本発明はN型半導体基板を用いながら、従来のイオン注入・高温熱処理方法を用いても、工期の長期化を伴わずに30V以上の高耐圧とESD等に対する発熱破壊耐性を有する半導体集積回路装置およびその製造方法を提供することを課題とする。

【課題を解決するための手段】

30

【 0 0 1 9 】

本発明は上記課題を解決するために、以下のようにした。すなわち、

N型半導体基板に設けられた第1のP型ウェル領域内に形成された、

第1のゲート絶縁膜と、

多結晶シリコンからなる第1のゲート電極と、

N型の高濃度不純物領域からなる、第1のN型高濃度ドレイン領域及び第1のN型高濃度ソース領域と、

前記ゲート電極と、前記N型高濃度ドレイン領域及び前記N型高濃度ソース領域の間に形成された第1のN型低濃度ドレイン領域及び第1のN型低濃度ソース領域と、

を有するNチャネル型の低耐圧MOSトランジスタと、

40

前記第1のP型ウェル領域とは別の領域に前記第1のP型ウェル領域と接して設けられたN型ウェル領域内に形成された、

第2のゲート絶縁膜と、

多結晶シリコンからなる第2のゲート電極と、

P型の高濃度不純物領域からなる、P型高濃度ドレイン領域及びP型高濃度ソース領域と、

前記第2のゲート電極と、前記P型高濃度ドレイン領域及び前記P型高濃度ソース領域の間に形成されたP型低濃度ドレイン領域及びP型低濃度ソース領域と、

を有するPチャネル型の低耐圧MOSトランジスタと、

前記第1のP型ウェル領域とは接していない、前記第1のP型ウェル領域と同じ不純物

50

濃度を有する第2のP型ウェル領域内に形成された、

第3のゲート絶縁膜と、

多結晶シリコンからなる第3のゲート電極と、

N型の高濃度不純物領域からなる、第3のN型高濃度ドレイン領域及び第3のN型高濃度ソース領域と、

前記第3のゲート電極と、前記第3のN型高濃度ドレイン領域及び前記第3のN型高濃度ソース領域の間に配置された第2のN型低濃度ドレイン領域及び第2のN型低濃度ソース領域と、

前記第2のN型低濃度ドレイン領域及び前記第2のN型低濃度ソース領域上に配置された前記第3のゲート絶縁膜より厚い絶縁膜と、

10

前記第2のN型低濃度ドレイン領域の一部を含む領域と前記第3のN型高濃度ドレイン領域の下方に、深さは前記第2のP型ウェル領域よりも浅く形成された第3のN型低濃度不純物領域と、

を有する第1のNチャンネル型の高耐圧MOSトランジスタと、

第2のNチャンネル型の高耐圧MOSトランジスタと、

を有する半導体集積回路装置とした。

【0020】

また、別の態様では、

N型半導体基板に設けられた、第1のP型ウェル領域と、

前記第1のP型ウェル領域よりも不純物濃度が高い第2のP型ウェル領域内に形成されたNチャンネル型の低耐圧MOSトランジスタと、

20

N型ウェル領域内に形成されたPチャンネル型の低耐圧MOSトランジスタと、

前記第2のP型ウェル領域とは接していない、前記第2のP型ウェル領域と同じ不純物濃度を有する第3のP型ウェル領域内に形成された、

第1のゲート絶縁膜と、

多結晶シリコンからなる第1のゲート電極と、

N型の高濃度不純物領域からなる、第1のN型高濃度ドレイン領域及び第1のN型高濃度ソース領域と、

前記第1のゲート電極と、前記第1のN型高濃度ドレイン領域及び前記第1のN型高濃度ソース領域の間に配置された第1のN型低濃度ドレイン領域及び第1のN型低濃度ソース領域と、

30

前記第1のN型低濃度ドレイン領域及び前記第1のN型低濃度ソース領域上に配置された前記第1のゲート絶縁膜より厚い絶縁膜と、

前記第1のN型低濃度ドレイン領域の一部及び前記第1のN型高濃度ドレイン領域の下方に、深さは前記第3のP型ウェル領域よりも浅く形成された第3のN型低濃度不純物領域と、

前記第3のN型低濃度不純物領域の下から前記N型半導体基板の間に設けられた前記第1のP型ウェル領域と、

を有する第1のNチャンネル型の高耐圧MOSトランジスタと、

前記第2のP型ウェル領域とは接していない、前記第2のP型ウェル領域と同じ不純物濃度を有する第4のP型ウェル領域内に形成された、

40

第2のゲート絶縁膜と、

多結晶シリコンからなる第2のゲート電極と、

N型の高濃度不純物領域からなる、第2のN型高濃度ドレイン領域及び第2のN型高濃度ソース領域と、

前記第2のゲート電極と、前記第2のN型高濃度ドレイン領域及び前記第2のN型高濃度ソース領域の間に配置された第2のN型低濃度ドレイン領域及び第2のN型低濃度ソース領域と、

前記第2のN型低濃度ドレイン領域及び前記第2のN型低濃度ソース領域上に配置された前記第2のゲート絶縁膜より厚い絶縁膜と、

50

前記第 2 の N 型低濃度ドレイン領域の一部及び前記第 2 の N 型高濃度ドレイン領域を含み、前記第 4 の P 型ウェル領域と隣接し、底面が前記 N 型半導体基板に接して形成された第 4 の N 型低濃度不純物領域と、
を有し、E S D 保護素子として使用される第 2 の N チャネル型の高耐圧 M O S トランジスタと、を有する半導体集積回路装置とした。

【 0 0 2 1 】

さらに、上記態様を含む半導体集積回路装置の製造方法を課題解決のための手段としている。

【 発明の効果 】

【 0 0 2 2 】

本発明によれば、N 型半導体基板を用いても、従来のイオン注入・高温熱処理方法を踏襲しながら工期の長期化を伴わずに製造でき、30V 以上の高耐圧と E S D 等の発熱破壊耐性を有した、安価で高性能な半導体集積回路装置およびその製造方法を提供できる。

【 図面の簡単な説明 】

【 0 0 2 3 】

【 図 1 】 本発明の第 1 の実施例を実現する模式断面図である。

【 図 2 】 本発明の第 1 の実施例が適用可能な回路構成の一部である。

【 図 3 】 第 3 の N 型不純物濃度に対する縦方向耐圧の関係を表す特性グラフである。

【 図 4 】 本発明の第 2 の実施例を実現する模式断面図である。

【 図 5 】 本発明の第 3 の実施例を実現する模式断面図である。

【 図 6 】 従来の低耐圧 N M O S トランジスタと高耐圧 N M O S トランジスタの模式断面図である。

【 図 7 】 本発明の第 1 の実施例を実現する工程フローを示す断面図である。

【 図 8 】 図 7 に続く、本発明の第 1 の実施例を実現する工程フロー断面図である。

【 図 9 】 図 8 に続く、本発明の第 1 の実施例を実現する工程フロー断面図である。

【 図 10 】 本発明の第 2 の実施例を実現する工程フローを示す断面図である。

【 図 11 】 図 10 に続く、本発明の第 2 の実施例を実現する工程フロー断面図である。

【 図 12 】 図 11 に続く、本発明の第 2 の実施例を実現する工程フロー断面図である。

【 図 13 】 本発明の第 3 の実施例を実現する工程フローを示す断面図である。

【 図 14 】 図 13 に続く、本発明の第 3 の実施例を実現する工程フロー断面図である。

【 図 15 】 図 14 に続く、本発明の第 3 の実施例を実現する工程フロー断面図である。

【 発明を実施するための形態 】

【 0 0 2 4 】

本発明では、高電圧の入力電圧と低電圧の出力電圧を必要とする半導体集積回路装置において、N 型半導体基板上に高耐圧 N M O S トランジスタを集積化するにあたり、高耐圧 N M O S トランジスタのドレイン領域に深い N 型低濃度不純物領域を形成するための新しい構成を案出した。また、この N 型低濃度不純物領域や P 型ウェル領域を形成するための 1100 以上の高温熱処理は従来の工程と同程度とすることにより、工期の長期化とそれに伴うコスト増大を抑制した。

以下にこの発明の実施の形態を図面に基づいて説明する。

【 実施例 1 】

【 0 0 2 5 】

図 1 は本発明の第 1 の実施例を表す模式断面図である。本実施例では N 型半導体基板 7 に、低電圧駆動用の低耐圧の M O S トランジスタ 501、502 と、高電圧駆動用の高耐圧の M O S トランジスタ 503、504 を集積化している。

【 0 0 2 6 】

低耐圧 N M O S トランジスタ 501 は、半導体集積回路装置の中の低電圧用信号処理領域内の P 型ウェル領域 5 内に形成された、従来と同様の構造を有する低電圧駆動用であり、ゲート電極 6、ゲート絶縁膜 9、ドレイン/ソース領域の一部を構成しドレイン/ソース端子を取り出すための N 型高濃度不純物領域 17、ドレイン/ソース領域の一部を構成

10

20

30

40

50

しドレイン／ソース間の電界緩和を目的とした第１のＮ型低濃度不純物領域１８とからなる。

【００２７】

また、低耐圧ＰＭＯＳトランジスタ５０２は、同じく半導体集積回路装置の中の低電圧用信号処理領域内のＮ型ウェル領域２１内に形成された、従来と同様の構造の低電圧駆動用であり、ゲート電極６、ゲート絶縁膜９、ドレイン／ソース領域の一部を構成しドレイン／ソース端子を取り出すためのＰ型高濃度不純物領域２３、ドレイン／ソース領域の一部を構成しドレイン／ソース間の電界緩和を目的としたＰ型低濃度不純物領域２０とからなる。

【００２８】

また、第１の高耐圧ＮＭＯＳトランジスタ５０３は、半導体集積回路装置の中の高電圧用信号処理領域内のＰ型ウェル領域５内に形成された高電圧駆動用であり、ゲート電極６、ゲート絶縁膜９、ドレイン／ソース領域の一部を構成しドレイン／ソース端子を取り出すためのＮ型高濃度不純物領域１７、ドレイン／ソース領域の一部を構成しドレイン／ソース間の電界緩和を目的とした第２のＮ型低濃度不純物領域１９、ゲート絶縁膜より厚い膜厚を有しゲート／ドレイン間の電界緩和を目的とした第２のＮ型低濃度不純物領域１９上に形成された厚い絶縁膜１３、第２のＮ型低濃度不純物領域１９の一部を含む領域及びＮ型高濃度不純物領域１７の下方に、Ｐ型ウェル領域５よりは浅く形成された第３のＮ型低濃度不純物領域１４とからなり、高電圧信号処理回路に使用する。

【００２９】

また、第２の高耐圧ＮＭＯＳトランジスタ５０４は、Ｐ型ウェル領域５内に形成された高電圧駆動用であり、高電圧の電源端子と最低電位であるグラウンド端子との間に設置し、外部から侵入する静電気ノイズ保護用素子として使用するが、本実施例においては第１の高耐圧ＮＭＯＳトランジスタ５０３と同じ構造である。

【００３０】

また図示はしないが、半導体集積回路装置の中の高電圧用信号処理領域内のＮ型ウェル領域内に形成した高電圧駆動用の高耐圧ＰＭＯＳトランジスタも存在し、ゲート電極、ゲート絶縁膜、ドレイン／ソース領域の一部を構成しドレイン／ソース端子を取り出すためのＰ型高濃度不純物領域、ドレイン／ソース領域の一部を構成しドレイン／ソース間の電界緩和を目的としたＰ型低濃度不純物領域、及びゲート／ドレイン間の電界緩和を目的としたＰ型低濃度不純物領域上に形成するゲート絶縁膜より厚い絶縁膜とから構成される。

【００３１】

また図２は、上記各ＭＯＳトランジスタ素子の回路上の代表的な役割の例を表す回路図の一部である。先に述べたように、電源端子１０６と、最低電位となるグラウンド端子１０５の間に印加する電圧は近年高電圧化しており、その信号処理は第１の高耐圧ＮＭＯＳトランジスタ５０３と高耐圧ＰＭＯＳトランジスタ５０５とで構成した回路によって行う。

【００３２】

また、その電源端子１０６とグラウンド端子１０５間の静電気ノイズから内部回路を保護するための静電気ノイズ用保護素子は、本実施例では第１の高耐圧ＮＭＯＳトランジスタと同じ構造の第２の高耐圧ＮＭＯＳトランジスタ５０４を使用し、電源端子１０６にドレイン端子を接続し、グラウンド端子１０５にソース端子及びゲート端子を接続するゲートオフ構成を取り、静電気ノイズが侵入した場合のみアバランシェ降伏によりドレイン端子からグラウンド端子にその静電気ノイズを逃がし、内部回路を静電気ノイズから守る役割を担う。

【００３３】

もし高電圧信号処理回路において出力端子１０７がある場合は、その出力端子１０７とグラウンド端子１０５間の静電気ノイズについては、回路上出力端子１０７とグラウンド端子１０５間に設定されている第１の高耐圧ＮＭＯＳトランジスタ５０３がそのまま静電気ノイズ保護素子としての役割を兼用してもよい。もしこの第１の高耐圧ＮＭＯＳトラン

10

20

30

40

50

ジスタの回路上小さいサイズで設定されているなどして、静電気ノイズに対する耐性が低い場合は、保護素子として並列にチャネル幅を静電気ノイズに基づく電流を充分許容できるサイズに大きく設定した高耐圧NMOSトランジスタを別途専用にて設けてもよい。その場合は出力端子107にドレイン端子を接続し、グラウンド端子にソース端子及びゲート端子を接続するゲートオフ構成で実現する。

【0034】

さらに、本実施例の半導体集積回路装置では高電圧から低電圧を生成し、その低電圧で信号処理をしたのち、その結果を低電圧出力する機能を有するが、その様子も図2で模式的に表している。すなわち、電源端子106とグラウンド端子105間に印加される高電圧を、例えば分圧回路103で抵抗分割をするなどにより降圧して電源端子106と内部低電圧用グラウンド端子112の間に低電圧出力し、低電圧用信号処理領域内の第1の低耐圧NMOSトランジスタ501と低耐圧PMOSトランジスタ502で信号処理を行い、その結果を低電圧出力端子113より出力する。

10

【0035】

この低電圧出力端子113と内部低電圧用グラウンド端子112間や、電源端子106と内部低電圧用グラウンド端子112間に、外部から静電気ノイズを受ける場合の保護方は図示しないが、低電圧用保護素子を別途用意し各端子間に従来の方法で設置する。

【0036】

次に図1の本実施例の構造で、N型半導体基板を採用しながら、30V以上の耐圧を保ち、外部からの静電気ノイズなどによる発熱破壊を防ぐことができる高耐圧NMOSトランジスタの実現方法について説明する。

20

【0037】

図1においてN型半導体基板7はリンを $3 \times 10^{14} / \text{cm}^3$ から $8 \times 10^{14} / \text{cm}^3$ の濃度で含有する基板を選ぶ。30V以上の高耐圧NMOSトランジスタを作製するために薄い不純物濃度領域による電界緩和層を形成するためにはこの程度に薄い不純物濃度を有する半導体基板の採用が望ましい。

【0038】

次に、P型ウェル領域5は、ここではどのNMOSトランジスタでも同一の条件のものを使用しており、ホウ素もしくは BF_2 のP型不純物を $8 \times 10^{15} / \text{cm}^3$ から $4 \times 10^{16} / \text{cm}^3$ の間の値で、拡散深さが半導体基板表面より7 μm から10 μm になるように形成している。このようにP型ウェル領域5の不純物濃度を比較的薄くしているのも、後に説明する高耐圧NMOSトランジスタの第3のN型低濃度不純物領域14の濃度の調整範囲を広げるためであり、30V以上の高耐圧NMOSトランジスタの作製を優先するためである。

30

【0039】

また、このような不純物濃度のP型ウェル領域を低耐圧NMOSトランジスタ501に採用する場合、その最小ゲート長は、パンチスルー現象による耐圧の低下などの短チャネル効果を考慮し、1.0 μm とすることが望ましい。その場合、低耐圧NMOSトランジスタは、特に第1のN型低濃度不純物領域の構造の最適化により12Vまでの電圧信号処理に対応させることができる。すなわち、本実施例1はゲート長が1.0 μm 以上の廉価なプロセスで、低電圧の出力電圧が12Vまで要求される半導体集積回路装置への採用に対して好適であるといえる。

40

【0040】

本発明で特徴的な第3のN型低濃度不純物領域14もしくは以下で説明する第4のN型低濃度不純物領域15は、N型不純物である砒素を $2 \times 10^{16} / \text{cm}^3$ から $2 \times 10^{17} / \text{cm}^3$ の不純物濃度で、半導体基板表面より2 μm から3.5 μm の深さに形成する。この条件設定の際に留意すべきことは、第3、4のN型低濃度不純物領域は不純物濃度が薄く拡散深さが浅くなると、静電気ノイズによる発熱破壊耐性が低下していく事に対し、不純物濃度が濃く拡散深さが深くなると、第3、4のN型低濃度不純物領域に高電圧をかけた際に第3、4のN型低濃度不純物領域とN型半導体基板の間でパンチスルー現象により縦方向

50

の耐圧低下を引き起こしてしまうというトレードオフ関係である。従って、要求仕様に合わせて第3、4のN型低濃度不純物領域の形成条件を選ぶ必要がある。

【0041】

例えば、第3、4のN型低濃度不純物領域とN型半導体基板の間の縦方向耐圧に関し、第3、4のN型不純物として砒素をイオン注入し、1170において20時間程度の熱処理で拡散、形成した場合の、不純物濃度に対する縦方向耐圧の関係を表す図3によると、 $6 \times 10^{16} / \text{cm}^3$ のN型不純物濃度を形成する事で50V程度の縦方向耐圧を得ることが出来る。さらに、この条件では、3kV以上のESD破壊耐量（ヒューマン・ボディ・モデル）を達成することができ、結果として40Vの電源電圧仕様を満たす半導体集積回路装置を実現できる。

10

【0042】

このようにして、第1の実施例においては、ESDによる発熱破壊基準をクリアしながら、60V弱の耐圧までを実現することが出来、30Vから50Vまでの入力電源電圧仕様に対し対応可能な半導体集積回路装置を提供することができる。

【0043】

さらに本実施例では、第4のN型低濃度不純物として砒素を用いる事で、上記P型ウェル領域及び第3、4のN型低濃度不純物領域の両者の拡散熱処理を、1170における20時間程度の条件を用いた一括処理形成で実現できている。これは第3、4のN型低濃度不純物として拡散係数の高いリンや拡散係数の低いアンチモンの採用ではいずれも実現不可能であり、本発明の条件を選ぶことでN型半導体基板を用いながら、高電圧に耐えうる半導体集積回路装置を、従来の高温熱処理条件を踏襲しながら工期の長期化を伴わずに作製することを可能としている。

20

【0044】

一方、第3、4のN型低濃度不純物領域以外の条件については、高耐圧NMOSトランジスタのドレイン/ソース間耐圧を確保するために、第2のN型低濃度不純物領域19を、不純物としてリンを用い $1 \times 10^{17} / \text{cm}^3$ から $1 \times 10^{18} / \text{cm}^3$ までの間の不純物濃度で形成する。またこのN型低濃度不純物領域19の上にゲート絶縁膜よりも厚い絶縁膜13を形成している。この厚い絶縁膜はゲート/ドレイン間の電界緩和効果に対して有効であり、素子分離のためのLOCOS絶縁膜と兼用してもよい。これらの構造については従来と同様の条件を採用して構わない。

30

【実施例2】

【0045】

次に、本発明の第2の実施例を図4に基づいて説明する。図4は本発明の第2の実施例の模式断面図であり、低耐圧NMOSトランジスタ501、低耐圧PMOSトランジスタ502、第1の高耐圧NMOSトランジスタ503、第2の高耐圧NMOSトランジスタ504のそれぞれの断面構造を示しており、第1の実施例からさらに構造の変更を行っている。このうち第1の実施例と異なるのは第2の高耐圧NMOSトランジスタ504のドレイン構造であり、第2の実施例ではこの第2の高耐圧トランジスタ504は、第1の高耐圧NMOSトランジスタ503でドレイン領域に設ける深い拡散として採用している第3のN型低濃度不純物領域14を、第4のN型低濃度不純物領域15に替えている。

40

【0046】

この第4のN型低濃度不純物領域15の拡散深さは、第3のN型低濃度不純物領域14よりも深く、P型ウェル領域5と同程度の深さであり、P型ウェル領域5との2重拡散構造はとっていない。そのため第4のN型低濃度不純物領域15の底面はN型半導体基板7と接している。N型半導体基板は通常最も高電位となる電源電圧を印加するので、このN型半導体基板と接する第4のN型低濃度不純物領域15及びそれにつながる第2の高耐圧NMOSトランジスタのドレイン端子は高電位となる電源電圧と導通しており、ドレイン端子と電源端子が同電位となるような回路上の使われ方をする高耐圧NMOSトランジスタ全てに採用することが出来る。半導体集積回路装置上、このような使用形態を確実に必要とする例は、図2の504に示す、電源端子に外部から侵入する静電気ノイズから半導

50

体集積回路素子を保護する静電気ノイズ保護用素子である。すなわち、電源端子106に第2の高耐圧N型トランジスタのドレイン端子を結線し、グラウンド端子105にソース端子及びゲート端子を結線するオフ構成を取り、静電気ノイズが侵入した場合のみアバランシェ破壊によりドレイン端子からグラウンド端子にその静電気ノイズを逃がす役割を担う。

【0047】

ところで、図4の断面図中の第1の高耐圧NMOSTランジスタ503のように、P型ウェル領域5内に半導体基板7から一定の距離だけ浅くした深さでドレイン領域に形成する第3のN型低濃度不純物領域14は、先に述べたようにその不純物濃度と半導体基板表面からの拡散深さに対し、静電気ノイズなどによる発熱耐性と、パンチスルー現象に起因する縦方向耐圧低下のトレードオフ関係に基づき決める必要があり、条件設定の幅が狭い。一方、第2の高耐圧NMOSTランジスタ504は第4のN型低濃度不純物領域15とN型半導体基板7が接しており、先のトレードオフ関係の後者にあたる縦方向耐圧を懸念する必要がない。従って、静電気ノイズなどによる発熱耐性のみで構造を最適化すればよく、所要面積縮小効果とそれに伴う低コスト化が実現できるという利点がある。

【0048】

具体的には、第2の高耐圧NMOSTランジスタ504は、ドレイン領域に形成するN型低濃度不純物領域がN型半導体基板と接しているため、静電気ノイズ耐性で必要とされるドレイン端子につながるN型拡散領域の体積が、第1の高耐圧NMOSTランジスタ503に比べ著しく大きい。従って第1の高耐圧NMOSTランジスタと同等のESD発熱耐量を得るために、ESD発熱耐量に比例して必要とされるチャネル幅を第1の高耐圧NMOSTランジスタ503に比べ2/3以下に縮小することが出来る。

【0049】

さらに第2の実施例では第2の高耐圧NMOSTランジスタ504の採用により、回路構成によっては、N型半導体基板を採用した50V以上の高電圧を要求される半導体集積回路装置の実現が可能となる。

【0050】

まず、第2の高耐圧NMOSTランジスタ504自体は、パンチスルー現象に起因する縦方向耐圧の制約がないので、ドレイン/ソース間電圧の高耐圧化に対して第2のN型低濃度不純物領域19のさらなる低濃度化とサイズの伸張により、高電圧による空乏層の伸びを確保することで50V以上の高電圧化に対する対応が可能となる。

【0051】

一方、高電圧信号処理の内部回路については、第1の高耐圧NMOSTランジスタ503もしくは高耐圧PMOSTランジスタ505をカスコード接続などして高電圧を分圧するように回路設定をすることで1つの素子あたりの印加電圧を緩和し、50V以上の高電圧での回路動作を実現することが可能となる。

【0052】

次に図4の本発明の第2の高耐圧NMOSTランジスタ504の構造について説明する。第2の高耐圧NMOSTランジスタのゲート電極6、ゲート絶縁膜9、第2のN型低濃度不純物領域19、第2のN型低濃度不純物領域19上のゲート絶縁膜よりも厚い絶縁膜13の基本的な構造は第1の高耐圧NMOSTランジスタ503と同じである。

【0053】

一方、第1の高耐圧NMOSTランジスタ503と異なる第4のN型低濃度不純物領域15は、P型ウェル領域5が形成されない領域を設定し、そこにN型不純物のリンを $8 \times 10^{15} / \text{cm}^3$ から $4 \times 10^{16} / \text{cm}^3$ の間の値で半導体基板表面から $7 \mu\text{m}$ から $10 \mu\text{m}$ までの拡散深さに形成している。すなわち、低耐圧もしくは高耐圧PMOSTランジスタを形成するNウェル領域21と兼用してもよい。このような構成にすることで、特別な工程追加が必要なくなり、プロセスコストの増加を伴わずに第4のN型低濃度不純物領域15を形成できる。

【0054】

10

20

30

40

50

また、第4のN型低濃度不純物領域15をN型ウェル領域21と兼用することで、セルフアラインツインウェルプロセスを採用することができる。こうすることで第4のN型低濃度不純物領域15をP型ウェル領域5と正確に隣接して形成させることができ、また第4のN型低濃度不純物領域とP型ウェル領域との相互拡散によりPN接合位置が移動することが無くなるので、第3のN型低濃度不純物領域14と異なり、第4のN型低濃度不純物領域15の横方向の拡散広がりを抑制することができる。つまり実施例2の第2の高耐圧NMOSTランジスタにおいては、先に述べたように静電気ノイズ吸収のためのチャネル幅を第1の高耐圧NMOSTランジスタより短くするとともに、第4のN型不純物領域15の平面サイズをも第3のN型低濃度不純物領域14よりも縮小できるというコスト低減の利点を併せ持つ。

10

【実施例3】

【0055】

次に、本発明の第3の実施例について図5に基づいて説明する。図5は本発明の第3の実施例の模式断面図であり、低耐圧NMOSTランジスタ501、低耐圧PMOSTランジスタ502、第1の高耐圧NMOSTランジスタ503、第2の高耐圧NMOSTランジスタ504のそれぞれの断面構造を示しており、第2の実施例からさらに構造の追加を行っている。このうち第2の実施例と異なるのはP型ウェル領域の一部の不純物濃度である。

【0056】

まず第1の高耐圧NMOSTランジスタ503については、第1、2の実施例と同様にドレイン領域に深い拡散領域である第3のN型低濃度不純物領域14を設けているが、そのN型低濃度不純物領域14の下にN型半導体基板7との間にある第1のP型ウェル領域5は第2の実施例と同じであるものの、第3のN型低濃度不純物領域14に隣接している第2のP型ウェル領域8は、第1のP型ウェル領域5よりP型不純物濃度が濃くなっている。

20

【0057】

この第2のP型ウェル領域8と第3のN型低濃度不純物領域14は、第1のP型ウェル領域5と第1のN型ウェル領域21と同様に、後に述べるセルフアラインツインウェルプロセスで形成しているため、第2のP型ウェル領域8と第3のN型低濃度不純物領域14は正確に接合位置が一致し、不純物のイオン注入時の形成位置からのずれを生じない。このため、第3のN型低濃度不純物領域14の横方向の拡散広がりとそれに伴う第1の高耐圧NMOSTランジスタの所要面積の増大を抑制し、半導体集積回路装置のコスト低減に寄与することが出来る。

30

【0058】

さらに、低耐圧NMOSTランジスタ501と第2の高耐圧NMOSTランジスタ504のP型ウェル領域も第2のP型ウェル領域8を採用し、P型不純物濃度が濃くなっている事が第2の実施例と異なっている。このとき、第2のP型ウェル領域8とN型ウェル領域21もセルフアライン的に形成されており、接合位置のずれは生じない。この第2のP型ウェル領域8は、ホウ素もしくはBF₂のP型不純物を $5 \times 10^{16} / \text{cm}^3$ から $2 \times 10^{17} / \text{cm}^3$ の間の値で形成し第1のP型ウェル領域に対し濃い不純物濃度に保っている。

40

【0059】

このような高い不純物濃度のP型ウェル領域を低耐圧NMOSTランジスタ501に採用する場合、第1のP型ウェル領域5を採用する場合に比べて、パンチスルー現象による耐圧の低下などの短チャネル効果が抑制され、その最小ゲート長は、 $0.5 \mu\text{m}$ とすることができる。その場合、低耐圧NMOSTランジスタは、特に第1のN型低濃度不純物領域の構造の最適化により6Vまでの電圧信号処理に対応させることができる。すなわち、本実施例3は、他の実施例に比べて微細のルールを採用し所要面積の低減を図りながら、出力電圧6V以下の半導体集積回路装置において低コスト化を促進できる、という効果がある。

【実施例4】

50

【0060】

次に、本発明の第1の実施例を実現するための製造方法を、図7から図9の工程フローを示す断面図を用いて説明する。

まず、リンを $3 \times 10^{14} / \text{cm}^3$ から $8 \times 10^{14} / \text{cm}^3$ の濃度で含有するN型半導体基板7を用意し、そのN型半導体基板7上に100から500の厚さのシリコン酸化膜24を熱酸化法で形成し、さらにそのシリコン酸化膜24上にLPCVD (Low Pressure Chemical Vapor Deposition) 法により300から1500の厚さのシリコン窒化膜25を堆積する(図7(1))。

【0061】

次に、N型ウェル領域形成予定領域のシリコン窒化膜を、フォトリソグラフィ技術及びドライエッチング技術により除去し、露出したシリコン酸化膜を通してシリコン窒化膜及びフォトレジストをマスクとし、 $3 \times 10^{12} / \text{cm}^2$ から $3 \times 10^{13} / \text{cm}^2$ 程度のドーズ量にてN型不純物のリンをイオン注入法により注入し、リンが注入された領域21を形成し、その後フォトレジストを剥離する(図7(2))。

【0062】

次に熱酸化法により、残された窒化膜をマスクとして選択的にN型ウェル領域形成予定領域に1000から3000のシリコン酸化膜を形成する。次に、窒化膜を除去したのち、先の1000から3000のシリコン酸化膜をマスクとして、N型ウェル領域以外のP型ウェル領域形成予定領域に $2 \times 10^{12} / \text{cm}^2$ から $1 \times 10^{13} / \text{cm}^2$ 程度のドーズ量のホウ素もしくは BF_2 のP型不純物5をイオン注入法によりセルフアラインに注入する(図7(3))。

以上のようなツインウェルプロセスにより、1つのフォトマスクのみでP型ウェル領域とN型ウェル領域を正確に隣接して形成することが出来る。

【0063】

次に、第3のN型低濃度不純物領域形成予定領域に、フォトレジストをマスクとしシリコン酸化膜を通して、 $8 \times 10^{12} / \text{cm}^2$ から $7 \times 10^{13} / \text{cm}^2$ 程度のドーズ量のN型不純物の砒素をイオン注入法により注入し、砒素が注入された領域14を形成し、その後フォトレジストを剥離する(図8(1))。

【0064】

次に、1170から1200の温度で15時間から20時間程度の時間の熱処理でこれらのN型及びP型不純物を同時に拡散させ、所望の拡散深さのP型ウェル領域5、N型ウェル領域21、第3のN型低濃度不純物領域14を得る(図8(2))。

【0065】

以上の工程を経ることにより、N型不純物のリンからなる $8 \times 10^{15} / \text{cm}^3$ から $4 \times 10^{16} / \text{cm}^3$ の不純物濃度の値を有する半導体基板表面より7 μm から10 μm の拡散深さのN型ウェル領域と、ホウ素もしくは BF_2 からなりP型不純物濃度が $8 \times 10^{15} / \text{cm}^3$ から $4 \times 10^{16} / \text{cm}^3$ の間の値を有する半導体基板表面より7 μm から10 μm の拡散深さのP型ウェル領域と、砒素からなり $2 \times 10^{16} / \text{cm}^3$ から $1 \times 10^{18} / \text{cm}^3$ の不純物濃度の値を有する半導体基板表面より2 μm から3.5 μm の深さの第3のN型低濃度不純物領域を形成できる。

【0066】

本発明では1100以上の高温長時間熱処理は、セルフアライン的に注入したP型ウェル領域とN型ウェル領域の不純物の一括拡散形成だけでなく、ここに第3のN型低濃度不純物領域を形成するための不純物拡散も兼用させている。その際、N型不純物としては砒素を選び、P型ウェル領域を形成するホウ素もしくは BF_2 と砒素との拡散係数の違いを利用して、一度の熱処理でP型ウェル領域は深く、第3のN型不純物領域は浅く拡散させることにより、P型ウェル領域の中に第3のN型不純物領域を2重拡散構造で形成できるよう調整している。

【0067】

このような本発明の方法で第3のN型不純物注入量を適宜調節することで、図3のよう

10

20

30

40

50

なプロセス条件と耐圧の関係を得ることができ、N型半導体基板を採用していながら様々な入力電圧仕様の半導体集積回路装置に対応できることが明らかになった。

【0068】

次に、一旦全てのシリコン酸化膜を半導体基板表面から除去した後、100から500の厚さのシリコン酸化膜24を熱酸化法で形成し、さらにそのシリコン酸化膜24上にLPCVD法により300から1500の厚さのシリコン窒化膜25を堆積する。次に第2のN型低濃度不純物領域を形成するために、フォトリソグラフィ技術及びドライエッチング技術によりシリコン窒化膜を除去し、シリコン窒化膜及びフォトレジストをマスクとし、シリコン酸化膜を通して、 $1 \times 10^{12} / \text{cm}^2$ から $7 \times 10^{12} / \text{cm}^2$ 程度のドーズ量のN型不純物のリン19をイオン注入法により注入し、その後フォトレジストを剥離する(図8(3))。

10

【0069】

この第2のN型低濃度不純物領域は、高耐圧NMOSトランジスタのドレイン/ソース間耐圧を調整するために設定するもので、 $1 \times 10^{17} / \text{cm}^3$ から $1 \times 10^{18} / \text{cm}^2$ 程度のドーズ量とする事が好ましいが、プロセスコスト削減のために素子分離のためのチャネルストッパー用不純物注入と兼用して形成しても構わない(図示せず)。

【0070】

次に熱酸化法により、残された窒化膜をマスクとして選択的に第2のN型低濃度不純物領域形成予定領域に6000から12000のシリコン酸化膜を形成し、その後シリコン窒化膜を剥離する(図9(1))。この6000から12000の熱酸化膜は、高耐圧NMOSトランジスタのゲート/ドレイン間の電界緩和効果を狙いゲート絶縁膜より厚くした絶縁体であるが、同時に素子外分離領域のLOCOS(Local Oxidation Of Silicon)絶縁膜と兼用して形成することで、プロセスコストの削減を図ることができる。

20

【0071】

次に、必要に応じてMOSトランジスタの閾値電圧制御のためのチャネル不純物注入や各MOSトランジスタのゲート絶縁膜9形成を行ったあと、ゲート電極6を形成するために、2000から5000の多結晶シリコン膜を堆積し、 $1 \times 10^{19} / \text{cm}^3$ 以上の不純物濃度となるように、高濃度の不純物注入をイオン注入法、もしくは熱拡散法で行い、その後フォトリソグラフィ技術及びドライエッチング技術を用いて所望の形状に加工する(図9(2))。

30

【0072】

次に、低耐圧NMOSトランジスタのドレイン/ソース間の電界緩和を目的とした第1のN型低濃度不純物領域18の形成、及び低耐圧PMOSトランジスタのドレイン/ソース間の電界緩和を目的としたP型低濃度不純物領域20の形成を行う。それぞれの条件は、所望の動作電圧に応じて決めるが、 $2 \times 10^{12} / \text{cm}^2$ から $2 \times 10^{14} / \text{cm}^2$ 程度のドーズ量のN型及びP型不純物の注入をイオン注入法で行う。

【0073】

次に、低耐圧NMOSトランジスタ及び高耐圧NMOSトランジスタのドレイン/ソース端子を取り出すためのN型高濃度不純物領域17の形成、及び低耐圧NMOSトランジスタ及び高耐圧NMOSトランジスタのドレイン/ソース端子を取り出すためのP型高濃度不純物領域23の形成を、 $2 \times 10^{15} / \text{cm}^2$ 以上のドーズ量のイオン注入法で注入することによって行う(図9(3))。

40

【0074】

次に図示しないが、全体に酸化膜からなる絶縁膜を堆積し、それぞれのMOSトランジスタの端子電極を取り出すために所定の位置にドライエッチング技術を用いてコンタクトホールを形成し、次にそれらの端子に電位を与えるための金属配線を形成するために、アルミからなる金属膜をスパッタリング法で堆積した後、ドライエッチング技術で加工形成を施す。

【0075】

50

以上のような第1の実施例の製造方法とすることにより、N型半導体基板を用いながら、30V以上の耐圧と静電気ノイズなどによる発熱破壊耐量の確保を両立した高耐圧NMOSトランジスタを有する半導体集積回路を作製することができる。

【実施例5】

【0076】

次に、本発明の第2の実施例を実現するための製造方法を、図10から12の工程フローを示す断面図を用いて説明する。

まず、リンを $3 \times 10^{14} / \text{cm}^3$ から $8 \times 10^{14} / \text{cm}^3$ の濃度で含有するN型半導体基板7に対し、熱酸化法によるシリコン酸化膜24の形成、LPCVD法によるシリコン窒化膜25の堆積を行う事は第1の実施例と同様である(図10(1))。

10

【0077】

次に、N型ウェル領域形成予定領域のシリコン窒化膜を除去し、露出したシリコン酸化膜を通して、 $3 \times 10^{12} / \text{cm}^2$ から $3 \times 10^{13} / \text{cm}^2$ 程度のドーズ量のN型不純物リンをイオン注入法により注入し、その後フォトレジストを剥離する(図10(2))。ここで形成するN型ウェル領域21は、低耐圧PMOSトランジスタ及び高耐圧PMOSトランジスタのみならず、第2の高耐圧NMOSトランジスタのドレイン領域15となるドレイン領域形成予定領域にも追加して行う事が第1の実施例と異なる。

【0078】

次に、熱酸化法により、N型ウェル領域形成予定領域に1000から3000のシリコン酸化膜を形成し、窒化膜を除去した後このシリコン酸化膜をマスクとして、 $2 \times 10^{12} / \text{cm}^2$ から $1 \times 10^{13} / \text{cm}^2$ 程度のドーズ量のホウ素もしくは BF_2 のP型不純物5をイオン注入法により注入する(図10(3))。

20

【0079】

次に、第1の高耐圧NMOSトランジスタの第3のN型低濃度不純物領域形成予定領域をフォトレジストをマスクとしシリコン酸化膜を通して、 $8 \times 10^{12} / \text{cm}^2$ から $7 \times 10^{13} / \text{cm}^2$ 程度のドーズ量のN型不純物の砒素14をイオン注入法により注入する(図11(1))。

【0080】

次に、1170から1200の温度で15時間から20時間程度の時間の熱処理でこれらのN型及びP型不純物を同じに拡散させ、所望の拡散深さのN型ウェル領域、第1のP型ウェル領域、第2のP型ウェル領域、第3のN型低濃度不純物領域を得る(図11(2))。

30

【0081】

このように、第1の高耐圧NMOSトランジスタと第2の高耐圧NMOSトランジスタのドレイン領域の深い拡散を作り分けるが、第2の高耐圧NMOSトランジスタの第4のN型低濃度不純物領域をN型ウェル領域と兼用することで、第1の実施例に対し製造工程の増加無く第2の実施例を実現することが出来る。

【0082】

以下、第2のN型低濃度不純物領域の形成(図11(3))、第2のN型低濃度不純物領域上の絶縁膜及び素子分離絶縁膜の形成(図12(1))、ゲート絶縁膜及びゲート電極の形成(図12(2))、低耐圧MOSトランジスタ及び高耐圧MOSトランジスタのドレイン/ソース領域の形成(図12(3))と、図示しないが、コンタクトホールや金属配線の形成等を経て、半導体集積回路装置を完成させる。

40

【0083】

以上のような第2の実施例の製造方法とすることにより、N型半導体基板を用いながら、30V以上、さらには回路構成の工夫により50V以上の耐圧と、静電気ノイズなどによる発熱破壊耐量の確保を両立した第1の高耐圧NMOSトランジスタに加え、電源端子とグラウンド端子の間の保護素子としてさらに所要面積を低減した第2の高耐圧NMOSトランジスタを有する半導体集積回路を作製することができる。

【実施例6】

50

【 0 0 8 4 】

次に、本発明の第3の実施例を実現するための製造方法を、図13から15の工程フローを示す断面図を用いて説明する。

まず、第2の実施例と同様に、N型半導体基板に対するシリコン酸化膜、シリコン窒化膜の形成（図13（1））、N型ウェル領域形成予定領域のシリコン窒化膜を除去し、露出したシリコン酸化膜を通して、N型不純物リンをイオン注入法により注入し、その後フォトレジストを剥離する、N型ウェル領域形成のためのN型不純物注入（図13（2））、熱酸化法により、N型ウェル領域形成予定領域にシリコン酸化膜を形成し、窒化膜を除去した後このシリコン酸化膜をマスクとして、ホウ素もしくは BF_2 のP型不純物5をイオン注入法により注入する、第1のP型ウェル領域形成のためのP型不純物注入（図13（3））を行う。以上のような第1のセルフアラインツインウェルプロセスにより、1つのフォトマスクのみで第1のP型ウェル領域とN型ウェル領域を正確に隣接して形成することが出来る。

10

その後の図14（1）から（3）の工程が第3の実施例特有の製造方法となる。

【 0 0 8 5 】

図13（3）に続けて、シリコン窒化膜25をLPCVD法により堆積し、第3のN型低濃度不純物領域形成予定領域のシリコン窒化膜をフォトリソグラフィ技術及びドライエッチング技術にて開口し、シリコン窒化膜及びフォトレジストをマスクとし露出したシリコン酸化膜を通して、 $8 \times 10^{12} / \text{cm}^2$ から $7 \times 10^{13} / \text{cm}^2$ 程度のドーズ量のN型不純物の砒素14をイオン注入法により注入し、その後フォトレジストを剥離する（図14（1））。

20

【 0 0 8 6 】

次に熱酸化法により、残された窒化膜をマスクとして選択的に第3のN型低濃度不純物領域形成予定領域に1000から3000のシリコン酸化膜を形成する。その後、窒化膜を除去したのち、先の1000から3000のシリコン酸化膜をマスクとして、 $5 \times 10^{12} / \text{cm}^2$ から $2 \times 10^{13} / \text{cm}^2$ 程度のドーズ量のホウ素もしくは BF_2 のP型不純物をイオン注入法により注入する。この注入領域は第1のP型ウェル領域のP型不純物注入に加え、重ねてP型不純物を注入することで、第1のP型ウェル領域よりも不純物濃度の高い第2のP型ウェル領域8を形成している（図14（2））。また、第3のN型不純物領域形成予定領域上に加え、N型ウェル形成予定領域上にも1000から3000以上のシリコン酸化膜が残されたままなので、ここにP型不純物が侵入することはない。

30

【 0 0 8 7 】

以上のような第2のセルフアラインツインウェルプロセスを採用することにより、第2のP型ウェル領域と第3のN型低濃度不純物領域も正確に隣接して形成することが出来る。

【 0 0 8 8 】

次に、1170・20時間程度の熱処理でこれらのN型及びP型不純物を拡散させ、所望の拡散深さのN型ウェル領域、第1のP型ウェル領域、第2のP型ウェル領域、第3のN型低濃度不純物領域を得る（図14（3））。

【 0 0 8 9 】

このとき、第2のP型ウェル領域とN型ウェル領域は、図14（2）のように隣接して形成し、そのまま拡散するので両者の接合位置が変わることではない。さらに第2のP型ウェル領域と第3のN型低濃度不純物領域も隣接して形成され、そのまま拡散するので両者の接合位置が変わることではない。そのため本実施例においてこのような製造工程を採用することにより、各不純物領域のサイズが変わることなく、高精度なサイズ及び位置規定が実現できる。

40

【 0 0 9 0 】

また、イオン注入法によって形成する第1のP型ウェル領域と第2のP型ウェル領域の重なり領域は、上記の高温長時間熱処理前においては、不純物濃度の薄い第1のP型ウェル領域の方が半導体基板表面から深くまで形成され、不純物濃度の濃い第2のP型ウェル

50

領域の方が浅く形成されているため、２段階ステップ状の深さ方向濃度プロファイルが形成されるが、高温長時間熱処理により拡散した結果、このような深さ方向の濃度プロファイルの不均一性は解消される。

【 0 0 9 1 】

以上の工程を経ることにより、リンからなりN型不純物濃度が $8 \times 10^{15} / \text{cm}^3$ から $4 \times 10^{16} / \text{cm}^3$ の不純物濃度の値で、半導体基板表面より $7 \mu\text{m}$ から $10 \mu\text{m}$ までの拡散深さのN型ウェル領域と、ホウ素もしくは BF_2 からなりP型不純物濃度が $8 \times 10^{15} / \text{cm}^3$ から $4 \times 10^{16} / \text{cm}^3$ の間の値で、半導体基板表面より $7 \mu\text{m}$ から $10 \mu\text{m}$ までの拡散深さのP型ウェル領域と、砒素からなり $2 \times 10^{16} / \text{cm}^3$ から $1 \times 10^{18} / \text{cm}^3$ の不純物濃度の値で、半導体基板表面より $2 \mu\text{m}$ から $3.5 \mu\text{m}$ の深さの第3のN型低濃度不純物領域を形成できる。

10

【 0 0 9 2 】

続く図15(1)から(3)の工程については、第1、第2の実施例と同様の製造方法を採用する。すなわち、第2のN型低濃度不純物領域の形成及び、第2のN型低濃度不純物領域上の絶縁膜と素子分離絶縁膜の形成(図15(1))、ゲート絶縁膜及びゲート電極の形成(図15(2))、低耐圧MOSトランジスタ及び高耐圧MOSトランジスタのドレイン/ソース領域の形成(図15(3))と、図示しないが、コンタクトホールや金属配線の形成等を経て、半導体集積回路装置を完成させる。

【 0 0 9 3 】

以上の説明においては特にN型ウェル領域の条件については第1、第2の実施例と同様としていたが、第1のP型ウェル領域よりも不純物濃度が濃くなる第2のP型ウェル領域の不純物濃度に合わせ、N型ウェル領域の不純物濃度を濃くしても構わない。N型ウェル領域の不純物濃度を濃くすることで、低耐圧MOSトランジスタを搭載する第2のP型ウェル領域とのPN接合耐圧の低下が発生するが、本実施例は第1、第2の実施例と異なり低耐圧MOSトランジスタの動作電圧を6V以下に低下させているので問題とはならない。一方で、N型ウェル領域の不純物濃度を濃くすることで低耐圧PMOSトランジスタのパンチスルー現象による耐圧の低下などの短チャネル効果が抑制され、その最小ゲート長を、低耐圧NMOSトランジスタと合わせ、 $0.5 \mu\text{m}$ とすることができるといえる長所を享受できる。

20

【 0 0 9 4 】

一方、第2の高耐圧NMOSトランジスタの方もチャネル領域を構成するP型ウェル領域の濃度が濃くなる事に対する、第2の高耐圧NMOSトランジスタの耐圧低下の懸念は不要である。第2の高耐圧NMOSトランジスタの耐圧は第2のN型低濃度不純物領域の条件によって制約されるので、第2の高耐圧NMOSトランジスタに本発明の第3の実施例を適用することに対する短所は存在しない。

30

【 0 0 9 5 】

また、一般的に $0.5 \mu\text{m}$ 程度のプロセスにおいてはP、N型ウェル領域の不純物注入のあとの高温長時間熱処理は10時間以下とすることが多い。これによりウェル領域の拡散深さが縮小され縦方向寄生素子の動作が容易となり、耐圧の低下やラッチアップ現象の頻発が懸念されるものの、実際はP、N型ウェル領域の不純物濃度が濃くなることに加え、微細化にともなう動作電圧の低下の影響でそのような現象は抑制される。一方、本発明の第3の実施例においては、20時間程度の高温熱処理を採用することで、高濃度で深い拡散深さのウェル領域を実現している。そのため、通常の $0.5 \mu\text{m}$ プロセスに比べラッチアップ耐性が強く、高濃度不純物層によるガードリングの設置や、内部回路を外部端子からの数 $10 \mu\text{m}$ 以上離間させるなど、ラッチアップ抑制のために設けられる寄生素子動作抑制のための平面的なデザインルールマージンを縮小することができ、半導体集積回路装置の所要面積の削減によるコスト低減に寄与できる。

40

【 0 0 9 6 】

以上のような第3の実施例の製造方法とすることにより、N型半導体基板を用いながら、30V以上、さらには回路構成の工夫により50V以上の耐圧と、静電気ノイズなどに

50

よる発熱破壊耐量の確保を両立した第1の高耐圧NMOSトランジスタに加え、電源端子とグラウンド端子の間の保護素子として所要面積を低減した第2の高耐圧NMOSトランジスタを有し、さらに低電圧出力に伴い微細化した低耐圧MOSトランジスタと、より簡素化されたラッチアップルールをもつ、小面積低コスト化を実現した半導体集積回路を作製することができる。

【0097】

以上のような構造及び形成方法の本発明は、これまで述べたような降圧型シリーズレギュレータや電圧検出器に限らず、N型半導体基板内に低耐圧トランジスタと高耐圧トランジスタを集積する必要がある様々な半導体集積回路装置を実現できる。そのため、パワーマネジメントIC以外への用途へも本発明が適用できることはいうまでもない。

10

【符号の説明】

【0098】

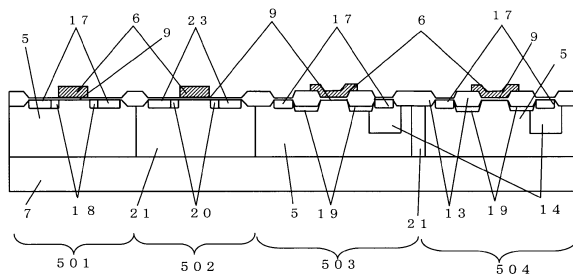
- 5 第1のP型ウェル領域
- 6 ゲート電極
- 7 N型半導体基板
- 8 第2のP型ウェル領域
- 9 ゲート絶縁膜
- 13 LOCOS絶縁膜
- 14 第3のN型低濃度不純物領域
- 15 第4のN型低濃度不純物領域
- 16 N型半導体基板
- 17 N型高濃度不純物領域
- 18 第1のN型低濃度不純物領域
- 19 第2のN型低濃度不純物領域
- 20 P型低濃度不純物領域
- 21 第1のN型ウェル領域
- 22 第2のN型ウェル領域
- 23 P型高濃度不純物領域
- 24 シリコン酸化膜
- 25 シリコン窒化膜
- 103 分圧回路
- 105 グラウンド端子
- 106 電源端子
- 107 出力端子
- 112 内部低電圧用グラウンド端子
- 113 低電圧出力端子
- 501 低耐圧NMOSトランジスタ
- 502 低耐圧PMOSトランジスタ
- 503 第1の高耐圧NMOSトランジスタ
- 504 第2の高耐圧NMOSトランジスタ
- 505 高耐圧PMOSトランジスタ

20

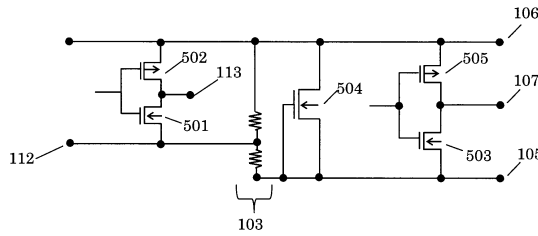
30

40

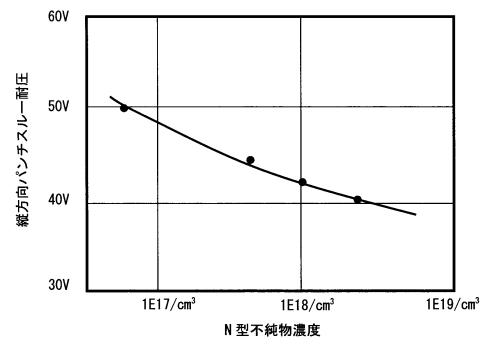
【図 1】



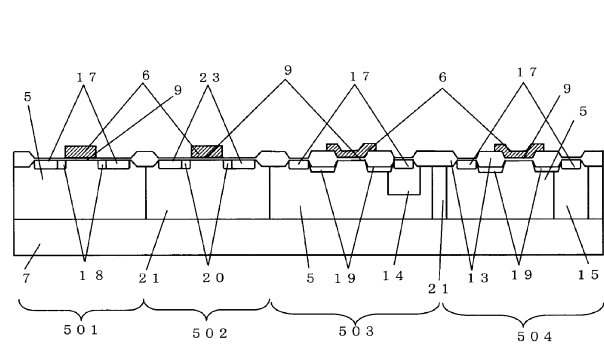
【図 2】



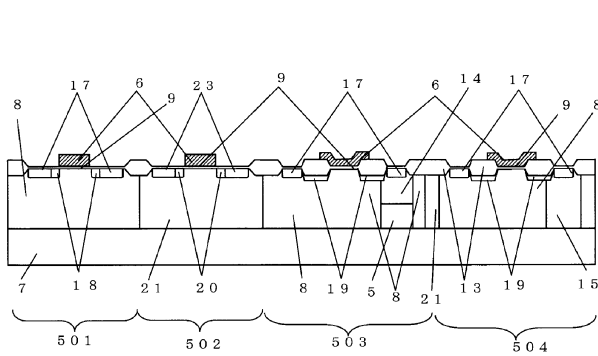
【図 3】



【図 4】

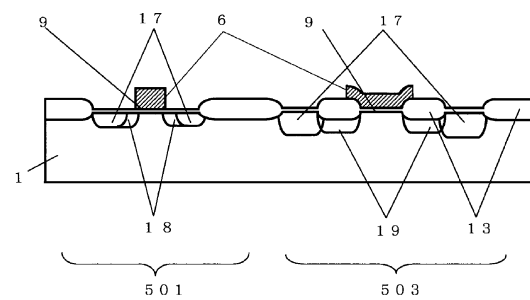


【図 5】

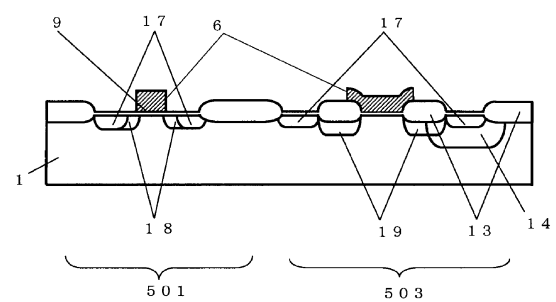


【図 6】

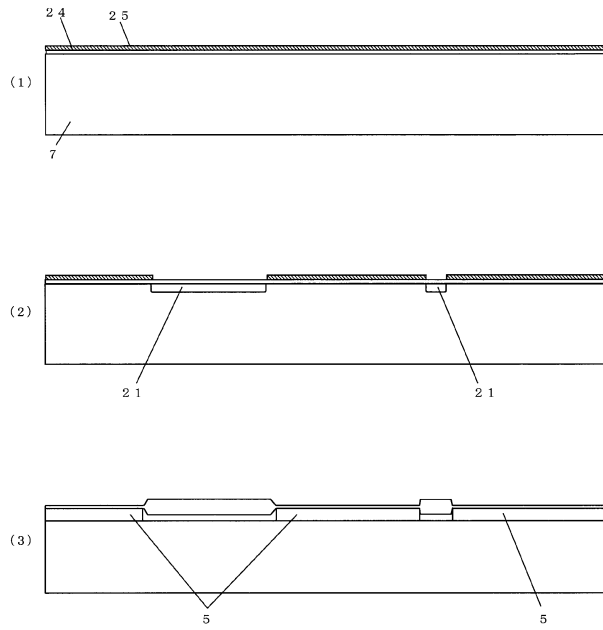
(1)



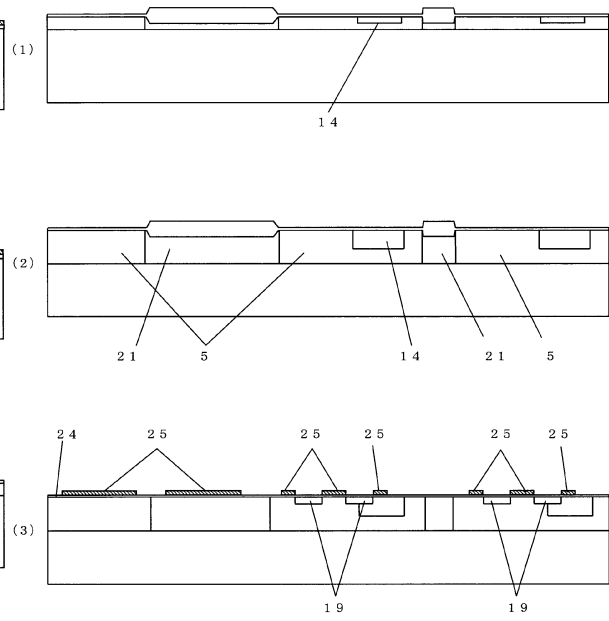
(2)



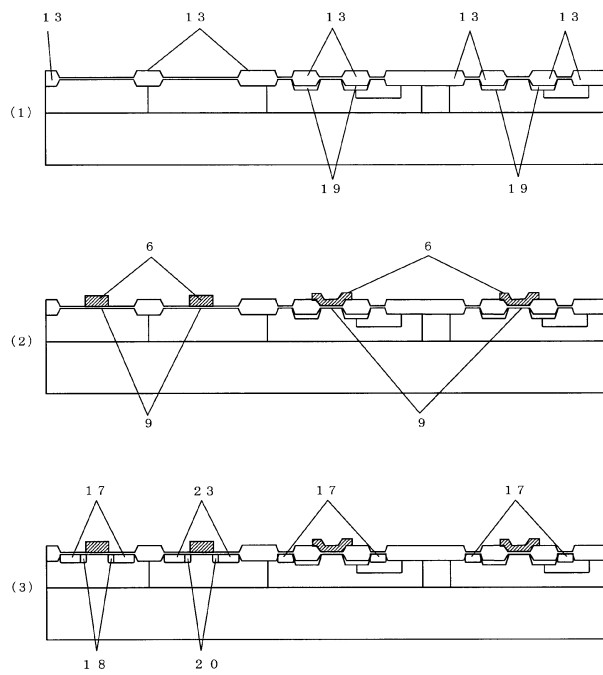
【図 7】



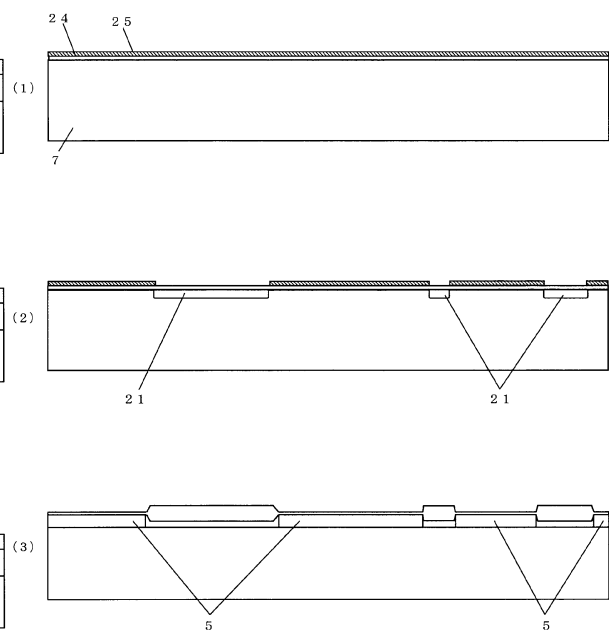
【図 8】



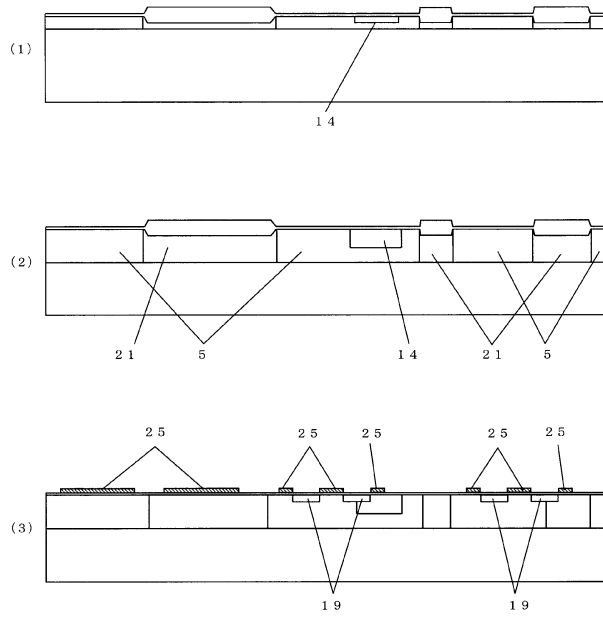
【図 9】



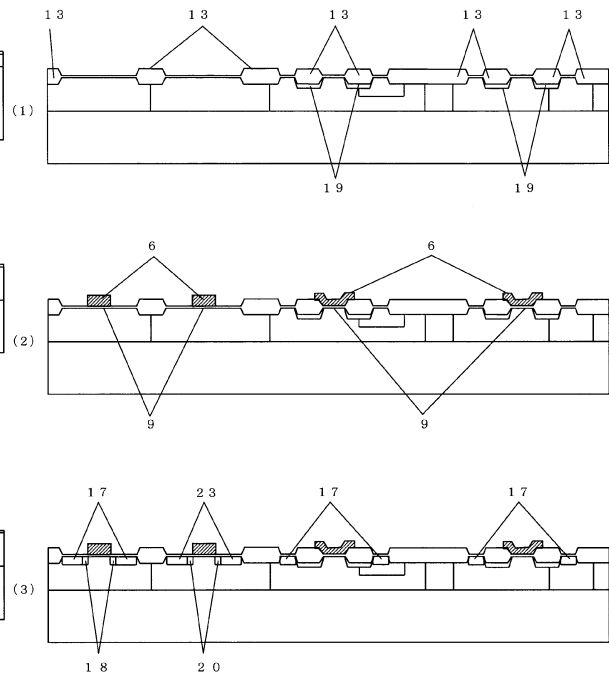
【図 10】



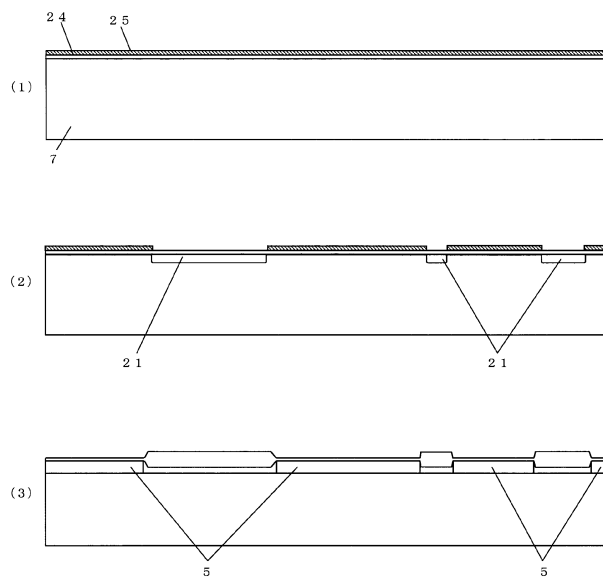
【図 1 1】



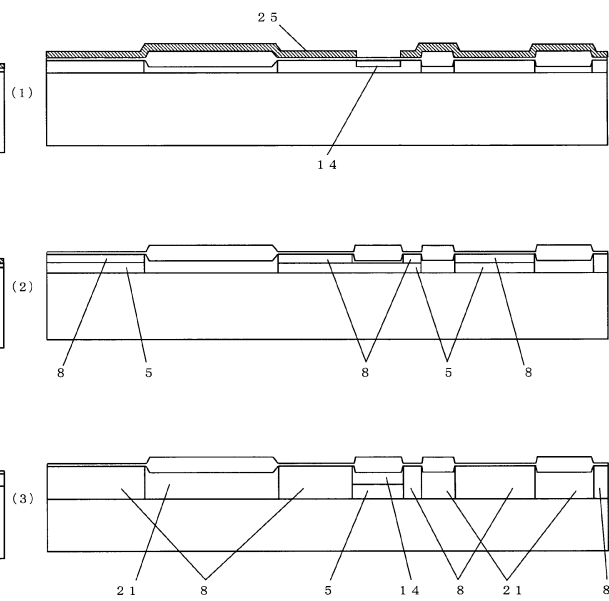
【図 1 2】



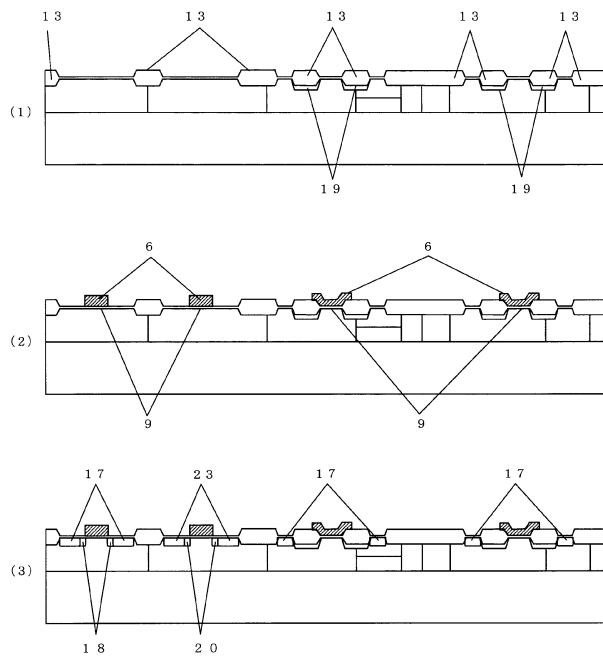
【図 1 3】



【図 1 4】



【図 15】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 29/06 (2006.01)

(72)発明者 吉野 英生

千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツル株式会社内

審査官 市川 武宜

(56)参考文献 特開 2 0 0 6 - 0 1 3 4 5 0 (J P , A)

特開 2 0 0 2 - 1 0 0 6 8 4 (J P , A)

特開 2 0 0 1 - 0 9 4 1 0 3 (J P , A)

特開 2 0 0 6 - 1 1 4 7 6 8 (J P , A)

特開 2 0 1 0 - 0 4 5 2 1 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 8 2 3 8

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 7 / 0 6

H 0 1 L 2 7 / 0 9 2

H 0 1 L 2 9 / 0 6

H 0 1 L 2 9 / 7 8