

특허청구의 범위

청구항 1

MPEG 모듈에서 에너지와 처리시간을 최소화하는 DCT 연산 방법 및 구현

청구항 2

제 1항의 에너지와 처리시간을 최소화하는 MPEG 모듈의 구현에 있어서, 2차원 DCT 연산을 수행하는 PE의 방법 및 구조

청구항 3

제 1항의 MPEG 모듈에서 2차원 DCT 연산 결과를 얻는데 사용한 계산 방법

청구항 4

제 3항에 있어서, 2차원 DCT 연산을 위한 계수 행렬의 구성 방법

청구항 5

제 2항에 있어서, 2차원 DCT 연산을 수행하는 PE에 계수 행렬을 저장하고 연산에 이용하는 방법 및 구현

청구항 6

제 2항에 있어서, MPEG 모듈에서 2차원 DCT 연산을 수행하는 PE에 입력되는 자료의 순서 방법

청구항 7

제 2항에 있어서, MPEG 모듈에서 2차원 DCT 연산을 수행하는 PE 내에서, 계수와 입력 자료 간의 연산 횟수를 줄이는 방법 및 구현

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <39> 본 발명은 디지털 비디오 및 오디오 압축에 관한 표준인 MPEG 모듈에서 데이터 처리시 에너지와 처리 시간을 최소화하기 위해 MPEG의 핵심 모듈인 DCT 및 iDCT를 개선하여 문제를 해결하고자 제안된 방법이다.
- <40> MPEG은 정지된 화상을 압축하는 방법을 고안한 JPEG과는 달리, 시간에 따라 연속적으로 변화하는 동영상 압축과 코드 표현을 통해 정보의 전송이 이루어질 수 있는 방법이다.
- <41> MPEG의 기술은 움직임의 상호 보상, DPCM (Differential Pulse Code Modulation : 신호간의 차이를 나타내는 방식), DCT (Discrete Cosine Transform : 주파수별로 분리해내는 기술), Quantization (양자화라고도 하여 비트의 발생량을 제어하는 하나의 방법), RLE (Run length encoding : 반복된 데이터의 줄임 표현 방식), 허프만 부호 (반복되는 데이터에 적게 비트를 할당하는 가변비트 할당방식) 등의 알고리즘이 상호 협력하여 영상과 음향을 손실성 압축 방식이다.
- <42> 본 연구와 같이 MPEG 모듈에서 저전력 알고리즘 설계와 DCT 연구를 통합하는 관점의 연구는 없었지만, 두 가지 분야의 연구는 꾸준히 진행되어 왔다.
- <43> H. Lim,의 연구에서는 본 디자인과는 다른 2차원 매시 구조를 위한 시스톨릭 어레이(systolic array) 구조와 알고리즘을 보이고 있다. 본 연구에서는 2차원 매시보다는 선형 어레이를 사용하였다. 이렇게 하는 것은 디자인에 필요한 상호연결의 수를 줄이는 효과가 있다.
- <44> C.Dick,의 연구와 L. Mintzer,의 연구에서는 각각 FPGA 상에서 DCT의 구현에 관하여 설명하고 있다. 각 기법은 본 연구에서 사용된 기법과는 다르다. 전자는 다항 변환(polynomial transform)을 사용한 DCT 연산을 설명하고

있으며, 연산을 위한 기법과 FPGA 상의 데이터 경로를 기술하고 있다. 또한 이 연구에서는 배경연구로 분산 산술 기법(distributed arithmetic technique)을 설명하고 있다. 후자에서 보인 분산 산술 기법은 우리가 결과에서 비교할 Xilinx IP 코어에서 채택되었다. 이 기법은 FIR 필터를 이용하여 행 단위의 1차원 DCT를 수행하고, 그 결과를 이용하여 다시 열 단위의 1차원 DCT를 수행하며, 그 사이에 메모리 교차(transpose)를 필요로 한다. 본 연구는 이전 두 연구에서 보인 기법과는 아주 다르며, 비트 레벨의 입력 데이터 회로나, 메모리 교차가 필요하지 않다. 뿐만 아니라, 다항 변환 DCT 연산도 따르지 않는다. 대신, 우리는 $n \times n$ 행렬의 2차원 DCT 계산을 위한 n 개의 PE를 사용한 모듈러(modular) 디자인 기법을 채택한다(도 1 참조). 이 기법은 두 $n \times n$ 행렬의 곱셈을 수행하는 것과 유사한 과정을 갖는다.

<45> S. Choi,의 연구는 FPGA를 위한 에너지 효율적인 디자인과 성능 모델 기법을 기술하고 있다. FPGA 상에서 에너지 낭비 요소를 분석하고 에너지 효율을 높이기 위한 알고리즘 및 구조에 사용될 수 있는 기법을 설명하고 있다. 그리고 2차원 DCT를 위한 알고리즘 및 구조에 이 기법들을 사용하고 있다. 또한 FPGA 상으로 매핑할 때 성능 예측을 위한 domain-specific 모델링 기법을 설명하고 있다.

발명이 이루고자 하는 기술적 과제

<46> 무선망 업계는 모바일 장치에 비디오 스트리밍 기능을 추가하는 방향으로 진화하고 있으며, 비디오 스트리밍 기능을 위해서 MPEG 코어를 필요로 하게 된다. 그러한 기능 확장은 모바일 장치에 MPEG 코어를 이용한 영상 처리를 위해 추가로 전력 소모 부담을 더하게 된다. 뿐만 아니라, 배터리 용량은 제한되어 있기 때문에 모바일 장치는 에너지가 제한적인 환경에서 동작하므로 에너지를 효율적으로 사용하는 것이 중요하다.

<47> 이러한 문제를 해결하기 위해 MPEG 코어에서 많은 연산을 담당하는 핵심적인 DCT 및 iDCT를 에너지 효율적인 알고리즘과 구조를 제안하고자 한다. 이를 통해 MPEG 인코딩 및 디코딩 과정에서의 전력 소모를 기존 기술보다 줄일 수 있으며 보다 효율적으로 에너지를 소모할 수 있다. 또한 이 방법을 통해 인코딩 및 디코딩 시 걸리는 시간도 단축하고자 한다.

발명의 구성 및 작용

<48> n 개의 요소를 가진 벡터 B 의 1차원 DCT는 아래와 같다.

<49>
$$Y_k = a_k \sum_{n=0}^{n-1} b_i \cos\left(\frac{2\pi}{4n} (2i+1)k\right), \quad k=0, \dots, n-1$$
 식(1)

<50> 이 때, b_i 는 B 의 n 개의 요소들을 가리키며, $k=0$ 에서는 $a_k = \frac{1}{\sqrt{n}}$, 그 밖에는 $\sqrt{\frac{2}{n}}$ 이다.

<51> X 는 $n \times n$ 행렬인 입력이다. 전통적으로, 2차원 DCT는 X 의 행들에 대하여 1차원 DCT를 수행하고 나서 그 결과들의 열에 대하여 1차원 DCT를 수행한 결과, 즉 행-열 기법에 의해 계산한다. 이 기법은 식(2)에서 계수 행렬로 정의된 C 를 이용한 결과인 Z 를 DCT의 결과로 하는 것과 같음을 알 수 있다. 계수 행렬에서

$C_k = \cos\left(\frac{2k\pi}{4n}\right)$, $k=0, \dots, n-1$ 이다. C 에서는 8개의 서로 다른 계수의 면적만이 중요하다. 즉, 부호를 무시한다면, 오직 8개의 서로 다른 값들만이 계수 행렬에 저장된다는 의미이다. 어떤 행에서 첫 번째 열의 엔트리와 마지막 열의 엔트리의 면적은 같다. 두 번째 열과 마지막에서 두 번째 열의 면적도 같다. 이러한 방식으로 중앙에 위치한 열로 진행한다. 식 (2)과 (3)에 이런 성질을 표시하였다.

<52>
$$Z = CXC^T$$
 식(2)

$$C = a_k \begin{bmatrix} C_0 & C_0 & C_0 & C_0 & C_0 & C_0 & C_0 & C_0 \\ C_1 & C_3 & C_5 & C_7 & -C_7 & -C_5 & -C_3 & -C_1 \\ C_2 & C_6 & -C_6 & -C_6 & -C_2 & -C_6 & C_6 & C_2 \\ C_3 & -C_7 & -C_1 & -C_5 & -C_5 & C_1 & C_7 & C_3 \\ C_4 & -C_4 & -C_4 & C_4 & C_4 & -C_4 & -C_4 & C_4 \\ C_5 & -C_1 & C_7 & C_3 & -C_3 & -C_7 & C_1 & -C_5 \\ C_6 & -C_2 & C_2 & -C_2 & -C_2 & C_2 & -C_2 & C_6 \\ C_7 & -C_5 & C_3 & -C_1 & C_1 & -C_3 & C_5 & -C_7 \end{bmatrix}$$

식(3)

<53> 본 디자인에서, Z 를 찾기 위해 PE의 선형 어레이를 사용한다. 입력 데이터는 off-chip 메모리 또는 on-chip 메모리에 저장될 수 있다. 본 연구에서는 입력 또는 출력을 저장할 메모리는 고려하지 않으며, 중간 결과를 저장하고 읽는 비용만을 고려한다. 도1에서는 off-chip 선형 어레이의 다이어그램을 보이고 있다. PE는 도 2에 표시하고 있다. DCT는 두 단계로 계산된다, 첫 번째 단계는 $D=XC^T$ 이고 두 번째 단계는 $Z=CD$ 이다.

<54> 1. 1단계

<55> 알고리즘의 1단계에서는 X 의 엔트리를 수정된 행우선 순서(modified row-major order)로 정렬하여 입력으로 한다. 첫 번째 입력은 0열에서, 그 다음은 $n-1$ 열에서, 그 다음은 1열에서, 그 다음은 $n-2$ 열에서 하여 행의 중앙을 향하도록 한다. 예를 들면, 어떤 8×8 DCT에서 X 의 두 번째 열의 입력은 $x_{10}, x_{17}, x_{11}, x_{16}, x_{12}, x_{15}, x_{13}, x_{14}$ 의 순서를 가질 것이다. 이 입력 패턴은 위에서 기술한 계수 행렬을 이용한 연산을 용이하게 한다. 예를 들면, X 의 두 번째 행을 PE_1 에서 C^T 의 두 번째 열과 곱할 때, x_{13} 와 x_{14} 는 모두 C_7 와 곱한다. 단, C_7 와 x_{14} 를 곱할 때는 부호가 바뀐다. 본 알고리즘에서는, C_7 의 양과 음의 값을 모두 저장하고 두 번의 곱셈을 하기보다는(한번은 x_{13} 와 또 한번은 x_{14} 와.), x_{13} 와 $-x_{14}$ 를 더하고 나서 C_7 의 양수를 곱한다. 즉, $x_{13}C_7 + x_{14}(-C_7) = (x_{13} - x_{14})C_7$ 의 연산을 하는 것이다. 이 기법은 계수 메모리를 액세스하는 횟수와 곱셈의 횟수를 1/2로 줄여준다. 도 2에서 PE의 선형 어레이는 이러한 방식으로 $D=XC^T$ 를 수행한다.

<56> 각각의 PE_j 는 매개 행렬(intermediate matrix) D 의 j 번째 열을 계산한다. 각 PE의 계수 메모리는 C 의 계수들의 면적만을 저장한다. 1단계 동안은 곱셈기 M1과 M2 모두 입력 라인 0을 선택한다. X 로부터 입력이 IOL1을 통해 PE로 들어오면, 매 클럭 사이클마다 R1에 저장된다. R1의 데이터는 IOR1을 통해 다음 PE로 전달된다. 부가적으로, R1에 저장된 후에 데이터는 별도로 레지스터 R2와 R3에 기록된다(처음은 R2, 다음은 R3, 다음은 R2 등). 매 다른 클럭 사이클마다, R2와 R3의 데이터는 조건에 따라서 음수화 되었다가 서로 더해져서 R4에 저장된다. R4에 저장된 다음 클럭 사이클에서는, R4의 데이터를 계수 메모리의 해당 계수와 곱한다(이 계수는 R4에 데이터가 저장된 것과 같은 클럭 사이클 시점에 R7에 저장된다). 이 곱셈의 결과는 R5에 저장된다. R6은 중간 결과들이 완전히 저장될 때까지 누적하는데 사용한다. 저장이 끝나면 R6의 데이터는 메모리로 옮겨지며 R6의 내용은 지워진다. 이런 방식으로 매개 행렬 D 의 모든 열의 계산이 끝나면, 알고리즘은 2단계로 전환한다.

<57> 2. 2단계

<58> 2단계에서는 2차원 DCT 연산을 완료하기 위해 $Z=CD$ 의 곱셈을 계산한다. 이 단계에서는 1단계와 거의 똑같은 과정을 수행한다.

<59> 이 단계에서 각 PE는, 외부로부터 입력을 받지 않고, 계산 과정에서 데이터 램에 저장된 중간 데이터를 이용한다. 그리하여, M2는 입력 라인 1을 선택한다. 큰 차이는, R6에 누적된 데이터가 데이터 램에는 저장되지 않는다는 점이다. 대신, R1에 기록된다. R1으로 기록하는 싸이클에는, M1은 입력 1을 선택한다. 리셋 싸이클 동안에는 M1은 입력 0을 선택한다. 이것은 마지막 PE를 통하여 어레이로부터 얻은 결과 행렬 Z 의 모든 엔트리가 출력되는 선형 어레이를 통과하는 경로를 설정하기 위한 것이다. 연산이 끝난 엔트리의 출력은 어레이 내에 덮어 쓰여 지지 않기 위해 차례로 나간다. 이를 위해, PE_{j-1} 의 데이터는 PE_j 내 R6의 데이터가 PE_j 의 R1으로 기록되기 한 사이클 전에 PE_j 의 R1에 기록된다. 덧붙이자면, 어레이에서 나가는 첫 번째 데이터는 어레이 상 마지막 PE의 데이터라고 할 수 있다. 그러므로 데이터는 행 순서의 역방향으로 어레이를 빠져 나온다. 예를 들면, 8×8 DCT에서, 선형 어레이의 첫 번째 출력은 z_{07} 이고, 그 다음에 z_{06} , 그리고 최종적으로 z_{70} 이 출력된다. 첫 번째 엔트리가 어레이에서 나오면, 새로운 엔트리가 매 클럭 사이클마다 어레이를 나오는데, Z 의 모든 n^2 개의 엔트리가 나올 때까지 계속된다. 이 때, PE는 1단계로 돌아가서 다른 DCT를 계산할 수 있다.

발명의 효과

<60> 최근 응용분야인 에너지 제한적인 환경에서 운용되기 위해서는 MPEG을 에너지 효율적으로 설계하는 것이 필요하다. 하지만 MPEG 모듈에서의 에너지 소모 면에서의 고려는 대부분 물리적 수준, 게이트 레벨에서의 전력절감 기법만을 사용한다. MPEG 칩에서 핵심적인 역할을 하는 DCT 및 iDCT 코어를 알고리즘 수준에서 전력 소모를 줄이는 우리의 발명을 통해서 저전력 사양을 가진 차세대 MPEG 모듈로 설계할 수 있다.

<61> 영상처리 응용 표준인 MPEG의 하드웨어 구현에 있어 DCT 블록을 이 발명을 이용하여 구현하면 에너지 효율을 높일 수 있고, 처리 시간을 최소화 할 수 있을 것이다.

<62> 더 나아가서 모바일 장치를 이용한 미디어 전송을 함에 있어 본 발명의 높은 에너지 효율은 제한된 배터리용량을 사용하는 모바일 장치의 활동시간을 연장시킬 수 있을 것이다.

도면의 간단한 설명

<35> 1. 도1 : off-chip 메모리에 저장되는 데이터를 처리하는 선형 구조

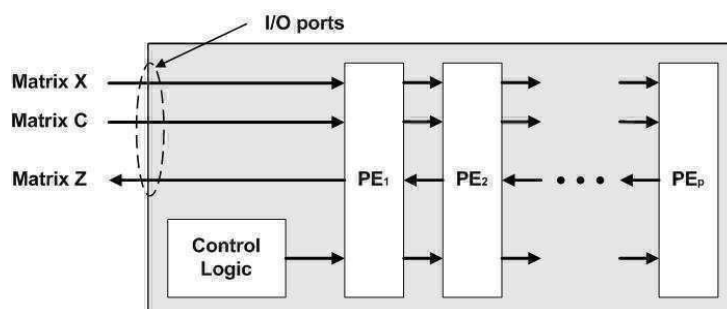
<36> 2. 도2 : DCT 연산을 위한 어레이의 PE

<37> 3. 도3 : MPEG encoder의 구조도

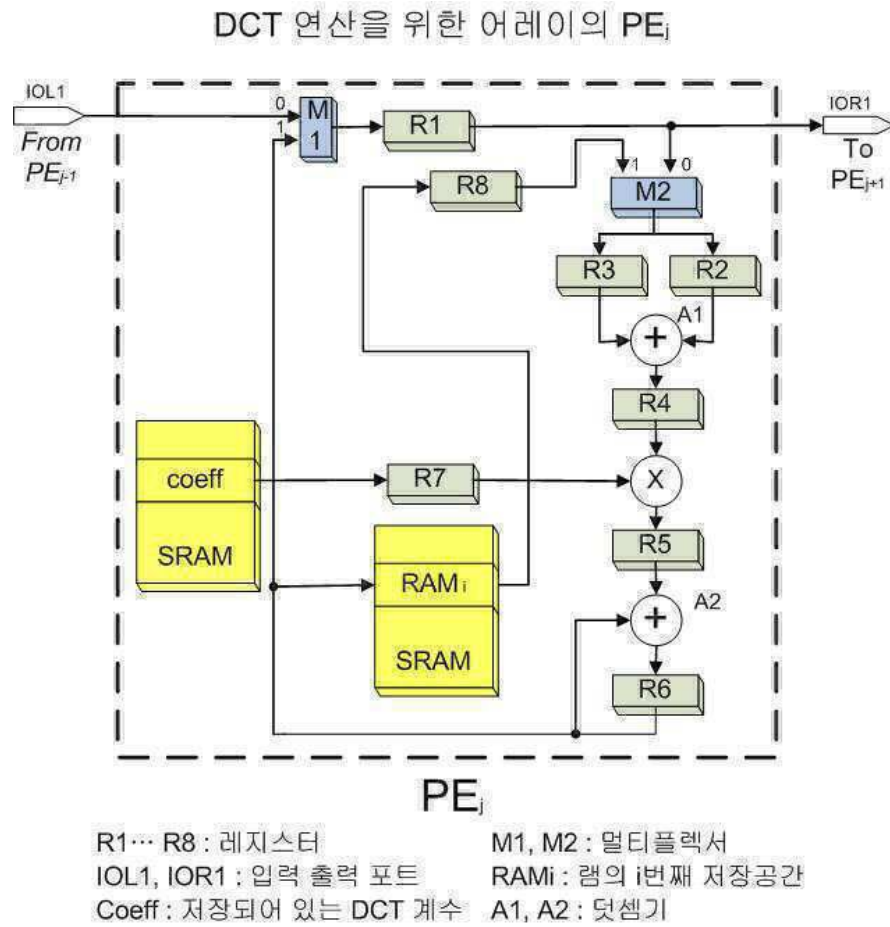
<38> 4. 도4 : MPEG decoder의 구조도

도면

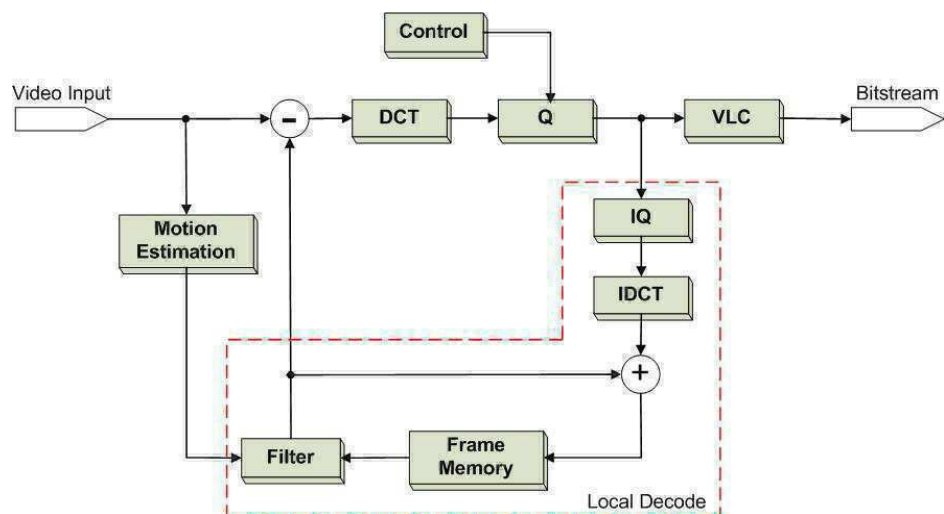
도면1



도면2



도면3



도면4

