

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-244521
(P2012-244521A)

(43) 公開日 平成24年12月10日 (2012. 12. 10)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 5/08 (2006.01)	H03K 5/08 E	5J022
H03M 1/36 (2006.01)	H03M 1/36	5J039

審査請求 未請求 請求項の数 10 O L (全 21 頁)

(21) 出願番号 特願2011-114534 (P2011-114534)
(22) 出願日 平成23年5月23日 (2011. 5. 23)

(出願人による申告) 平成22年度、独立行政法人新エネルギー・産業技術総合開発機構、「極低電力回路・システム技術開発 (グリーンITプロジェクト)」委託研究、産業技術力強化法第19条の適用を受ける特許出願

(71) 出願人 899000079
学校法人慶應義塾
東京都港区三田2丁目15番45号
(74) 代理人 100070150
弁理士 伊東 忠彦
(72) 発明者 志方 明
神奈川県横浜市港北区日吉3丁目14番1号 慶應義塾大学 理工学部内
Fターム(参考) 5J022 AA06 BA01 BA05 CD04 CE01
CE08 CF01 CF02
5J039 DA12 DB03 DB08 KK09 KK11
KK13 KK20 KK28 KK29 MM03

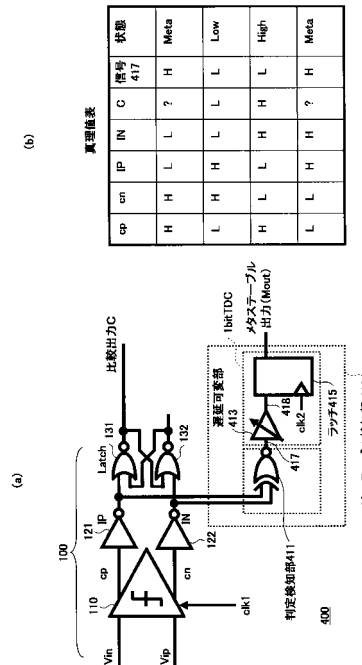
(54) 【発明の名称】 比較器及びAD変換器

(57) 【要約】

【課題】 高速に、かつ高精度で動作する比較器及びADC等を構築すること。

【解決手段】 従来の比較器は、比較器に入力される2つの入力電圧の差が小さいほど、安定した比較結果を得るまでに時間がかかり、また、2値の出力しか得られない。安定した比較結果が得られるまでの状態を、通常メタステーブル状態と呼んでいる。本発明は、このメタステーブル状態を積極的に利用する。すなわち、メタステーブル状態を検出することで、ハイとロウの中間レベルの判定を合わせて行える。これによって、3値以上を出力する比較器が容易に実現できる。本発明の比較器は、比較器の数を減少させることができると同時に、通常では判定が終了していない状態で比較動作を終了させることが可能になるため、速度向上にも役立ち、高速、高精度のADC(アナログデジタル変換器)等の機器に応用できる。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

クロック信号に同期して第 1 の入力信号及び第 2 の入力信号を比較する比較器であって、当該比較器の内部状態として、ハイレベル状態と、ロウレベル状態と、前記ハイレベル状態及び前記ロウレベル状態の中間の N (N は自然数) 個のレベルを表す N 個のミドルレベル状態とを持ち、

当該比較器は、

前記第 1 の入力信号及び前記第 2 の入力信号が入力され、前記第 1 の入力信号及び前記第 2 の入力信号に対応しかつ増幅された第 1 の差動増幅信号及び第 2 の差動増幅信号を出力する差動増幅回路部であって、前記クロック信号の第 1 のクロックタイミングで動作を開始し前記クロック信号の第 2 のクロックタイミングで動作を終了する、差動増幅回路部と、

10

前記第 1 の差動増幅信号及び前記第 2 の差動増幅信号に基づいて動作し、前記第 1 の差動増幅信号及び前記第 2 の差動増幅信号を比較した値を第 1 の比較値としてラッチし出力する第 1 のラッチ部と、

前記第 1 の差動増幅信号及び前記第 2 の差動増幅信号に基づいて動作し、前記第 1 の差動増幅信号及び前記第 2 の差動増幅信号を比較した値を遅延させた N 個の値を第 3 のクロックタイミングでラッチし第 2 の N 個の比較値として出力する、N 個のラッチ回路を含む第 2 のラッチ部と、

を有し、

20

前記第 1 の比較値と前記第 2 の N 個の比較値とに基づいて、前記ハイレベル状態と前記ロウレベル状態と前記 N 個のミドルレベル状態とが決定される、

比較器。

【請求項 2】

前記第 3 の N 個のクロックタイミングは、直列に接続された N 個の遅延可変部の N 個の遅延時間に基づいて決定され、前記 N 個の遅延可変部の各々の出力は、対応する前記 N 個のラッチ回路の各々の入力に接続される、請求項 1 記載の比較器。

【請求項 3】

前記第 1 のクロックタイミングと前記第 2 のクロックタイミングとの間の時間を変更することによって、前記差動増幅回路の動作時間を制御する、

30

請求項 1 又は 2 記載の比較器。

【請求項 4】

前記差動増幅回路の負荷容量を変更することによって、前記差動増幅回路の動作速度を制御する、

請求項 1 乃至 3 のうちいずれか 1 項記載の比較器。

【請求項 5】

前記差動増幅回路のバイアス条件を変更することによって、前記差動増幅回路の動作速度を制御する、請求項 1 乃至 4 のうちいずれか 1 項記載の比較器。

【請求項 6】

前記 N 個の遅延時間、前記第 3 のクロックタイミング、前記動作時間、前記負荷容量、及び前記バイアス条件のうち少なくとも 1 つを変更することによって、前記 N 個のミドルレベル出力が出力されるための前記第 1 の入力信号及び前記第 2 の入力信号との差の電圧範囲を、予め定められた範囲に調整する制御部を含む、請求項 5 記載の比較器。

40

【請求項 7】

前記 N が 1 であって、

前記ミドルレベル状態と前記ロウレベル状態との論理和を比較結果としてのロウレベル出力とし前記ハイレベル状態を比較結果としてのハイレベル出力とする第 1 の処理と、前記ミドルレベル状態と前記ハイレベル状態との論理和を比較結果としてのハイレベル出力とし前記ロウレベル状態を比較結果としてのロウレベル出力とする第 2 の処理とのうち、何れか一方の処理を行う、

50

請求項 1 乃至 6 のうちいずれか 1 項記載の比較器。

【請求項 8】

前記第 1 の処理において、前記出力がハイレベル出力に切り替わった場合、前記第 2 の処理を実行し、前記第 2 の処理において、前記出力がロウレベルに切り替わった場合、前記第 1 の処理を実行する、請求項 7 記載の比較器。

【請求項 9】

請求項 1 乃至 8 のうちいずれか 1 項記載の比較器を用いた、アナログデジタル変換器。

【請求項 10】

前記アナログデジタル変換器が、逐次比較型アナログデジタル変換器、フラッシュ型アナログデジタル変換器、及びパイプライン型アナログデジタル変換器のうち、いずれか一つである、請求項 9 記載のアナログデジタル変換器。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、比較器及びこれを有する A D 変換器に関する。

【背景技術】

【0002】

従来から、アナログデジタル (A D : A n a l o g D i g i t a l) 変換器等 (以下「A D C」と言う。) に用いられる種々の比較器 (コンパレータ) が開発され、提案されている。特許文献 1 は、比較器の判定時間を改善するために、比較器を 2 段構成としてメタステーブル状態 (未判定状態) である時間を短縮し高速化する技術を開示している。また、特許文献 2 は、異なる比較値を持つ 2 つのコンパレータを有し、この 2 つのコンパレータのうち、先に出力したコンパレータの判定信号を採用する技術を開示している。

20

【0003】

これらの従来技術からも明らかなように、一般に、比較器は、比較すべき信号が入力されてから、信頼できる比較結果が出力されるまでに、精度に応じた一定の遅延時間を要する。現在においては、A D 変換器等、高速で動作することが必要とされる多くの機器に比較器が用いられているため、比較器の動作速度の改善が望まれている。

【0004】

ここで、図 1 を参照し、従来 of クロック同期型比較器 100 の動作について説明する。(クロック同期型比較器とは、クロック信号がハイ (ロウ) のときに比較動作を行い、ロウ (ハイ) のときはハイ、もしくはロウのうちどちらかの初期値にリセットが掛かる比較器のことを指す。) 比較器 100 は、入力端子 $c l k$ 及び $V i n$ 及び $V i p$ を有し、出力端子 $C +$ 及び $C -$ を有する。 $c l k$ がロウのときはリセットが掛かり、比較器 100 は初期状態に移行し、それと同時に直前の比較結果を保持する。 $c l k$ がハイになると比較動作を開始し $V i n$ と $V i p$ の極性を判定する。例えば、 $V i n$ の電圧が $V i p$ の電圧よりも低ければ、出力端子 $C +$ は、ハイレベルの信号が出力される。また、 $V i n$ の電圧が $V i p$ の電圧よりも高ければ、出力端子 $C +$ には、ロウレベルの信号が出力される。なお、出力端子 $C -$ は、出力端子 $C +$ の反転した信号が出力される。

30

40

【0005】

$c l k$ がハイになると入力信号 $V i n$ 及び $V i p$ は、差動増幅回路 110 に入力され、対応する出力信号 $c p$ 及び $c n$ が出力される。 $c p$ 及び $c n$ は、それぞれ N O T 回路 121 及び 122 を介して、それぞれデジタル信号 $I P$ 及び $I N$ となる。信号 $I P$ 及び $I N$ は、たすきがけに接続された N O R 回路 131 及び 132 で構成される S R (S e t R e s e t) ラッチ回路でラッチされる。このラッチされた信号が、比較器 100 の出力信号 $C +$ 及び $C -$ として取り出され、 $c l k$ がロウの間は直前の比較結果を保持する。なお、本明細書では、 $V i n$ を負極入力、 $V i p$ を正極入力として扱うので $V i n < V i p$ で比較器出力がハイレベルを出力しているが、この逆であってもよい。

【0006】

50

図2は、図1における差動増幅回路110の具体的回路の一例を示した図である。VDDは電源ライン、GNDはグランドを示す。図2に示されるように、トランジスタ210乃至220が接続されており、クロック信号clkの立ち上がりのタイミングで動作を開始し、立ち下りのタイミングでリセットされる。トランジスタ210、211、218及び219のそれぞれのゲート端子には、クロック信号が入力され、ロウになると差動増幅回路をリセットする。トランジスタ220のゲート端子にもクロック信号が入力されており、クロックの立ち上がりタイミングで差動増幅回路110が動作を開始する。本実施例の場合、トランジスタ210、211、218及び219はpMOSトランジスタであり、トランジスタ220はnMOSトランジスタである。したがって、同じクロック信号が入力された場合でも、トランジスタ210、211、218及び219とトランジスタ220のオン/オフ動作は、逆になっている。すなわち、clkがロウ(L)のとき、nMOSトランジスタ220はオフとなり差動増幅回路110の動作は停止し、また、このとき、トランジスタ210、211、218及び219はオンとなり、差動増幅回路110はリセットされる。clkがハイ(H)のときは、トランジスタ210、211、218及び219はオフとなり、差動増幅回路110はリセット状態が解除されて入力信号を受け付けるようになり、また、このとき、nMOSトランジスタ220はオンとなり差動増幅回路110が動作を開始する。

10

【0007】

トランジスタ217及び216のゲート端子には、それぞれ入力信号Vin及びVipが入力される。トランジスタ212乃至215によって、入力信号Vin及びVipが差動増幅され、cp及びcnとして出力される。

20

【0008】

なお、この動作は、一例であり、クロック信号入力に同期する比較器(前述のクロック同期型比較器)であれば、本発明を適用することが出来る。

【0009】

図3(a)乃至(c)は、図2における差動増幅回路110の出力cp及びcnの挙動を示した図である。また、図3(d)乃至(f)は、それぞれ対応するクロック信号clkの波形を示している。

【0010】

図3(a)は、入力信号VinとVipとの差の絶対値 $|V_{in}|$ が比較的大きい場合における出力cp及びcnの挙動を示している。出力cp及びcnは、クロック信号(d)の立ち上がり時点では、直前のリセット動作により共にVDDに接続されているため、同じ値を示しているが、次第に差が増幅され、クロック信号(d)の立ち下り時においては、比較結果を出力するのに十分大きな差が発生している。このようにcpとcnの差が十分大きい場合には、図1に示したラッチ回路131で、信頼できる比較結果が出力されることになる。

30

【0011】

図3(b)は、入力信号VinとVipとの差の絶対値 $|V_{in}|$ が、図3(a)と比較して小さい場合における出力cp及びcnの挙動を示している。この場合には、出力cp及びcnの電圧差が十分な値まで増幅されるのに必要な時間が、図3(a)の場合に比べて相対的に長くなる。したがって、クロック(e)の立ち下り時点においても、出力cp及びcnの差が小さいため、後段のラッチ回路131に比較結果を反映できず、前回の判定結果がそのまま用いられる。このため、比較器100が誤った判定結果を出力することが比較的高い確率で発生してしまうことになる。

40

【0012】

図3(c)は、図3(b)における誤動作を回避するために、クロック信号(f)を遅くするか、クロックのデューティ比を長くすることによって、比較時間を長く設定した例を示している。この場合には、クロック信号(f)の立ち下り時において、出力cpとcnとの電圧差が十分大きくなっているため、後段のラッチ回路131の書き換えが正常に行われ誤動作の発生を防止できる。

50

【0013】

このように、図3に示す例から理解できるように、入力信号 V_{in} と V_{ip} との差の絶対値 $|V_{in}|$ が小さい場合には、比較器における比較結果が得られる時間が長くなることになる。このことを、別の言葉で言い換えれば、比較結果が未判定である状態が長くなると言うことである。この比較が未判定である状態を、メタステーブル状態と呼ぶ。

【0014】

このような、比較時間の増大を避けるために、特許文献1では、比較器を、直列に接続した第1段目比較回路部と第2段目比較回路部の2段構成としている。第1段目比較回路部は、第1のクロックタイミングで動作し、入力信号のレベルと基準レベルとの比較判定結果に応じて、ハイレベルまたはロウレベルの出力電圧を比較出力として出力すると共に、比較判定が終わっていない間は、増幅途中の信号をそのまま出力し第2段目の比較回路部へと入力する。第2段目比較回路部は、第1のクロックタイミングより遅れた第2のクロックタイミングで動作し、第1段目比較回路部の比較出力を、中間レベルの出力電圧とは異なる値の比較用電圧と比較し、その比較判定結果に応じて比較出力を出力すると共に、その判定結果の比較出力を自己保持するようにしている。

10

【0015】

また、特許文献2では、比較器回路は、入力信号と第1の比較値とを比較し判定結果を有する第1の判定信号を生成する第1の差動増幅回路部と、入力信号と、第1の比較値と異なる第2の比較値とを比較し判定結果を有する第2の判定信号を生成する第2の差動増幅回路部とを有する。そして、第1及び第2の判定信号のうちいずれが先に生成されたかを検出し、先に生成された信号を選択して判定信号として出力する出力選択回路部とを有する。

20

【0016】

また、非特許文献1には、比較器を用いたADCの技術が開示されている。この非特許文献1では、比較器において、入力信号の判定が終了し比較結果が得られたという信号を利用した非同期のAD変換技術が開示されている。上述のように、入力信号の差の絶対値である $|V_{in}|$ の大きさによって、比較器における比較動作時間が異なるため、判定が終了したという信号を用いて、入力信号に応じた適切な比較時間をそれぞれの比較動作に割り振ることにより、1回のAD変換に掛かる比較時間の合計を削減しつつ比較結果の信頼性を向上させている。

30

【0017】

しかしながら、上述の特許文献1及び特許文献2が開示されている技術は、比較に要する時間を短縮するために、比較器を複数設けなければならない、比較器全体の回路構成が複雑化している。

【0018】

また、非特許文献1が開示される技術においては、比較器の判定にかかる時間の短縮は、あくまでもADCにおける比較の判定時間の平均値の短縮であり、AD変換において複数回必要となる複数の比較動作の各々の時間を短縮するものではない。また、判定時間が長時間になる場合には、一定の値を超えた時点で比較の打ち切りをすることも必要となってくる。比較を打ち切った場合、このときの出力結果は前回の比較結果をそのまま用いることとなり、AD変換そのものの出力精度の低下を招く場合もある。

40

【0019】

したがって、高速で動作する高精度な比較器を実現することが望まれている。

【先行技術文献】

【特許文献】

【0020】

【特許文献1】特開2010-288111号公報

【特許文献2】特開2010-45579号公報

【非特許文献】

【0021】

50

【非特許文献1】Shuo-Wei Michael Chen and Robert W. Brodersen "A 6-bit 600-MS/s 5.3-mW Asynchronous ADC in 0.13 μ m CMOS", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 41, NO. 12, DECEMBER 2006

【発明の概要】

【発明が解決しようとする課題】

【0022】

本発明は、上述の従来技術の課題を解決することを目的とする。すなわち、本願発明は、高速で動作する高精度な比較器を実現することを目的とする。また、この比較器を利用して、高速に、かつ高精度で動作するADC等の応用機器を実現することを目的とする。なお、本発明の課題は、上記の点に限定されるものではない。

10

【課題を解決するための手段】

【0023】

一実施例の比較器は、クロック信号に同期して第1の入力信号(V_{in})及び第2の入力信号(V_{ip})を比較する比較器(400)であって、当該比較器の内部状態として、ハイレベル状態と(Z₁)、ロウレベル状態と(Z₅)、前記ハイレベル状態及び前記ロウレベル状態の中間のN(Nは自然数)個のレベル(Z₂乃至Z₄)を表すN個のミドルレベル状態とを持ち、当該比較器(400)は、前記第1の入力信号(V_{in})及び前記第2の入力信号(V_{ip})が入力され、前記第1の入力信号(V_{in})及び前記第2の入力信号(V_{ip})に対応しかつ増幅された第1の差動増幅信号(I_P)及び第2の差動増幅信号(I_N)を出力する差動増幅回路部(110、121、122)であって、前記クロック信号の第1のクロックタイミング(c_{lk}1の立ち上がり)で動作を開始し前記クロック信号の第2のクロックタイミング(c_{lk}1の立ち下がり)で動作を終了する、差動増幅回路部(110、121、122)と、前記第1の差動増幅信号(I_P)及び前記第2の差動増幅信号(I_N)に基づいて動作し、前記第1の差動増幅信号(I_P)及び前記第2の差動増幅信号(I_N)を比較した値を第1の比較値(C)としてラッチし出力する第1のラッチ部(Latch)と、前記第1の差動増幅信号(I_P)及び前記第2の差動増幅信号(I_N)に基づいて動作し、前記第1の差動増幅信号(I_P)及び前記第2の差動増幅信号(I_N)を比較した値(417)を遅延させたN個の値(遅延可変部413、1713、1714の出力)を第3のクロックタイミング(c_{lk}2の立ち上がり)でラッチし第2のN個の比較値(M_{out}、M₁、M₂)として出力する、N個のラッチ回路(415、1715、1716)を含む第2のラッチ部(1bitTDC、2bitTDC)と、を有し、前記第1の比較値(C)と前記第2のN個の比較値(M_{out}、M₁、M₂)とに基づいて、前記ハイレベル状態と前記ロウレベル状態と前記N個のミドルレベル状態とが決定される、比較器(400、1700)によって提供される。なお、上記の「遅延」は、遅延量=0(例えば、実施例における遅延可変部413が存在しない場合等)を含む点に留意すべきである。

20

30

【0024】

また、本発明は、本発明の比較器を用いたADCによって提供される。なお、上記の括弧書きの記載は、以下で詳述する本発明の一実施例を参考までに付記したものであって、本発明を限定するものではない。

40

【0025】

また、本発明の比較器の応用分野は、ADCに限られない。

【発明の効果】

【0026】

本発明により、高速で高精度の比較器が実現できる。また、本発明の比較器を用いた機器(例えばADC)についても、高速で高精度のものが実現できる。なお、本願発明の効果は、この記載に限定されるものではない。

【図面の簡単な説明】

50

【 0 0 2 7 】

【 図 1 】 従来技術の比較器を示す図である。

【 図 2 】 従来技術の比較器における差動増幅回路を示す図である。

【 図 3 】 従来技術の比較器における差動増幅回路の応答の挙動を示す図である。

【 図 4 】 本発明の比較器の一実施例を示す図である。

【 図 5 】 ミドルレベルを出力する 3 値出力比較器をキャリブレートする方法を示した図である。

【 図 6 】 遅延量を変化させる例として、容量負荷遅延回路を示す図である。

【 図 7 】 基準電圧の設定と差動増幅回路の速度との関係を示す図である。

【 図 8 】 比較器内部に可変型負荷容量を設けた例を示した図である。

10

【 図 9 】 比較器のオフセット値を補正する実施例を説明する図である。

【 図 1 0 】 オフセット調整を自動的に行うためのフィードバック制御を行う手法を示す図である。

【 図 1 1 】 ミドルレベルを用いてヒステリシスコンパレータを実現する例を示した図である。

【 図 1 2 】 ヒステリシスコンパレータを実装した実施例を示す図である。

【 図 1 3 】 本発明の比較器を採用した逐次比較型 A D C の一実施例を示した図である。

【 図 1 4 】 2 ステップの逐次型 A D C の状態変化の例を示す図である。

【 図 1 5 】 本発明の比較器を用いたフラッシュ型 A D C を示す図である。

【 図 1 6 】 本発明の比較器を用いたパイプライン型 A D C を示す図である。

20

【 図 1 7 】 出力が 3 値を超える比較器の一実施例を示す図である。

【 図 1 8 】 出力が 3 値を超える比較器の一実施例における動作を示す図である。

【 発明を実施するための形態 】

【 0 0 2 8 】

図 4 は、本発明の比較器 4 0 0 の一実施例を示す図である。一実施例の比較器 4 0 0 は、大きく 2 つの部分に分かれている。すなわち、比較器 4 0 0 は、入力信号 V_{in} 及び V_{ip} 及びクロック信号 clk_1 を入力端子として持ち、比較出力 C を出力する比較部 1 0 0 と、比較部 1 0 0 の信号 IP 及び信号 IN 及びクロック信号 clk_2 によって動作し、信号 IP 及び信号 IN の状態をメタステーブル出力 ($Mout$) として出力するメタステーブル検知部 4 1 0 とを有する。なお、 clk_1 と clk_2 とは、同期していることを前提としているが、異なるクロックタイミングが利用されてもよい。このため、 clk_1 と clk_2 として、別の標記を用いている点に留意すべきである。

30

【 0 0 2 9 】

比較部 1 0 0 の構成は、図 1 に示す構成と同様であってもよい。

【 0 0 3 0 】

メタステーブル検知部 4 1 0 の構成は以下の通りである。判定検知部 4 1 1 は、比較部 1 0 0 の信号 IP および IN を入力とするエクスクルーシブ NOR 回路で構成される。なお、当業者であれば、このエクスクルーシブ NOR を用いた回路は、回路構成次第で $EXOR$, NOR , $NAND$ などでも代用可能であることが理解できるであろう。判定検知部 4 1 1 の出力 4 1 7 は、遅延可変部 4 1 3 に入力される。遅延可変部 4 1 3 の出力 4 1 8 は、ラッチ 4 1 5 に入力される。ラッチ 4 1 5 は、クロック信号 clk_2 をクロック入力端子に入力する。したがって、ラッチ 4 1 5 は、クロック信号 clk_2 の立ち上がりのタイミングで、遅延可変部 4 1 3 の信号をラッチし、メタステーブル出力 ($Mout$) として出力する。

40

【 0 0 3 1 】

図 4 (b) は、説明を単純化するために、図 4 (a) に示された実施例の遅延可変部 4 1 3 の直前の信号 4 1 7 の状態を含む真理値表を示している。すなわち、信号 IP 及び IN が共に L の場合、又は共に H の場合には、差動増幅回路 1 1 0 の出力 cp 及び cn が近い値のままの状態であると判断される。この場合には判定検知部 4 1 1 の出力 4 1 7 がいずれの状態においても H (“ 1 ”) となる。また、信号 IP 及び IN が、それぞれ L 及び

50

Hの場合、または、それぞれH及びLの場合には、信号417は、L(“0”)となる。この状態においては、差動増幅回路110の出力cp及びcnの電圧差が十分大きくなった時期の状態を表しており、比較出力Cは、入力信号Vin及びVipの比較結果を、正しく反映している状態と判断することができる。

【実施例】

【0032】

図5は、図4に示した実施例において、比較器の出力としてメタステーブル出力(Mout)を利用して、比較器の出力としてH及びLに加えて、その中間の値Mを出力する3値出力比較器をキャリアプレートする方法を示した実施例である。

【0033】

図5において、(a)は理想的な比較器の動作状態を示している。すなわち、比較器に入力される電圧差に応じて、H又はLの2値を出力するものである。

【0034】

これに対して、図5(b)に示すように、現実の比較器は、判定する極性が切り替わる付近の入力電圧(オフセットがない場合であれば電圧差ゼロ付近)の場合では、比較器の出力が安定しない領域が存在する。これをM501として示す。このような不安定な入力領域が発生する理由は、既に図3を用いて説明したとおりである。すなわち、入力電圧差が小さい場合に、差動増幅回路の出力cp及びcnの電圧差が十分増幅されるまでに長時間を要するため、比較時間の終了時点で、正確な比較結果が得られないメタステーブル状態が継続しているためである。

【0035】

このメタステーブル状態は、図4における信号417として取り出すことができる。そして、遅延可変部413を介してクロック信号clk2の立ち上がり時に、信号417の遅延した信号をラッチ415でラッチし、これをメタステーブル出力(Mout)として取り出す。遅延可変部413とラッチ415とで、1bitTDC(Time to Digital Converter)が構成される。このメタステーブル出力(Mout)がH(“1”)として取り出される場合、メタステーブル状態を示しているため、比較出力Cのロウレベル(L)とハイレベル(H)との中間の値、すなわちミドルレベル(M)として比較器400の出力に採用すればよい。

【0036】

そして、遅延可変部413の遅延量を増加させれば、より早い時期の信号417の値がラッチ415においてラッチされメタステーブル出力(Mout)として出力される。このことは、メタステーブル出力(Mout)がメタステーブル状態を示す入力範囲が広くなることを意味する。したがって、遅延量を増加させることにより、図5(d)に示すように、ミドルレベルの取り得る範囲を増加させることとなる。

【0037】

以上のことは、遅延可変部413の遅延量を調節することにより、入力電圧差に対するミドルレベルの出力範囲を比較器動作を変えずに調整できることを意味する。遅延量を調整して、入力範囲内で入力電圧差が均等に分布する入力信号を与えた場合に、例えば、その出力が1/3の確率(割合)でミドルレベルとなるようにすれば、入力電圧差に対して、比較器の出力、H、M、Lを1/3ずつ均等に出力することができる。この状態を図5(c)に示す。このように、遅延量を操作することによって、図5(c)の状態(好きな状態)に比較器をキャリアプレートすることが容易にできることが理解される。これによって、H、M、Lの3値を出力する比較器が実現できる。あるいは、clk2のclk1に対する遅延時間を減少させることによって、ミドルレベルの取り得る範囲は増加する。すなわち、当業者であれば、clk2のclk1に対する遅延時間を減少させることは、遅延量を増加させることと同様の作用をもたらすことが理解されよう。

【0038】

したがって、遅延可変部413の遅延量はゼロであってもよい(すなわち遅延可変部413は無くてもよい)。

10

20

30

40

50

【0039】

なお、上述の説明においては、ミドルレベルMが出力される割合を、遅延可変部413の遅延量を調節する（又は、clk2のclk1に対する遅延時間を調節する）ことによつて行う実施例を説明した。これに加えて、ミドルレベルMが出力される割合を増加させるには、遅延量を増加させる場合も含め、以下の手法が存在する。

（あ）メタステーブル検出回路部内部の遅延可変部413の遅延量 t を増加させる（又は、clk2のclk1に対する遅延時間を減少させる）

（い）比較時間を短くする

（う）比較器の動作速度を遅くする

なお、上記（あ）乃至（う）の手法は、全ての実施例に対して、択一的に又は組み合わせて利用できるものあり、特定の実施例に限定して用いられるものではない点に留意すべきである。以下、これらの手法について説明する。

【0040】

〔（あ）メタステーブル検出回路部内部の遅延可変部413の遅延量 t を増加させる（又は、clk2のclk1に対する遅延時間を減少させる）〕

この点は、既に説明した。したがって、ここでは、遅延量の変化の手法について補足的に説明する。

【0041】

図6に、遅延量を変化させる例として、可変容量負荷遅延回路を示す。NOT回路601と602とを直列に接続し、その接続点に可変容量素子603を接続し、その他端をグラウンドなどの固定電位に接続する。可変容量素子603の容量を変化させることにより、NOT回路601と602との接続回路の動作速度を調節することができる。したがって、可変容量素子603の容量を変化させることにより、端子AとBとの間の信号遅延量を変化させることができる。他の方法としては、NOT回路を2個接続した遅延素子を1単位として、複数単位の遅延素子を直列に接続し、セレクタを使用することで、直列に接続される遅延素子の数を変化させてもよい（図示せず）。その他の可変型の遅延素子を適宜用いることができる。

【0042】

〔（い）比較時間を短くする〕

次に、比較時間を変化させることにより、図5におけるミドルレベルMの割合を変化させる手法について説明する。この手法は、図3に述べた原理を利用する。すなわち、図3（c）に示すように比較時間を長くすることにより、微小な入力電圧差 V_{in} に対しても、比較判定動作は正常に終了し、比較器の比較結果として、L又はHを得ることが可能である。このことは、比較時間を短くすれば、入力信号に対して、メタステーブル出力信号（Mout）がメタステーブル状態を示す入力範囲が広くなることを意味する。したがって、比較時間を調節することによって、図5におけるミドルレベルの割合を調節してもよい。なお、比較時間は、クロック周波数を変更するか、クロックclk1のデューティ比を変更することにより調節することができる。特に、クロックclk1のデューティ比を変更する場合は、全体の動作速度を変えなくミドルレベルの幅を調節出来る。これらの比較時間の変更は、クロック回路を適宜調節することにより行うことができる（図示せず）。

【0043】

〔（う）比較器の動作速度を遅くする〕

比較器の動作速度を遅くすることにより、図5におけるミドルレベルMの割合を変化させる手法について説明する。この手法も、図3に述べた原理を利用しており、比較器の動作速度を遅くすることにより、等価的に比較時間を短くすることに相当している。これを用いてミドルレベルの幅を制御してもよい。なお、比較器の動作速度を遅くするには比較器のバイアス条件を変化させることや、負荷素子を増加させることで実現することができる。この点につき、下記（う-1）及び（う-2）で説明する。

【0044】

10

20

30

40

50

[(う - 1) バイアス条件を変化させる]

バイアス条件とは、差動増幅回路にかける直流成分の電圧に関する条件である。比較器が計測する入力電圧1と入力電圧2の極性が切り替わる電圧レベルを差動増幅回路の基準電圧と定義すると、基準電圧を変化させることによって、差動増幅回路内のトランジスタに流れる電流を変えることができ、差動増幅回路の動作速度を制御することができる。なお、基準電圧は、差動増幅回路の前段の回路で調整することの方が一般的であるが、比較器側（差動増幅回路の直前）にて基準電圧を変更してもよい。

【 0 0 4 5 】

図7は、基準電圧の設定と差動増幅回路の速度との関係を示す図である。V_{cm}は入力信号の基準電圧を示し、また、V_aは、あるタイミングにおける入力信号V_{in}の電圧とV_{ip}の電圧との差の電圧を示している。

10

【 0 0 4 6 】

図7(a1)は、基準電圧V_{cm1} = 250 mVである場合の入力信号V_{in}の電圧とV_{ip}の電圧を示している。図7(a2)は、基準電圧V_{cm1} = 250 mVである場合の差動増幅回路110aの出力c_{p1}及びc_{n1}の挙動を示す。

【 0 0 4 7 】

これに対して、図7(b1)は、基準電圧をV_{cm2} = 250 mV + とした場合の入力信号V_{in}の電圧とV_{ip}の電圧を示している。図7(b2)に、この場合の差動増幅回路110bの出力c_{p2}及びc_{n2}の挙動を示す。図7(b1)と図7(b2)を対比すると、基準電圧を上げることにより、差動増幅回路の速度が増加することが分かる。差動増幅回路の速度が遅くなれば、図4におけるメタステーブル出力(M_{out})がメタステーブル状態を示す入力範囲が広くなることになる。したがって、基準電圧を操作することにより、図5におけるミドルレベルMの割合を変化させてもよい。

20

【 0 0 4 8 】

なお、基準電圧を制御する手法は、上述のように、差動増幅回路の前段の回路で調節しても良い。あるいは、差動増幅回路の入力のバイアス電圧を制御できるよう、レベルシフタ回路(図示せず)を介して、差動増幅回路の入力に印加しても良い。

【 0 0 4 9 】

なお、差動増幅回路内のトランジスタのウェル電圧を変えることでトランジスタの動作パラメータが変更されるため、ウェル電圧を変更することによって差動増幅回路の動作を制御してもよい。ウェル電圧を制御する方法については一般的な事柄であるため、ここでは詳細な説明は省略し、図示しない。

30

【 0 0 5 0 】

[(う - 2) 比較器内部の負荷容量を増加させる]

比較器内部の負荷容量を調節することによって、図5のミドルレベルの割合を調整することができる。

【 0 0 5 1 】

図8(a)は、差動増幅回路110の出力c_p及びc_nに負荷容量801及び802を付加した例を示している。負荷容量を調節する手法としては、図8(b)に示すように、複数のコンデンサを並列に接続し、複数のスイッチSW1乃至SW3を操作して、並列に接続されるコンデンサの数を変化させることができる。また、電圧制御容量素子を用いて、(電圧制御容量素子に)与えるバイアス電圧を変化させることによって容量を変動させることができる(図示せず)。その他の可変容量を適宜用いることができる。

40

【 0 0 5 2 】

比較器内に容量を付加することにより、差動増幅回路110の動作速度が変化する。図8(c)は、負荷容量が小さい場合の差動増幅回路110の出力c_p及びc_nの挙動を示す。また、図8(d)に、負荷容量が大きい場合の差動増幅回路110の出力c_p及びc_nの挙動を示す。負荷容量が大きいほど、差動増幅回路の動作が遅くなるのが分かる。差動増幅回路の速度が変化すれば、図4におけるメタステーブル出力(M_{out})がメタステーブル状態を示す確率が変化するようになる。したがって、比較器の負荷容量を調節

50

することにより、図 5 におけるミドルレベル M の割合を変化させてもよい。

【 0 0 5 3 】

[比較器のオフセット調整の実施例]

以下、ミドルレベルを用いて、比較器のオフセット量を補正する実施例を説明する。

【 0 0 5 4 】

図 9 (a) は、理想的な比較器の特性を示しており、入力信号の極性を境に H 又は L の出力が得られている。これに対して、現実の比較器は、図 9 (b) に示すように、一定のオフセット (o f f s e t) を持ち、極性変動する電圧が (H 又は) L 側にずれている (この例の場合、L 側にずれているが、H 側にずれている場合も同様である)。この例の場合、ミドルレベルを調節し、ミドルレベルの上限値が、ちょうど中心のレベルに来よう
10
、ミドルレベル調節を行う (図 9 (c) 及び (d))。図 9 の真理値表に示すように、比較器の出力 C が L であるか又はメタステーブル出力 (M o u t) の出力が H (“ 1 ”) である場合、真理値表にしたがって、新たな信号 L を出力させる。そして、比較器の出力 C が H であり、かつメタステーブル出力 (M o u t) の出力が L (“ 0 ”) である場合、真理値表にしたがって、新たな信号 H を出力させる。このような真理値表を実現する論理回路を比較器の出力 C 及びメタステーブル出力 (M o u t) に結合することにより、図 9 (e) に示すようなキャリブレートされた比較器出力が得られる。

【 0 0 5 5 】

上記のようなミドルレベルを設定するには、上述の (あ) 乃至 (う) のいずれかの手法を用いて実現してもよい。
20

【 0 0 5 6 】

図 1 0 は、オフセット調整を自動的に行うためのフィードバック制御の手法を示す図である。制御ブロック 1 0 6 0 は、図 9 の真理値表 9 0 1 を実現する論理回路の一例を示し、最終的にオフセット調整された 2 値の比較出力 1 0 5 0 を出力する制御ブロックである。また、制御信号 1 0 6 5 は、遅延量制御信号 1 0 1 0、c l k 2 制御信号 1 0 1 1、負荷用制御信号 1 0 2 0、クロック制御信号 1 0 3 0、または基準電圧 (バイアス条件) 制御信号 1 0 4 0 のうちの 1 つ以上の信号として利用してもよい。ミドルレベルを調整する手法については、図 5 を用いて既に説明したとおりである。制御ブロック 1 0 6 0 は、図 9 に示す例の場合には、上述の (あ) 乃至 (う) の手法を用いて均等に分布する入力信号に対して、出力 C が L、又は、出力 C が H かつ出力 M o u t が H (“ 1 ”) である確率が、併せて 5 0 % になるように、フィードバック量を調整すればよい。または、出力信号 C が H かつ出力信号 M o u t が L (“ 0 ”) である確率が 5 0 % となるよう、フィードバック量を調整してもよい。
30

【 0 0 5 7 】

なお、図 9 におけるオフセットが、逆に H 側にシフトしている場合にも、上記と同様の考え方に基づいて制御を行えばよい。当業者は、この点を理解できるであろう。

【 0 0 5 8 】

[ヒステリシスコンパレータの実現の実施例]

図 1 1 は、ミドルレベルを用いて、ヒステリシスコンパレータを実現する例を示した図である。図 1 1 (c) に示すように、必要とされるヒステリシスの幅を持つミドルレベル
40
幅を得る。そして、比較器の直前の遷移状態に依存して、ミドルレベルを H レベルと結合するか、L レベルと結合するかを決定する。これによって、ヒステリシスコンパレータを実現することができる。

【 0 0 5 9 】

図 1 2 は、このヒステリシスコンパレータ 1 2 0 0 を実装した実施例を示す。比較器の出力 C + が OR 回路 1 2 0 1 の第 1 の端子に入力され、出力 M o u t が OR 回路 1 2 0 1 の第 2 の入力と NOR 回路 1 2 0 2 の第 1 の端子に入力される。また、比較器の出力 C - が NOR 回路 1 2 0 2 の第 2 の端子に入力される。

【 0 0 6 0 】

OR 回路 1 2 0 1 の出力は、マルチプレクサ 1 2 1 0 の第 1 の端子に入力される。NO
50

R回路1202の出力は、マルチプレクサ1210の第2の端子に入力される。マルチプレクサ回路1210の出力は、このヒステリシスコンパレータの出力1211となる。この出力1211は、ラッチ回路1230で、クロックの立ち上がりタイミングでラッチされ、信号1231として、マルチプレクサ1210のセクタ端子に入力される。これによって、マルチプレクサは、直前の比較器出力1211の遷移を反映し、1250及び1251に示されるヒステリシスコンパレータの動作が実現される。

【0061】

[ADCの実施例]

ADCには、逐次比較型ADC、フラッシュ型ADC、パイプライン型ADC等、種々の方式が存在する。以下、本発明に係る比較器を用いてこれらのADCを構築した実施例を示す。なお、本発明の比較器は、本明細書で例示するADCへの利用に限定されるものではない。

10

【0062】

[逐次比較型ADC]

図13は、本発明の比較器を採用した逐次比較型ADC1300の一実施例を示した図である。比較器400は、図4を用いて説明した本発明の比較器を示す。比較器400の入力 V_{in} には、サンプルホールド回路1310が接続されており、アナログ入力を適切なタイミングでサンプリングし、保持した値を V_{in} に供給する機能を有している。比較器400の出力Cには、出力Cの値を順次保持する逐次比較レジスタを含むSARロジック1320が接続されている(Successive Approximation Register logic)。SARロジック1320は、順次取り込んだ出力Cの値に応じたデジタル信号1321を出力し、デジタルアナログ変換器DAC1330に与える。DAC1330は、デジタル信号から変換されたアナログ信号1331を出力し、比較器400の V_{ip} に与える。以上の動作を逐次繰り返すことにより、 V_{in} に漸近したデジタル値が出力1321に現れる。

20

【0063】

さらに、比較器400の出力 M_{out} は、ミドルレベル制御器1340に与えられる。ミドルレベル制御器は、図5に示したミドルレベルの幅を適切な値に制御する機能を果たす。ミドルレベルの幅を調整する手法としては、上述した(あ)乃至(う)の方法が含まれる。ミドルレベル制御器は、上述の(あ)乃至(う)のうち少なくとも1つを利用することによって、ミドルレベルの幅を制御することができる。なお、上述の(あ)乃至(う)の動作原理とミドルレベルの調整手法については、既に説明した。

30

【0064】

ここでは、説明の簡素化のため単相の場合のSARADCについて説明しているが、差動構成の場合も同様に適用できる。当業者はこの点について理解できるであろう。SARロジックに関しては当業者により種々のものが利用できるため、本明細書では、詳細には説明しない。

【0065】

図14は、2ステップの逐次比較型ADCの状態変化の例を示す図である。

【0066】

AD変換を実施するに当たり、アナログ入力サンプルホールド回路1310によりサンプルされホールドされる。この値は、AD変換が終了するまで入力 V_{in} に保持される。通常はビット表記では桁が上がるごとに2倍の重み付けがされるが、ここでは1ビット目(D0)と2ビット目(D1)は同じ値で3ビット目(D2)から値が倍になっていく。つまり、“D2 D1 D0”としたとき、それぞれのビットがハイのときに示す大きさは $D2 = 2 \times D1 = 2 \times D0$ である。ここで、一番下のビットは固定値であり、上位2ビットを変更することで、DACに必要な電圧を生成していく。また、ここでは、後の信号処理における優位性から“011”を初期値として用いているが、反転させた信号“100”を用いてもよい。(共に同じ値を示す。)これは当業者なら理解できるであろう。

40

【0067】

50

まず、ステップ1の動作について図13及び図14を参照しながら説明する。図13において、SARロジックには、出力の初期値として“011”が設定されている。この値は、1321を介してDAC1330に与えられる。DAC1330は、“011”に対応するアナログ電圧を1331に出力し、比較器400の入力Vipには、デジタル値“011”に対応するアナログ電圧が印加されることになる。このアナログ電圧の値が、図14において、電圧値1450として示されている。図14のステップ1における比較動作は、比較電圧1450を基準として実行されることになる。

【0068】

以下では、同じ比較器400の出力Cを動作ステップに応じて別個のものとして扱うため、便宜上1ステップ目の比較結果をC1、2ステップ目の比較結果をC0と呼称する。

10

【0069】

比較器400は、入力Vinの電圧と入力Vipの電圧との差を処理し、 $(Vip - Vin)$ の電圧が1411、1412、1413の範囲にある場合は、それぞれH(C = “1”かつMout = “0”)、M(Mout = “1”)、L(C = “0”かつMout = “0”)を出力する。Vinの電圧が1412のレベルにあると判断された場合には、ミドルレベルにあるため、Mout信号“1”が出力され、切り換え回路1323に与えられ、SARロジック回路の現在値“011”の内最初の2ビット“01”の末尾にMoutの出力“1”を付けくわえ“011”としたものがAD出力として取り出される。なお、この場合には、その後のAD変換を行う必要がないため、動作を終了させてもよい。

20

【0070】

入力Vinが1411のレベル(H)にある場合には、出力C1はレベルHをSARロジック1320に inputsし、次のステップ2に移行する。SARロジックは、レベルHが入力されたのを受けて、初期値“011”の3ビット目(D2)に現在の比較結果C1 = “1”を取り込み、その下位ビットである2ビット目(D1)に“0”を上書きし、内部状態を“101”とし、“101”をDAC1330に出力する。なお、これは現在のDAC生成レベル(“011”)の半分の値(“010”)を加えたことに相当する。このため、比較器400は、基準電圧が1460で示される値で動作するようになる。入力Vinの値が、1421、1422、1423の範囲にある場合には、比較器400は、次の比較動作で、それぞれH、M、Lを出力する。この実施例の場合には、ステップ2が最後のステップであるため、入力Vinの値が、1421、1422、1423の範囲にある場合に対応して、“110”、“101”、“100”を出力する。SARロジック内の動作は、Mout = “0”であれば、2ビット目(D1)に2ステップ目の比較結果C0を適用し、1ビット目(D0)に現在のMoutの出力“0”を適用する。Mout = “1”であれば、2ビット目(D1)は現在の値“0”をそのまま用いて、1ビット目(D0)に現在のMoutの出力“1”を適用し、“101”をSARADCの出力とする。つまり、C0 = “1”であれば、2ビット目(D1)に“1”を適用して、1ビット目(D0)にMoutの出力M = “0”を適用することにより“110”をSARADCの出力とする。また、C0 = “0”であれば、2ビット目に“0”を適用し、末尾にMoutの出力M = “0”を適用することにより、“100”をSARADCの出力とする。なお、Vinが1422の範囲にある場合には、Mout = “1”が出力され、SARADCの出力は現在のDAC生成レベルの上二桁をそのまま用いて、末尾にMoutの出力“1”を加えて“101”としたものを用いる。

30

40

【0071】

ステップ1において、Vinの電圧が1413(L)にある場合も、基準電圧を1470として、上記と同様の処理を行えばよい。

【0072】

このように、初回の比較結果をC1、2回目の比較結果をC0、Moutの判定結果をMとすると、SARADCの出力“D2 D1 D0”は“C1 C0 M”であらわすことができる。また、Mout = “1”となったときにはそのときのDACの入力信号上2桁の末尾にMout = “1”を加えた信号を切り替え回路1323を用いてそのまま出

50

力する。

【0073】

図14に示すように、以上の処理によって、入力 V_{in} は、7つのレベルのデジタル値に変換される。通常の2値出力の比較器を用いて、2ステップの逐次比較型ADCを構成した場合には、出力は4つのレベルが得られる。したがって、本発明の3レベルの比較器を用いることにより、同様の精度の逐次比較型ADCを少ない段数で実現することができる。このことは、高速化、省電力化につながる。

【0074】

切り替え回路は図示しないが、当業者であれば適宜、種々の論理回路を構成することができる。

10

【0075】

次に、キャリブレーションについて述べる。最も効果的な範囲で動作させるためにはミドルレベルの幅を適切に設定するためのキャリブレーションが必要である。図14の斜線で示すように、2ステップの場合には、AD出力として、“101”、“011”、“001”の3つの出力においてミドルレベル出力が用いられる。キャリブレーションの一例としては、“000”から“110”までが均等に分布する入力信号を与え、7つのデジタル出力のうち、“101”、“011”、“001”のいずれかが出力される確率を3/7に設定してもよい。もしくは既知の確率分布を持つ入力信号から“101”、“011”、“001”が出てくる理想的な確率になるようにキャリブレーションを掛けてもよい。なお、本実施例では、2ステップで説明したが、1以上の整数であるNステップ動作

20

【0076】

に対して同様に適用でき、このとき最も効率的なミドルレベル幅は全領域幅の内、ミドルレベルの占める領域は $(2^N - 1) / (2^{N+1} - 1)$ で表され、ステップ数が増加するほど値は1/2に漸近する。なお、ミドルレベル幅のキャリブレーション方法は、上述の例に限定されるものではない。

また、図14において、1421の幅および1433の幅が他のレベルの幅よりも広がっているが、通常のADCの利用形態においては、ADCの入力信号は、ADCのダイナミックレンジに収まるように設定するため、実際には全ての判定レベルを同じ幅で用いることとなり、ADCの精度に与える影響は小さい。なお、この点を考慮して、(本発明を用いない場合の)元々のフルレベルに相当する振幅を持つ信号を用いる場合はミドルレベルのキャリブレーションを、上述の3/7ではなく、3/8としてもよい。また、特定の入力信号を生成することが出来ない場合はランダムな信号を用いてMoutが“1”となる出現確率を上述に示した $(2^N - 1) / (2^{N+1} - 1)$ に近づくように補正をかけることで、大まかな補正を行っても良い。

30

【0077】

[フラッシュ型ADC]

図15は、本発明の比較器400a乃至400dを用いたフラッシュ型ADC1500を示す。各比較器には、計測対象となるアナログ入力 V_{ana} が比較器の一方の入力端子に接続される。そして、基準となる電圧を作り出すために、抵抗1521乃至1525を直列に接続し、基準電圧 V_{ref+} 及び V_{ref-} を両端に接続する。実施例の場合には、入力範囲を0から900mVとして基準電圧150mV、350mV、550mV、750mVの基準電圧が得られる。これらの基準電圧を各比較器の他方の入力端子に接続する。

40

【0078】

比較器400a乃至400dの各々は、エンコーダ1510に対して、3値の情報を提供する。(+ 50mV以上、± 50mV以内、 - 50mV以下) その結果上記4レベルの基準電圧と比較器から0~100mV、100mV~200mV、200mV~300mV、300mV~400mV、400mV~500mV、500mV~600mV、600mV~700mV、700mV~800mV、800mV~900mVの9レベルの判定レベルが得られる。これを通常の比較器で行った場合には8個の基準電圧と比較器が必

50

要となるため、必要数を半分に削減できている。

【 0 0 7 9 】

エンコーダは、入力されたそれぞれの情報から、デジタル値 V_{dig} を出力する。エンコーダは、比較器 400a 乃至 400d の各々の出力をデジタル値に変換できるものであれば、どのようなものでもよい。エンコーダの実装方法については、当業者が適宜に実施しうるものであるため、本明細書では、詳細な説明は省略する。

【 0 0 8 0 】

[パイプライン型 ADC]

図 16 は、本発明の比較器 400 を用いたパイプライン型 ADC 1600 を示す。図 16 (a) が、本発明のパイプライン型 ADC 1600 の全体像である。アナログ入力 V_{in} が 1.5 ビットサブ ADC を含むパイプライン回路 1611 に入力される。本実施例では、パイプライン回路 1611 乃至 1618 が直列に接続されている。なお、1.5 ビットとは、比較器から得られるデジタル値の取り得る値が 3 つあるということである。各パイプライン回路の出力は、エンコーダ 1620 に入力され、デジタル出力 V_{dig} として出力される。エンコーダ 1620 の実装については、当業者により種々のものが利用でき

10

20

30

40

50

【 0 0 8 1 】

図 16 (b) は、パイプライン回路 1612 の更に詳細な構成を示した図である。すなわち、入力信号 V_{in} は、サンプルホールド回路 1631 によって、保持される。そして保持された信号 1637 は、1.5 ビット ADC 1633 によりデジタルに変換され、エンコーダ 1620 に入力される。そして、1.5 ビットデジタル出力 1632 は、更に 1.5 ビット DAC に入力され、再びアナログ電圧 1636 に変換される。保持された信号 1637 からアナログ電圧 1636 を減算素子 1638 で減算し、差分電圧 1639 を得る。これを増幅回路 1640 で 2 倍して、次段のパイプライン回路に送る。このようにして、各段におけるデジタル変換によって生じた誤差を差分値として次段に伝達し、順に AD 変換を繰り返すことにより、パイプライン回路の段数に応じた精度で、AD 変換が行える。図 16 (c) は、1.5 ビット ADC の具体的回路である。図示するように、各パイプライン回路は、本発明の比較器 400 を 1 個使用すればよい。通常の 2 値の比較器を用いた場合には、比較器が 2 個及び基準電圧生成回路が別途必要となる (図示せず)。したがって、本発明のパイプライン型 ADC は、比較器の数を飛躍的に減少させること、また

【 0 0 8 2 】

[比較結果が 3 値を超える比較器の実施例]

図 17 (a) に、5 レベルの比較出力が得られる比較器 1700 の一実施例を示す。図 17 の実施例は、図 4 の実施例を拡張したものであるため、図 4 と重複する構成要素の説明は省略する。図 17 (a) のメタステーブル検知部 1710 において、判定検知部 411 の出力 417 は、2 bit TDC に入力される。2 bit TDC の構成を以下に示す。信号 417 は、まず遅延可変部 1713 に入力される。遅延可変部 1713 の出力は、ラッチ 1715 に入力されると共に、遅延可変部 1714 に入力される。遅延可変部 1714 の出力は、ラッチ 1716 に入力される。ラッチ 1715 及びラッチ 1716 は、クロック信号 clk_2 の立ち上がりタイミングで、それぞれの入力信号をラッチし、それぞれ、M1 及び M2 として出力する。図 17 (b) に、2 つのクロック信号 clk_1 及び clk_2 のタイミングチャートを示す。比較部 100 は、 clk_1 の立ち上がりタイミング t_1 で動作を開始し、 clk_1 の立ち下がりタイミング t_2 で動作を終了する。ラッチ 1715 及びラッチ 1716 は、クロック信号 clk_2 の立ち上がりタイミングである t_3 でラッチ動作を行う。ここで、可変遅延部 1713 の遅延量を τ_{13} 、可変遅延部 1714 の遅延量を τ_{14} とする。ラッチ 1715 の出力 M1 は、 t_3 から τ_{13} だけ時間的に前の時刻 t_{M1} における信号 417 の状態を表していることになる。そして、ラッチ 1716 の出力 M2 は、 t_3 から $\tau_{13} + \tau_{14}$ だけ時間的に前の時刻 t_{M2} における信号 417 の状態を表していることになる。

【 0 0 8 3 】

図 1 8 (a) に、比較出力 C、M 1、M 2 の状態および、比較器 1 7 0 0 の出力の関係を示す。また、図 1 8 (b) に、タイミング t 3 において比較器 1 7 0 0 の内部状態から出力として、Z 1 乃至 Z 5 を出力するための真理値表を示す。図 1 8 (a) において、(a 1) は、比較出力 C の出力を示している。(a 2) は、M 1 の出力を示している。(a 3) は、M 2 の出力を示している。(a 4) は、比較器 1 7 0 0 としての出力 Z 1 乃至 Z 5 を示している。この出力 Z 1 乃至 Z 5 を得るための真理値表を図 1 8 (b) に示す。この真理値表における Z 1 乃至 Z 5 を得るための論理回路(図示せず)を用いることによって、Z 1 乃至 Z 5 を得ることができる。なお、論理回路は図示しないが、当業者であれば適宜、真理値表を実現する種々の論理回路を構成することができる。

10

【 0 0 8 4 】

なお、図 1 8 の実施例では、Z 3 は、M 1 の出力をそのまま用いているが、M 1 の出力と C の出力とを用いて、Z 3 を更に 2 つの状態に分けることも可能である。この場合には、最終的に 6 レベルの比較出力を得ることが可能である。

【 0 0 8 5 】

加えて、図 1 7 における 2 b i t T D C を 3 ビット以上に拡張すれば、更に多くのレベルの比較器が構成できる。この拡張の方法については、詳細に説明しないが、図 1 7 及び 1 8 を参照することにより、当業者であれば、適宜構成できる点に留意すべきである。また、上述した比較結果が 3 値を超える比較器の実施例は、他の実施例と適宜組み合わせで実施できることは言うまでもない。

20

【 0 0 8 6 】

以上、本発明の実施例について説明したが、請求項に係る本発明の技術的範囲は、本明細書の実施例に限定されるものではない。加えて、本発明は、その均等物をも包含するものであることは言うまでもない。また、各実施例は、それぞれ排他的なものではなく、各実施例の構成要素は、他の実施例の構成要素と置き換えてもよく、あるいは、他の実施例に追加してもよい。

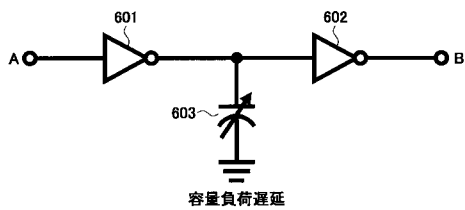
【 符号の説明 】

【 0 0 8 7 】

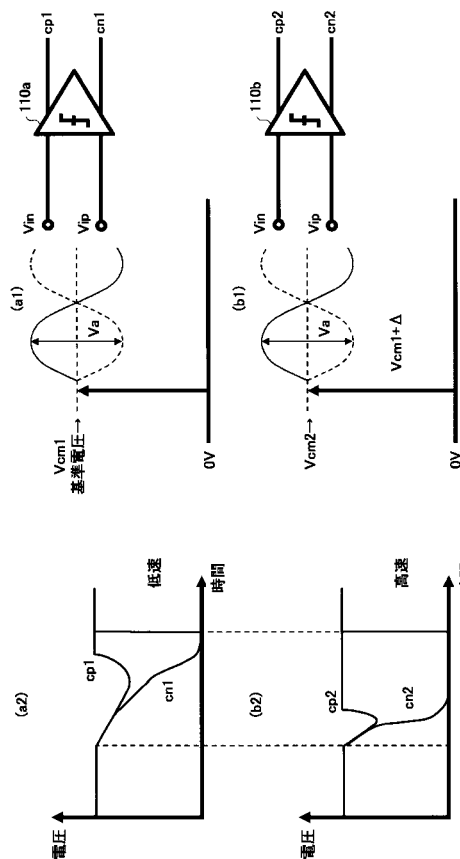
- 1 1 0 差動増幅回路
- 4 0 0 比較器
- 4 1 0 メタステーブル検知部

30

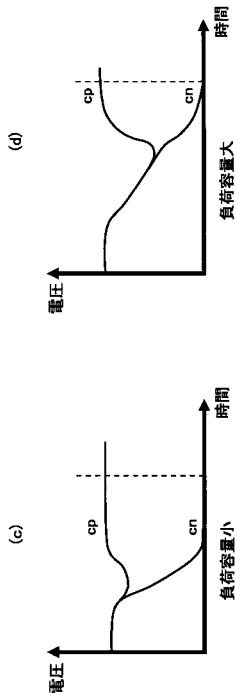
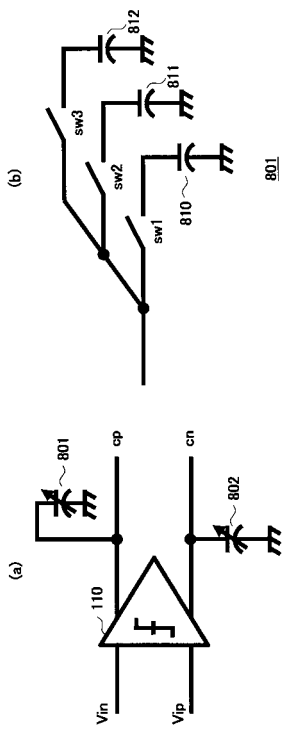
【図6】



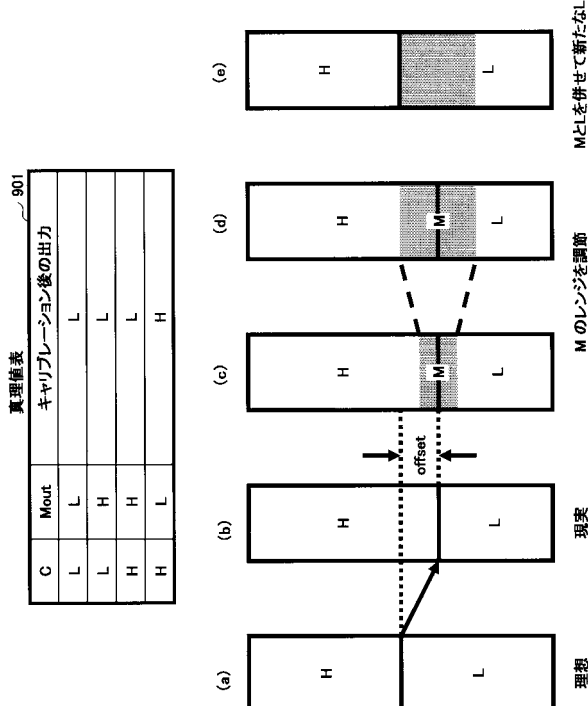
【図7】



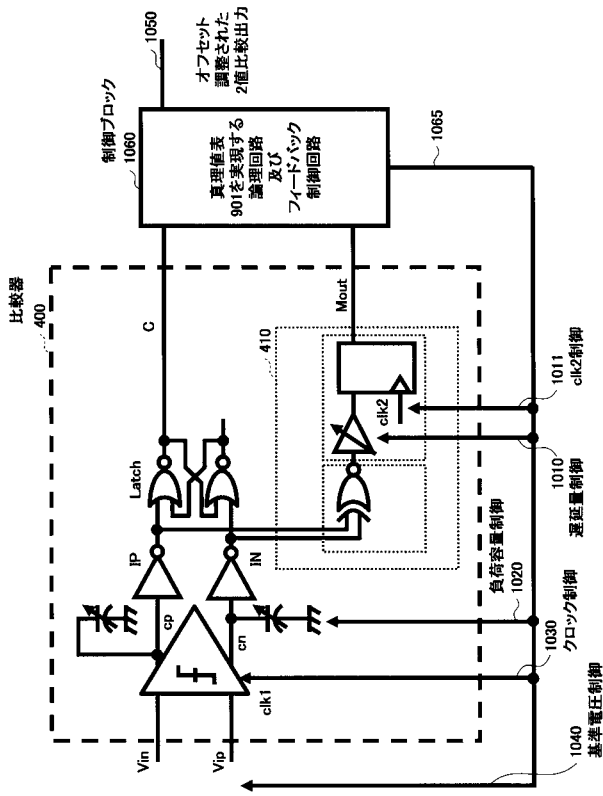
【図8】



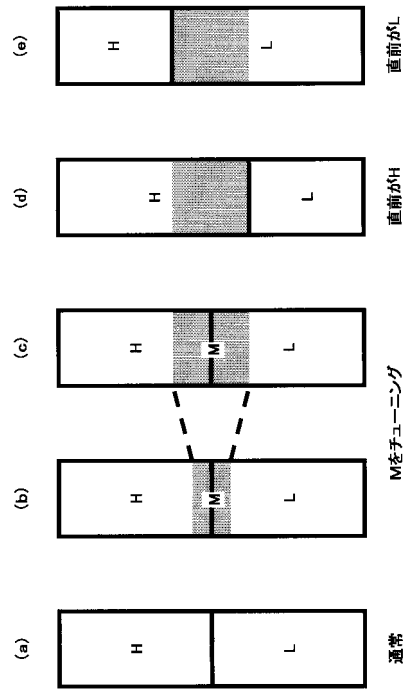
【図9】



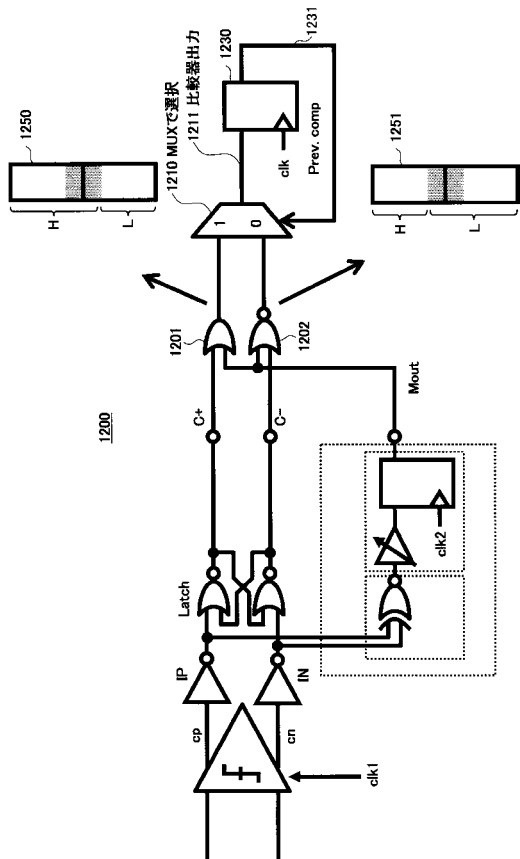
【図10】



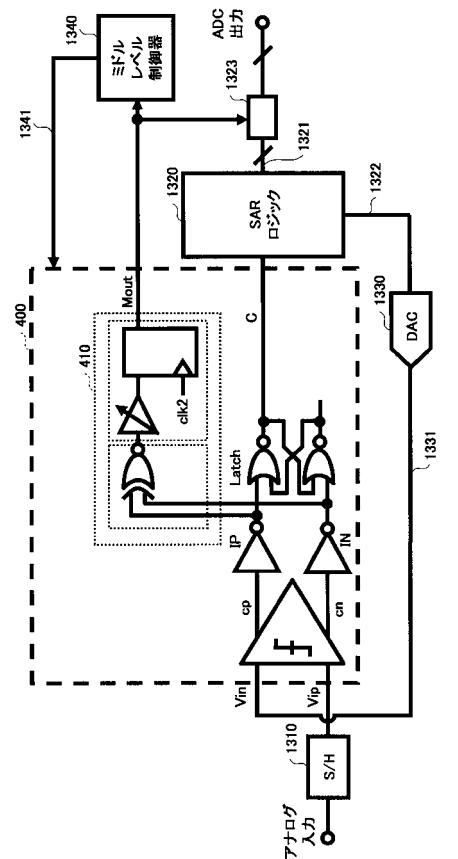
【図11】



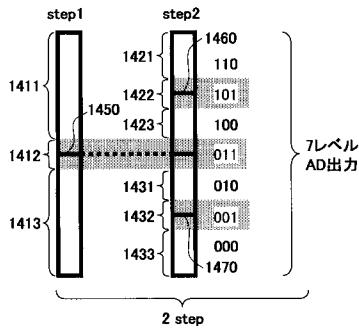
【図12】



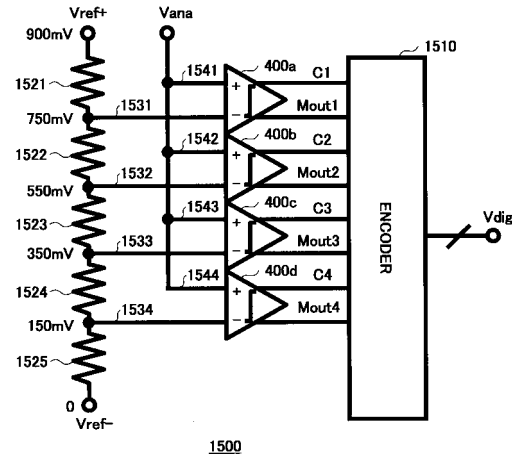
【図13】



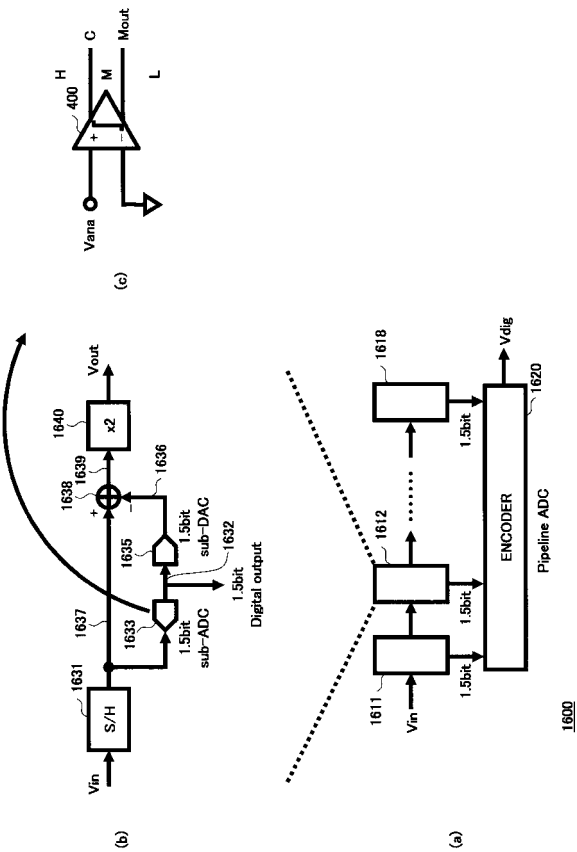
【図14】



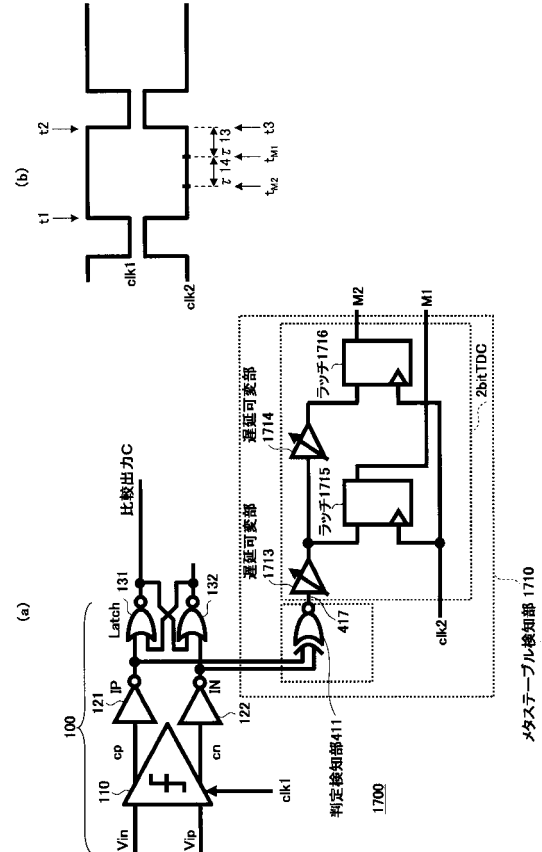
【図15】



【図16】



【図17】



【 図 1 8 】

(a) タイミング13における真理値表

C	M1	M2	比較器1700の出力
H	L	L	Z1=C·M1·M2 又は、Z1=C·M2
		H	Z2=C·M1·M2
L	H	L	Z3=M1
		H	Z4=C·M1·M2
	L	L	Z5=C·M1·M2 又は、Z5=C·M2

(b)

