(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 5 月 10 日(10.05.2013)

WIPO | PCT

(10) 国際公開番号
WO 2013/065569 A1

(51) 国際特許分類:
H01L 27/146 (2006.01) *H01L 27/14* (2006.01)

(21) 国際出願番号: PCT/JP2012/077580

(22) 国際出願日: 2012 年 10 月 25 日(25.10.2012)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2011-241819 2011 年 11 月 4 日(04.11.2011) JP

(71) 出願人: ソニー株式会社(SONY CORPORATION) [JP/JP]; 〒1080075 東京都港区港南１丁目７番１号 Tokyo (JP).

(72) 発明者: 富樫　秀晃(TOGASHI Hideaki); 〒1080075 東京都港区港南１丁目７番１号　ソニー株式会社内 Tokyo (JP).

(74) 代理人: 稲本　義雄, 外(INAMOTO Yoshio et al.); 〒1600023 東京都新宿区西新宿７丁目５番２５号　西新宿木村屋ビルディング９階 Tokyo (JP).

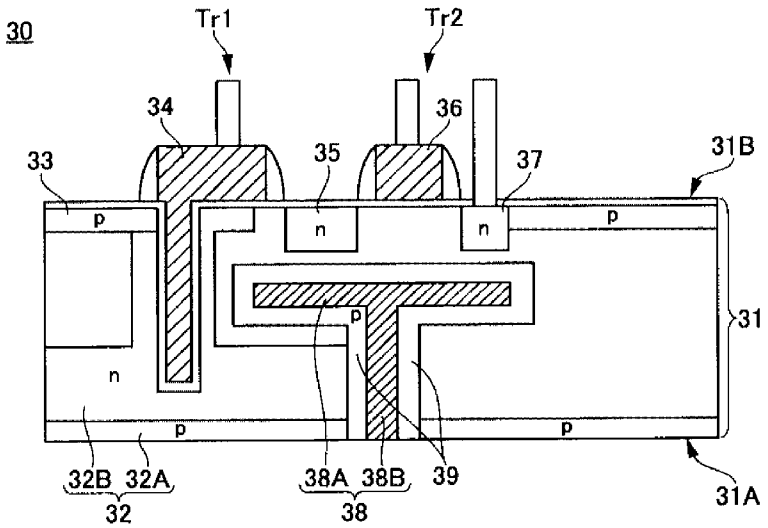
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: SOLID-STATE IMAGING ELEMENT, METHOD FOR MANUFACTURING SOLID-STATE IMAGING ELEMENT, AND ELECTRONIC DEVICE

(54) 発明の名称 : 固体撮像素子、固体撮像素子の製造方法、及び、電子機器



(57) **Abstract**: The present technique pertains to a solid-state imaging element, a method for manufacturing the solid-state imaging element, and an electronic device, such that the solid-state imaging element is provided with a global shutter function, and is capable of suppressing white spots and dark current. The present invention is provided with a semiconductor substrate (31), a photodiode (32) formed on the semiconductor substrate (31), and a floating diffusion region (35) where a signal charge that is accumulated on the photodiode (32) is transferred. Further, a solid-state imaging element (30) is configured provided with a shielding layer (32) in the semiconductor substrate (31), the shielding layer comprising a level light-shielding part (32A) parallel with the semiconductor substrate (31) surface covering the floating diffusion region (35), and a perpendicular shielding part (32B) that is perpendicular to the semiconductor substrate surface.

(57) 要約:

[続葉有]

WO 2013/065569 A1

本技術は、グローバルシャッタ機能を有し、白点及び暗電流の抑制が可能な固体撮像素子を提供することができるようにする固体撮像素子、固体撮像素子の製造方法、及び、電子機器に関する。半導体基体３１と、半導体基体３１に形成されているフォトダイオード３２と、フォトダイオード３２に蓄積された信号電荷が転送される浮遊拡散領域３５とを備える。さらに、半導体基体３１内において浮遊拡散領域３５を覆う半導体基体面と平行な水平遮光部３２Ａと、半導体基体３１面と垂直な垂直遮光部３２Ｂとからなる遮光層３２とを備える固体撮像素子３０を構成する。

明　細　書

発明の名称 ：

固体撮像素子、固体撮像素子の製造方法、及び、電子機器

技術分野

[0001] 本技術は、固体撮像素子、固体撮像素子の製造方法、および電子機器に係わる。特に、グローバルシャッタ機能を備える固体撮像素子、固体撮像素子の製造方法、及び、電子機器に係わる。

背景技術

[0002] ＣＭＯＳ（Complementary Metal Oxide Semiconductor）イメージセンサは、一般的に信号を出力した時点から光電変換された電荷をフォトダイオードに蓄積する。ＣＭＯＳイメージセンサの信号は、フォトダイオードアレイを順次走査して読み出していくためフォトダイオード毎に蓄積期間がずれてしまう。このため、動きの早い被写体をＣＭＯＳイメージセンサで撮像すると、その像が歪んでしまうという問題がある。

[0003] ＣＭＯＳイメージセンサにおいて、電荷蓄積の同時性を実現する方法の一つとして、画素にアナログメモリを形成したグローバルシャッタ構造がある。グローバルシャッタ構造では、フォトダイオード毎にアナログメモリを備える。フォトダイオードからこのアナログメモリへの電荷転送を、撮像素子アレイ全体で同時に行うことによって、電荷蓄積の同時性が実現できる。しかし、このアナログメモリは、光電変換によって新たな信号電荷が発生しないよう、遮光層で覆われている必要がある。

[0004] ＣＭＯＳイメージセンサにおいて高感度化を実現する一つの方法として、裏面照射型構造がある。裏面照射型ＣＩＳは、画素上の配線や画素トランジスタの影響を受けない半導体基体の裏面側から光が入射するので、フォトダイオードの開口を最大化することが可能である。このため、フォトダイオードに入射する光量が増大し、表面照射型の撮像素子と比較して感度が向上する。

[0005] このことから、裏面照射型ＣＭＯＳイメージセンサにグローバルシャッタ構造を形成し、高感度化を実現することが考えられている。しかし、グローバルシャッタ構造を備えた裏面照射型ＣＩＳにより高感度化を実現することは一般的に困難である。なぜなら、グローバルシャッタ構造を、裏面照射型ＣＩＳに形成する場合、裏面側から入射する光、とりわけ斜め方向から入射する光から、アナログメモリを十分に遮蔽することは非常に困難だからである。遮光を効果的に行おうとすれば必然的に開口が狭まり、感度が低下してしまうため、裏面照射型ＣＩＳの利点が活かせない。

[0006] 裏面照射型ＣＩＳにおいてグローバルシャッタ構造を実現するため、半導体基体内に遮光層を形成する構造が提案されている（例えば、特許文献１参照）。

しかし、特許文献１に記載された構成では、半導体基体内にフォトダイオード（ＰＤ）を形成した後、半導体基体上に遮光膜を形成する。そして、遮光膜を形成した半導体基体の表面上にエピタキシャル成長により半導体層を形成し、このエピタキシャル成長層にアナログメモリを含む各種トランジスタを形成している。

先行技術文献

特許文献

[0007] 特許文献1：特開２０１０－２１２６６８号公報

発明の概要

発明が解決しようとする課題

[0008] しかしながら、上述の構成の固体撮像素子では、半導体基体上に新たに積層形成した半導体層にトランジスタを形成しているため、電荷転送パス内に結晶欠陥が発生する懸念がある。このため、白点、暗電流が増大する懸念がある。

[0009] 本技術においては、グローバルシャッタ機能を有し、白点及び暗電流の抑制が可能な固体撮像素子、固体撮像素子の製造方法及び電子機器を提供する

ものである。

課題を解決するための手段

[0010] 本技術の固体撮像素子は、半導体基体と、半導体基体に形成されているフォトダイオードと、フォトダイオードに蓄積された信号電荷が転送される浮遊拡散領域とを備える。さらに、半導体基体内において浮遊拡散領域を覆う半導体基体面と平行な水平遮光部と、半導体基体面と垂直な垂直遮光部とからなる遮光層とを備える。

また、本技術の電子機器は、上記固体撮像素子と、固体撮像素子の出力信号を処理する信号処理回路とを備える。

[0011] また、本技術の固体撮像素子の製造方法は、半導体基体にフォトダイオードを形成する工程と、半導体基体にフォトダイオードに蓄積された信号電荷が転送される浮遊拡散領域を形成する工程とを有する。そして、半導体基体内に、半導体基体面と平行な水平遮光部と、半導体基体面と垂直な垂直遮光部を形成するための、空洞部を形成する工程と、空洞部を遮光材料で埋め込み、遮光層を形成する工程とを有する。

[0012] 上述の固体撮像素子によれば、信号電荷が保持される浮遊拡散領域に遮光層が形成されている。また、上述の固体撮像素子の製造方法によれば、半導体基体内に空洞部を形成し、この空洞部を埋め込むことにより遮光層を形成している。このため、遮光層が半導体基体内に形成される。この構成の固体撮像素子では、エピタキシャル成長層等により遮光層を埋め込まないため、フォトダイオードから出力される電荷転送の経路が半導体基体内に形成される。従って、エピタキシャル成長層等の結晶欠陥等による暗電流が発生しない。

発明の効果

[0013] 本技術によれば、白点及び暗電流の抑制が可能であり、グローバルシャッタ機能を備えた固体撮像素子、固体撮像素子の製造方法及び電子機器を提供することができる。

図面の簡単な説明

[0014] [図1]第１実施形態の固体撮像素子の構成を示す平面図である。

[図2]第１実施形態の固体撮像素子の画素部の構成を示す断面図である。

[図3]Ａは、第１実施形態の固体撮像素子の画素部の表面側の構成を示す平面図である。Ｂは、第１実施形態の固体撮像素子の画素部の裏面側の構成を示す平面図である。

[図4]図３に示す固体撮像素子の画素部のＡ－Ａ線断面図である。

[図5]Ａ及びＢは、遮光層の構成を示す図である。

[図6]第２実施形態の固体撮像素子の画素部の構成を示す断面図である。

[図7]第３実施形態の固体撮像素子の画素部の構成を示す断面図である。

[図8]第４実施形態の固体撮像素子の画素部の構成を示す断面図である。

[図9]Ａは、第４実施形態の変形例の固体撮像素子の画素部の表面側の構成を示す平面図である。Ｂは、図９のＡに示す固体撮像素子の画素部のＡ－Ａ線断面図である。

[図10]Ａは、第４実施形態の変形例の固体撮像素子の画素部の表面側の構成を示す平面図である。Ｂは、図１０のＡに示す固体撮像素子の画素部のＡ－Ａ線断面図である。

[図11]第５実施形態の固体撮像素子の画素部の構成を示す断面図である。

[図12]Ａ～Ｃは、固体撮像素子の製造方法の第１実施形態を示す製造工程図である。

[図13]Ｄ～Ｆは、固体撮像素子の製造方法の第１実施形態を示す製造工程図である。

[図14]Ｇ～Ｉは、固体撮像素子の製造方法の第１実施形態を示す製造工程図である。

[図15]Ｊ～Ｌは、固体撮像素子の製造方法の第１実施形態を示す製造工程図である。

[図16]Ａ～Ｃは、固体撮像素子の製造方法の第１実施形態の変形例を示す製造工程図である。

[図17]Ｄ～Ｆは、固体撮像素子の製造方法の第１実施形態の変形例を示す製

造工程図である。

[図18]Ａ～Ｃは、固体撮像素子の製造方法の第２実施形態を示す製造工程図である。

[図19]Ｄ～Ｆは、固体撮像素子の製造方法の第２実施形態を示す製造工程図である。

[図20]Ｇ～Ｉは、固体撮像素子の製造方法の第２実施形態を示す製造工程図である。

[図21]電子機器の構成を示す図である。

発明を実施するための形態

[0015] 以下、本技術を実施するための最良の形態の例を説明するが、本技術は以下の例に限定されるものではない。

なお、説明は以下の順序で行う。

１．固体撮像素子の第１実施形態

２．固体撮像素子の第２実施形態

３．固体撮像素子の第３実施形態

４．固体撮像素子の第４実施形態

５．固体撮像素子の第５実施形態

６．固体撮像素子の製造方法の第１実施形態

７．固体撮像素子の製造方法の第２実施形態

８．電子機器

[0016] 〈１．固体撮像素子の第１実施形態〉

[固体撮像素子の構成例：概略構成図]

以下、固体撮像素子の具体的な実施の形態について説明する。

図１に、裏面照射型の固体撮像素子の一例として、三次元構造のＭＯＳ（Metal Oxide Semiconductor）型の固体撮像素子の概略構成図を示す。図１に示す固体撮像素子１０は、光電変換部が配列形成されたセンサ基板１１と、このセンサ基板１１に対して積層させた状態で貼り合わされた回路基板２１とを備えている。

[0017] センサ基板１１は、一方の面を受光面Ａとし、光電変換部を含む複数の画素１３が受光面Ａに対して２次元的に配列された画素領域１４を備えている。画素領域１４には、複数の画素駆動線１５が行方向に配線され、複数の垂直信号線１６が列方向に配線されており、１つの画素１３が１本の画素駆動線１５と１本の垂直信号線１６とに接続される状態で配置されている。これらの各画素１３には、光電変換部と、電荷蓄積部と、複数のトランジスタ（いわゆるＭＯＳトランジスタ）および容量素子等で構成された画素回路とが設けられている。尚、画素回路の一部は、受光面Ａとは反対側の表面側に設けられている。また複数の画素で画素回路の一部を共有していても良い。

[0018] またセンサ基板１１は、画素領域１４の外側に周辺領域１７を備えている。この周辺領域１７には、電極パッドを含む配線１８が設けられている。この配線１８は、必要に応じてセンサ基板１１に設けられた画素駆動線１５、垂直信号線１６、および画素回路、さらには回路基板２１に設けられた駆動回路に接続されている。

[0019] 回路基板２１は、センサ基板１１側に向かう一面側に、センサ基板１１に設けられた各画素１３を駆動するための垂直駆動回路２２、カラム信号処理回路２３、水平駆動回路２４、およびシステム制御回路２５などの駆動回路を備えている。これらの駆動回路は、センサ基板１１側の配線１８に接続されている。尚、センサ基板１１の表面側に設けられた画素回路も、駆動回路の一部である。

[0020] ［固体撮像素子の構成例：画素部］

次に、図２に、本実施形態の固体撮像素子の１画素を構成する要部の断面図を示す。

図２に示す固体撮像素子３０は、半導体基体３１の光の入射面（基体裏面）３１Ａから、フォトダイオード（ＰＤ）３２が形成されている。

また、固体撮像素子３０は、光の入射面と反対面（基体表面）３１Ｂ側に、第１トランジスタ（Ｔｒ１）と、第２トランジスタ（Ｔｒ２）とを備える。第１トランジスタＴｒ１は、ＰＤ３２と、ゲート絶縁膜３３を介して形成

された第１ゲート電極３４と、上記ＰＤ３２から転送された信号電荷を蓄積する第１浮遊拡散領域３５とからなる。第２トランジスタＴｒ２は、ゲート絶縁膜３３を介して形成された第２ゲート電極３６と、第１トランジスタＴｒ１と共有する第１浮遊拡散領域３５と、第２浮遊拡散領域３７とからなる。

[0021] ＰＤ３２は、半導体基体３１の第１導電型に形成された領域において、裏面３１Ａ側から、第１導電型（ｐ型）半導体領域３２Ａと、第２導電型（ｎ型）半導体領域３２Ｂを備える。ｐ型半導体領域３２Ａは、半導体基体３１の裏面３１Ａ側の表面に形成されている。そして、ｎ型半導体領域３２Ｂは、ｐ型半導体領域３２Ａに接して形成され、一部が半導体基体３１の表面３１Ｂ側まで連続して形成されている。

ｎ型半導体領域３２Ｂの表面３１Ｂ側に突出した領域内に、ゲート絶縁膜３３を介して第１ゲート電極３４の縦型ゲートが形成されている。第１ゲート電極３４の縦型ゲートは、半導体基体３１の表面３１Ｂ側から形成されたトレンチ内を埋め込んで形成されている。

[0022] Ｔｒ１では、読み出し時に第１ゲート電極３４に正電圧が印加されることにより、第１ゲート電極３４直下のポテンシャル（電位）が変化する。そして、ＰＤ３２に蓄積された信号電荷が、第１ゲート電極３４の縦型ゲートの周囲の領域を通過して、第１浮遊拡散領域３５に転送される。

また、Ｔｒ２では、第２ゲート電極３６に正電圧が印加されることにより、第２ゲート電極３６直下のポテンシャル（電位）が変化する。そして、第１浮遊拡散領域３５に蓄積された信号電荷が、第２ゲート電極３６下を通過して、第２浮遊拡散領域３７に転送される。

[0023] 上述の構成の固体撮像素子において、ＰＤ３２から第１浮遊拡散領域３５への信号電荷の読み出しを、撮像領域の全ての画素で同時に行う。このとき、フォトダイオードアレイを順次走査して、第１浮遊拡散領域３５から第２浮遊拡散領域３７に信号電荷が転送される。第１浮遊拡散領域３５は、第２浮遊拡散領域３７に転送されるまで、アナログメモリ（記憶部）として機能

する。また、第２浮遊拡散領域３７は、第１浮遊拡散領域３５から転送される信号電荷の電荷検出部（フローティングディフュージョンＦＤ）として機能する。

このように、ＰＤ３２から転送された信号電荷が、アナログメモリに保持されることにより、グローバルシャッタ機能が固体撮像素子３０に付与される。

[0024] また、固体撮像素子３０は、信号電荷を保持するアナログメモリで光電変換による新たな信号電荷が発生しないように、第１浮遊拡散領域３５の光の入射面側を覆う遮光層３８を備える。

遮光層３８は、半導体基体３１の主面と平行な方向に広がる水平遮光部３８Ａと、半導体基体３１の主面と垂直な方向に延びる垂直遮光部３８Ｂとからなる。水平遮光部３８Ａは、半導体基体３１内に埋め込まれて形成されている。垂直遮光部３８Ｂは、半導体基体３１の裏面３１Ａ側から水平遮光部３８Ａと接続する深さまで形成されている。

[0025] 水平遮光部３８Ａは、半導体基体３１内において、少なくとも第１浮遊拡散領域３５を覆い、入射光がアナログメモリに入射しない位置に設ける必要がある。例えば、水平遮光部３８Ａは、垂直遮光部３８Ｂと直交する方向の平面部の長さが５μｍ以下であることが好ましい。また、垂直遮光部３８Ｂと水平遮光部３８Ａのアスペクト比は０．５以下であることが好ましい。

また、遮光層３８は、水平遮光部３８Ａの周囲や側面を回り込んだ光が第１浮遊拡散領域３５に入り込みにくいように、水平遮光部３８Ａを第１浮遊拡散領域３５に可能な限り近付けて形成することが好ましい。

[0026] 半導体基体３１の裏面３１Ａから水平遮光部３８Ａまでの領域には、ＰＤ３２を形成することが可能である。そして、遮光層３８の周囲には、第１導電型（ｐ型）半導体領域３９が形成されている。ｐ型半導体領域３９により、ＰＤ３２と遮光層３８とが分離されている。

水平遮光部３８Ａ上にＰＤ３２が形成されることにより、ＰＤ３２を透過した光が、水平遮光部３８Ａに反射して再度ＰＤ３２に入射する構成となる

。このように、水平遮光部３８Ａをリフレクタとして機能させることが可能となる。この構成により、固体撮像素子３０の高感度化が可能となる。さらに、水平遮光部３８Ａと半導体基体３１の裏面３１Ａ側の間の厚さを薄くしても、リフレクタの効果により、感度低下を抑えることができる。

[0027] 遮光層３８は、例えば、SiO_2やSi_3N_4等の半導体装置に絶縁材料として一般的に使用されている材料、アルミニウム、タングステン、チタン、コバルト、ハフニウム、及び、タンタル等の金属材料、又は、グラファイト、レジスト材料等の有機材料から選ばれる遮光材料から構成される。

遮光層３８を導電性の材料により形成した場合には、半導体基体３１と接する部分を絶縁層により覆う必要がある。絶縁層としては、ハフニウム、アルミニウム、タンタル、チタン、ランタン等の酸化物絶縁膜であり、他の負の固定電荷を有する絶縁膜を用いることもできる。

[0028] また、垂直遮光部３８Ｂを、導電性の材料により形成した場合には、遮光層には、図示しない配線等が接続される。そして、外部回路と電気的に接続し、遮光層３８を電圧の印加が可能な構成とする。

一般的に、半導体基体中に導電層が埋め込まれている場合には、導電層のチャージ等により、半導体層と導電層との界面から不要な電荷が発生する。垂直遮光部３８Ｂの露出面から外部回路に接続し、遮光層３８に負電圧を印加することで、余分な電荷の発生を抑制することができる。

また、ＰＤ３２から第１浮遊拡散領域３５への電荷転送の際に、遮光層３８に最適化した正電圧を印加することにより電荷転送を補助することができる。

[0029] 次に、図３に、上述の固体撮像素子３０における、ＰＤ３２、Ｔｒ１、Ｔｒ２、及び、遮光層３８の平面での位置関係を示す。図３のＡは、固体撮像素子３０の表面３１Ｂ側を示す平面図である。また、図３のＢは、固体撮像素子３０の裏面側を示す平面図である。

また、図４に図３のＡに示す固体撮像素子のＡ－Ａ線断面図を示す。

[0030] 図３のＡ，Ｂでは、固体撮像素子３０の８画素分の領域を示している。そ

して、各画素毎に、Ｔｒ１を構成する、第１ゲート電極３４、ＰＤ３２、及び、ＰＤ３２に対応する第１浮遊拡散領域（アナログメモリ）３５が形成されている。また、Ｔｒ２を構成する第２浮遊拡散領域（電荷検出部）３７は、隣接する４画素に共通して形成されている。

[0031] 水平遮光部３８Ａは、隣接する４画素の第１浮遊拡散領域３５を覆う位置に形成されている。このように、水平遮光部３８Ａは、隣接する画素において共通に形成することができる。

このとき、図３に示す構成の固体撮像素子３０では、上述の第２浮遊拡散領域３７を共有する４画素と、水平遮光部３８Ａが共通して形成されている４画素とは、画素の位置が異なっている。図４に示す構成では、それぞれ１行分ずれた位置の画素を供給共有している。なお、第２浮遊拡散領域３７を共有する画素と、水平遮光部３８Ａが共通して形成されている画素とは、同じで位置にあってもよい。

[0032] また、図３のＢに示すように、垂直遮光部３８Ｂは、フォトダイオードが形成されていない領域、例えば、隣接する画素間の領域に形成する。

このため、遮光層３８の形成によって、固体撮像素子３０のＰＤの形成領域に影響を与えることなく、開口部の大きさを制限することがない。このため、固体撮像素子３０の感度特性の劣化がない。

[0033] さらに、垂直遮光部３８Ｂは、隣接する４画素の間において、隣の画素と接する辺に沿う方向に連続して形成されている。そして、図４に示すように、垂直遮光部３８Ｂは、半導体基体３１の裏面３１Ａ側から水平遮光部３８Ａの深さまで形成されている。この構成により、遮光層３８が画素分離部として機能する。このため、各画素のＰＤ３２が、垂直遮光部３８Ｂにより分離され、隣接画素間における混色やブルーミングを抑制することができる。

[0034] なお、遮光層の構成は、アナログメモリを遮光する構成の水平遮光部と、この水平遮光部に半導体基体の一方の主面側から接続する垂直遮光部とを備えていれば、図２～４に記載の構成に限らず、その他の構成としてもよい。

例えば、図５のＡに示すように、水平遮光部の端部を、アナログメモリ側

に折り曲げた構成とすることができる。この構成では、遮光層３８に対して、水平方向から回り込む光を、水平遮光部の端部により遮ることができるため、図２～４に示す構成の遮光層３８よりも、さらに遮光性が高くなる。

また、例えば、図５のＢに示すように、垂直遮光部３８Ｂが水平遮光部を突き抜けた構成としてもよい。

[0035] また、図３では、水平遮光部３８Ａの形状を、角を落とした略正方形状としているが、例えば、その他の多角形、円形等で構成してもよい。また、アナログメモリを遮光することができればよく、電荷検出部まで遮光する必要がないが、水平遮光部３８ＡをＰＤ３２の下部に広く形成することにより、リフレクタとしての効果をより多く得ることができる。

さらに、垂直遮光部３８Ｂは、画素間に形成されていればよく、形状は、図３に示す格子状の構成だけでなく、ＰＤの形状に合わせて、多角形状や円形等で構成してもよい。さらに、画素分離として機能させる必要がない場合には、画素間において、円形や多角形状のビアを半導体基体３１の裏面３１Ａから水平遮光部３８Ａまで形成することにより、垂直遮光部３８Ｂを構成してもよい。

[0036] また、上述の実施形態では、１つのＰＤ３２に対して、アナログメモリとなる第１浮遊拡散領域３５を１つ形成しているが、１つのＰＤ３２に対して複数のアナログメモリを形成してもよい。さらに、アナログメモリの容量を大きくするために、垂直方向に複数の浮遊散領域を積み重ねた構成としてもよい。これに合わせて、ＰＤ３２からアナログメモリへの転送ゲート電極を複数設けることもできる。

例えば、１つのＰＤに対して、容量の異なる複数のアナログメモリを形成することにより、固体撮像素子３０の動作モードに応じて、これらのアナログメモリを選択して使い分けることができる。さらに、アナログメモリ間で信号電荷を往来させてもよい。

[0037] 上述の構成の固体撮像素子によれば、裏面照射型の固体撮像素子において、半導体基体内部の水平方向と垂直方向とに遮光層を形成することにより、

効果的にアナログメモリを遮光することができる。この構成により、フォトダイオードの開口が大きく高感度な、グローバルシャッタ構造の固体撮像素子を構成することができる。

さらに、遮光層を外部機器と接続して、電圧を印加可能な構成とすることができる。このため、半導体基体と遮光層との界面近傍で発生する暗電流の、フォトダイオードやアナログメモリへの侵入を防ぐことができる。従って、固体撮像素子の暗電流を低減させることが可能である。

[0038] 〈２．固体撮像素子の第２実施形態〉

次に、固体撮像素子の第２実施形態について説明する。図６に、第２実施形態の固体撮像素子の１画素を構成する要部の断面図を示す。

図６に示す固体撮像素子４０は、半導体基体４１の光の入射面（基体裏面）４１Ａ側から、第１フォトダイオード（ＰＤ）４２と、第２フォトダイオード（ＰＤ）４３とが形成されている。

また、固体撮像素子４０は、半導体基体４１の入射面上に、光電変換膜４４を備える。

このように、固体撮像素子４０は、半導体基体面の主面と垂直な方向（縦方向）に２つのフォトダイオード４２，４３が積層された構成を有し、さらに、光電変換膜４４を備える。この構成により、例えば、受光する光の短波長側の成分をＰＤ４２で光電変換し、長波長側の成分をＰＤ４３で光電変換し、中間の波長の成分を光電変換膜４４で光電変換することができる。

[0039] ＰＤ４２は、半導体基体４１の第１導電型に形成された領域において、裏面４１Ａの表面に形成された、第１導電型（ｐ型）半導体領域と、このｐ型半導体領域に接して形成された第２導電型（ｎ型）半導体領域とを備える。

また、ＰＤ４３は、上記ＰＤ４２の下部（図面上方）に形成された第１導電型（ｐ型）半導体領域と、第２導電型（ｎ型）半導体領域とを備える。ＰＤ４３のｎ型半導体領域は、一部が半導体基体４１の表面４１Ｂ側まで連続して形成されている。

[0040] 光電変換膜４４は、半導体基体４１の光の入射面側において、光の入射面

側に設けられた透明電極５４と、半導体基体４１側に設けられた透明電極５５とに挟まれて設けられている。

透明電極５４は、電極５７を介して半導体基体４１の表面４１Ｂ側から裏面４１Ａ側まで連続して形成された第２導電型（ｎ型）半導体領域５６に接続されている。ｎ型半導体領域５６は、半導体基体４１の表面４１Ｂにおいて、外部機器に接続されている。

また、透明電極５５は、電極５８を介して第２導電型（ｎ型）半導体領域５９に接続されている。光電変換膜４４において生成された信号電荷が、透明電極５５からｎ型半導体領域５９に出力される。そして、ｎ型半導体領域５９が光電変換膜４４で光電変換された信号電荷の電荷蓄積領域となる。

[0041] また、固体撮像素子４０は、光の入射面と反対面（基体表面）３１Ｂ側の表面に、電荷転送用の第１～６トランジスタ（Ｔｒ１～６）を備える。

第１トランジスタＴｒ１及び第２トランジスタＴｒ２は、ＰＤ４２で光電変換された信号電荷を転送するトランジスタである。また、第３トランジスタＴｒ３及び第４トランジスタＴｒ４は、ＰＤ４３で光電変換された電荷を転送する。そして、第５トランジスタＴｒ５及び第６トランジスタＴｒ６は、光電変換膜４４で光電変換された信号電荷を転送する。

[0042] 第１トランジスタＴｒ１は、第１ＰＤ４２と、ゲート絶縁膜４６を介して形成された縦型の第１ゲート電極４５と、上記第１ＰＤ４２から転送された信号電荷を蓄積する第１浮遊拡散領域４７とからなる。第１ゲート電極４５は、縦型ゲートの端部が第１ＰＤ４２のｎ型半導体領域に接触する位置まで形成されている。

また、第２トランジスタＴｒ２は、ゲート絶縁膜４６を介して形成された第２ゲート電極４８と、第１トランジスタＴｒ１と共有する第１浮遊拡散領域４７と、第２浮遊拡散領域４９とからなる。

[0043] Ｔｒ１では、読み出し時に第１ゲート電極４５に正電圧が印加されることにより、半導体基体４１の深部まで形成された第１ゲート電極４５の周囲のポテンシャル（電位）が変化する。そして、半導体基体４１の裏面４１Ａ側

の表面のＰＤ４２に蓄積された信号電荷が、第１ゲート電極４５の縦型ゲートの周囲の領域を通過して、第１浮遊拡散領域４７に転送される。

また、Ｔｒ２では、第２ゲート電極４８に正電圧が印加されることにより、第２ゲート電極４８直下のポテンシャル（電位）が変化する。そして、第１浮遊拡散領域４７に蓄積された信号電荷が、第２ゲート電極４８下を通過して、第２浮遊拡散領域４９に転送される。

このとき、第１浮遊拡散領域４７に蓄積された信号電荷は、第２浮遊拡散領域４９に転送されるまで、アナログメモリとして機能する。また、第２浮遊拡散領域４９は、第１浮遊拡散領域４７から転送される信号電荷の電荷検出部（フローティングディフュージョンＦＤ）として機能する。

このように、固体撮像素子においての信号電荷の読み出しを、撮像領域の全ての画素で同時に行う際に、ＰＤ４２から転送された信号電荷がアナログメモリに保持されるため、グローバルシャッタとして機能する。

[0044] また、第３トランジスタＴｒ３は、ゲート絶縁膜４６を介して形成された第３ゲート電極５０と、第２ＰＤ４３と、上記第２ＰＤ４３から転送された信号電荷を蓄積する第３浮遊拡散領域５１とからなる。第４トランジスタＴｒ４は、ゲート絶縁膜４６を介して形成された第４ゲート電極５２と、第３トランジスタＴｒ３と共有する第３浮遊拡散領域５１と、第４浮遊拡散領域５３とからなる。

Ｔｒ３及びＴｒ４においても、信号電荷の読み出し撮像領域の全ての画素で同時に行う際に、ＰＤ４３から転送された信号電荷が第３浮遊拡散領域５１（アナログメモリ）に保持される。そして、第４浮遊拡散領域５３が、第３浮遊拡散領域５１から転送される信号電荷の電荷検出部（フローティングディフュージョンＦＤ）として機能する。

[0045] Ｔｒ５は、ゲート絶縁膜４６を介して形成された第５ゲート電極６０と、光電変換膜４４で光電変換された信号電荷が蓄積されているｎ型半導体領域５９と、ｎ型半導体領域５９から転送された信号電荷を蓄積する第５浮遊拡散領域６１とからなる。第６トランジスタＴｒ６は、ゲート絶縁膜４６を介

して形成された第６ゲート電極６２と、第３トランジスタＴｒ５と共有する第５浮遊拡散領域６１と、第６浮遊拡散領域６３とからなる。

Ｔｒ５及びＴｒ６においても、撮像領域の全ての画素で信号電荷の読み出しを同時に行う際に、ｎ型半導体領域５９に蓄積されている光電変換膜４４で光電変換された信号電荷が第５浮遊拡散領域６１（アナログメモリ）に保持される。そして、第６浮遊拡散領域６３が、第５浮遊拡散領域６１から転送される信号電荷の電荷検出部（フローティングディフュージョンＦＤ）として機能する。

[0046] また、アナログメモリとして機能する第１浮遊拡散領域４７において、光電変換により新たな信号電荷が発生しないように、第１浮遊拡散領域４７の光の入射面側を覆う第１遮光層６４を備える。

第１遮光層６４は、半導体基体４１の主面と平行な方向に広がる水平遮光部６４Ａと、半導体基体面の主面と垂直な方向に延びる垂直遮光部６４Ｂとからなる。水平遮光部６４Ａは、第１浮遊拡散領域４７を覆う範囲で、半導体基体４１内に埋め込まれて形成されている。垂直遮光部６４Ｂは、半導体基体４１の裏面４１Ａ側から水平遮光部６４Ａと接続する深さまで形成されている。

[0047] また、アナログメモリとして機能する第３浮遊拡散領域５１、及び、第５浮遊拡散領域６１にも同様に、それぞれ第２遮光層６５と第３遮光層６６を備える。

第２遮光層６５は、半導体基体４１の主面と平行な方向に広がる水平遮光部６５Ａと、半導体基体４１の主面と垂直な方向に延びる垂直遮光部６５Ｂとからなる。そして、水平遮光部６５Ａは、光がアナログメモリに入射しないように、第３浮遊拡散領域５１を覆う範囲で形成されている。

第３遮光層６６は、半導体基体４１の主面と平行な方向に広がる水平遮光部６６Ａと、半導体基体４１の主面と垂直な方向に延びる垂直遮光部６６Ｂとからなる。そして、水平遮光部６６Ａは、光がアナログメモリに入射しないように、第５浮遊拡散領域６１を覆う範囲で形成されている。

[0048] 上述の構成の固体撮像素子によれば、単一画素内に複数のフォトダイオードを形成した場合にも、効果的にアナログメモリを遮光する遮光層を形成することができる。さらに、フォトダイオードと合わせて光電変換膜を備える構成の固体撮像素子においても、遮光層を形成することができる。この構成により、フォトダイオードの開口が大きく高感度な、グローバルシャッタ構造の固体撮像素子を構成することができる。

また、光の光吸収係数の波長依存性に対応して、単一画素内の深さ方向の異なる位置に、複数のフォトダイオードや光電変換膜を設置した、グローバルシャッタ機能を有する固体撮像素子を構成することができる。

[0049] 〈３．固体撮像素子の第３実施形態〉

次に、固体撮像素子の第３実施形態について説明する。図７に、第３実施形態の固体撮像素子の１画素を構成する要部の断面図を示す。なお、図７に示す第３実施形態の固体撮像素子７０は、上述の第１実施形態の固体撮像素子とトランジスタの構成のみが異なり、トランジスタ以外の構成は第１実施形態の固体撮像素子と同様である。

[0050] 図７に示す固体撮像素子７０は、上述の第１実施形態の固体撮像素子において、別々の浮遊拡散領域を適用していたアナログメモリと電荷検出部とを、１つの浮遊拡散領域で構成している。

固体撮像素子７０は、半導体基体７１の光の入射面（基体裏面）７１Ａ側の表面に、フォトダイオード（ＰＤ）７２が形成されている。そして、固体撮像素子７０は、光の入射面と反対面（基体表面）７１Ｂ側の表面に、転送トランジスタＴｒ１を備える。

[0051] 転送トランジスタＴｒ１は、ゲート絶縁膜７３を介して形成され縦型のゲート電極７４と、上記ＰＤ７２と、ＰＤ７２から転送された信号電荷を蓄積する浮遊拡散領域７５とからなる。

ＰＤ７２は、半導体基体７１の第１導電型に形成された領域において、裏面７１Ａ側から、第１導電型（ｐ型）半導体領域７２Ａと、第２導電型（ｎ型）半導体領域７２Ｂを備える。ｐ型半導体領域７２Ａは、半導体基体７１

の裏面７１Ａ側の表面に形成されている。ｎ型半導体領域７２Ｂは、ｐ型半導体領域７２Ａに接して形成され、一部が半導体基体７１の表面７１Ｂ側まで連続して形成されている。そして、ｎ型半導体領域７２Ｂの表面７１Ｂ側に突出した領域内に、ゲート絶縁膜７３を介してゲート電極７４の縦型ゲートが形成されている。ゲート電極７４の縦型ゲートは、半導体基体７１の表面７１Ｂ側から形成されたトレンチ内を埋め込んで形成されている。

[0052] Ｔｒ１では、読み出し時にゲート電極７４に正電圧が印加され、ゲート電極７４直下のポテンシャル（電位）が変化する。そして、ＰＤ７２に蓄積された信号電荷が、ゲート電極７４の縦型ゲートの周囲の領域を通過して、浮遊拡散領域７５に転送される。浮遊拡散領域７５は、蓄積された信号電荷を出力するまでアナログメモリとして機能する。また、この浮遊拡散領域７５は、蓄積した信号電荷の電荷検出部として機能する。

[0053] また、固体撮像素子７０は、アナログメモリとして機能する浮遊拡散領域７５で光電変換による新たな信号電荷が発生しないように、浮遊拡散領域７５の光の入射面側を覆う遮光層７６を備える。

遮光層７６は、半導体基体７１の主面と平行な方向に広がる水平遮光部７６Ａと、半導体基体７１の主面と垂直な方向に延びる垂直遮光部７６Ｂとからなる。水平遮光部７６Ａは、浮遊拡散領域７５を覆う範囲で、半導体基体７１内に埋め込まれて形成されている。垂直遮光部７６Ｂは、半導体基体７１の裏面７１Ａ側から水平遮光部７６Ａと接続する深さまで形成されている。水平遮光部７６Ａは、半導体基体７１内において、少なくとも浮遊拡散領域７５を覆い、入射光がアナログメモリに入射しない位置に形成されている。

また、遮光層７６の周囲には、第１導電型（ｐ型）の半導体領域７７が形成されている。ｐ型半導体領域７７により、ＰＤ７２と遮光層７６とが分離されている。

[0054] 上述の構成の固体撮像素子７０では、ＰＤ７２の信号電荷の読み出しを撮像領域の全ての画素で同時に行う。そして、ＰＤ７２からの信号電荷の浮遊

拡散領域７５に一時的に保持した後、浮遊拡散領域７５から出力する。

このように、アナログメモリと電荷検出部とを同じ浮遊拡散領域７５で構成しても、固体撮像素子７０にグローバルシャッタ機能を付与することができる。

[0055] 上述の固体撮像素子７０では、各ＰＤ画素において浮遊拡散領域を複数設ける必要がないため、固体撮像素子の画素部の面積の縮小が可能となる。

なお、グローバルシャッタ構造では、１つのＰＤに対して１つ以上のアナログメモリを形成する必要があるため、第３実施形態の構成では、ＰＤ毎にＦＤを形成する必要がある。このため、第１実施形態の固体撮像素子のように、複数の画素でＦＤを共有する構成とすることができない。また、アナログメモリは機能的に浮遊拡散領域が大きい方が容量を大きくすることができるため好ましいが、電荷検出部は、浮遊拡散領域が小さい方が変換効率とばらつき等の面で有利となる。従って、固体撮像素子において、グローバルシャッタの特性とトランジスタの形成領域の面積とを考慮して、浮遊拡散領域の構成を適宜選択する。

[0056] 〈４．固体撮像素子の第４実施形態〉

次に、固体撮像素子の第４実施形態について説明する。図８に、第４実施形態の固体撮像素子の１画素を構成する要部の断面図を示す。なお、図８に示す第４実施形態の固体撮像素子８０は、上述の第３実施形態の固体撮像素子と遮光層の構成のみが異なり、遮光層以外の構成は第３実施形態の固体撮像素子と同様である。

[0057] 図８に示す固体撮像素子８０は、上述の第３実施形態の固体撮像素子において裏面側から水平遮光部まで形成された垂直遮光部の構成を、表面側から水平遮光部を超える位置まで形成している。

固体撮像素子８０は、半導体基体８１の光の入射面（基体裏面）８１Ａ側の表面に、フォトダイオード（ＰＤ）８２が形成されている。そして、固体撮像素子８０は、光の入射面と反対面（基体表面）８１Ｂ側の表面に、転送トランジスタ（Ｔｒ１）を備える。

[0058] 転送トランジスタＴｒ１は、ゲート絶縁膜８３を介して形成された縦型のゲート電極８４と、上記ＰＤ８２とＰＤ８２から転送された信号電荷を蓄積する浮遊拡散領域８５とからなる。

ＰＤ８２は、半導体基体８１の第１導電型に形成された領域において、裏面８１Ａ側から、第１導電型（ｐ型）半導体領域８２Ａと、第２導電型（ｎ型）半導体領域８２Ｂとを備える。ｐ型半導体領域８２Ａは、半導体基体８１の裏面８１Ａ側の表面に形成されている。そして、ｎ型半導体領域８２Ｂは、ｐ型半導体領域８２Ａに接して形成され、一部が半導体基体８１の表面８１Ｂ側まで連続して形成されている。そして、ｎ型半導体領域８２Ｂの表面８１Ｂ側に突出した領域内に、ゲート絶縁膜８３を介してゲート電極８４の縦型ゲートが形成されている。ゲート電極８４の縦型ゲートは、半導体基体８１の表面８１Ｂ側から形成されたトレンチ内を埋め込んで形成されている。

[0059] Ｔｒ１では、読み出し時にゲート電極８４に正電圧が印加され、ゲート電極８４直下のポテンシャル（電位）が変化する。そして、ＰＤ８２に蓄積された信号電荷が、ゲート電極８４の縦型ゲートの周囲の領域を通過して、浮遊拡散領域８５に転送される。浮遊拡散領域８５は、蓄積された信号電荷を出力するまでアナログメモリとして機能する。また、この浮遊拡散領域８５は、蓄積した信号電荷の電荷検出部として機能する。

[0060] また、アナログメモリとして機能する浮遊拡散領域８５で光電変換による新たな信号電荷が発生しないように、浮遊拡散領域８５の光の入射面側を覆う遮光層８６を備える。また、半導体基体８１の表面８１Ｂ側から連続して、遮光層８６と半導体基体８１との間に設けられた絶縁層８７を備える。そして、遮光層８６の周囲には、第１導電型（ｐ型）半導体領域８８が形成されている。ｐ型半導体領域８８により、ＰＤ８２と遮光層８６とが分離されている。

[0061] 遮光層８６は、半導体基体８１の主面と平行な方向に広がる水平遮光部８６Ａと、半導体基体８１の主面と垂直な方向に延びる垂直遮光部８６Ｂとか

らなる。水平遮光部８６Ａは、浮遊拡散領域８５を覆う範囲で、半導体基体８１内に埋め込まれて形成されている。水平遮光部８６Ａは、半導体基体８１内において、少なくとも浮遊拡散領域８５を覆い、入射光がアナログメモリに入射しない位置に形成されている。

[0062] 垂直遮光部８６Ｂは、半導体基体８１の表面８１Ｂ側の表面に端部が露出し、水平遮光部８６Ａを貫通して半導体基体８１の裏面８１Ａの近傍まで形成されている。また、垂直遮光部８６Ｂは、隣接する画素のＰＤ８２の間まで、形成されている。このため、裏面側に突出した形状とすることで、隣接するＰＤ間に垂直遮光部が形成され、画素間の垂直遮光部８６Ｂが画素分離として機能する。

[0063] 上述の構成の固体撮像素子８０では、遮光層８６が半導体基体８１の表面８１Ｂ側から形成されている。遮光層８６が表面３１Ｂ側から形成されている場合にも、アナログメモリとして機能する浮遊拡散領域８５を入射光から遮光することにより、グローバルシャッタ機能を有する固体撮像素子を構成することができる。

[0064] ［変形例］

図９及び図１０に、表面側から遮光層を形成した構成の固体撮像素子における、フォトダイオード、トランジスタ、及び、遮光層の平面での位置関係を示す。なお、以下の説明では、説明の簡略化のため、垂直遮光部を、基体表面から水平遮光部まで形成した構成としている。また、ゲート電極は、平面ゲートのみから形成された構成としている。これにより、図９に示す固体撮像素子の構成は、上述の図３のＡに示す構成の固体撮像素子において、遮光層を基体表面側から形成した構成に対応する。また、図１０に示す固体撮像素子の構成は、上述の図３のＡに示す構成の固体撮像素子において、アナログメモリと電荷検出部とを１つの浮遊拡散領域から構成し、さらに、遮光層を基体表面側から形成した構成に対応する。

[0065] ［変形例１］

図９のＡは、固体撮像素子９０の表面９１Ｂ側を示す平面図である。図９

のＢは、図９のＡに示す固体撮像素子９０のＡ－Ａ線断面図である。

図９のＡ，Ｂは、固体撮像素子９０の４画素分の領域を示している。各画素は、半導体基体９１の裏面９１Ａ側に形成されたフォトダイオード（ＰＤ）９２と、半導体基体９１の表面９１Ｂ側に形成された第１トランジスタ（Ｔｒ１）、及び、第２トランジスタ（Ｔｒ２）とから構成されている。

[0066] ＰＤ９２は、半導体基体９１の裏面９１Ａ側の表面に形成された第１導電型（ｐ型）半導体領域９２Ａと、ｐ型半導体領域９２Ａに接して形成され、一部が半導体基体９１の表面９１Ｂ側まで延在した第２導電型（ｎ型）半導体領域９２Ｂとからなる。

また、半導体基体９１の表面９１Ｂ側には、絶縁層９３を介して第１ゲート電極９４、及び、第２ゲート電極９６が形成されている。

Ｔｒ１は、第１ゲート電極９４、ＰＤ９２、及び、ＰＤ９２に対応する第１浮遊拡散領域（アナログメモリ）９５から構成されている。また、Ｔｒ２は、第２ゲート電極９６、第１浮遊拡散領域９５、及び、第２浮遊拡散領域（電荷検出部）９７から構成されている。第２浮遊拡散領域９７は、隣接する２画素に共通して形成されている。

[0067] また、図９のＡ，Ｂに示すように、固体撮像素子９０は、第１浮遊拡散領域９５の光の入射面側を覆う遮光層９８を備える。遮光層９８は、半導体基体９１の主面と平行な方向に広がる水平遮光部９８Ａと、半導体基体９１の主面と垂直な方向に延びる垂直遮光部９８Ｂとからなる。

水平遮光部９８Ａは、隣接する４画素の第１浮遊拡散領域９５を覆う位置に形成されている。このように、水平遮光部９８Ａは、隣接する画素において共通に形成することができる。そして、垂直遮光部９８Ｂは、フォトダイオードが形成されていない領域、例えば、隣接する画素間の領域に形成されている。

[0068] ［変形例２］

図１０のＡは、固体撮像素子１００の表面１０１Ｂ側を示す平面図である。図１０のＢは、図１０のＡに示す固体撮像素子１００のＡ－Ａ線断面図で

ある。

図１０のＡ，Ｂは、固体撮像素子１００の４画素分の領域を示している。各画素は、半導体基体１０１の裏面１０１Ａ側に形成されたフォトダイオード（ＰＤ）１０２と、半導体基体１０１の表面１０１Ｂ側に形成されたトランジスタ（Ｔｒ１）とから構成されている。

[0069] ＰＤ１０２は、半導体基体１０１の裏面１０１Ａ側の表面に形成された第１導電型（ｐ型）半導体領域１０２Ａと、ｐ型半導体領域１０２Ａに接して形成され、一部が半導体基体１０１の表面１０１Ｂ側まで延在した第２導電型（ｎ型）半導体領域１０２Ｂとからなる。

また、半導体基体１０１の表面１０１Ｂ側には、絶縁層１０３を介してゲート電極１０４が形成されている。

Ｔｒ１は、ゲート電極１０４、ＰＤ１０２、及び、ＰＤ１０２に対応する浮遊拡散領域１０５から構成されている。

また、図１０のＡ，Ｂに示すように、固体撮像素子１００は、浮遊拡散領域１０５の光の入射面側を覆う遮光層１０６を備える。遮光層１０６は、半導体基体１０１の主面と平行な方向に広がる水平遮光部１０６Ａと、半導体基体１０１の主面と垂直な方向に延びる垂直遮光部１０６Ｂとからなる。

水平遮光部１０６Ａは、隣接する４画素の浮遊拡散領域１０５を覆う位置に形成されている。このように、水平遮光部１０６Ａは、隣接する画素において共通に形成することができる。そして、垂直遮光部１０６Ｂは、フォトダイオードが形成されていない領域、例えば、隣接する画素間の領域に形成されている。

[0070] 上述の第４実施形態の固体撮像素子のように半導体基体の表面側に遮光層を形成した場合においても、遮光層を除く構成は上述の第１実施形態、第２実施形態及び第３実施形態の固体撮像素子と同様の構成を適用することができる。

[0071] 〈５．固体撮像素子の第５実施形態〉

次に、固体撮像素子の第５実施形態について説明する。図１１に、第５実

施形態の固体撮像素子の１画素を構成する要部の断面図を示す。図１１に示す固体撮像素子１１０は、ＣＣＤイメージセンサ（Charge Coupled Device Image Sensor）に、遮光層を形成した例である。

[0072] 図１１に示すように、固体撮像素子１１０は、半導体基体１１１の光の入射面（基体裏面）１１１Ａ側の表面にフォトダイオード（ＰＤ）１１２が形成されている。また、固体撮像素子１１０は、光の入射面と反対面（基体表面）１１１Ｂ側の表面に、トランジスタ（Ｔｒ１）を備える。

トランジスタＴｒ１は、ゲート電極１１４と、上記ＰＤ１１２と、ＰＤ１１２からの信号電荷を転送する転送部１１５とからなる。

[0073] ＰＤ１１２は、半導体基体３１の第１導電型に形成された領域において、裏面１１１Ａ側から、第１導電型（ｐ型）半導体領域１１２Ａと、第２導電型（ｎ型）半導体領域１１２Ｂとを備える。ｐ型半導体領域１１２Ａは、半導体基体１１１の裏面１１１Ａ側の表面に形成されている。そして、ｎ型半導体領域１１２Ｂは、ｐ型半導体領域１１２Ａに接して形成され、一部が半導体基体１１１の表面１１１Ｂ側まで連続して形成されている。

さらに、ｎ型半導体領域１１２Ｂの表面１１１Ｂ側に突出した領域に沿って、ゲート絶縁膜１１３を介してゲート電極１１４の縦型ゲートが形成されている。

[0074] 転送部１１５は、半導体基体１１１の表面１１１Ｂ側に形成された、第２導電型（ｎ型）半導体領域１１５Ａと、ｎ型半導体領域１１５Ａよりも深部に形成された第１導電型半導体領域（ｐｗｅｌｌ）１１５Ｂとからなる。

[0075] 一般的に、ＣＣＤイメージセンサでは、表面１１１Ｂ側には、ゲート電極１１４を兼ねる遮光膜が形成されている。このため、表面１１１Ｂ側から光が入射する構成の場合には、別途遮光層を設ける必要がない。

本実施形態の固体撮像素子では、半導体基体１１１の裏面１１１Ａ側にＰＤ１１２を設け、裏面１１１Ａ側から光が入射する構成である。このため、裏面１１１Ａ側から入射する光に対し、光電変換により新たな信号電荷が発生しないように、転送部１１５を遮光する構成が必要となる。

このため、図１１に示す固体撮像素子１１０は、転送部１１５の表面１１１Ａ側を覆う遮光層１１６を備える。

[0076] 遮光層１１６は、半導体基体１１１の主面と平行な方向に広がる水平遮光部１１６Ａと、半導体基体１１１の主面と垂直な方向に延びる垂直遮光部１１６Ｂとからなる。また、遮光層１１６は、第１導電型（ｐ型）半導体領域１１７により覆われている。

[0077] 水平遮光部１１６Ａは、半導体基体１１１内に埋め込まれて形成されている。垂直遮光部１１６Ｂは、半導体基体１１１の表面１１１Ｂ側から水平遮光部１１６Ａと接続する深さまで形成されている。

水平遮光部１１６Ａは、半導体基体１１１内において、少なくとも転送部１１５を覆い、入射光がアナログメモリに入射しない位置に設ける必要がある。

[0078] 上述の第５実施形態の固体撮像素子によれば、半導体基体の裏面側から光が入射する構成のＣＣＤイメージセンサを構成することができる。元来ＣＣＤイメージセンサはグローバルシャッタ動作をする構成である。転送部の裏面側に遮光層を形成することにより、裏面側からの入射光に対して、アナログメモリを遮光することができるため、裏面照射型のＣＣＤイメージセンサを実現することができる。

また、上述の遮光層は表面側から形成されているが、上述の第１実施形態等のように裏面側から形成された遮光層を備えていてもよい。

[0079] 〈６．固体撮像素子の製造方法の第１実施形態〉

［裏面照射型ＣＩＳ］

次に、固体撮像素子の製造方法の実施形態について説明する。以下の説明では、上述の第１実施形態の固体撮像素子の製造方法を例に説明する。また、第２～３実施形態の固体撮像素子についても、以下に説明する製造方法に、従来公知の半導体装置の製造方法を組み合わせることにより製造することができる。なお、以下の説明では、上述の第１実施形態の固体撮像素子と同様の構成には、同じ符号を付して詳細な説明は省略する。

[0080] まず、図１２のＡに示すように、所定の深さに酸化物層１２１が形成された半導体基体３１の表面３１Ｂ側から、第１導電型（ｐ型）の不純物と、第２導電型（ｎ型）の不純物をイオン注入する。このイオン注入によりフォトダイオード（ＰＤ）３２を構成するｐ型半導体領域３２Ａと、ｎ型半導体領域３２Ｂとを形成する。さらに、遮光層の周囲を覆うｐ型半導体領域３９を形成する。半導体基体３１としては、例えば、ＳＯＩ（Silicon on Insulator）基板等を用いる。

イオン注入後、アニール処理を行う。アニール処理による拡散を考慮してイオン注入の領域を設計する。イオン注入は、複数回に分けて行ってもよい。

[0081] 次に、図１２のＢに示すように、半導体基体３１の所定の位置に酸素イオンを注入する。そして、イオン注入後、アニール処理を行い、埋め込み酸化物層１２２を形成する。埋め込み酸化物層１２２は、遮光層の水平遮光部を設ける位置において、半導体基体３１の主面と平行な方向に広がる形に形成する。この工程では、公知のＰａｒｔｉａｌ　ＳＩＭＯＸ（Separation by Implanted Oxgen）技術を用いて埋め込み酸化物層１２２を形成する。

[0082] 次に、図１２のＣに示すように、半導体基体３１の表面３１Ｂの所定の位置にｎ型の不純物を注入して、第１浮遊拡散領域３５と第２浮遊拡散領域３７を形成する。

そして、図１３のＤに示すように、第１トランジスタＴｒ１、第２トランジスタＴｒ２を形成する。

[0083] まず、半導体基体３１の表面３１ＢからＰＤ３２のｎ型半導体領域３２Ｂに接触する深さまでｎ型の不純物をイオン注入する。そして、イオン注入した領域に、縦型ゲートを形成するためのトレンチを形成する。そして、トレンチを埋め込んで半導体基体３１の表面３１Ｂ上にゲート電極材料を堆積する。ゲート電極材料の表面を平坦化した後、所定のゲート電極パターンにゲート電極材料をエッチングすることで、第１ゲート電極３４及び第２ゲート電極３６を形成する。さらに、第１トランジスタＴｒ１及び第２トランジス

タＴｒ２上に、所望のプラグ等を形成する。

以上の工程により、ＰＤ３２、及び、第１トランジスタＴｒ１、第２トランジスタＴｒ２を形成する。

[0084] 次に、図１３のＥに示すように、多層配線層１２３等を形成した後、半導体基体３１の表面３１Ｂ側に、図示しない支持基板、又は、他の半導体基体等を接合して上下反転する。そして、半導体基体３１を酸化物層１２１から分離し、裏面３１Ａ側を露出させる。

[0085] 次に、図１３のＦに示すように、半導体基体３１の裏面３１Ａ上にハードマスク１２４を形成する。ハードマスク１２４は、後工程で埋め込み酸化物層１２２を除去する際に耐性を有する材料で形成する。

[0086] 次に、図１４のＧに示すように、ハードマスク１２４上にフォトレジスト層１２５を形成する。そして、フォトレジスト層１２５に、遮光層の垂直遮光部を形成する領域を開口するパターニングを行う。さらに、フォトレジスト層１２５に形成した開口部から、ハードマスク１２４、及び、半導体基体３１をエッチングして、トレンチ１２６を形成する。半導体基体３１のエッチングには、例えば、反応性イオンエッチング（Reactive Ion Etching;ＲＩＥ）、Ｄｅｅｐ　ＲＩＥ等を用いる。トレンチ１２６を形成する深さは、埋め込み酸化物層１２２が形成されている領域の範囲とする。また、同じ埋め込み酸化物層１２２に接触するトレンチ１２６を、半導体基体３１の複数箇所に形成してもよい。

[0087] 次に、図１４のＨに示すように、形成したトレンチ１２６から、埋め込み酸化物層１２２を除去し、空洞部１２７をする。空洞部１２７は、トレンチ１２６を介して、半導体基体３１の裏面３１Ａ側まで連通した構成となる。このため、トレンチ１２６と空洞部１２７とにより遮光層となる領域が半導体基体３１内に形成される。埋め込み酸化物層１２２の除去は、例えば、ウェットエッチグ又はドライエッチングにより行う。

[0088] 次に、図１４のＩに示すように、トレンチ１２６と空洞部１２７とに遮光材料を埋め込んで、半導体基体３１に遮光材料層１２８を形成する。遮光材

料層１２８は、上述の材料を用いて形成する。遮光材料層１２８は、例えば、金属等の材料ではＣＶＤ法等を用いて形成する。また、無機及び有機系の材料では塗布法等を用いて形成する。

また、遮光材料層１２８を形成する前に、トレンチ１２６と空洞部１２７の内面に、図示しない絶縁層を形成してもよい。絶縁層は、上述の遮光層を覆う絶縁層の材料を用いて、ＡＬＤ（atomic layer deposition）法等を用いて形成する。

[0089] 次に、図１５のＪに示すように、ハードマスク１２４上の遮光材料層１２８を除去して遮光層３８を形成する。遮光層３８は、上述の空洞部１２７が水平遮光部３８Ａとなり、トレンチ１２６が垂直遮光部３８Ｂとなる。

さらに、図１５のＫに示すように、ハードマスク１２４を除去した後、ＨＤＰ－ＣＶＤ法等を用いて絶縁層１２９を形成する。絶縁層１２９は、上述のハードマスク１２４以下の厚さで形成する。このため、絶縁層１２９の形成後に、垂直遮光部３８Ｂの上端が、絶縁層１２９から露出する構成となる。

[0090] 次に、図１５のＬに示すように、垂直遮光部３８Ｂの上端に配線１３０等を接続して遮光層３８を外部機器と電気的に接続する。その後、図示しないカラーフィルタ等の光学部材をフォトダイオードＰＤ３２上に形成し、オンチップレンズ１３１を形成する。

以上の工程により、第１実施形態の固体撮像素子を製造することができる。

[0091] 上述の製造方法によれば、従来技術の製造方法のように、遮光層及びトランジスタの形成に際して、エピタキシャル成長による半導体層の形成や、半導体基体の貼り合わせ等を行う必要がない。そして、信号電荷の電荷転送パスが、通常の固体撮像素子と同様に半導体基体内に形成されているため、エピタキシャル成長層や基板の貼り合せ面に発生する結晶欠陥による白点や暗電流の発生を抑制することができる。

また、ＳＩＭＯＸ技術を用いて埋め込み酸化物層１２２を形成する際に、

酸素イオンを注入した後、高温（例えば１０００℃以上）でアニール処理する。このアニール処理により、半導体基体の結晶欠陥、特に、不純物がドーピングされたＰＤ４２等の領域において結晶欠陥が低減される。このため、固体撮像素子の白点や暗電流が改善される。

[0092] ［変形例］

次に、上述の固体撮像素子の製造方法の変形例として、ＳＩＭＯＸ技術以外の方法で半導体基体内に、水平遮光部となる空洞を形成する方法について説明する。以下の製造方法では、Ｓｉ　ｏｎ　ｎｏｔｈｉｎｇ．技術（T. Sato et. al., IEDM Tech. Dig., p.7803, 2001.）を用いて半導体基体内に空洞を形成する方法について説明する。なお、空洞部を形成する工程以外は、上述の第１実施形態の製造方法と同様に行うことができる。

[0093] まず、図１６のＡに示すように、半導体基体３１の表面３１Ｂにおいて、遮光層の水平遮光部を形成する領域の全面に、表面から所定の深さまでのビア１３２を形成する。ビア１３２は、半導体基体３１の表面３１Ｂにアレイ状に複数形成する。ビア１３２の直径、深さ、数、及び、ビア１３２同士の間隔は、形成する遮光層の位置及び大きさに合わせて最適に設計する。

[0094] 次に、上述のビア１３２を形成した半導体基体３１を、水素雰囲気中でアニール処理を行う。アニール処理は、例えば、１１００℃、３００Ｔｏｒｒの条件で３分間行う。このアニール処理により、図１６のＢに示すように、半導体基体３１の表面の例えばＳｉが泳動し、空洞１３３が形成される。

[0095] 次に、図１６のＣに示すように、半導体基体３１の表面３１Ｂ側から、第１導電型（ｐ型）の不純物と、第２導電型（ｎ型）の不純物をイオン注入する。イオン注入によりフォトダイオード（ＰＤ）３２を構成するｐ型半導体領域３２Ａと、ｎ型半導体領域３２Ｂとを形成する。さらに、遮光層の周囲を覆うｐ型半導体領域３９を形成する。

また、第１浮遊拡散領域３５と第２浮遊拡散領域３７を形成する。

[0096] 次に、図１７のＤに示すように、半導体基体３１の表面３１ＢからＰＤ３２のｎ型半導体領域３２Ｂに接触する深さまでｎ型の不純物をイオン注入す

る。そして、イオン注入した領域に形成したトレンチを埋め込んで、第１ゲート電極３４及び第２ゲート電極３６を形成する。

以上の工程により、ＰＤ３２、及び、第１トランジスタＴｒ１、第２トランジスタＴｒ２を形成する。

[0097] 次に、図１７のＥに示すように、半導体基体３１の裏面３１Ａ上にハードマスク１２４とフォトレジスト層１２５を形成する。そして、図１７のＦに示すように、フォトレジスト層１２５、ハードマスク１２４、及び、半導体基体３１をエッチングして、トレンチ１２６を形成する。

以上の工程により、Ｓｉ　ｏｎ　ｎｏｔｈｉｎｇ．技術を用いた製造方法により、上述の第１実施形態の製造方法の図１４のＨに示す工程までを行うことができる。以降の工程は、上述の第１実施形態の製造方法と同じ工程となるため説明を省略する。この方法により製造された固体撮像素子においても、上述の第１実施形態の製造方法により形成された固体撮像素子と同様に、白点や暗電流の抑制等の効果を有する。

[0098] 〈７．固体撮像素子の製造方法の第２実施形態〉

［表面照射型ＣＩＳ］

次に、固体撮像素子の製造方法の第２実施形態について説明する。以下では、上述の第４実施形態の固体撮像素子の製造方法を例に説明する。また、第５実施形態の固体撮像素子についても、以下に説明する製造方法に、従来公知のＣＣＤイメージセンサの製造方法を組み合わせることにより製造することができる。なお、以下の説明では、上述の第４実施形態の固体撮像素子と同様の構成には、同じ符号を付して詳細な説明は省略する。

[0099] まず、図１８のＡに示すように、所定の深さに酸化物層１３４が形成された半導体基体８１の表面８１Ｂ側から、第１導電型（ｐ型）の不純物と、第２導電型（ｎ型）の不純物をイオン注入する。このイオン注入によりフォトダイオード（ＰＤ）８２を構成するｐ型半導体領域８２Ａと、ｎ型半導体領域８２Ｂとを形成する。さらに、遮光層の周囲を覆うｐ型半導体領域８８を形成する。半導体基体８１としては、シリコンウエハ又はＳＯＩ（Silicon o

n Insulator）基板等を用いる。

[0100] 次に、図１８のＢに示すように、半導体基体８１の所定の位置に酸素イオンを注入する。そして、イオン注入後+アニール処理を行い、埋め込み酸化物層１３５を形成する。埋め込み酸化物層１３５は、遮光層の水平遮光部を設ける位置に、半導体基体８１の主面と平行な方向に広がる形に形成する。

[0101] 次に、図１８のＣに示すように、半導体基体８１の表面８１Ｂの所定の位置にｎ型の不純物を注入して、浮遊拡散領域８５を形成する。

そして、図１９のＤに示すように、トランジスタＴｒ１を形成する。

[0102] まず、半導体基体８１の表面８１ＢからＰＤ８２のｎ型半導体領域８２Ｂに接触する深さまでｎ型の不純物をイオン注入する。そして、イオン注入した領域に、縦型ゲートを形成するためのトレンチを形成する。そして、トレンチを埋め込んで半導体基体８１の表面８１Ｂ上にゲート電極材料を堆積する。ゲート電極材料の表面を平坦化した後、所定のゲート電極パターンにゲート電極材料をエッチングすることで、ゲート電極８４を形成する。

以上の工程により、ＰＤ８２、及び、トランジスタＴｒ１を形成する。

[0103] 次に、図１９のＥに示すように、半導体基体８１の表面８１Ｂ上に層間絶縁層１３６を形成する。層間絶縁層１３６は、後工程で埋め込み酸化物層１３５を除去する際に耐性を有する材料で形成する。例えば、埋め込み酸化物層１３５の除去にフッ酸（ＨＦ）を用いる場合には、層間絶縁層１３６としてＳｉＮ等のＨＦに耐性を有する材料を使用する。

[0104] 次に、図１９のＦに示すように、層間絶縁層１３６上にフォトレジスト層１３７を形成する。そして、フォトレジスト層１３７に、遮光層の垂直遮光部を形成する領域を開口するパターニングを行う。さらに、フォトレジスト層１３７に形成した開口部から、層間絶縁層１３６、及び、半導体基体８１をエッチングして、トレンチ１３８を形成する。半導体基体８１のエッチングには、Ｄｅｅｐ　ＲＩＥ等を用いる。トレンチ１３８の形成は、埋め込み酸化物層１３５が形成されている領域を貫通して、埋め込み酸化物層１３５よりも裏面８１Ａ側まで行う。また、同じ埋め込み酸化物層１３５に接触す

るトレンチ１３８を、半導体基体８１の複数箇所に形成してもよい。

[0105] 次に、図２０のＧに示すように、形成したトレンチ１３８から、埋め込み酸化物層１３５を除去し、空洞部１３９を形成する。空洞部１３９は、トレンチ１３８を介して、半導体基体８１の表面８１Ｂ上の層間絶縁層１３６上まで連通した構成となる。このため、トレンチ１３８と空洞部１３９とから、遮光層となる領域が半導体基体８１内に形成される。

[0106] 次に、図２０のＨに示すように、トレンチ１３８と空洞部１３９とに遮光材料を埋め込んで、半導体基体８１に遮光材料層１４０を形成する。遮光材料層１４０は、上述の材料を用いて形成する。遮光材料層１４０は、例えば、金属等の材料ではＣＶＤ法等を用いて形成する。また、無機及び有機系の材料では塗布法等を用いて形成する。

また、遮光材料層１４０を形成する前に、トレンチ１３８と空洞部１３９の内面に、図示しない絶縁層を形成してもよい。絶縁層は、上述の遮光層を覆う絶縁層の材料を用いて、ＡＬＤ（atomic layer deposition）法等を用いて形成する。

[0107] 次に、図２０のＩに示すように、層間絶縁層１３６上の遮光材料層１４０を除去して遮光層８６を形成する。遮光層８６は、上述の空洞部１３９が水平遮光部８６Ａとなり、トレンチ１３８が垂直遮光部８６Ｂとなる。

[0108] 以上の工程により、上述の第４実施形態の固体撮像素子を製造することができる。半導体基体の表面側から遮光層が形成されている構成の固体撮像素子においても、上述のＰａｒｔｉａｌ　ＳＩＭＯＸ技術を用いて製造することができる。また、上述の第１実施形態の製造方法の変形例を、本第２実施形態の製造方法に適用することで、上述のＳｉ　ｏｎ　ｎｏｔｈｉｎｇ．技術を用いて空洞部を形成することもできる。

[0109] 〈８．電子機器〉

次に、上述の固体撮像素子を備える電子機器の実施形態について説明する。

上述の固体撮像素子は、例えば、デジタルカメラやビデオカメラ等のカメ

ラシステム、撮像機能を有する携帯電話、又は、撮像機能を備えた他の機器などの電子機器に適用することができる。図２１に、電子機器の一例として、固体撮像素子を静止画像又は動画を撮影が可能なカメラに適用した場合の概略構成を示す。

[0110] この例のカメラ１５０は、固体撮像素子１５１と、固体撮像素子１５１の受光センサ部に入射光を導く光学系１５２と、固体撮像素子１５１及び光学系１５２間に設けられたシャッタ装置１５３と、固体撮像素子１５１を駆動する駆動回路１５４とを備える。さらに、カメラ１５０は、固体撮像素子１５１の出力信号を処理する信号処理回路１５５を備える。

[0111] 固体撮像素子１５１には、上述の第１実施形態から第５実施形態に示す固体撮像素子を適用することができる。光学系（光学レンズ）１５２は、被写体からの像光（入射光）を固体撮像素子１５１の撮像面（不図示）上に結像させる。これにより、固体撮像素子１５１内に、一定期間、信号電荷が蓄積される。なお、光学系１５２は、複数の光学レンズを含む光学レンズ群で構成してもよい。また、シャッタ装置１５３は、入射光の固体撮像素子１５１への光照射期間及び遮光期間を制御する。

[0112] 駆動回路１５４は、固体撮像素子１５１及びシャッタ装置１５３に駆動信号を供給する。そして、駆動回路１５４は、供給した駆動信号により、固体撮像素子１５１の信号処理回路１５５への信号出力動作、及び、シャッタ装置１５３のシャッタ動作を制御する。すなわち、この例では、駆動回路１５４から供給される駆動信号（タイミング信号）により、固体撮像素子１５１から信号処理回路１５５への信号転送動作を行う。

[0113] 信号処理回路１５５は、固体撮像素子１５１から転送された信号に対して、各種の信号処理を施す。そして、各種信号処理が施された信号（映像信号）は、メモリなどの記憶媒体（不図示）に記憶される、又は、モニタ（不図示）に出力される。

[0114] 上述した各実施形態に係る固体撮像素子では、可視光の光量に応じた信号電荷を物理量として検知する単位画素が行列状に配置されてなるイメージセ

ンサに適用した場合を例に挙げて説明した。しかしながら、上述の固体撮像素子は、イメージセンサへの適用に限られるものではなく、画素アレイ部の画素列ごとにカラム回路を配置してなるカラム方式の固体撮像素子全般に対して適用可能である。

[0115] また、上述の固体撮像素子は、可視光の入射光量の分布を検知して画像として撮像する固体撮像素子への適用に限らず、赤外線やＸ線、あるいは粒子等の入射量の分布を画像として撮像する固体撮像素子に適用可能である。また、広義の意味として、圧力や静電容量など、他の物理量の分布を検知して画像として撮像する指紋検出センサ等の固体撮像素子（物理量分布検知装置）全般に対して適用可能である。

さらに、上述の固体撮像素子は、画素アレイ部の各単位画素を行単位で順に走査して各単位画素から画素信号を読み出す固体撮像素子に限らない。例えば、画素単位で任意の画素を選択して、当該選択画素から画素単位で信号を読み出すＸ－Ｙアドレス型の固体撮像素子に対しても適用可能である。

なお、固体撮像素子はワンチップとして形成された形態であってもよいし、撮像部と、信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール状の形態であってもよい。

[0116] また、上記各実施の形態の固体撮像素子では、信号電荷として電子を用いた固体撮像素子について説明したが、信号電荷として正孔を用いた固体撮像素子に適用することもできる。この場合、上例で第１導電型をｐ型とし、第２導電型をｎ型とした構成を、第１導電型をｎ型とし、第２導電型をｐ型とする。そして駆動方法において、各画素トランジスタに印加する電圧は、正電圧を負電圧に、負電圧を正電圧に置き換える。

[0117] なお、本開示は以下のような構成も取ることができる。

（１）半導体基体と、前記半導体基体に形成されているフォトダイオードと、前記フォトダイオードに蓄積された信号電荷が転送される浮遊拡散領域と、前記浮遊拡散領域を覆う、前記半導体基体面と平行な水平遮光部と前記半導体基体面と垂直な垂直遮光部とからなる遮光層と、を備える固体撮像素子

。

（２）前記垂直遮光部が、前記半導体基体の受光面側から前記水平遮光部に接続されている（１）に記載の固体撮像素子。

（３）前記垂直遮光部が、隣接する画素間において、隣の画素と接する辺に沿う方向に連続して形成されている（１）又は（２）に記載の固体撮像素子。

（４）前記遮光層が導電性の材料から形成されている（１）から（３）のいずれかに記載の固体撮像素子。

（５）前記垂直遮光部の端部が前記半導体基体面から露出し、前記半導体基体上の配線と電気的に接続されている（１）から（４）のいずれかに記載の固体撮像素子。

（６）前記浮遊拡散領域として、アナログメモリとなる第１浮遊拡散領域と、電荷検出部となる第２浮遊拡散領域とを備える（１）から（５）のいずれかに記載の固体撮像素子。

（７）　半導体基体にフォトダイオードを形成する工程と、前記半導体基体に、前記フォトダイオードに蓄積された信号電荷が転送される浮遊拡散領域を形成する工程と、前記半導体基体内に、前記半導体基体面と平行な水平遮光部と、前記半導体基体面と垂直な垂直遮光部を形成するための、空洞部を形成する工程と、前記空洞部を遮光材料で埋め込み、遮光層を形成する工程と、を有する固体撮像素子の製造方法。

（８）前記空洞部の形成工程が、前記半導体基体中に埋め込み酸化物層を形成する工程と、前記埋め込み酸化物層に到達するトレンチを形成する工程と、前記埋め込み酸化物層をエッチングして前記半導体基体面と平行な空洞部を形成する工程と、からなる（７）に記載の固体撮像素子の製造方法。

（９）前記空洞部の形成工程が、前記半導体基体に複数のビアを形成する工程と、前記半導体基体をアニール処理して、前記半導体基体内に前記半導体基体面と平行な空洞部を形成する工程と、からなる（７）に記載の固体撮像素子の製造方法。

（１０）（１）から（６）のいずれかに記載の固体撮像素子と、前記固体撮像素子の出力信号を処理する信号処理回路とを有する電子機器。

符号の説明

[0118] １０　固体撮像素子、１１　センサ基板、１３　画素、１４　画素領域、１５　画素駆動線、１６　垂直信号線、１７　周辺領域、１８，１３０　配線、２１　回路基板、２２　垂直駆動回路、２３　カラム信号処理回路、２４　水平駆動回路、２５　システム制御回路、３０，４０，７０，８０，９０，１００，１１０　固体撮像素子、３１，４１，７１，８１，９１，１０１，１１１　半導体基体、３１Ａ，４１Ａ，７１Ａ，８１Ａ，９１Ａ，１０１Ａ，１１１Ａ　裏面、３１Ｂ，４１Ｂ，７１Ｂ，８１Ｂ，９１Ｂ，１０１Ｂ，１１１Ｂ　表面、３２，７２，８２，９２，１０２，１１２　フォトダイオード、３２Ａ，３９，７２Ａ，７７，８２Ａ，８８，９２Ａ，１０２Ａ，１１２Ａ，１１７　ｐ型半導体領域、３２Ｂ，５６，５９，７２Ｂ，８２Ｂ，９２Ｂ，１０２Ｂ，１１２Ｂ，１１５Ａ　ｎ型半導体領域、３３，４６，７３，８３，１１３　ゲート絶縁膜、３４，４５，９４　第１ゲート電極、３５，４７，９５　第１浮遊拡散領域、３６，４８，９６　第２ゲート電極、３７，４９，９７　第２浮遊拡散領域、３８，７４，７６，８６，１１６　遮光層、３８Ａ，６４Ａ，６５Ａ，６６Ａ，７６Ａ，８６Ａ，９８Ａ，１０６Ａ，１１６Ａ　水平遮光部、３８Ｂ，６４Ｂ，６５Ｂ，６６Ｂ，７６Ｂ，８６Ｂ，９８Ｂ，１０６Ｂ，１１６Ｂ　垂直遮光部、４２　第１フォトダイオード、４３　第２フォトダイオード、４４　光電変換膜、５０　第３ゲート電極、５１　第３浮遊拡散領域、５２　第４ゲート電極、５３　第４浮遊拡散領域、５４，５５　透明電極、５７，５８　電極、６０　第５ゲート電極、６１　第５浮遊拡散領域、６２　第６ゲート電極、６３　第６浮遊拡散領域、６４　第１遮光層、６５　第２遮光層、６６　第３遮光層、７５，８５，１０５　浮遊拡散領域、８４，１０４，１１４　ゲート電極、８７，９３，１０３，１２９　絶縁層、１１５Ｂ　第１導電型半導体領域、１１５　転送部、１２１，１３４　酸化物層、１２２　埋め込み酸化物層、１２

３　多層配線層、１２４　ハードマスク、１２５，１３７　フォトレジスト層、１２６　トレンチ、１２７　空洞部、１２８　遮光材料層、１３１　オンチップレンズ、１３２　ビア、１３３　空洞、１３５　埋め込み酸化物層、１３６　層間絶縁層、１３８　トレンチ、１３９　空洞部、１４０　遮光材料層、１５０　カメラ、１５１　固体撮像素子、１５２　光学系、１５３　シャッタ装置、１５４　駆動回路、１５５　信号処理回路

請求の範囲

[請求項1] 半導体基体と、

前記半導体基体に形成されているフォトダイオードと、

前記フォトダイオードに蓄積された信号電荷が転送される浮遊拡散領域と、

前記半導体基体内において前記浮遊拡散領域を覆う前記半導体基体面と平行な水平遮光部と、前記半導体基体面と垂直な垂直遮光部とからなる遮光層と、を備える

固体撮像素子。

[請求項2] 前記垂直遮光部が、前記半導体基体の受光面側から前記水平遮光部に接続されている請求項１に記載の固体撮像素子。

[請求項3] 前記垂直遮光部が、隣接する画素間において、隣の画素と接する辺に沿う方向に連続して形成されている請求項１に記載の固体撮像素子。

[請求項4] 前記遮光層が導電性の材料から形成されている請求項１に記載の固体撮像素子。

[請求項5] 前記垂直遮光部の端部が前記半導体基体面から露出し、前記半導体基体上の配線と電気的に接続されている請求項４に記載の固体撮像素子。

[請求項6] 前記浮遊拡散領域として、アナログメモリとなる第１浮遊拡散領域と、電荷検出部となる第２浮遊拡散領域とを備える請求項１に記載の固体撮像素子。

[請求項7] 半導体基体にフォトダイオードを形成する工程と、

前記半導体基体に、前記フォトダイオードに蓄積された信号電荷が転送される浮遊拡散領域を形成する工程と、

前記半導体基体内に、前記半導体基体面と平行な水平遮光部と、前記半導体基体面と垂直な垂直遮光部を形成するための、空洞部を形成する工程と、

前記空洞部を遮光材料で埋め込み、遮光層を形成する工程と、を有する

固体撮像素子の製造方法。

[請求項8] 前記空洞部の形成工程が、前記半導体基体中に埋め込み酸化物層を形成する工程と、前記埋め込み酸化物層に到達するトレンチを形成する工程と、前記埋め込み酸化物層をエッチングして前記半導体基体面と平行な空洞部を形成する工程と、からなる請求項７に記載の固体撮像素子の製造方法。

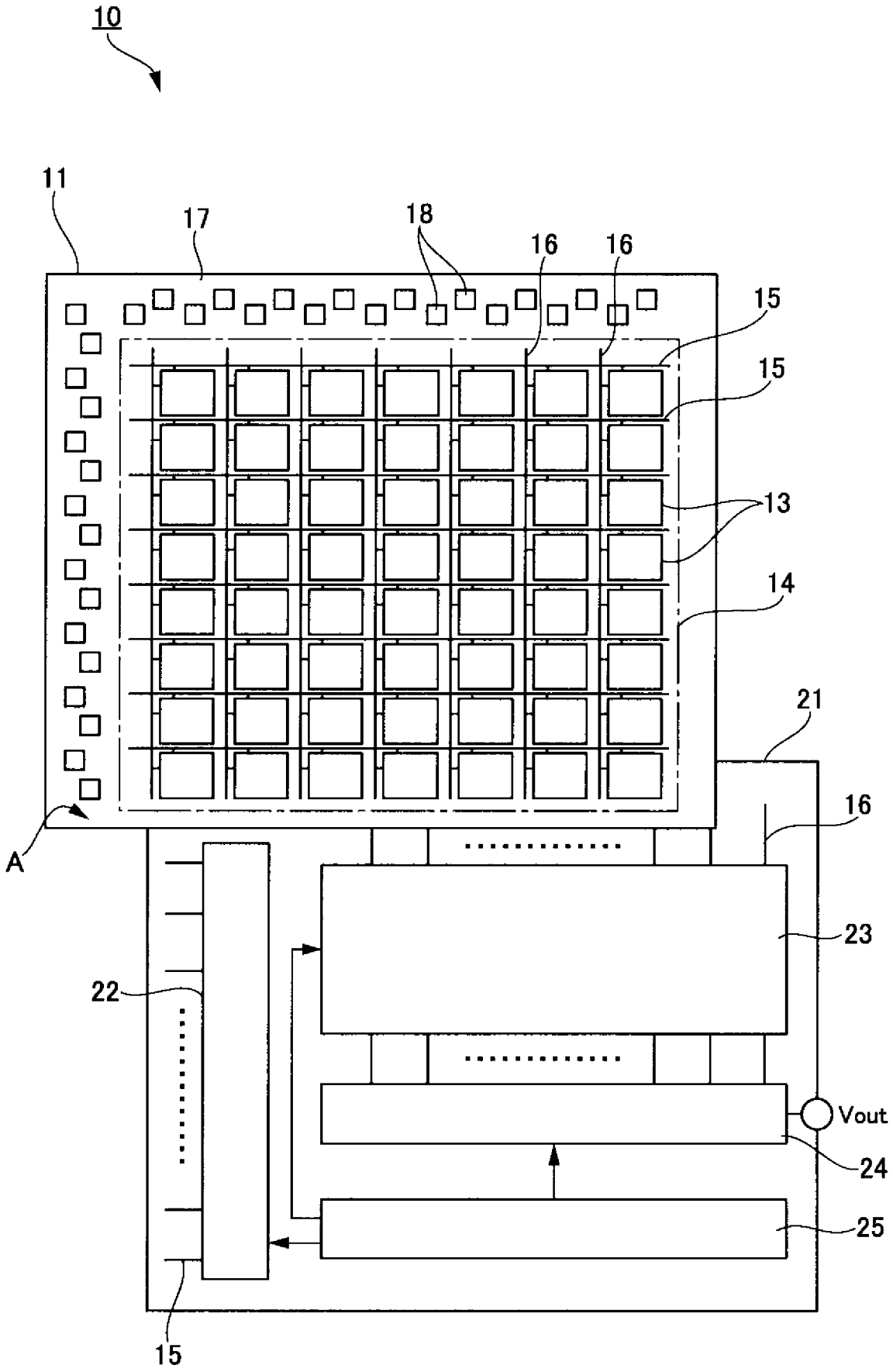
[請求項9] 前記空洞部の形成工程が、前記半導体基体に複数のビアを形成する工程と、前記半導体基体をアニール処理して、前記半導体基体内に前記半導体基体面と平行な空洞部を形成する工程と、からなる請求項７に記載の固体撮像素子の製造方法。

[請求項10] 半導体基体、前記半導体基体に形成されているフォトダイオード、前記フォトダイオードに蓄積された信号電荷が転送される浮遊拡散領域、及び、前記浮遊拡散領域を覆う、前記半導体基体の面と平行な水平遮光部と前記半導体基体面と垂直な垂直遮光部とからなる遮光層を備える固体撮像素子と、

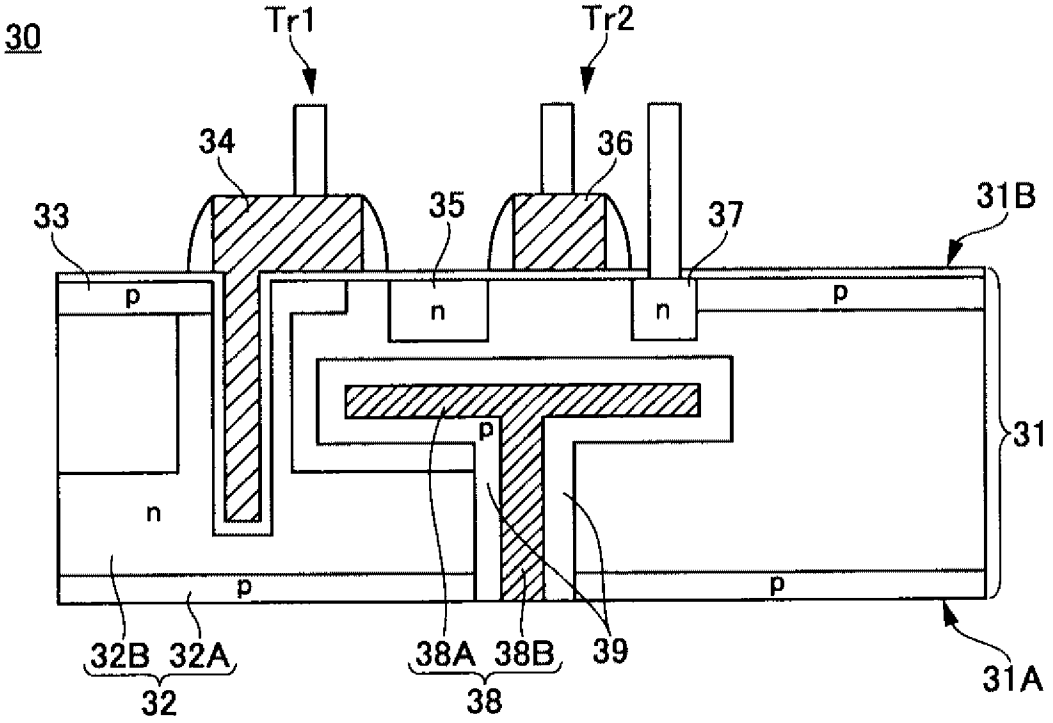
前記固体撮像素子の出力信号を処理する信号処理回路と、を有する

電子機器。

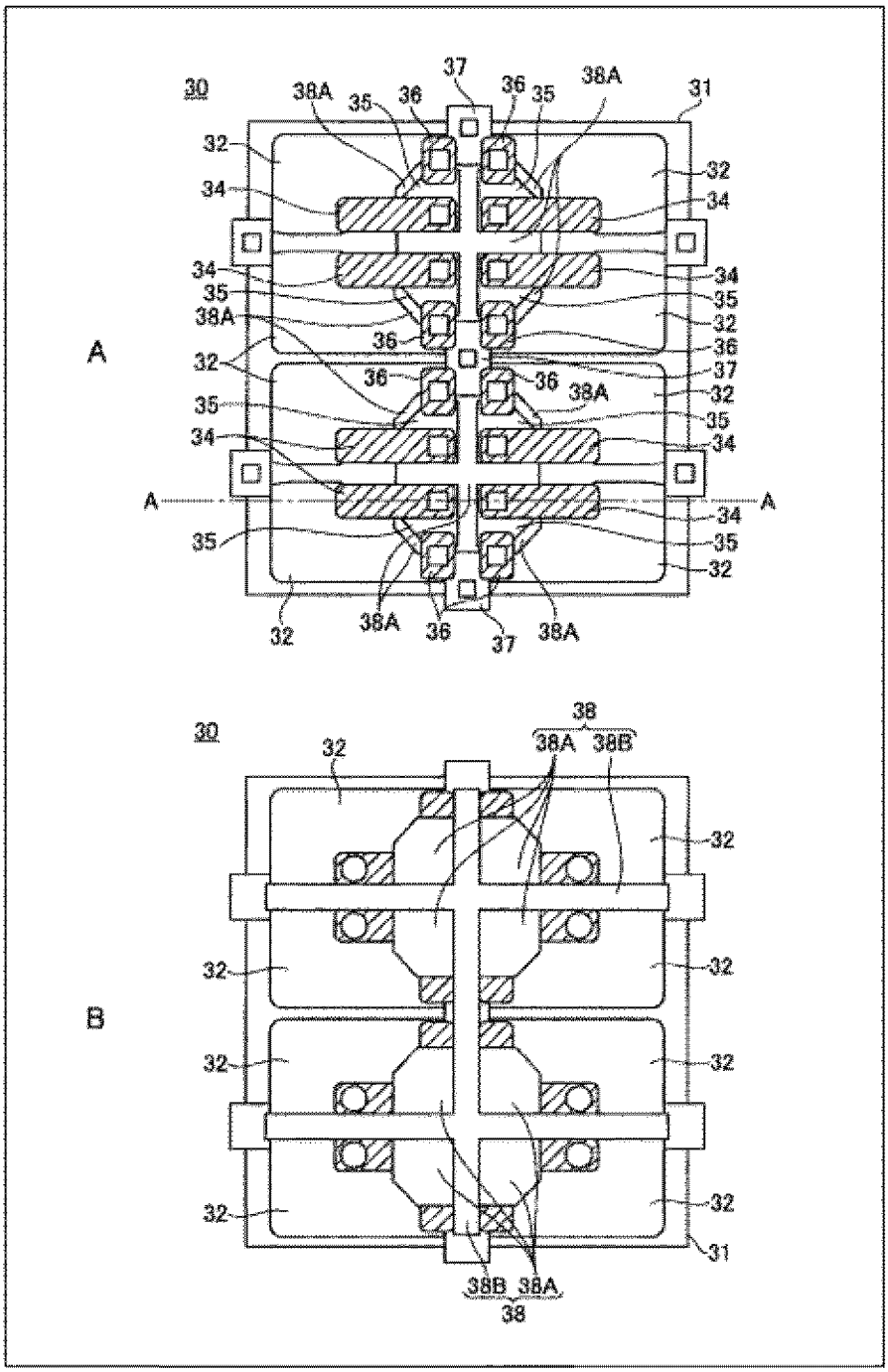
[図1]



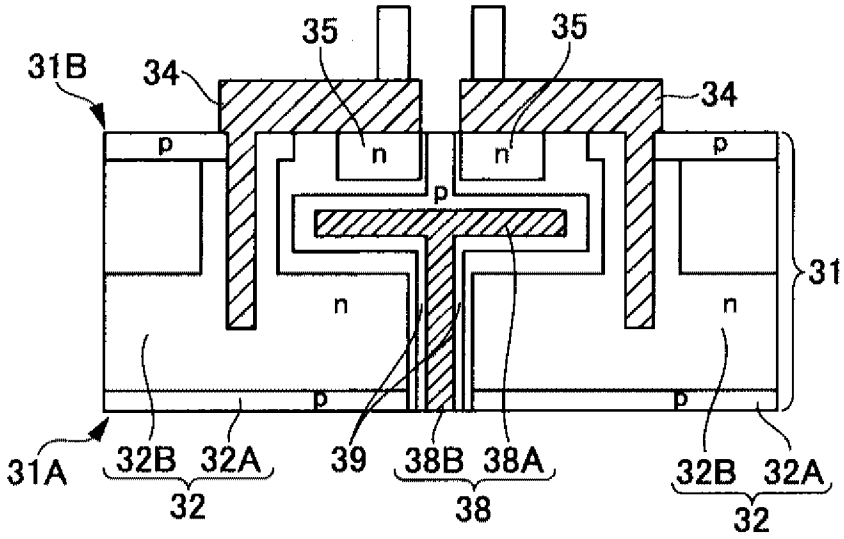
[図2]


30
Tr1
Tr2
34
36
33
35
37
31B
p
n
n
p
31
p
n
p
p
32B
32A
32
38A
38B
38
39
31A

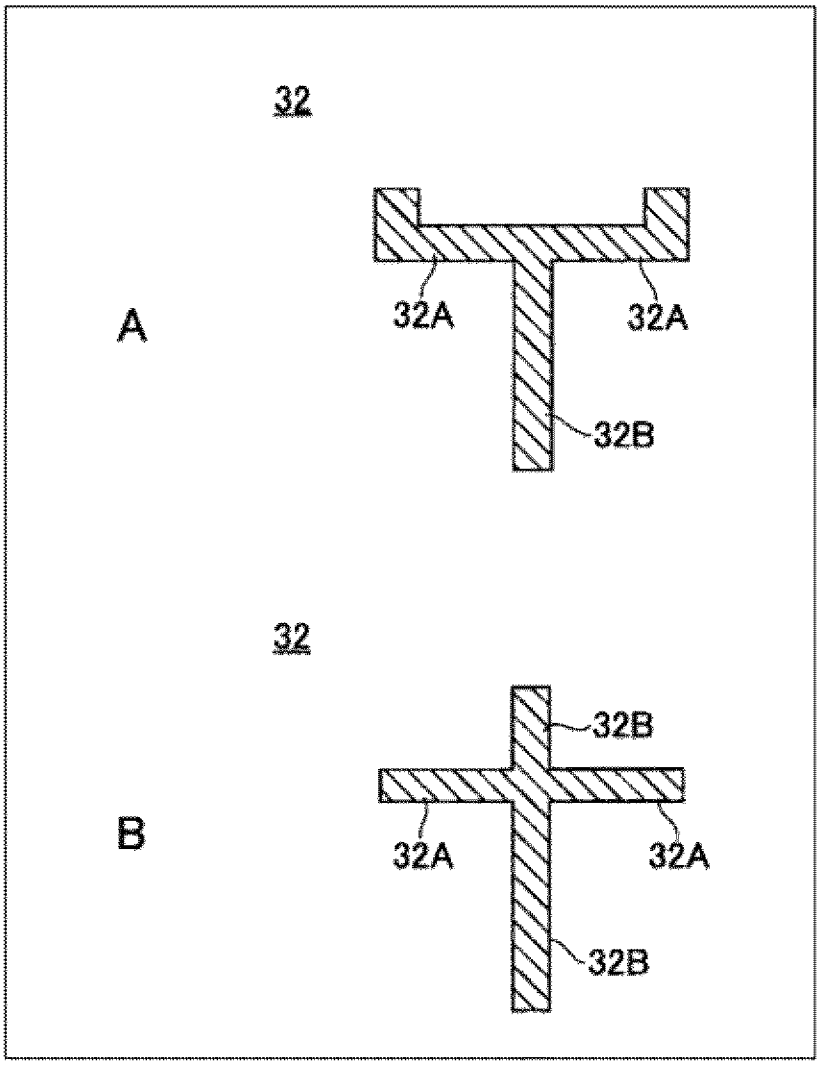
[図3]


A
30
38A
35
36
37
36
35
38A
31
32
34
34
35
38A
32
36
36
37
32
35
34
A
A
34
35
32
32
38A
36
37
38A
B
30
38
38A
38B
32
32
32
32
32
32
31
38B
38A
38

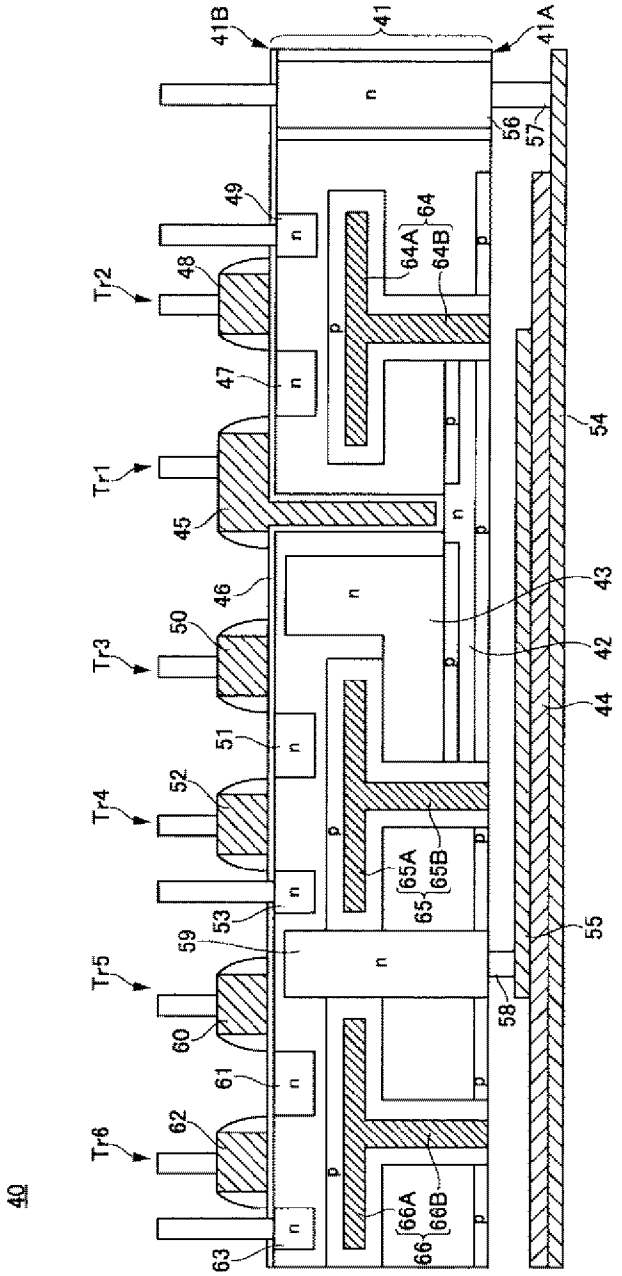
[図4]


31B
34
35
35
34
p
n
n
p
p
31
n
n
p
p
31A
32B
32A
32
39
38B
38A
38
32B
32A
32

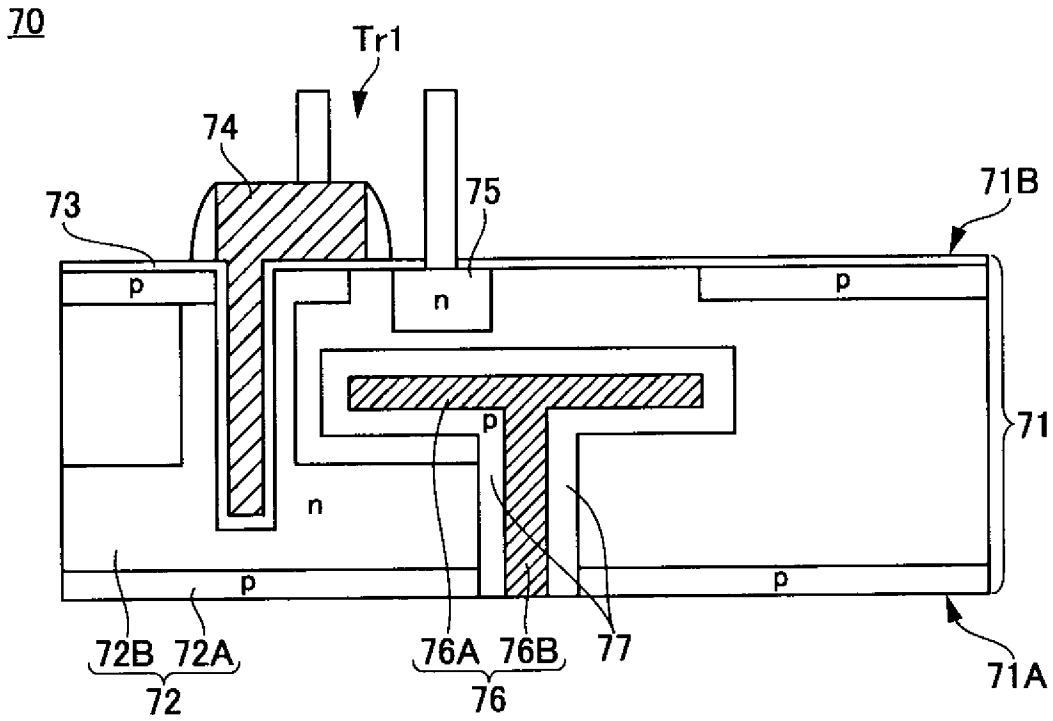
[図5]


32
A
32A
32A
32B
32
B
32B
32A
32A
32B

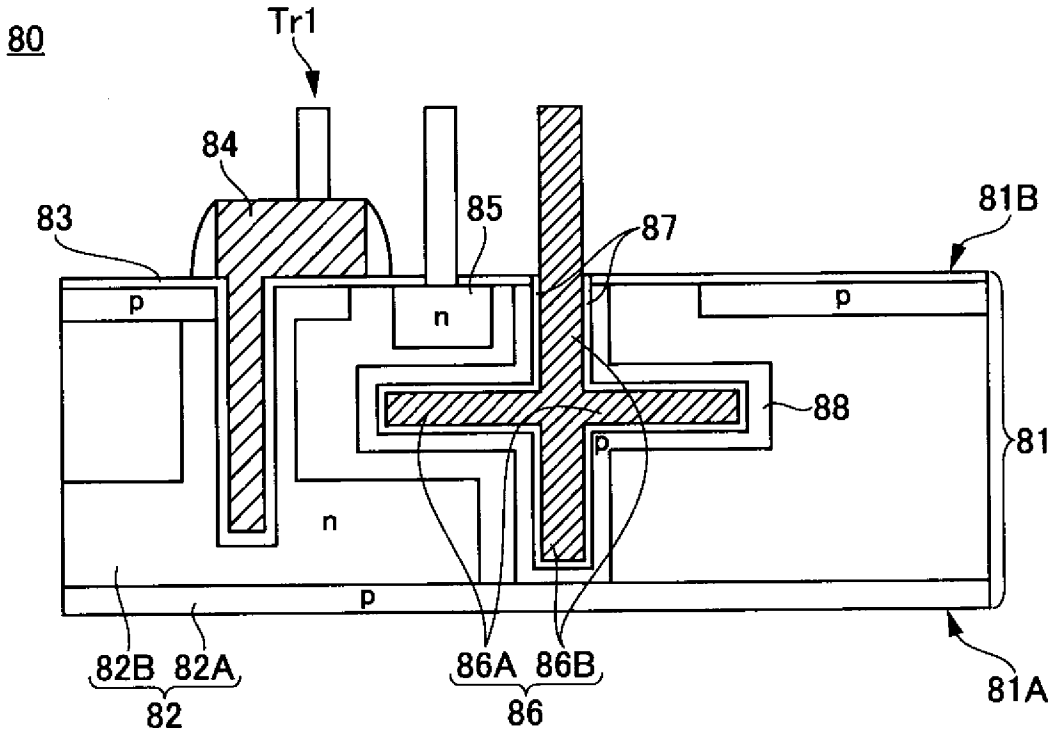
[図6]


40
41B
41
41A
Tr1
Tr2
Tr3
Tr4
Tr5
Tr6
n
p
42
43
44
45
46
47
48
49
50
51
52
53
54
55
56
57
58
59
60
61
62
63
64
64A
64B
65
65A
65B
66
66A
66B

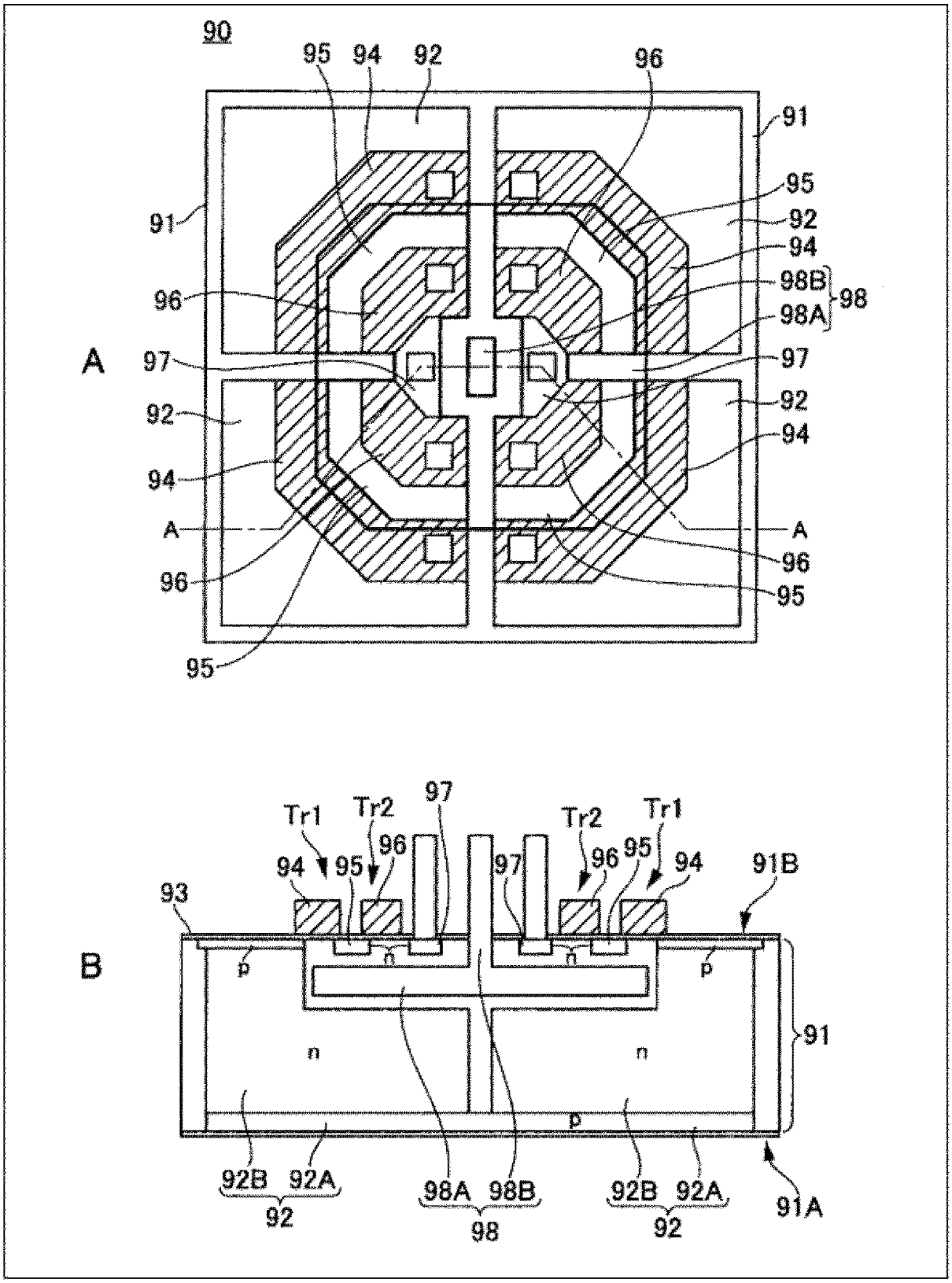
[図7]


70
Tr1
74
73
75
71B
p
n
p
p
71
n
p
p
72B 72A
72
76A 76B
76
77
71A

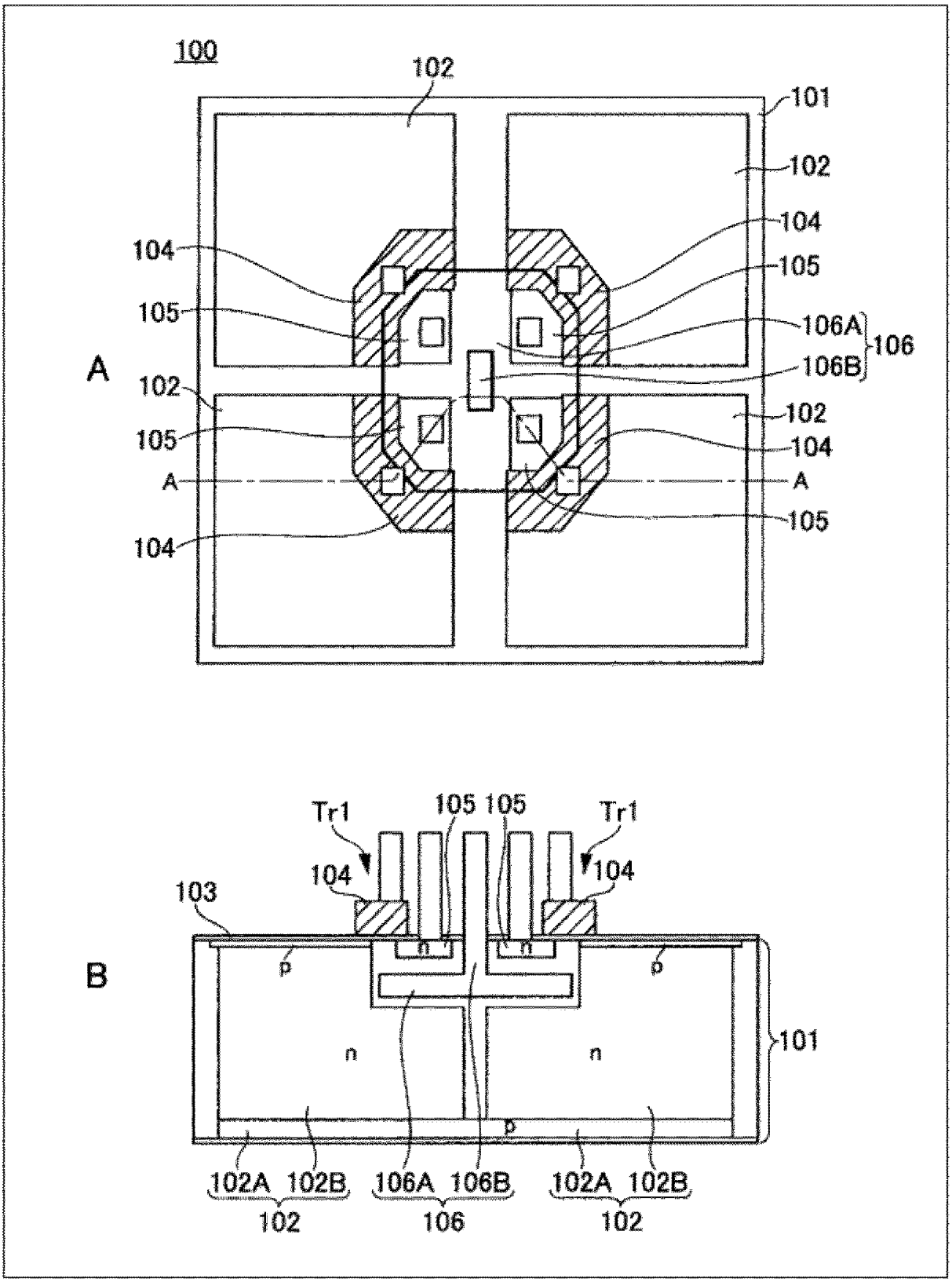
[図8]


80
Tr1
84
83
85
87
81B
p
n
p
88
81
p
n
p
82B 82A
82
86A 86B
86
81A

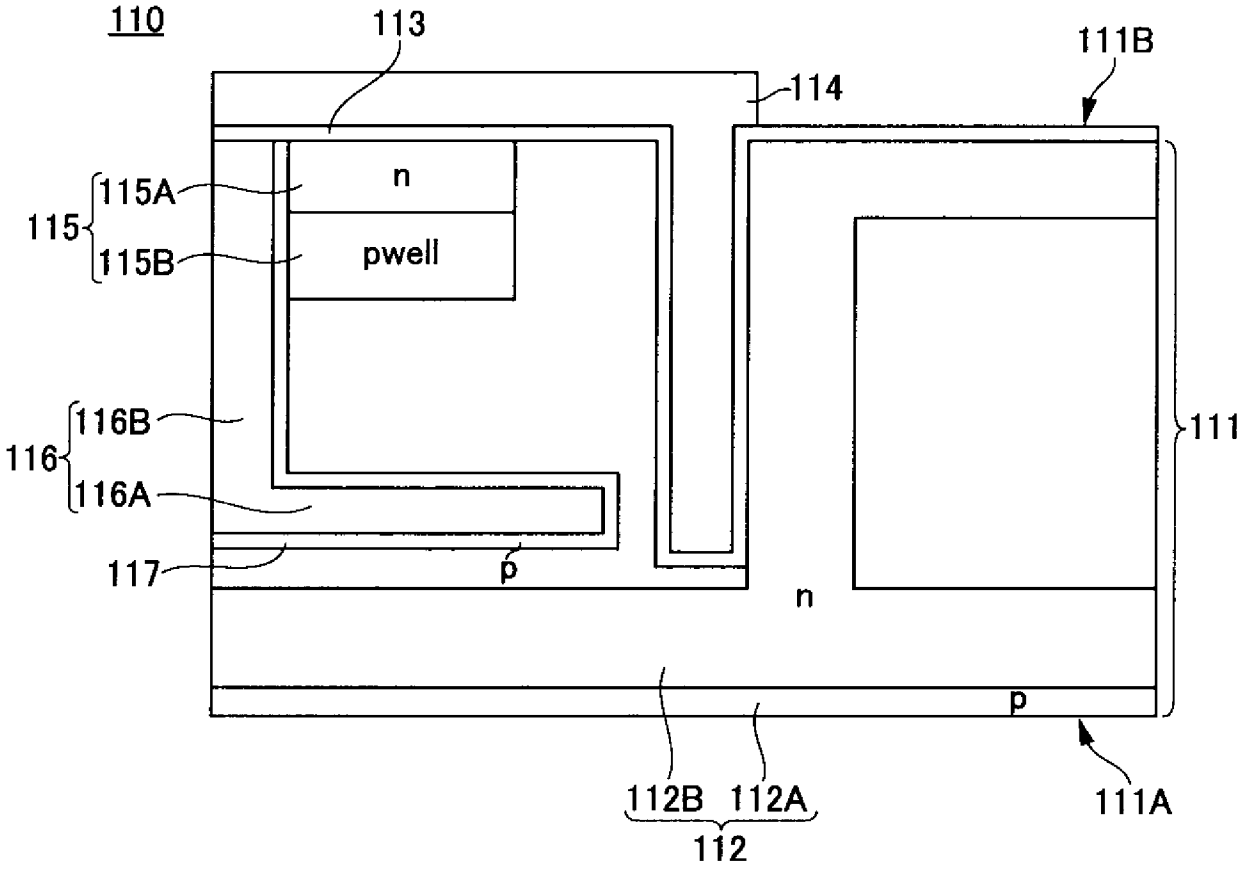
[図9]


90
95
94
92
96
91
A
97
98B
98
98A
B
Tr1
Tr2
93
91B
p
n
92B
92A
98A
98B
91A

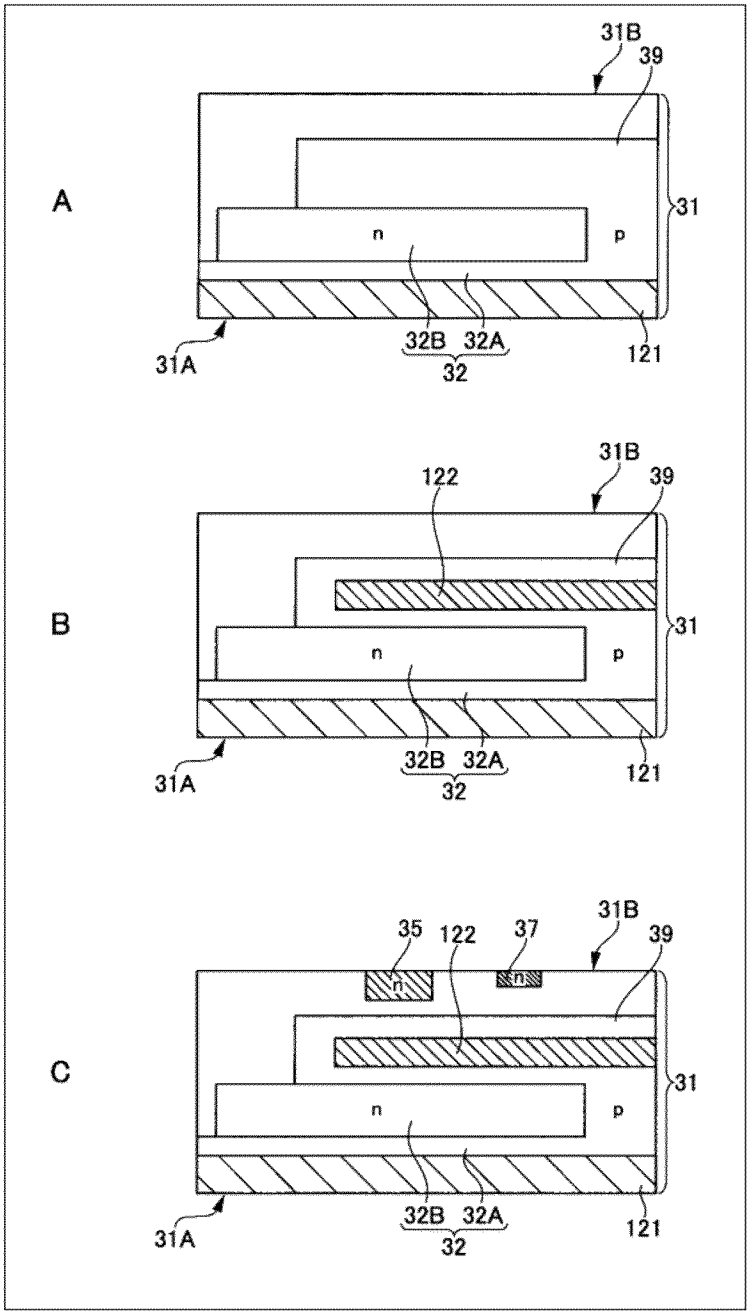
[図10]


100
102
101
102
104
104
105
105
106A
106
106B
A
102
102
105
104
A
A
104
105
Tr1
105
105
Tr1
104
104
103
B
p
n
n
p
n
n
101
p
102A
102B
106A
106B
102A
102B
102
106
102

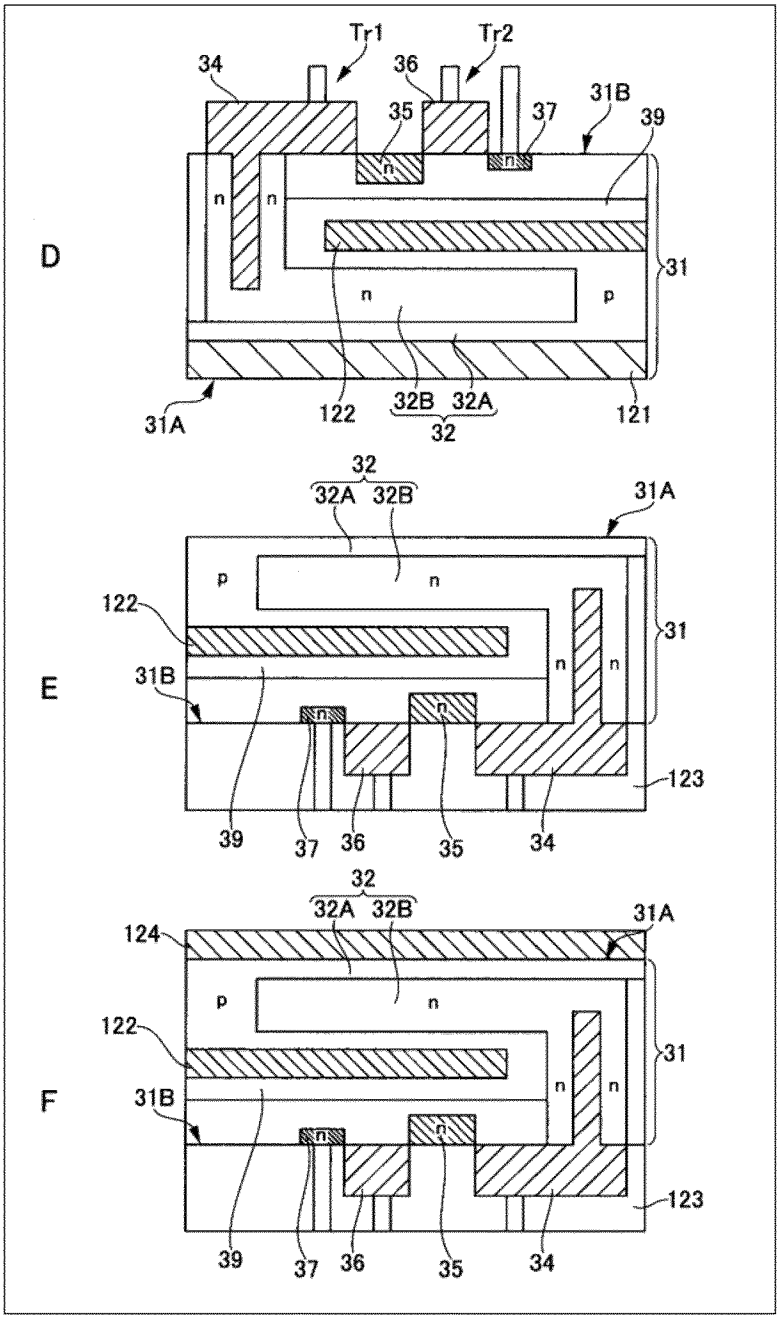
[図11]


110
113
111B
114
115
115A
115B
n
pwell
116
116B
116A
117
p
n
111
p
112B
112A
112
111A

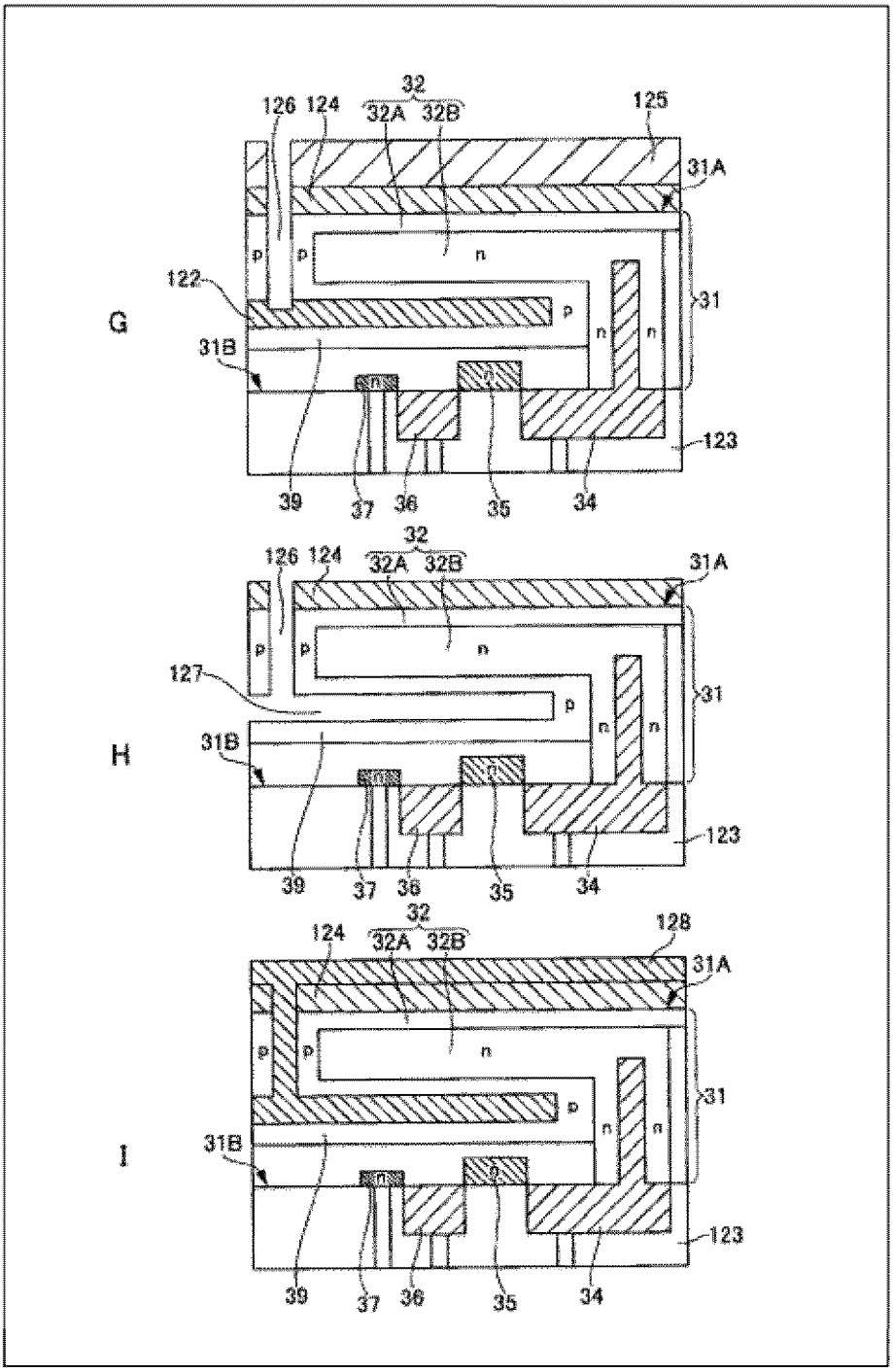
[図12]



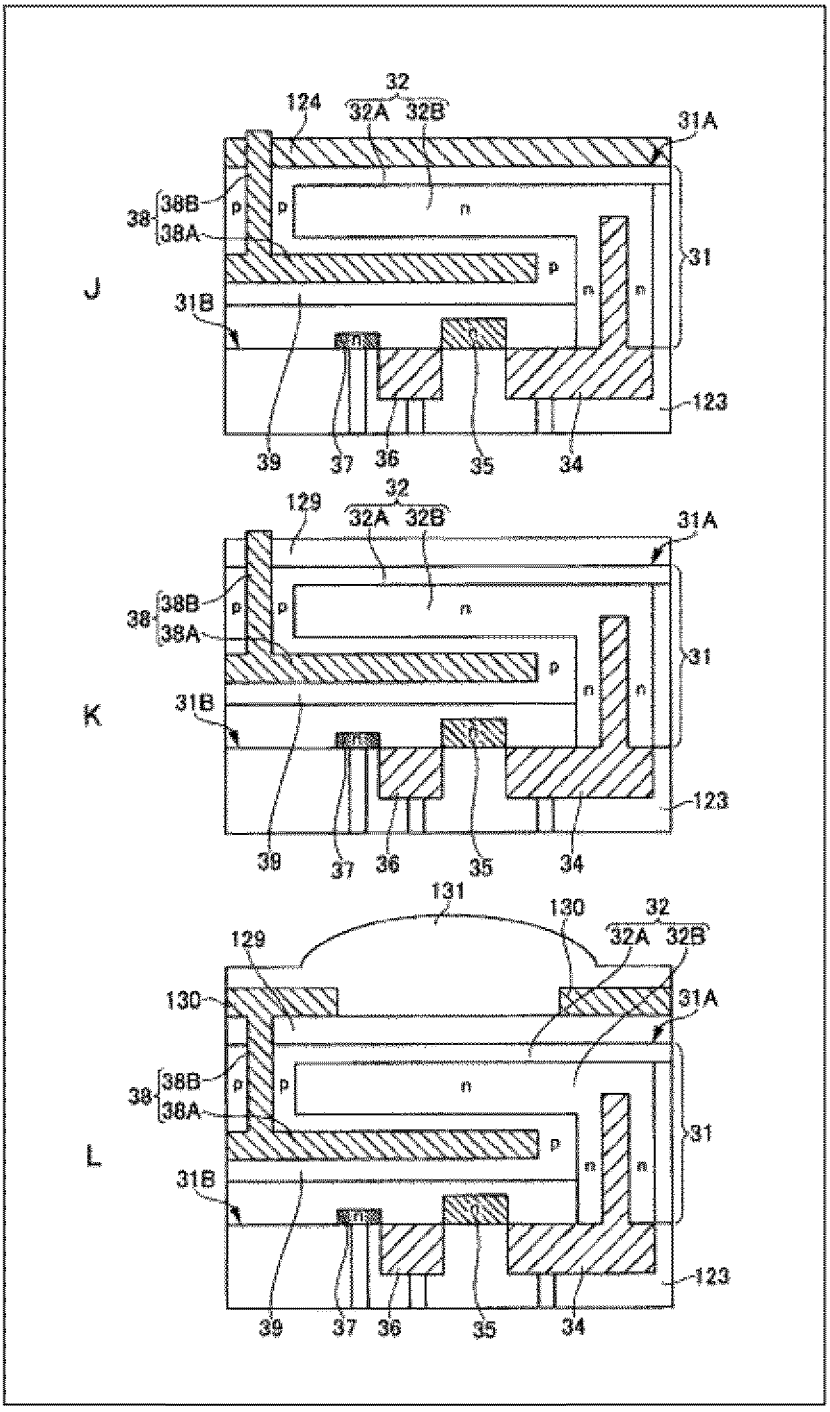
[図13]


D
Tr1
Tr2
34
36
35
37
31B
39
n
p
31
122
32B
32A
32
121
31A
E
32A
32B
122
31B
123
F
124

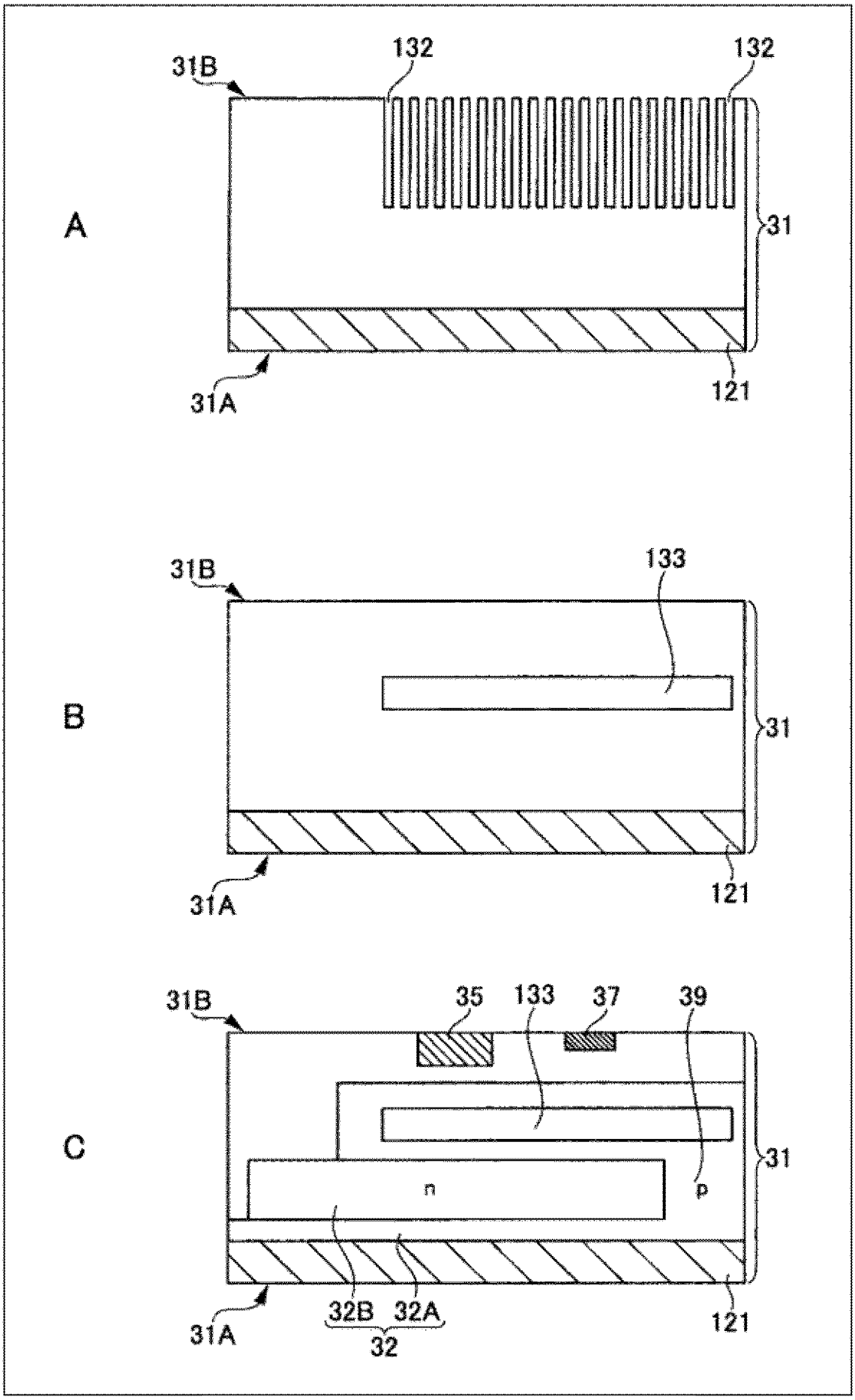
[図14]


G
H
I
32
32A
32B
126
124
125
31A
122
127
128
31
31B
123
39
37
36
35
34
p
n

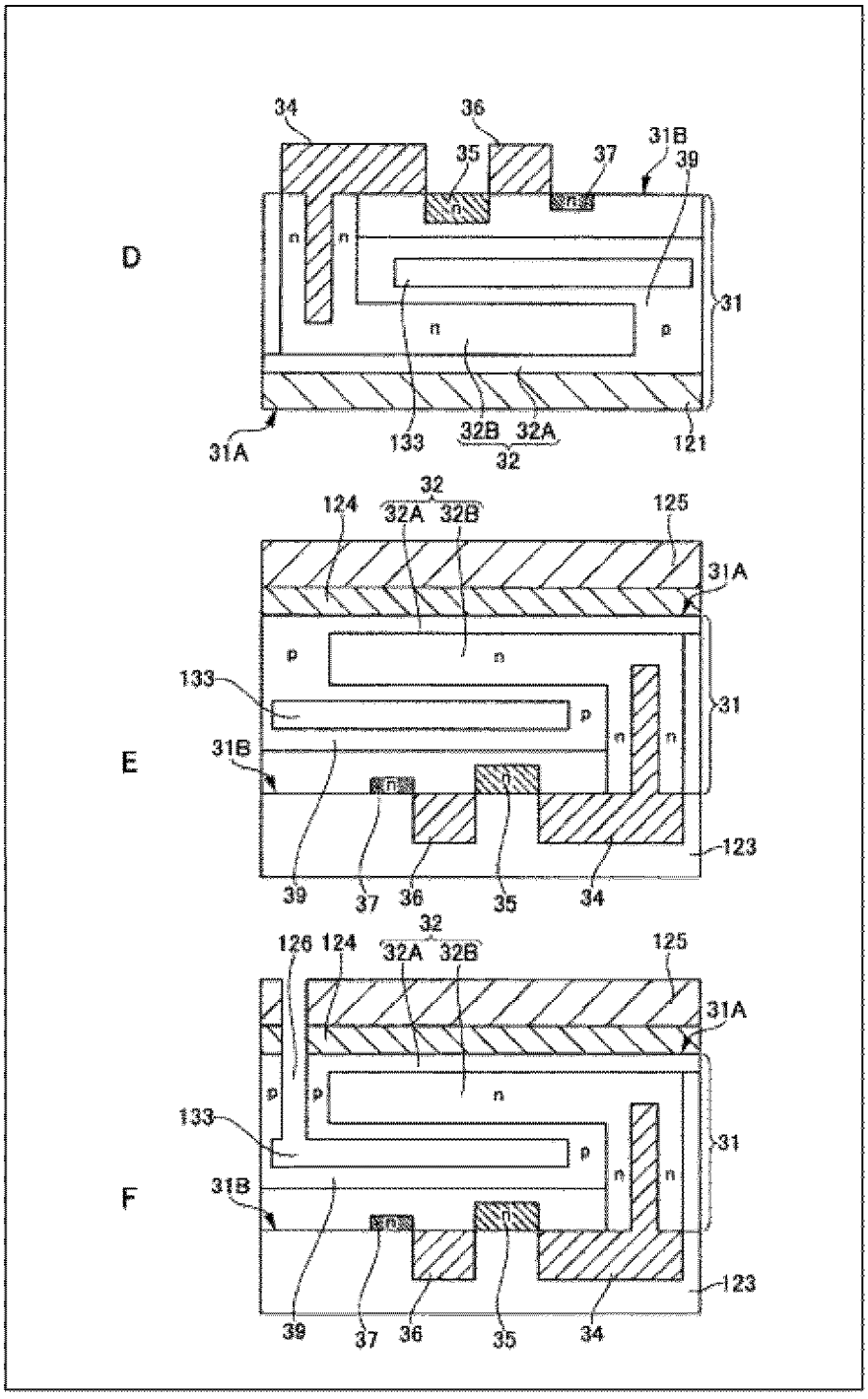
[図15]


J
K
L
32
32A
32B
124
129
131
130
31A
31
31B
38
38B
38A
123
39
37
36
35
34
p
n

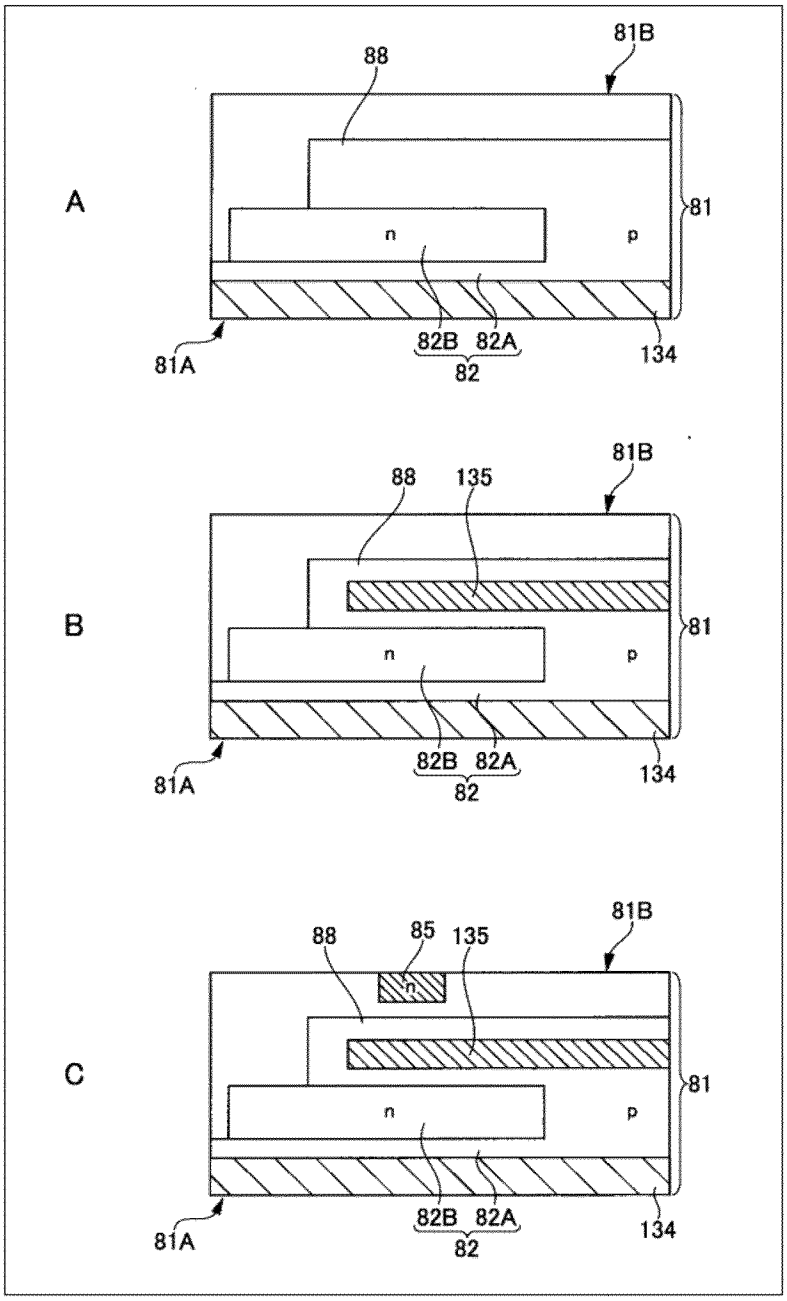
[図16]


A
31B
132
132
31
31A
121
B
31B
133
31
31A
121
C
31B
35
133
37
39
31
n
p
31A
32B
32A
32
121

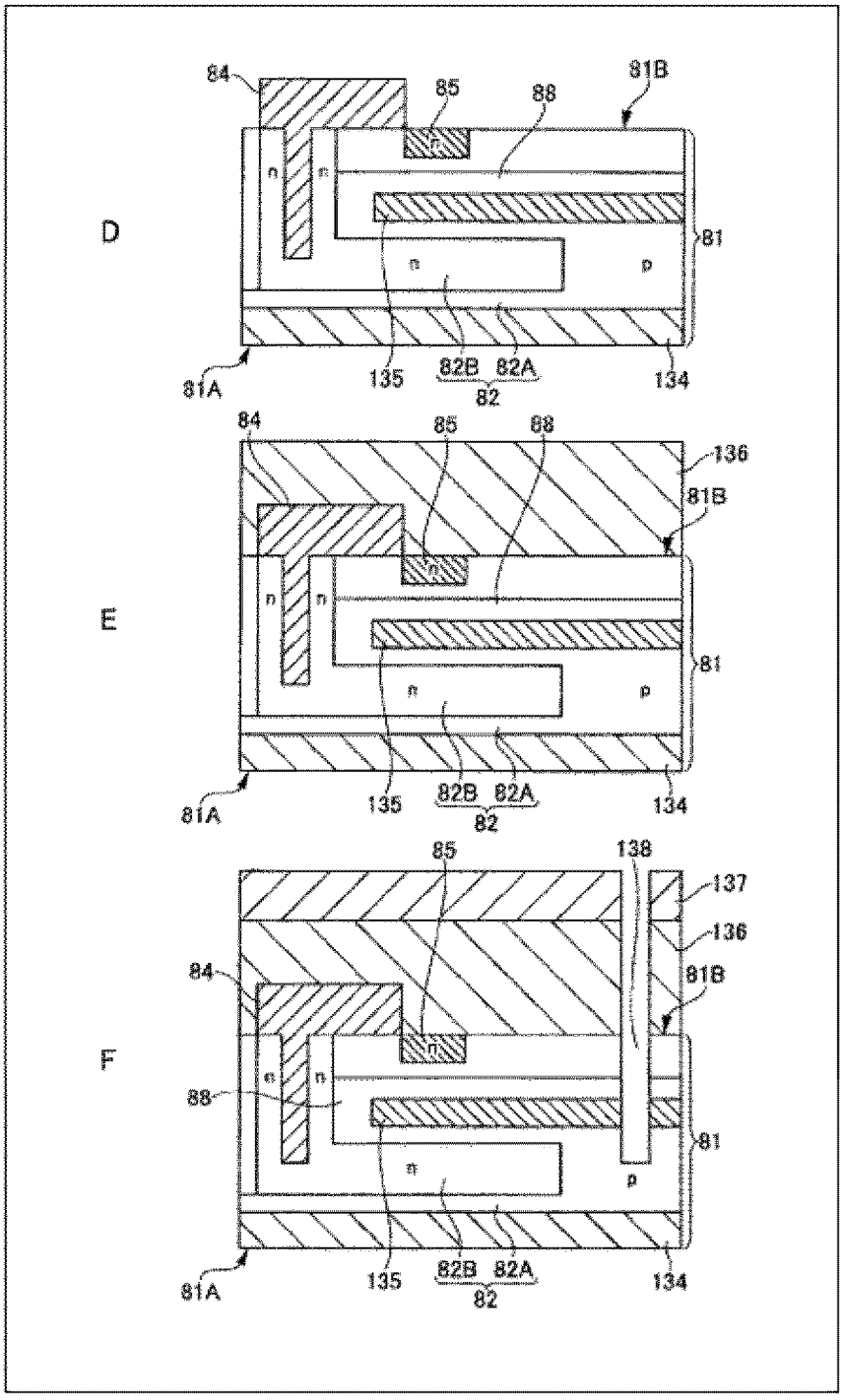
[図17]


D
34
36
35
37
31B
39
n
p
31
133
32B
32A
32
121
31A
E
124
125
133
123
F
126
39
37
36

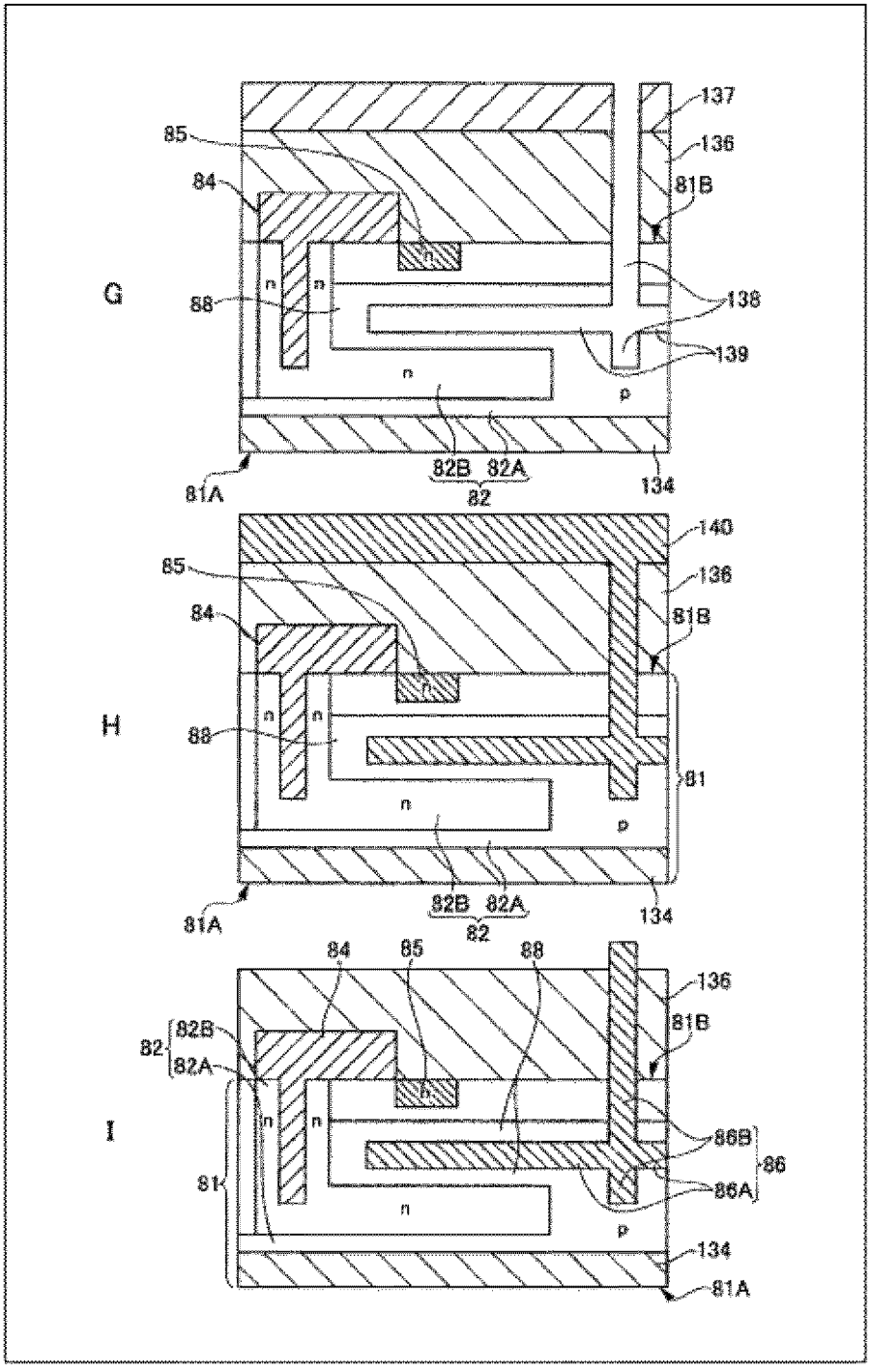
[図18]


A
88
81B
81
n
p
81A
82B
82A
82
134
B
88
135
81B
81
n
p
81A
82B
82A
82
134
C
88
85
135
81B
n
81
n
p
81A
82B
82A
82
134

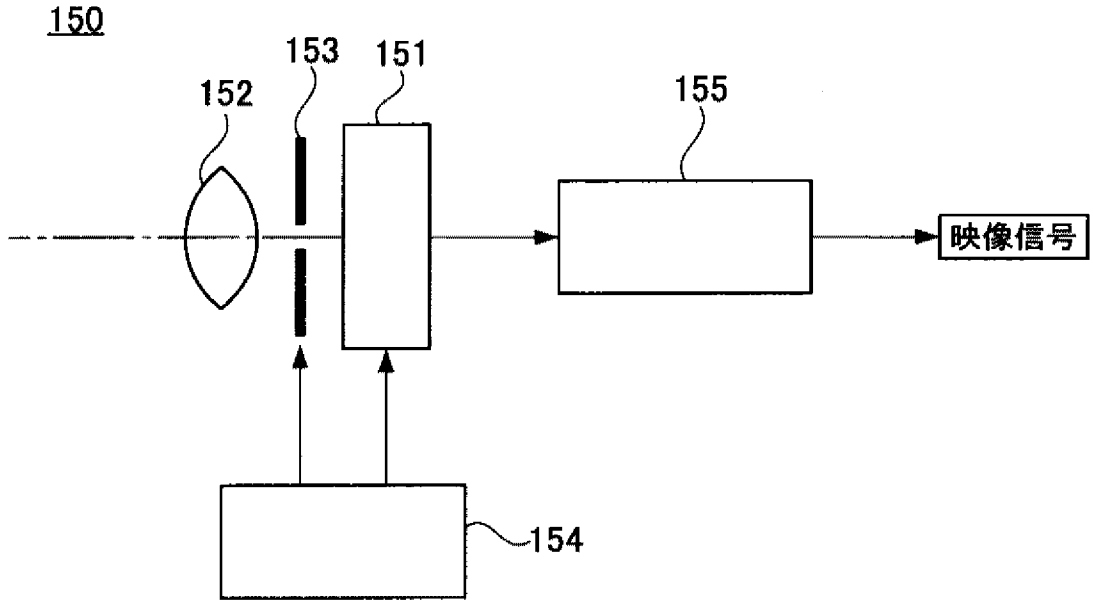
[図19]


D
84
85
88
81B
81
81A
135
82B
82A
82
134
E
84
85
88
136
81B
81
81A
135
82B
82A
82
134
F
85
138
137
136
84
81B
88
81
81A
135
82B
82A
82
134

[図20]


G
85
84
88
137
136
81B
138
139
n
p
82B
82A
82
81A
134
H
140
81
I
86B
86
86A
81

[図21]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/077580

A. CLASSIFICATION OF SUBJECT MATTER
H01L27/146(2006.01)i, *H01L27/14*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L27/14-27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-258157 A (Panasonic Corp.), 11 November 2010 (11.11.2010), paragraphs [0012] to [0024]; fig. 2, 4 to 7 (Family: none)	1,3-7,10
Y	WO 2004/008537 A2 (QINETIQ LTD.), 22 January 2004 (22.01.2004), fig. 5; page 11, line 11 to page 13, line 6 & JP 2005-532695 A & US 2005/0253132 A1 & GB 216075 D0 & EP 1532686 A & CA 2492696 A & AU 2003253098 A	1,3-7,10
Y	JP 2011-3737 A (Sony Corp.), 06 January 2011 (06.01.2011), fig. 8; paragraphs [0005], [0006] (Family: none)	6

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
10 December, 2012 (10.12.12)	18 December, 2012 (18.12.12)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/077580

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-212668 A (International Business Machines Corp.), 24 September 2010 (24.09.2010), fig. 9, 13, 16; paragraphs [0027] to [0067] & US 2010/0230729 A1 & CN 101834194 A & KR 10-2010-0102043 A	1-10

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１２／０７７５８０

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/146(2006.01)i, H01L27/14(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/14-27/146

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１２年
日本国実用新案登録公報	１９９６－２０１２年
日本国登録実用新案公報	１９９４－２０１２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2010-258157 A (パナソニック株式会社) 2010.11.11, 【００１２】－【００２４】、【図２】、【図４】－【図７】 (ファミリーなし)	1,3-7,10
Y	WO 2004/008537 A2 (QINETIQ LIMITED) 2004.01.22, FIG.5、第１１ページ第１１行目－第１３ページ第６行目 & JP 2005-532695 A & US 2005/0253132 A1 & GB 216075 D0 & EP 1532686 A & CA 2492696 A & AU 2003253098 A	1,3-7,10

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １０．１２．２０１２	国際調査報告の発送日 １８．１２．２０１２
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｆ　４４４７ 行武　哲太郎 電話番号　０３－３５８１－１１０１　内線　３５１６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2011-3737 A（ソニー株式会社）2011.01.06, 【図８】、【０００５】、【０００６】 (ファミリーなし)	6
A	JP 2010-212668 A（インターナショナル・ビジネス・マシーンズ・コーポレーション）2010.09.24, 【図９】、【図１３】、【図１６】、【００２７】－【００６７】 & US 2010/0230729 A1 & CN 101834194 A & KR 10-2010-0102043 A	1-10