



IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ,  
LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN,  
MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA,  
PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,  
SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,  
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区  
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,  
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚  
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,  
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,  
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,  
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,  
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,  
TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

### 电路版图处理方法、装置、设备、存储介质及程序产品

本申请要求于2022年07月25日提交的、申请号为202210880220.2、发明名称为“电路版图处理方法、装置、设备、存储介质及程序产品”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

### 技术领域

本申请实施例涉及微纳加工技术领域，特别涉及一种电路版图处理方法、装置、设备、存储介质及程序产品。

### 背景技术

在微纳加工技术中，刻蚀(etching)是指按照电路版图的设计对半导体衬底表面进行选择性腐蚀、剥离的图形化处理技术。

在相关技术中，由于工艺等原因，微纳加工设备在根据电路版图进行刻蚀时，会出现刻蚀误差，对应地导致刻蚀后的成品出现相较于电路版的图尺寸展宽或缩窄的现象，使得成品器件的特征参数及性能与预期发生较大偏差。

### 发明内容

本申请实施例提供了一种电路版图处理方法、装置、设备、存储介质及程序产品，能够在降低刻蚀误差导致的成品尺寸展宽或缩窄的影响的同时，保证电路版图的设计效率。所述技术方案如下：

根据本申请实施例的一个方面，提供了一种电路版图处理方法，所述方法由计算机设备执行，所述方法包括：

获取芯片的初始电路版图，所述初始电路版图中包含所述芯片中的线路的初始位置信息；

获取所述线路的边框校正值；所述边框校正值是基于所述芯片的加工过程中的刻蚀误差而设置的校正值；

基于所述初始位置信息和所述边框校正值，对所述线路在所述初始电路版图中的边界进行校正，获得校正后的电路版图。

根据本申请实施例的一个方面，提供了一种电路版图处理装置，所述装置包括：

初始版图获取模块，用于获取芯片的初始电路版图，所述初始电路版图中包含所述芯片中的线路的初始位置信息；

校正值获取模块，用于获取所述线路的边框校正值，所述边框校正值是基于所述芯片的加工过程中的刻蚀误差而设置的校正值；

校正模块，用于基于所述初始位置信息和所述边框校正值，对所述线路在所述初始电路版图中的边界进行校正，获得校正后的电路版图。

在一种可能的实现方式中，所述校正模块，用于，

基于所述初始位置信息和所述边框校正值，生成所述线路在所述初始电路版图中的边界的校正边框；

基于所述校正边框，对所述线路在所述初始电路版图中的边界进行校正，获得所述校正后的电路版图。

在一种可能的实现方式中，所述校正模块，用于对所述初始位置信息以及所述校正边框的位置信息进行布尔运算，获得所述校正后的电路版图。

在一种可能的实现方式中，所述校正模块，用于在边框校正值为正值的情况下，对所述初始位置信息以及所述校正边框的位置信息进行合并运算。

在一种可能的实现方式中，所述校正模块，用于在边框校正值为负值的情况下，对所述初始位置信息以及所述校正边框的位置信息进行相减运算。

在一种可能的实现方式中，所述校正值获取模块，用于，

获取所述线路的亏格检测信息；所述亏格检测信息用于指示所述线路中是否存在亏格；

按照所述亏格检测信息，基于所述初始位置信息以及所述边框校正值生成所述校正边框。

在一种可能的实现方式中，所述校正值获取模块，用于响应于所述亏格检测信息指示所述线路不存在亏格，在所述线路的边界的初始位置信息的基础上，加上所述边框校正值，获得所述校正边框。

在一种可能的实现方式中，所述校正值获取模块，用于，

响应于所述亏格检测信息指示所述线路存在亏格，对所述线路的边界进行分割，获得至少一个外边界框以及至少一个内边界框，所述外边界框是所述线路的外侧边界所围成的边框，所述内边界框是所述线路中的亏格的边界所围成的边框；

基于至少一个所述外边界框的位置信息，在至少一个所述外边界框的基础上加上所述边框校正值，获得至少一个外边界校正边框；

基于至少一个所述内边界框的位置信息，在至少一个所述内边界框的基础上减去所述边框校正值，获得至少一个内边界校正边框；

将至少一个所述外边界校正框和至少一个所述内边界校正框，获取为所述校正边框。

在一种可能的实现方式中，所述校正值获取模块，用于，

响应于所述线路的所述初始位置信息中，存在重复出现的点的位置信息，获取第一亏格检测信息，所述第一亏格检测信息用于指示所述线路中存在亏格；

响应于所述线路的所述初始位置信息中，不存在重复出现的点的位置信息，获取第二亏格检测信息，所述第二亏格检测信息用于指示所述线路中不存在亏格。

在一种可能的实现方式中，所述芯片为超导量子芯片。

在一种可能的实现方式中，所述线路包括共面波导线路、元器件以及丝印中的至少一种。

再一方面，提供了一种计算机设备，所述计算机设备包含处理器和存储器，所述存储器中存储有至少一条计算机指令，所述至少一条计算机指令由所述处理器加载并执行以实现上述的电路版图处理方法。

又一方面，提供了一种计算机可读存储介质，所述存储介质中存储有至少一条计算机指令，所述至少一条计算机指令由处理器加载并执行以实现上述的电路版图处理方法。

又一方面，提供了一种计算机程序产品或计算机程序，该计算机程序产品或计算机程序包括计算机指令，该计算机指令存储在计算机可读存储介质中。计算机设备的处理器从计算机可读存储介质读取该计算机指令，处理器执行该计算机指令，使得该计算机设备执行上述电路版图处理方法。

本申请实施例提供的技术方案至少包括如下有益效果：

对于已经设计好的芯片的初始电路板图，可以基于通过刻蚀误差而设置的边框校正值，对初始电路板图中的线路进行校正，从而在芯片设计阶段自动按照刻蚀工艺的误差调整电路板图，从而在芯片制造的刻蚀过程中降低刻蚀误差带来的影响，同时保证芯片的电路板图的设计效率。

## 附图说明

图1是本申请一个实施例提供的超导量子芯片的应用场景的示意图；

图2是本申请一个实施例提供的电路版图处理方法的流程图；

图3是图2所示实施例涉及的电路版图校正前后的示意图；

图4是本申请一个实施例提供的电路版图处理方法的流程图；

图5是图4所示实施例涉及的线路图形；

- 图 6 是图 4 所示实施例涉及的无亏格的线路的边框生成示意图；  
图 7 是图 4 所示实施例涉及的有亏格的线路的边框示意图；  
图 8 是图 4 所示实施例涉及的回字形线路图形的处理效果图；  
图 9 是图 4 所示实施例涉及的无亏格图形的处理效果；  
图 10 是图 4 所示实施例涉及的有亏格图形的处理效果；  
图 11 是图 4 所示实施例涉及的操作流程图；  
图 12 是对电路版图上的 CPW 谐振腔进行拓宽的工程实现效果；  
图 13 是对电路版图上的焊盘进行拓宽的工程实现效果；  
图 14 是对电路版图上的丝印进行拓宽的工程实现效果；  
图 15 是本申请一个实施例提供的电路版图处理装置的结构方框图；  
图 16 是本申请一个实施例提供的计算机设备的结构示意图。

### 具体实施方式

为使本申请的目的、技术方案和优点更加清楚，下面将结合附图对本申请实施方式作进一步地详细描述。

在对本申请实施例进行介绍说明之前，首先对本申请中涉及的一些名词进行解释说明。

1) 光刻 (photolithography): 也称光学平版刻法或紫外光刻，是一种零件图形化的精密加工工艺，是半导体制造中一个重要的步骤。光刻技术利用曝光和显影，在光阻层上刻画几何图形结构、将几何图形从光掩膜转移到基板上的光敏化学光刻胶上，然后再通过一系列化学处理 (刻蚀工艺) 将曝光的图形转移到基板 (晶圆) 上。

2) 晶圆 (wafer): 是半导体晶体圆形片的简称，用于制作半导体电路，最常见的是硅晶圆，其原始材料是硅 (多为单晶硅)，因为形状为圆柱状半导体晶体的薄切片，所以称为晶圆。晶圆在集成电路制程中作为载体基片，也用在太阳能电池的制造中。

3) 衍射 (diffraction): 又称绕射，是指波遇到障碍物时偏离原来直线传播的物理现象。在经典物理学中，波在穿过狭缝、小孔或圆盘之类的障碍物后会发生不同程度的弯散传播，这就是衍射。衍射是波的固有性质。

4) 版图 (layout): 又称为电路版图，是描述电路中的元器件如何布局、摆放和连接的设计图。是真实电路物理情况的平面几何形状描述。版图的设计必须遵守制造工艺、时序、面积、功耗等约束条件。版图设计文件包含了各个硬件单元在芯片上的形状、面积和位置信息。

5) 掩膜 (photomask): 又称光掩膜 (模)、光罩，是一种铬金属薄膜的石英玻璃片，上面布满了集成电路的图像。掩膜用在制作集成电路的光刻过程中将半导体上形成的图型复制到晶圆上。原理很像冲洗相机胶片时的底片，利用底片将影像复制到相片上。

6) 超导量子芯片 (superconducting quantum chip): 超导量子计算机的中央处理器。量子计算机是利用量子力学原理来进行计算的一种机器。基于量子力学的叠加原理和量子纠缠，量子计算机具有较强的并行处理能力，可以解决一些经典计算机难以计算的问题。超导量子比特的零电阻特性及与集成电路接近的制造工艺，使得利用超导量子比特构建的量子计算体系是目前最有希望实现实用量子计算的体系之一。

请参考图 1，其示出了本申请一个实施例提供的超导量子芯片的应用场景的示意图。如图 1 所示，该应用场景可以是超导量子计算平台，该应用场景包括：量子计算器件 11、稀释制冷机 12、控制设备 13 和计算机 14。

量子计算器件 11 是一种作用在物理量子比特上的电路，量子计算器件 11 可以实现成为量子芯片，如处于绝对零度附近的超导量子芯片。稀释制冷机 12 用于为超导量子芯片提供绝对零度的环境。

控制设备 13 用于对量子计算器件 11 进行控制，计算机 14 用于对控制设备 13 进行控制。例如，编写好的量子程序经过计算机 14 中的软件编译成指令发送给控制设备 13 (如电子/微

波控制系统), 控制设备 13 将上述指令转换为电子/微波控制信号输入到稀释制冷机 12, 控制处于小于 10mK 温度的超导量子比特。读取的过程则与之相反, 读取波形被输送到量子计算器件 11。

7) 共面波导 (Coplanar Waveguide, CPW): 是一种性能优越、加工方便的微波平面传输线, 用于传输微波信号。超导量子芯片中使用大量的共面波导技术。

8) 刻蚀/湿法刻蚀: 即光刻腐蚀, 是半导体工艺中重要的一环。刻蚀是用化学或物理方法有选择地从硅片表面去除不需要的材料的过程, 其基本目标是在涂胶的硅片上正确地复制掩模图形。湿法刻蚀是将刻蚀材料浸泡在腐蚀液内进行腐蚀的刻蚀方法, 优点是选择性重复性好、生产效率高、设备简单成本低。

9) 微纳加工: 微纳制造技术是指尺度为亚毫米、微米和纳米量级的元件, 以及由这些元件构成的部件或系统的设计、加工、组装、集成与应用技术。

10) 元器件 (components): 元件和器件的总称, 是电路中的电子部件和组成元素, 比如电阻、电容、电感等。

11) 丝印 (silkscreen): 全称丝网印刷, 是用于标记 PCB (Printed Circuit Board, 印刷电路板) 上的符号、徽标、元器件种类和参数等信息的印线/印刷字 (通常为白色), 本身并未参与 PCB 的功能, 但是丝印所提供的信息有助于制造商和工程师识别 PCB 以及上面不同的元器件。

12) 亏格 (genus): 是闭曲面上的孔 (洞)。对于可定向曲面, 亏格数 (即闭曲面上的孔 (洞) 的数量) 为整数, 表示沿闭合简单曲线剪开但不切断曲面的最大曲线条数, 例如, 球体的亏格为 0, 圆环的亏格为 1。

13) 布尔运算 (Boolean operation): 计算机语言中的逻辑运算 (推演), 包括并集、交集、差集的运算, 有与 (AND)、或 (OR)、非 (NOT) 等运算符, 结果称为布尔值, 1 表示 “真 (true)”, 0 表示 “假 (false)”。

14) 焊盘 (pad): 焊盘存在于电路板上, 是用于连接电子元器件以及线路的位置, 通常在焊盘上使用焊锡将元器件的管脚焊接固定在电路板上。在经典电路中, 焊盘通常是多边形的铜片; 而在超导量子芯片中, 焊盘的形状和构造会有所不同。

在经典半导体制造业进行光刻的过程中, 当晶圆上的线宽小于曝光波长时, 会出现衍射导致的图像错误, 进而导致误差的出现。光学邻近校正是一种半导体生产中用于保证电路版图中的图形边缘完整度的光刻增强技术, 其可以通过移动掩膜版上的图形边缘、或改变掩膜版来修正补偿图像错误。

类似地, 在超导量子芯片制造过程中, 需要对基于 CPW 的超导电路进行刻蚀, 由于工艺等原因, 会出现 (正负) 刻蚀误差, 使得器件特征参数及性能与预期发生较大偏差。针对这一问题, 在本申请实施例的一种可能的实现方式中, 在电路版图的设计环节中将误差考虑进去, 提前对误差进行补偿抵消, 从而在制造时校正该误差。这一步骤可以通过设计人员手动调节线路的边界来实现。

然而, 当芯片规模较大时, 手动调节线路的边界的过程较为繁琐, 会严重影响芯片设计和制造效率。对此, 本申请后续实施例提供一种对电路版图进行处理的方法, 能够在降低刻蚀误差导致的成品尺寸展宽或缩窄的影响的同时, 保证芯片的电路版图的设计效率。

请参考图 2, 其示出了本申请一个实施例提供的电路版图处理方法的流程图。该方法各步骤的执行主体可以是计算机设备。该方法可以包括如下几个步骤:

步骤 21, 获取芯片的初始电路版图, 初始电路版图中包含芯片中的线路的初始位置信息。

其中, 上述初始电路版图可以是芯片设计人员按照芯片的性能要求设计完成的电路版图。

可选的, 上述初始电路版图中的线路的初始位置信息, 可以包括线路的边界在初始电路板图中的坐标信息。

步骤 22, 获取线路的边框校正值, 边框校正值是基于芯片的加工过程中的刻蚀误差而设置的校正值。

其中, 上述边框校正值 (offset) 可以是用于对线路的边界向外扩展或者向内收缩的偏移值。也就是说, 该边框校正值用于对线路的边界进行校正。

其中, 由于芯片中的线路是有宽度的, 在初始电路版图, 线路可以通过边界的位置 (坐标) 来指示, 线路的边界是指线路覆盖的区域与线路之外的区域之间的边界。

比如, 当需要将线路的边界向外扩展时, offset 可以为正值, 当需要将线路的边界向内收缩时, offset 可以为负值。

上述边框校正值可以通过当前刻蚀工艺条件下, 对刻蚀误差的实验数据来确定。由于制造环境、仪器差异、工艺参数等都会影响刻蚀误差大小, 基于通用性的考虑, 本申请实施例中的补偿参数 (即上述边框校正值) 选取对应于当前加工条件中给出的实验值。

其中, 上述边框校正值可以通过接收用户在设置界面中执行的设置操作, 并根据该设置操作进行设置。

也就是说, 上述边框校正值可以由用户通过设计软件提供的设置界面进行设置。比如, 本申请实施例所示的方案可以由计算机设备通过设计软件来执行, 该设计软件可以提供一个设置界面, 用户可以根据边框校正值, 通过该设置界面在设计软件中设置边框校正值。

比如, 上述设置界面中可以包含边框校正值的输入框, 用户根据上述刻蚀误差, 在输入框中输入上述边框校正值, 点击确定后, 设计软件可以完成上述边框校正值的设置。

再比如, 上述设置界面中可以包含刻蚀误差的设置选项/输入框, 用户可以通过设置选项选择刻蚀误差, 或者, 通过输入框输入刻蚀误差, 点击确定后, 设计软件可以根据刻蚀误差, 确定对应的边框校正值, 继而完成上述边框校正值的设置。其中, 上述设计软件中可以预先设置有刻蚀误差与边框校正值之间的对应关系或计算公式, 设计软件通过设置选项/输入框获取到用户设置的刻蚀误差后, 可以结合上述对应关系或计算公式确定对应的边框校正值。上述对应关系或计算公式可以由设计软件的开发人员在开发过程中, 设置到设计软件中。

步骤 23, 基于初始位置信息和边框校正值, 对线路在初始电路版图中的边界进行校正, 获得校正后的电路版图。

在本申请实施例中, 计算机设备可以基于芯片中的线路的初始位置信息和边框校正值, 对线路在初始电路版图中的边界进行校正, 获得校正后的电路版图。

其中, 上述校正后的电路版图用于通过刻蚀工艺制备芯片中的线路。

在本申请实施例中, 计算机设备获取到芯片中的线路的初始位置信息以及边框校正值之后, 即可以对线路在初始电路版图中的边界向外扩展或者向内收缩 (取决于边框校正值的正负属性), 从而获得校正后的电路版图。

也就是说, 计算机设备可以将初始位置信息所指示的线路的边界, 向线路所覆盖的区域的外部扩展, 或向线路所覆盖的区域的内部收缩, 以实现基于芯片中的线路的初始位置信息和边框校正值, 对线路在初始电路版图中的边界进行校正的过程; 其中扩展或收缩的距离与边框校正值的数值相关。

比如, 假设边框校正值为+3, 计算机设备可以将初始位置信息所指示的线路的边界, 向线路所覆盖的区域之外扩展 3 个坐标单位 (比如 3 个像素坐标); 假设边框校正值为-3, 计算机设备可以将初始位置信息所指示的线路的边界, 向线路所覆盖的区域内部收缩 3 个坐标单位。

再比如, 假设边框校正值为+3, 计算机设备可以将初始位置信息所指示的线路的边界, 向线路所覆盖的区域内部收缩 3 个坐标单位; 假设边框校正值为-3, 计算机设备可以将初始位置信息所指示的线路的边界, 向线路所覆盖的区域之外扩展 3 个坐标单位。

本申请实施例提供了一种针对芯片 (比如超导量子芯片) 制造过程中刻蚀引起的线路尺寸误差进行补偿的方案, 该方案极大地减小了刻蚀误差对于器件参数及性能的影响, 同时提

升了芯片设计效率。

比如，请参考图 3，其示出了本申请实施例涉及的电路版图校正前后的示意图。对于图 3 所示的湿法刻蚀造成 CPW 线宽展宽问题，通过本申请实施例所示的方案可以采取负向补偿。如图 3 所示，加工成品的 CPW 横截面中，期望刻蚀的宽度为 31，线宽为 32；如果按照初始电路版图进行刻蚀，则由于刻蚀误差的存在，会导致刻蚀的宽度变窄，在图 3 中，线路的每一侧向外展宽的宽度 33；通过本申请实施例所示的方案对初始电路版图进行校正，且每一侧的校正宽度为宽度 34（也就是在线路的两侧分别向外展宽），之后，再基于校正后的电路版图，通过刻蚀工艺刻蚀 CPW 线路时，可以补偿刻蚀误差导致的线路向内收窄的情况。

综上所述，通过本申请实施例所示的方案，对于已经设计好的芯片的初始电路板图，可以基于通过刻蚀工艺的误差设置的边框校正，对初始电路板图中的线路进行校正，从而在芯片设计阶段自动按照刻蚀工艺的误差调整电路版图，从而在芯片制造的刻蚀过程中降低刻蚀误差带来的影响，同时保证芯片的电路版图的设计效率。

请参考图 4，其示出了本申请一个实施例提供的量子计算任务处理方法的流程图。该方法各步骤的执行主体可以是计算机设备。其中，上述计算机设备可以是传统的计算机，比如台式电脑、笔记本电脑、平板电脑、个人工作站、服务器等等。如图 4 所示，该方法可以包括如下几个步骤：

步骤 401，获取芯片的初始电路版图，初始电路版图中包含芯片中的线路的初始位置信息。

在一种可能的实现方式中，上述芯片为超导量子芯片。

可选的，上述芯片也可以是其他类型的芯片，比如，光量子芯片、离子阱量子芯片等等。

可选的，上述芯片也可以是传统的半导体芯片。

在一种可能的实现方式中，上述线路可以包括共面波导线路、元器件以及丝印中的至少一种。

步骤 402，获取线路的边框校正，边框校正，是基于芯片的加工过程中的刻蚀误差而设置的校正。

在本申请实施例的一种可能的实现方式中，上述边框校正可以由设计人员输入。

比如，计算机设备可以展示一个参数设置界面，该参数设置界面中可以包含边框校正输入框，设计人员可以在该边框校正输入框中输入上述边框校正。

再比如，该参数设置界面中可以包含边框校正设置栏，该边框校正设置栏中包含预先设置的一种或者多种边框校正对应的选项，设计人员可以在该边框校正设置栏中选择需要的边框校正对应的选项。

在本申请实施例的另一种可能的实现方式中，上述边框校正也可以由计算机设备自动获取，比如，上述初始电路版图对应有使用的刻蚀工艺的相关参数，比如，使用的刻蚀工艺的编号，计算机设备在获取上述初始电路版图时，可以读取初始电路版图对应有使用的刻蚀工艺的相关参数，并根据读取到的相关参数自动匹配对应的边框校正。

例如，计算机设备中可以存储有若干个刻蚀工艺的编号，以及若干个刻蚀工艺的编号分别对应的边框校正，计算机设备读取初始电路版图对应的刻蚀工艺的编号后，可以根据读取到的刻蚀工艺的编号，查询对应的边框校正。

在获取到初始电路版图和边框校正之后，计算机设备即可以基于芯片中的线路的初始位置信息，以及边框校正，对线路在初始电路版图中的边界进行校正，获得校正后的电路版图；校正后的电路版图用于通过刻蚀工艺制备芯片中的线路。该过程请参考后续步骤 403 和步骤 404。

步骤 403，基于初始位置信息和边框校正，生成线路在初始电路版图中的边界的校正边框。

其中，计算机设备可以基于线路在初始电路版图中的初始位置信息，以及边框校正值，生成线路在初始电路版图中的边界的校正边框。

在一种可能的实现方式中，基于线路在初始电路版图中的初始位置信息，以及边框校正值，生成线路在初始电路版图中的边界的校正边框的过程，可以包括：

S403a，获取线路的亏格检测信息，亏格检测信息用于指示线路中是否存在亏格。

其中，上述线路中是否存在亏格，也可以称为线路所覆盖的区域中是否存在亏格。

其中，上述线路所覆盖的区域，可以是指线路本身，以及线路所围成的粉笔图形在电路版图中所占的区域。或者，上述线路所覆盖的区域，也可以是包含线路的最小外接矩形或者最小外接圆形所在的区域。

在实际操作的时候，电路版图上原本存在各样的封闭图形。电路版图通常为 GDSII 格式（一种数据库文件格式，用于集成电路版图的数据转换）。GDSII 是一个二进制文件，其中含有电路版图中的平面的几何形状，文本或标签，以及其他有关信息，并可以由层次结构组成。GDSII 数据可用于重建所有或部分的版图信息。

如图 5 所示，其示出了本申请实施例涉及的线路图形。由于 GDSII 文件格式的存储结构要求图形边界要能“一笔画出”，因此直接绘制含有亏格的图形不符合版图文件要求，例如“回”字图形，为解决这一问题，需要在该图形内外两个边界之间多一条连接的边，在绘制时往返均经过这条边便可以将图形连贯画出，如图 5 中的 (a) 部分所示。由于计算机设备无法直接将这条添加的边和原图形的边界识别区分开来，如果直接对 GDSII 文件中类似的多边形边界进行收缩，会一同将这条边进行收缩，导致图形产生裂缝，不再“封闭”，如图 5 中的 (b) 部分所示；反之，在进行拓宽的时候，会造成图形重叠的现象，如图 5 中的 (c) 部分所示。这种图形结构的变化显然会破坏原有器件结构，造成制造过程中的错误。

对此，在本申请实施例中，计算机设备可以首先检测线路中是否包含亏格，对于包含亏格的线路，以及不包含亏格的线路，本申请实施例将采用不同的方法进行校正。

在一种可能的实现方式中，计算机设备在获取线路的亏格检测信息时，可以执行以下步骤：

1) 响应于线路的初始位置信息中，存在重复出现的点的位置信息，获取第一亏格检测信息；第一亏格检测信息用于指示线路所覆盖的区域中存在亏格。

2) 响应于线路的初始位置信息中，不存在重复出现的点的位置信息，获取第二亏格检测信息；第二亏格检测信息用于指示线路所覆盖的区域中不存在亏格。

在本申请实施例中，由于 GDSII 文件格式的存储结构要求图形边界要能“一笔画出”，而电路版图中的线路的位置信息可以按照边界的点集的格式进行存储，该点集中包含线路的边界上的关键点的坐标。

比如，一个矩形线路的位置信息可以包括 4 对坐标点，分别对应矩形的四个角点的坐标点。

而一个包含单个亏格的回字形线路的位置信息可以包括 10 对坐标点，分别对应回字形外边框四个角点（比如图 5 中 (a) 部分的点 a、点 b、点 c 以及点 d）的坐标、回字形内边框四个角点（比如图 5 中 (a) 部分的点 e、点 f、点 g 以及点 h）的坐标、以及内外边框的连线的两个端点（比如图 5 中 (a) 部分的点 i 以及点 j）的坐标。

其中，对于无亏格的线路（比如矩形线路），在绘制过程中，绘制线路先后经过矩形的四个角点，且每个角点只经过一次；而对于有亏格的线路（比如图 5 中的 (a) 部分所示的线路），在绘制过程中，绘制线路会经过内外边框的连线上的两个端点两次，也就是说，在 GDSII 文件中，内外边框的连线上的两个端点在回字形线路的点集中会出现两次。对于更加复杂的具有亏格的线路，对应点集中可能存在出现 3 次或者 3 次以上的点。

基于上述原理，计算机设备在判断一个线路是否有亏格时，可以判断该线路的位置信息（点集）中是否存在出现两次或者两次以上的点，若是，则确定该线路存在亏格（即获取到

第二亏格检测信息), 否则, 确定该线路中不存在亏格 (即获取到第一亏格检测信息)。

S403b, 按照亏格检测信息, 基于线路在初始电路版图中的初始位置信息以及边框校正值生成校正边框。

在本申请实施例中, 对于存在/不存在亏格的两种情况, 计算机设备可以采用不同的处理方式进行校正边框的生成。

在一种可能的实现方式中, 按照亏格检测信息, 基于线路在初始电路版图中的初始位置信息以及边框校正值生成校正边框的过程可以包括:

响应于亏格检测信息指示线路不存在亏格, 在线路的边界的初始位置信息的基础上, 加上边框校正值, 获得校正边框。

在本申请实施例中, 当检测出线路中不存在亏格时, 计算机设备可以直接从线路的边界开始, 向外或者向内边扩展一段距离 (即上述边框校正值), 得到校正边框。

比如, 当检测出线路中不存在亏格时, 对于边界上的一个点, 确定该点在边界上的法线方向 (与切线方向垂直), 然后根据该点在初始位置信息中的坐标, 计算该点沿着法线方向, 向线路外侧或内侧移动上述边框校正值, 得到校正边框中对应该点的坐标。对于线路的边界上的每个点都做上述处理, 即可以得到校正边框中各个点的坐标。

计算机设备可以从线路的边界上一个点开始, 沿该点在边界上的切线方向, 计算该点

其中, 上述校正边框可以是宽度为边框校正值的边框, 也就是说, 该边框的线条宽度为边框校正值。

比如, 请参考图 6, 其示出了本申请实施例涉及的无亏格的线路的边框生成示意图。其中, 输入的线路的图形如图 6 中的 (a) 部分所示, 该线路的图形为一个无亏格的矩形, 计算机设备可以首先确定图形的边界 (比如确定图形的四个角点的坐标), 根据补偿数值 (即上述边框校正值) 的大小和正负, 沿着边界进行展宽或者收缩, 生成一个封闭的边框 (也就是该边框的线条有一定的宽度, 且宽度为边框校正值), 用于补偿校正图形。比如, 为了解决湿法刻蚀导致的尺寸展宽问题, 本申请实施例需要对版图进行收缩处理, 对于图 6 中 (a) 部分所示的输入图形, 需要沿图形边界向内生成一个用于收缩图形的边框, 如图 6 中的 (b) 部分所示, 其边框的厚度是目标补偿值 (即边框校正值); 例如, 加工人员反馈当前工艺条件下刻蚀展宽 (正误差) 为 2 微米, 则图 6 中的 (b) 部分所示的边框的厚度也为 2 微米。反之, 如果要将线路拓宽, 则需要沿图形边界向外生成边框。

在一种可能的实现方式中, 按照亏格检测信息, 基于线路在初始电路版图中的初始位置信息以及边框校正值生成校正边框的过程可以包括:

响应于亏格检测信息指示线路所覆盖的区域中存在亏格, 对线路的边界进行分割, 获得至少一个外边界框以及至少一个内边界框; 外边界框是线路的外侧边界所围成的边框; 内边界框是线路中的亏格的边界所围成的边框;

在至少一个外边界框的初始位置信息的基础上, 在至少一个外边界框的基础上加上边框校正值, 获得至少一个外边界校正边框; 也就是基于至少一个外边界框的初始位置信息, 在至少一个外边界框的基础上加上边框校正值, 获得至少一个外边界校正边框; 需要注意的是, 由于边框校正值有正负性, 因此, 当边框校正值为正时, 在至少一个外边界框的基础上加上的效果, 是从至少一个外边界框开始向回字形线路外侧扩展, 反之, 当边框校正值为负时, 在至少一个外边界框的基础上加上的效果, 是从至少一个外边界框开始向回字形线路内侧扩展; 比如, 对于外边界框上的一个点, 确定该点在外边界框上的法线方向, 然后根据该点在初始位置信息中的坐标, 计算该点沿着法线方向, 向线路外侧或内侧移动上述边框校正值, 得到外边界校正边框中对应该点的坐标。对于外边界框上的每个点都做上述处理, 即可以得到外边界校正边框中各个点的坐标;

在至少一个内边界框的初始位置信息的基础上, 在至少一个内边界框的基础上减去边框校正值, 获得至少一个内边界校正边框; 也就是基于至少一个内边界框的初始位置信息, 在

至少一个内边界框的基础上减去边框校正值，获得至少一个内边界校正边框；由于边框校正值有正负性，因此，当边框校正值为正时，在至少一个内边界框的基础上减去边框校正值的效果，是从至少一个内边界框开始向回字形线路内侧扩展，反之，当边框校正值为负时，在至少一个内边界框的基础上减去边框校正值的效果，是从至少一个内边界框开始向回字形线路外侧扩展；比如，对于内边界框上的一个点，确定该点在内边界框上的法线方向，然后根据该点在初始位置信息中的坐标，计算该点沿着法线方向，向线路外侧或内侧移动上述边框校正值，得到内边界校正边框中对应点的坐标。对于内边界框上的每个点都做上述处理，即可以得到内边界校正边框中各个点的坐标；

将至少一个外边界校正框和至少一个内边界校正框，获取为校正边框。

比如，请参考图 7，其示出了本申请实施例涉及的有亏格的线路的边框示意图。以一个回字形，具有单个亏格的线路的图形为例，生成的校正边框包括一个外边界校正边框 71，以及一个内边界校正边框 72，其中，外边界校正边框 71 是在回字形线路的外边框的基础上向内/外延伸（也就是在至少一个外边界框的基础上加上边框校正值）得到的图形，内边界校正边框 72 是在回字形线路的外边框的基础上向相反方向延伸（也就是在至少一个内边界框的基础上减去边框校正值）得到的图形。生成补偿边框（即外边界校正边框 71 以及一个内边界校正边框 72）的效果如图 7 所示。这样在图形的内外边界同时都进行边框的生成后再进行补偿校正处理就不会导致图形断裂、重叠等问题。

计算机设备通过执行电路版图处理的代码，首先处理版图和参数的读取，然后进入代码的核心部分，该部分需要判断图形有无“亏格”，并做出相应处理。在核心函数中，在判断出有线路的图形无“亏格”后，首先用一个 split 变量保存是否有“亏格”（也就是通过 split 变量来标记该图形是否有亏格），如果没有，则根据以下代码将整个刻蚀边界（即校正边框）画出。

```
If (! split) //如果标记为 split;
{
//no arrach point detected, just continue; //未命中要检测的点，继续;
appendFp (cell, target_point_array, offset); //调用 AppendFp 函数;
return; //返回
}
```

在上述代码中，appendFp 函数的入参包括 cell、target\_point\_array、以及 offset，其中，cell 为输出的文件名，target\_point\_array 为图形的位置信息（点集格式的数组），offset 为边框校正值。

以线路包含单个亏格为例，如果有亏格，则后续代码会将线路的图形的整个边界分割成两段，分别形成两个框（即上述外边界框和内边界框），之后按照下述代码将两个环分别画出。

```
appendFp (cell, ring1, offset); //调用 AppendFp 函数;
appendFp (cell, ring2, -offset); //调用 AppendFp 函数;
```

在上述代码中，ring1 为外边界框的位置信息（点集格式的数组），ring2 为内边界框的位置信息。

其中，本申请实施例上述方案对于有亏格的图形，仅以包含单个亏格的回字形为例进行说明，其他形状的有亏格的图形的处理方式与回字形图形的处理方式类似，此处不再赘述。

本申请实施例上述方案对于无亏格的图形，仅以矩形为例进行说明，其他形状无亏格的图形的处理方式与矩形图形的处理方式类似，此处不再赘述。

通过本申请实施例所示的方案，在对有亏格的线路图形（比如亏格为 1 且公共边上至少有一个公共点的图形）进行补偿校正时不会造成图形出现断裂、重叠等问题，保证了刻蚀后的图形不破坏原有器件结构。比如，请参考图 8，其示出了本申请实施例涉及的回字形线路图形的处理效果图。其中，图 8 中的 (a) 部分为输入的初始电路版图中的回字形的线路的图形，图 8 中的 (b) 部分为版图缩小后的图形，图 8 中的 (c) 部分为版图扩大后的图形。其中，

图 8 中的虚线框为校正后的图形的边界。

步骤 404, 基于校正边框, 对线路在初始电路版图中的边界进行校正, 获得校正后的电路版图。

在本申请实施例中, 在获得校正边框后, 计算机设备即可以通过校正边框对线路在初始电路版图中的边界进行扩展或收缩, 得到校正后的电路版图。

在一种可能的实现方式中, 基于校正边框, 对线路在初始电路版图中的边界进行校正, 获得校正后的电路版图, 包括:

对芯片中的线路的初始位置信息以及校正边框的位置信息进行布尔运算, 获得校正后的电路版图。

其中, 计算机设备可以通过布尔计算的方式, 基于校正边框, 对线路在初始电路版图中的边界进行校正。

在一种可能的实现方式中, 对芯片中的线路的初始位置信息以及校正边框的位置信息进行布尔运算, 获得校正后的电路版图, 包括:

在校正边框位于线路在初始电路版图中的边界之外的情况下, 对芯片中的线路的初始位置信息以及校正边框的位置信息进行合并运算。

其中, 当校正边框位于线路在初始电路版图中的边界之外 (比如, 计算机设备可以通过坐标值的大小关系判断校正边框是否位于线路在初始电路版图中的边界之外) 时, 说明校正边框是对线路在初始电路版图中的边界进行扩展得到的, 此时, 可以将线路的初始位置信息以及校正边框的位置信息进行合并运算, 也就是在线路的初始图形的基础上, 加上校正边框的图形, 得到线路校正后的图形。

在一种可能的实现方式中, 对芯片中的线路的初始位置信息以及校正边框的位置信息进行布尔运算, 获得校正后的电路版图, 包括:

在校正边框位于线路在初始电路版图中的边界之内的情况下, 对芯片中的线路的初始位置信息以及校正边框的位置信息进行相减运算。

其中, 当校正边框位于线路在初始电路版图中的边界之内时, 说明校正边框是对线路在初始电路版图中的边界进行收缩得到的, 此时, 可以将线路的初始位置信息以及校正边框的位置信息进行相减运算, 也就是在线路的初始图形的基础上, 减去校正边框的图形, 得到线路校正后的图形。

在一种可能的实现方式中, 对芯片中的线路的初始位置信息以及校正边框的位置信息进行布尔运算, 获得校正后的电路版图, 包括:

在边框校正值为正值的情况下, 对芯片中的线路的初始位置信息以及校正边框的位置信息进行合并运算。

在一种可能的实现方式中, 对芯片中的线路的初始位置信息以及校正边框的位置信息进行布尔运算, 获得校正后的电路版图, 包括:

在边框校正值为负值的情况下, 对芯片中的线路的初始位置信息以及校正边框的位置信息进行相减运算。

在本申请实施例的另一种示例性的方案中, 计算机设备也可以通过其他方式确定采用合并运算还是相减运算, 比如, 当 offset 的值为正时, 对芯片中的线路的初始位置信息以及校正边框的位置信息进行合并运算; 反之, 当 offset 的值为负时, 对芯片中的线路的初始位置信息以及校正边框的位置信息进行相减运算。

其中, 布尔运算的效果可以如下:

1) 对于无亏格的完整图形

请参考图 9, 其示出了本申请实施例涉及的无亏格图形的处理效果。在生成校正边框后, 需要将边框和原图形作布尔运算。如果是为了将版图中的线路图形的尺寸收缩, 需要将图 6 中 (b) 部分的边框与图 6 中 (a) 部分原版图的图形作 subtract (相减) 运算, 得到收缩后的

图形,如图9所示,收缩后的图形由虚线框91表示。反之,如果要將版图拓寬,就需要与边框作merge(合并)运算。

## 2) 对于亏格为1的“回”字图形

请参考图10,其示出了本申请实施例涉及的有亏格图形的处理效果。在为“回”字图形的内外边界生成校正边框后,可以根据需要对原图形和校正边框作布尔运算。图10展示了经过subtract(相减)后收缩“回”字图形的效果,收缩后的图形的边界以虚线1001表示,可以看到,图形收缩后并未产生裂缝。

请参考图11,其示出了本申请实施例涉及的方案流程图。如图11所示,该方案流程如下:

S1101,用户(设计人员)输入待校正的电路版图。

S1102,用户设置补偿参数(边框校正值)。

S1103,补偿算法根据该补偿参数自动生成校正边框。

S1104,将校正边框和原图形进行布尔运算,对两者作merge(合并)或subtract(相减)操作,使版图拓寬或收缩。

S1105,输出校正后的电路版图。

S1106,产线人员根据校正后的电路版图进行芯片的刻蚀加工。

请参考图12至图14,其中,图12示出了对电路版图上的CPW谐振腔进行拓寬的工程实现效果;图13示出了对电路版图上的焊盘进行拓寬的工程实现效果;图14示出了对电路版图上的丝印进行拓寬的工程实现效果。

本申请实施例所示的方案针对超导量子芯片制造过程中刻蚀引起的线路尺寸误差进行补偿,极大地减小了刻蚀误差对于器件参数及性能的影响,同时提升了芯片设计效率。可广泛应用于片上线路尺寸调整。

综上所述,通过本申请实施例所示的方案,对于已经设计好的芯片的初始电路板图,可以基于通过刻蚀工艺的误差设置的边框校正值,对初始电路板图中的线路进行校正,从而在芯片设计阶段自动按照刻蚀工艺的误差调整电路版图,从而在芯片制造的刻蚀过程中降低刻蚀误差带来的影响,同时保证芯片的电路版图的设计效率。

基于本申请上述实施例所示的方案,可以根据输入的目标补偿参数(即边框校正值,该参数的选取基于当前工艺条件下的实验数据反馈),自动实现对版图上的CPW、元器件、丝印等图形的尺寸进行拓寬或收缩,且不会额外引入版图上的图形断裂或重叠等问题。这样极大简化了设计和制造人员的工作量,提升芯片设计效率的同时避免了刻蚀误差的影响。

本申请上述实施例所示的方案具有以下创新:

- 1) 针对超导量子芯片加工过程中的刻蚀误差进行校正;
- 2) 全局调整,针对整个版图上所有CPW线路、元器件以及丝印的尺寸进行补偿校正;
- 3) 补偿参数可调(可以由设计人员设置或修改);
- 4) 可以根据参数一键调整版图尺寸。

图15是根据一示例性实施例示出的一种电路版图处理装置的结构方框图。该电路版图处理装置可以实现图2或图4所示实施例提供的方法中,由计算机设备执行的全部或部分步骤,该电路版图处理装置包括:

初始版图获取模块1501,用于获取芯片的初始电路版图,所述初始电路版图中包含所述芯片中的线路的初始位置信息;

校正值获取模块1502,用于获取所述线路的边框校正值,所述边框校正值是基于芯片的加工过程中的刻蚀误差而设置的校正值;

校正模块1503,用于基于所述初始位置信息和所述边框校正值,对所述线路在所述初始电路版图中的边界进行校正,获得校正后的电路板图。

其中，所述校正后的电路版图用于通过刻蚀工艺制备所述芯片中的所述线路。

在一种可能的实现方式中，所述校正模块 1503，用于，  
基于所述初始位置信息和所述边框校正值，生成所述线路在所述初始电路版图中的边界的校正边框；

基于所述校正边框，对所述线路在所述初始电路版图中的边界进行校正，获得所述校正后的电路版图。

在一种可能的实现方式中，所述校正模块 1503，用于，对所述初始位置信息以及所述校正边框的位置信息进行布尔运算，获得所述校正后的电路版图。

在一种可能的实现方式中，所述校正模块 1503，用于，在边框校正值为正值的情况下，对所述初始位置信息以及所述校正边框的位置信息进行合并运算。

在一种可能的实现方式中，所述校正模块 1503，用于，在边框校正值为负值的情况下，对所述初始位置信息以及所述校正边框的位置信息进行相减运算。

在一种可能的实现方式中，所述校正值获取模块 1502，用于，  
获取所述线路的亏格检测信息；所述亏格检测信息用于指示所述线路中是否存在亏格；  
按照所述亏格检测信息，基于所述初始位置信息以及所述边框校正值生成所述校正边框。

在一种可能的实现方式中，所述校正值获取模块 1502，用于响应于所述亏格检测信息指示所述线路不存在亏格，在所述线路的边界的初始位置信息的基础上，加上所述边框校正值，获得所述校正边框。

在一种可能的实现方式中，所述校正值获取模块 1502，用于，

响应于所述亏格检测信息指示所述线路中存在亏格，对所述线路的边界进行分割，获得至少一个外边界框以及至少一个内边界框；所述外边界框是所述线路的外侧边界所围成的边框；所述内边界框是所述线路中的亏格的边界所围成的边框；

基于至少一个所述外边界框的初始位置信息，在至少一个所述外边界框的基础上加上所述边框校正值，获得至少一个外边界校正边框；

基于至少一个所述内边界框的初始位置信息，在至少一个所述内边界框的基础上减去所述边框校正值，获得至少一个内边界校正边框；

将至少一个所述外边界校正框和至少一个所述内边界校正框，获取为所述校正边框。

在一种可能的实现方式中，所述校正值获取模块 1502，用于，

响应于所述线路的所述初始位置信息中，存在重复出现的点的位置信息，获取第一亏格检测信息；所述第一亏格检测信息用于指示所述线路所覆盖的区域中存在亏格；

响应于所述线路的所述初始位置信息中，不存在重复出现的点的位置信息，获取第二亏格检测信息；所述第二亏格检测信息用于指示所述线路所覆盖的区域中不存在亏格。

在一种可能的实现方式中，所述芯片为超导量子芯片。

在一种可能的实现方式中，所述线路包括共面波导线路、元器件以及丝印中的至少一种。

综上所述，通过本申请实施例所示的方案，对于已经设计好的芯片的初始电路板图，可以基于通过刻蚀工艺的误差设置的边框校正值，对初始电路板图中的线路进行校正，从而在芯片设计阶段自动按照刻蚀工艺的误差调整电路版图，从而在芯片制造的刻蚀过程中降低刻蚀误差带来的影响，同时保证芯片的电路版图的设计效率。

需要说明的是，上述实施例提供的装置，在实现其功能时，仅以上述各功能模块的划分进行举例说明，实际应用中，可以根据需要而将上述功能分配由不同的功能模块完成，即将设备的内部结构划分成不同的功能模块，以完成以上描述的全部或者部分功能。另外，上述实施例提供的装置与方法实施例属于同一构思，其具体实现过程详见方法实施例，这里不再赘述。

图 16 是根据一示例性实施例示出的一种计算机设备的结构示意图。所述计算机设备 1600 包括处理器 1601，比如中央处理单元（CPU，Central Processing Unit）、包括随机存取存储器

(Random Access Memory, RAM) 1602 和只读存储器 (Read-Only Memory, ROM) 1603 的系统存储器 1604, 以及连接系统存储器 1604 和处理器 1601 的系统总线 1605。所述计算机设备 1600 还包括帮助计算机内的各个器件之间传输信息的输入/输出系统 1606, 和用于存储操作系统 1613、应用程序 1614 和其他程序模块 1615 的大容量存储设备 1607。

所述大容量存储设备 1607 通过连接到系统总线 1605 的大容量存储控制器 (未示出) 连接到处理器 1601。所述大容量存储设备 1607 及其相关联的计算机可读介质为计算机设备 1600 提供非易失性存储。也就是说, 所述大容量存储设备 1607 可以包括诸如硬盘或者光盘只读存储器 (Compact Disc Read-Only Memory, CD-ROM) 驱动器之类的计算机可读介质 (未示出)。

不失一般性, 所述计算机可读介质可以包括计算机存储介质和通信介质。计算机存储介质包括以用于存储诸如计算机可读指令、数据结构、程序模块或其他数据等信息的任何方法或技术实现的易失性和非易失性、可移动和不可移动介质。计算机存储介质包括 RAM、ROM、闪存或其他固态存储其技术, CD-ROM、或其他光学存储、磁带盒、磁带、磁盘存储或其他磁性存储设备。当然, 本领域技术人员可知所述计算机存储介质不局限于上述几种。上述的系统存储器 1604 和大容量存储设备 1607 可以统称为存储器。

计算机设备 1600 可以通过连接在所述系统总线 1605 上的网络接口单元 1616 连接到互联网或者其它网络设备。

所述存储器还包括一个或者一个以上的计算机指令, 所述一个或者一个以上计算机指令存储于存储器中, 处理器 1601 通过执行该一个或一个以上计算机指令来实现图 2 或图 4 任一所示的方法的全部或者部分步骤。

在示例性实施例中, 还提供了一种包括指令的非临时性计算机可读存储介质, 例如包括计算机程序 (指令) 的存储器, 上述程序 (指令) 可由计算机设备的处理器执行以完成本申请各个实施例所示的方法。例如, 所述非临时性计算机可读存储介质可以是 ROM、RAM、CD-ROM、磁带、软盘和光数据存储设备等。

在示例性实施例中, 还提供了一种计算机程序产品或计算机程序, 该计算机程序产品或计算机程序包括计算机指令, 该计算机指令存储在计算机可读存储介质中。计算机设备的处理器从计算机可读存储介质读取该计算机指令, 处理器执行该计算机指令, 使得该计算机设备执行上述各个实施例所示的方法。

## 权利要求书

- 1.一种电路版图处理方法,所述方法由计算机设备执行,所述方法包括:  
获取芯片的初始电路版图,所述初始电路版图中包含所述芯片中的线路的初始位置信息;  
获取所述线路的边框校正值,所述边框校正值是基于所述芯片的加工过程中的刻蚀误差而设置的校正值;  
基于所述初始位置信息和所述边框校正值,对所述线路在所述初始电路版图中的边界进行校正,获得校正后的电路版图。
- 2.根据权利要求1所述的方法,所述基于所述初始位置信息和所述边框校正值,对所述线路在所述初始电路版图中的边界进行校正,获得校正后的电路版图,包括:  
基于所述初始位置信息和所述边框校正值,生成所述线路在所述初始电路版图中的边界的校正边框;  
基于所述校正边框,对所述线路在所述初始电路版图中的边界进行校正,获得所述校正后的电路版图。
- 3.根据权利要求2所述的方法,所述基于所述校正边框,对所述线路在所述初始电路版图中的边界进行校正,获得所述校正后的电路版图,包括:  
对所述初始位置信息以及所述校正边框的位置信息进行布尔运算,获得所述校正后的电路版图。
- 4.根据权利要求3所述的方法,所述对所述芯片中的线路的初始位置信息以及所述校正边框的位置信息进行布尔运算,获得所述校正后的电路版图,包括:  
在边框校正值为正值的情况下,对所述初始位置信息以及所述校正边框的位置信息进行合并运算。
- 5.根据权利要求3或4所述的方法,所述对所述芯片中的线路的初始位置信息以及所述校正边框的位置信息进行布尔运算,获得所述校正后的电路版图,包括:  
在边框校正值为负值的情况下,对所述初始位置信息以及所述校正边框的位置信息进行相减运算。
- 6.根据权利要求2所述的方法,所述基于所述初始位置信息和所述边框校正值,生成所述线路在所述初始电路版图中的边界的校正边框,包括:  
获取所述线路的亏格检测信息;所述亏格检测信息用于指示所述线路中是否存在亏格;  
按照所述亏格检测信息,基于所述初始位置信息以及所述边框校正值生成所述校正边框。
- 7.根据权利要求6所述的方法,所述按照所述亏格检测信息,基于所述初始位置信息以及所述边框校正值生成所述校正边框,包括:  
响应于所述亏格检测信息指示所述线路不存在亏格,在所述线路的边界的初始位置信息的基础上,加上所述边框校正值,获得所述校正边框。
- 8.根据权利要求6或7所述的方法,所述按照所述亏格检测信息,基于所述初始位置信息以及所述边框校正值生成所述校正边框,包括:  
响应于所述亏格检测信息指示所述线路存在亏格,对所述线路的边界进行分割,获得至少一个外边界框以及至少一个内边界框,所述外边界框是所述线路的外侧边界所围成的边框,所述内边界框是所述线路中的亏格的边界所围成的边框;  
基于至少一个所述外边界框的位置信息,在至少一个所述外边界框的基础上加上所述边框校正值,获得至少一个外边界校正边框;  
基于至少一个所述内边界框的位置信息,在至少一个所述内边界框的基础上减去所述边框校正值,获得至少一个内边界校正边框;  
将至少一个所述外边界校正框和至少一个所述内边界校正框,获取为所述校正边框。
- 9.根据权利要求6至8任一所述的方法,所述获取所述线路的亏格检测信息,包括:

响应于所述线路的所述初始位置信息中，存在重复出现的点的位置信息，获取第一亏格检测信息，所述第一亏格检测信息用于指示所述线路中存在亏格；

响应于所述线路的所述初始位置信息中，不存在重复出现的点的位置信息，获取第二亏格检测信息，所述第二亏格检测信息用于指示所述线路中不存在亏格。

10.根据权利要求 1 至 9 任一所述的方法，所述芯片为超导量子芯片。

11.根据权利要求 1 至 10 任一所述的方法，所述线路包括共面波导线路、元器件以及丝印中的至少一种。

12.一种电路版图处理装置，所述装置包括：

初始版图获取模块，用于获取芯片的初始电路版图，所述初始电路版图中包含所述芯片中的线路的初始位置信息；

校正值获取模块，用于获取所述线路的边框校正值，所述边框校正值是基于所述芯片的加工过程中的刻蚀误差而设置的校正值；

校正模块，用于基于所述初始位置信息和所述边框校正值，对所述线路在所述初始电路版图中的边界进行校正，获得校正后的电路版图。

13.根据权利要求 12 所述的装置，所述校正模块，用于，

基于所述初始位置信息和所述边框校正值，生成所述线路在所述初始电路版图中的边界的校正边框；

基于所述校正边框，对所述线路在所述初始电路版图中的边界进行校正，获得所述校正后的电路版图。

14.根据权利要求 13 所述的装置，所述校正模块，用于对所述初始位置信息以及所述校正边框的位置信息进行布尔运算，获得所述校正后的电路版图。

15.根据权利要求 14 所述的装置，所述校正模块，用于在边框校正值为正值的情况下，对所述初始位置信息以及所述校正边框的位置信息进行合并运算。

16.根据权利要求 14 或 15 所述的装置，所述校正模块，用于在边框校正值为负值的情况下，对所述初始位置信息以及所述校正边框的位置信息进行相减运算。

17.根据权利要求 13 所述的装置，所述校正值获取模块，用于，

获取所述线路的亏格检测信息；所述亏格检测信息用于指示所述线路中是否存在亏格；

按照所述亏格检测信息，基于所述初始位置信息以及所述边框校正值生成所述校正边框。

18.一种计算机设备，所述计算机设备包含处理器和存储器，所述存储器中存储有至少一条计算机指令，所述至少一条计算机指令由所述处理器加载并执行以实现如权利要求 1 至 11 任一所述的电路版图处理方法。

19.一种计算机可读存储介质，所述存储介质中存储有至少一条计算机指令，所述至少一条计算机指令由处理器加载并执行以实现如权利要求 1 至 11 任一所述的电路版图处理方法。

20.一种计算机程序产品，所述计算机程序产品包括计算机指令，所述计算机指令存储在计算机可读存储介质中；所述计算机指令由计算机设备的处理器执行，以实现如权利要求 1 至 11 任一所述的电路版图处理方法。

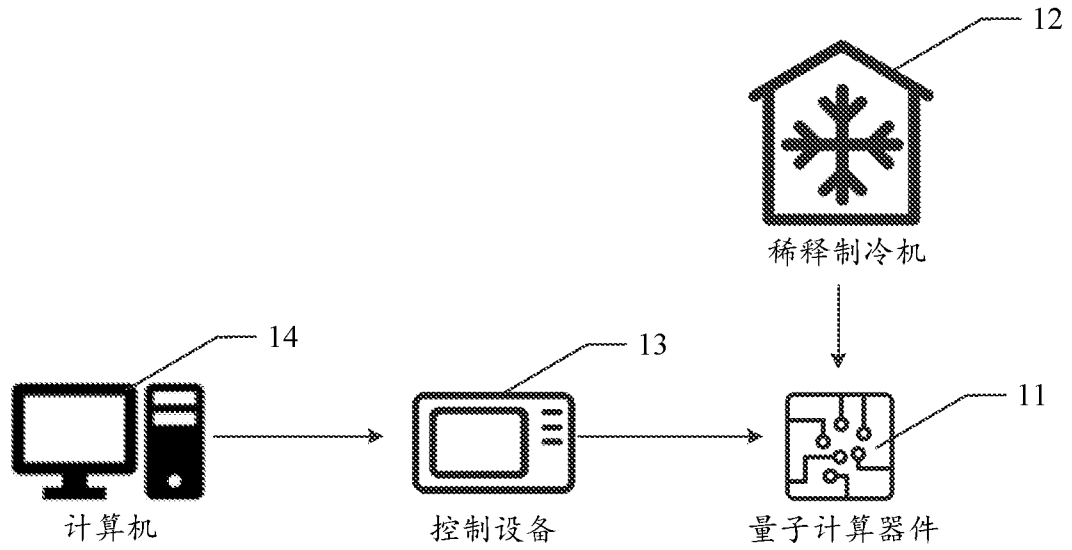


图 1

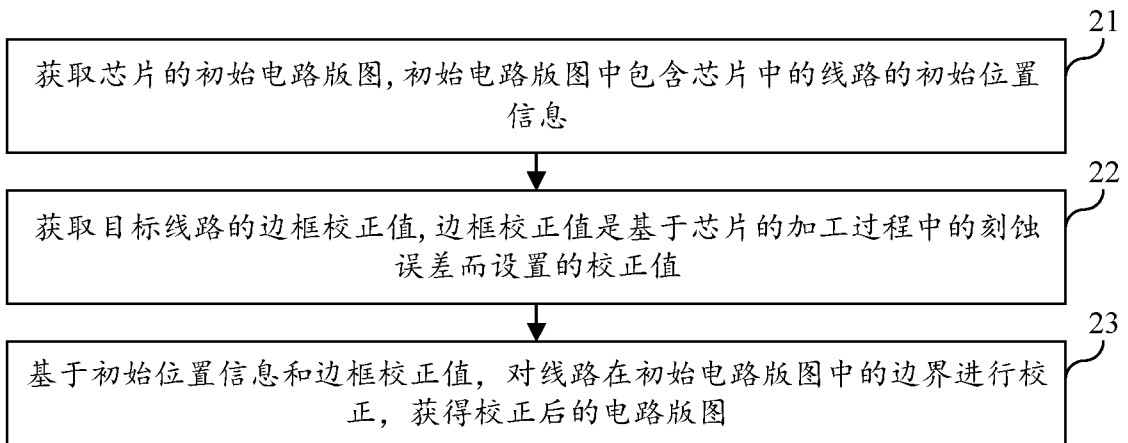


图 2

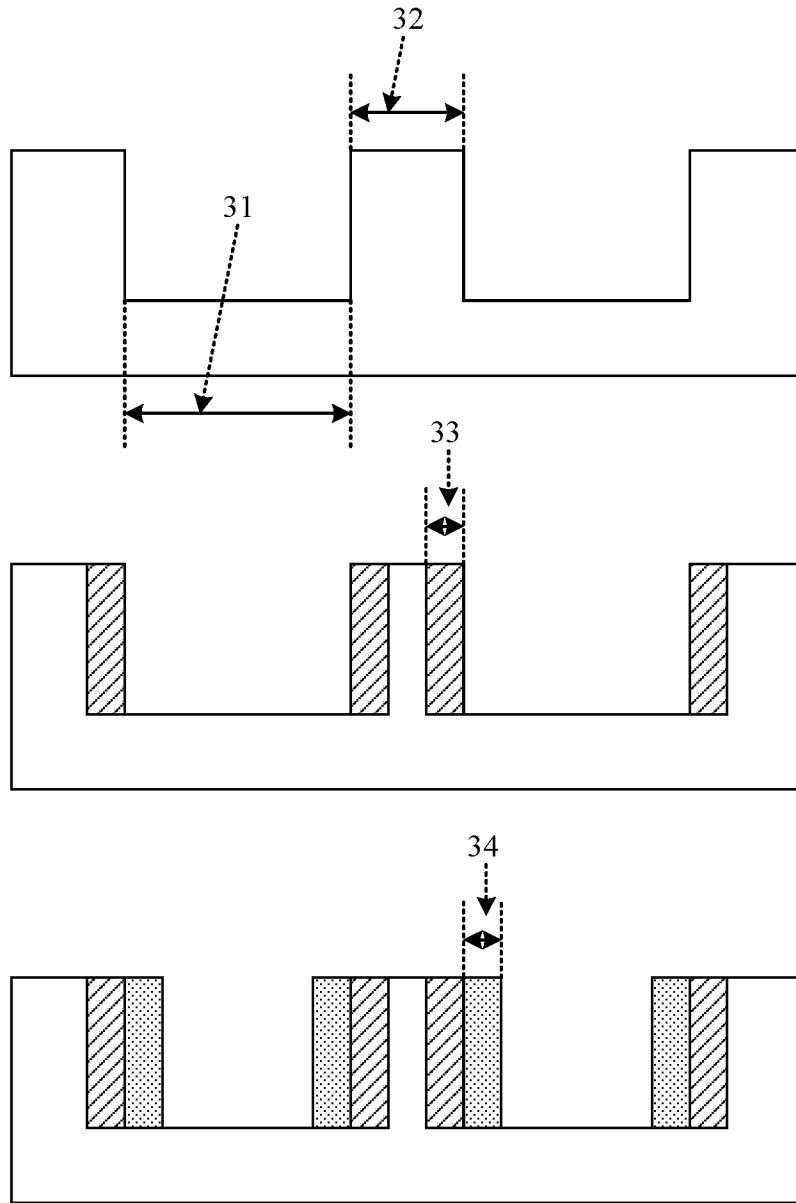


图 3

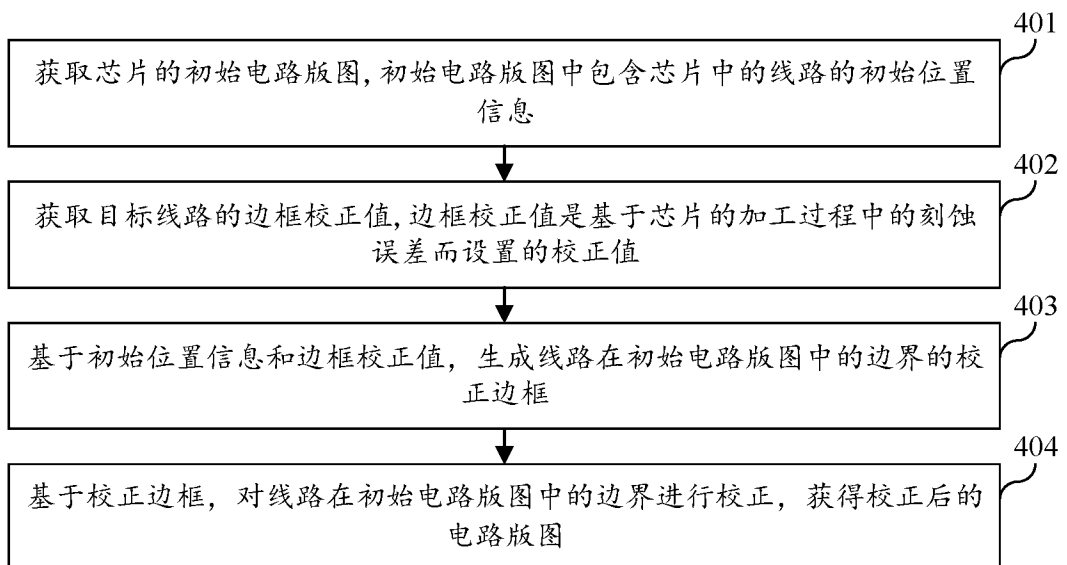
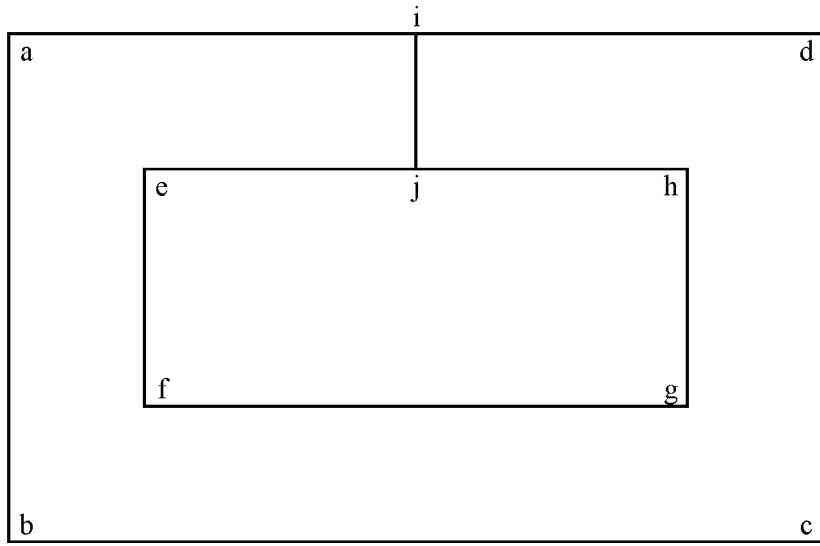
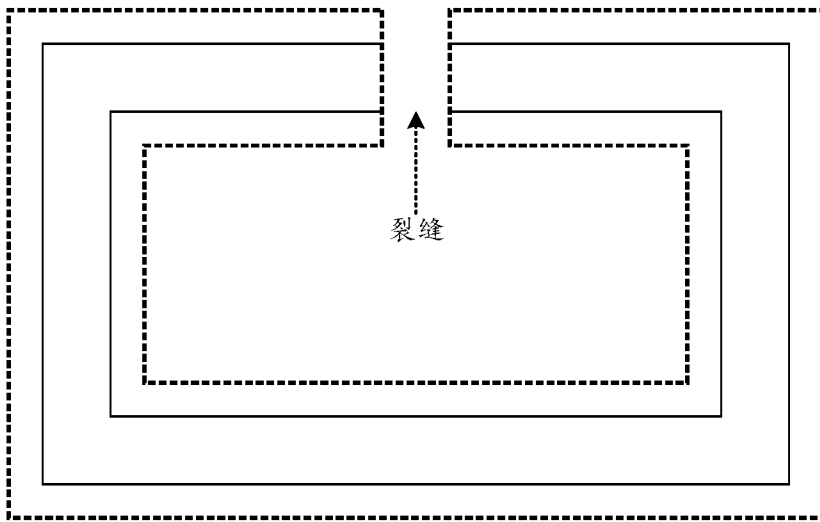


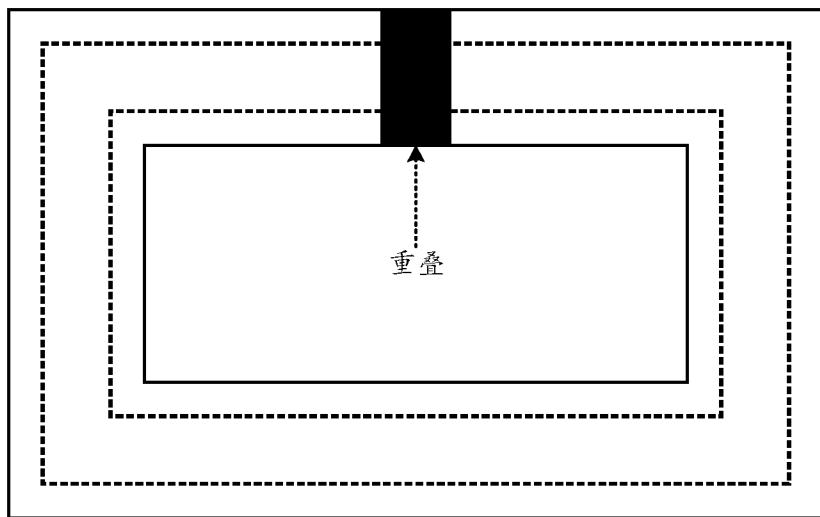
图 4



(a)



(b)



(c)

图 5

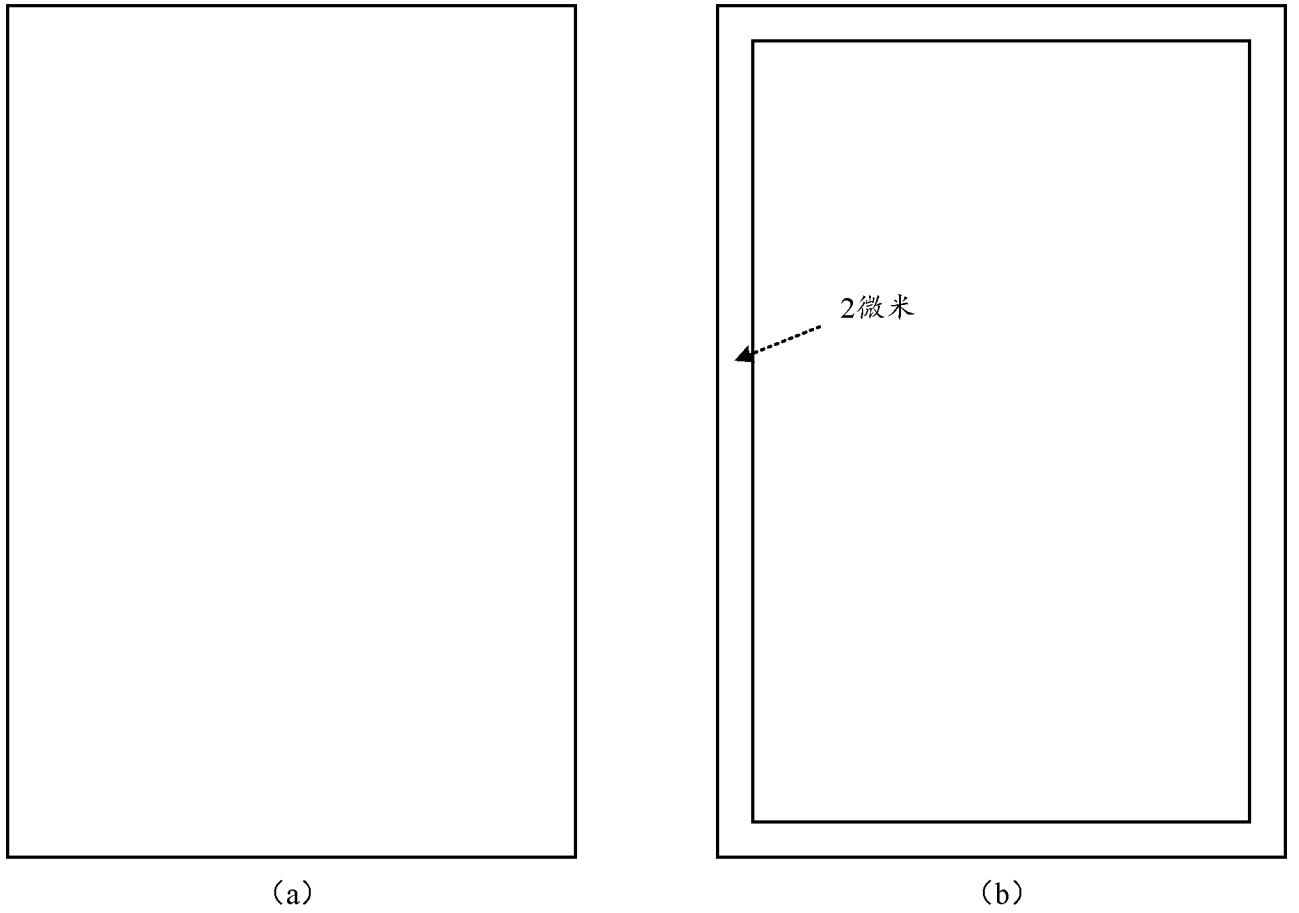


图 6

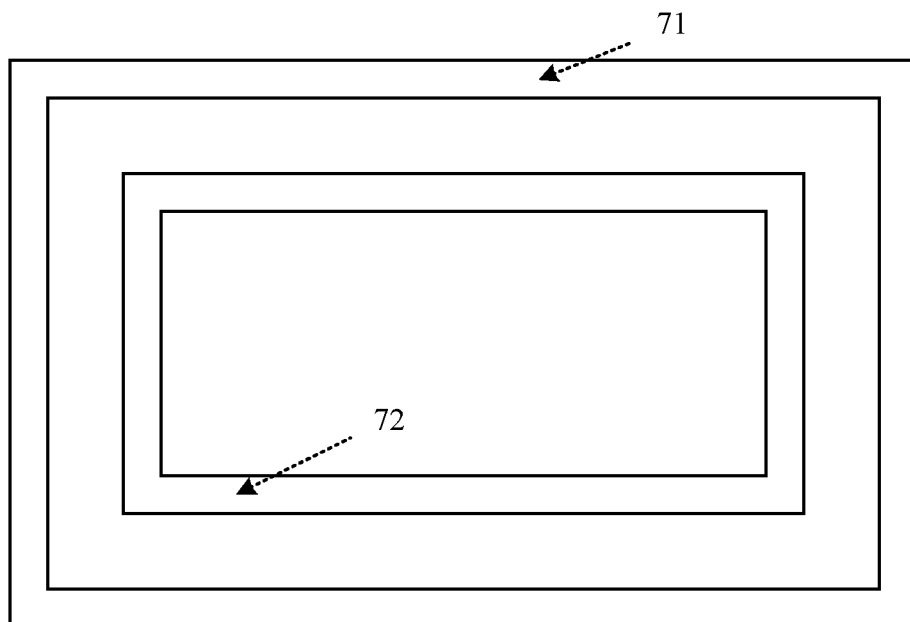
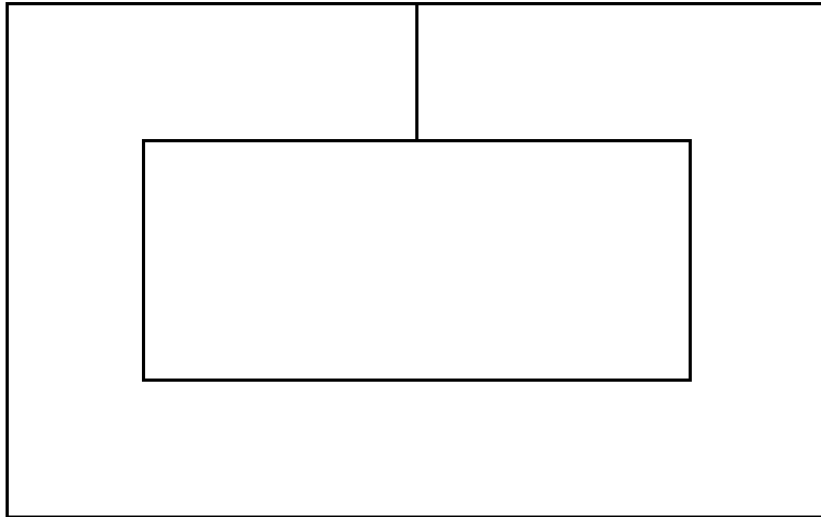
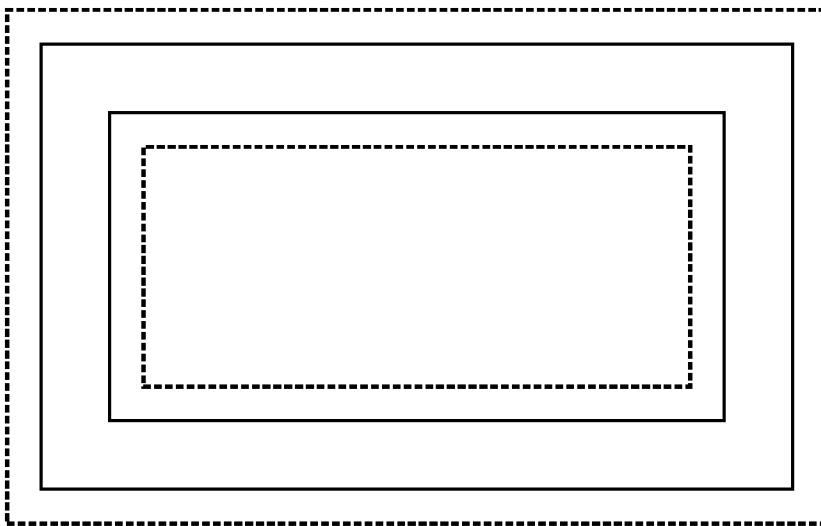


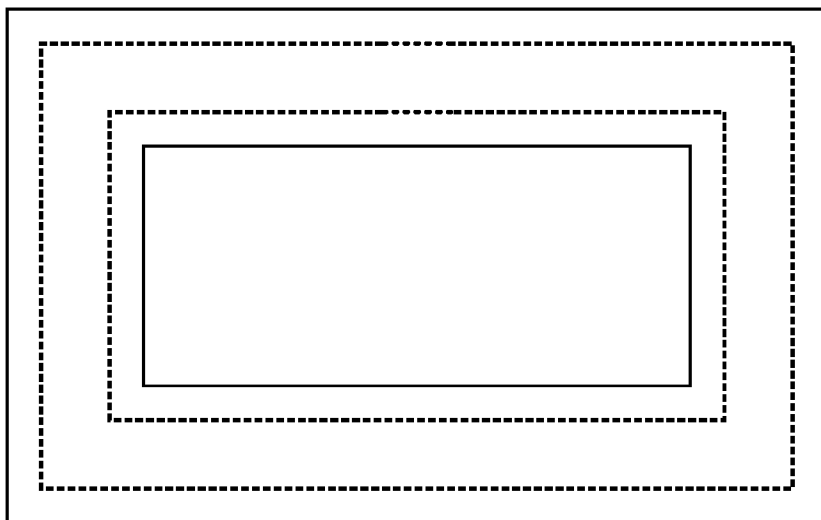
图 7



(a)



(b)



(c)

图 8

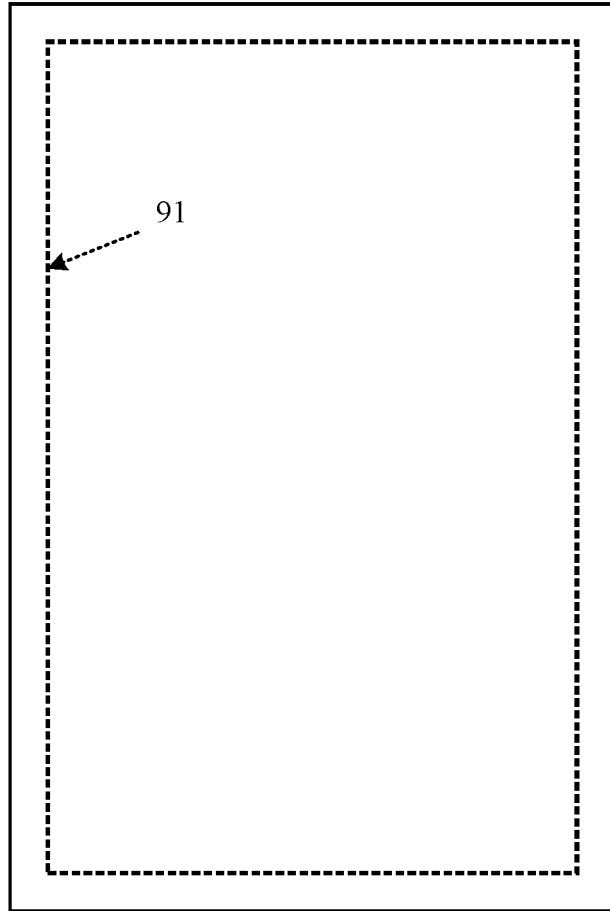


图 9

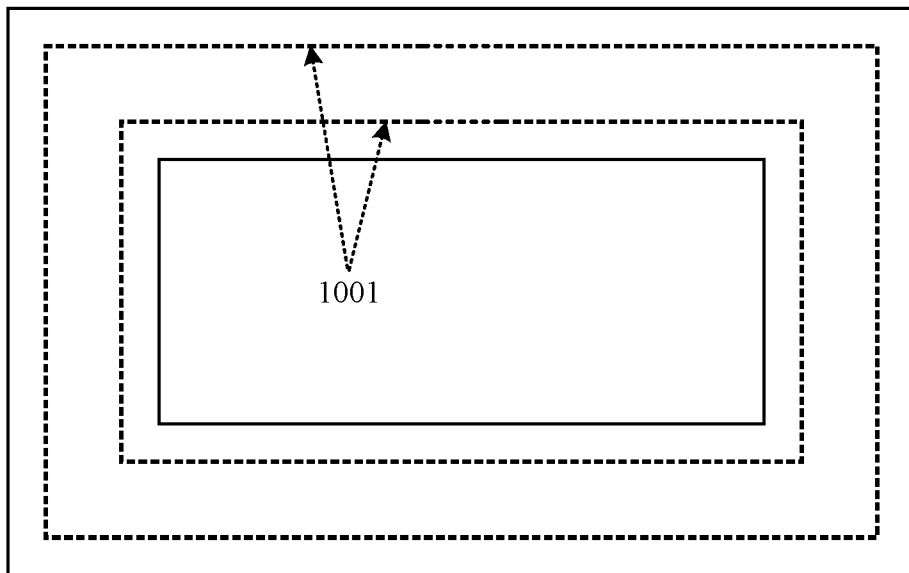


图 10

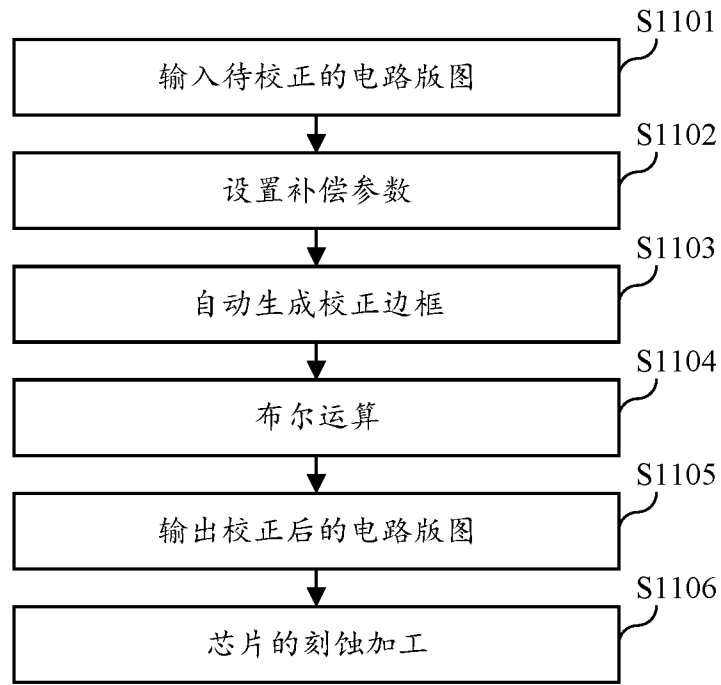


图 11

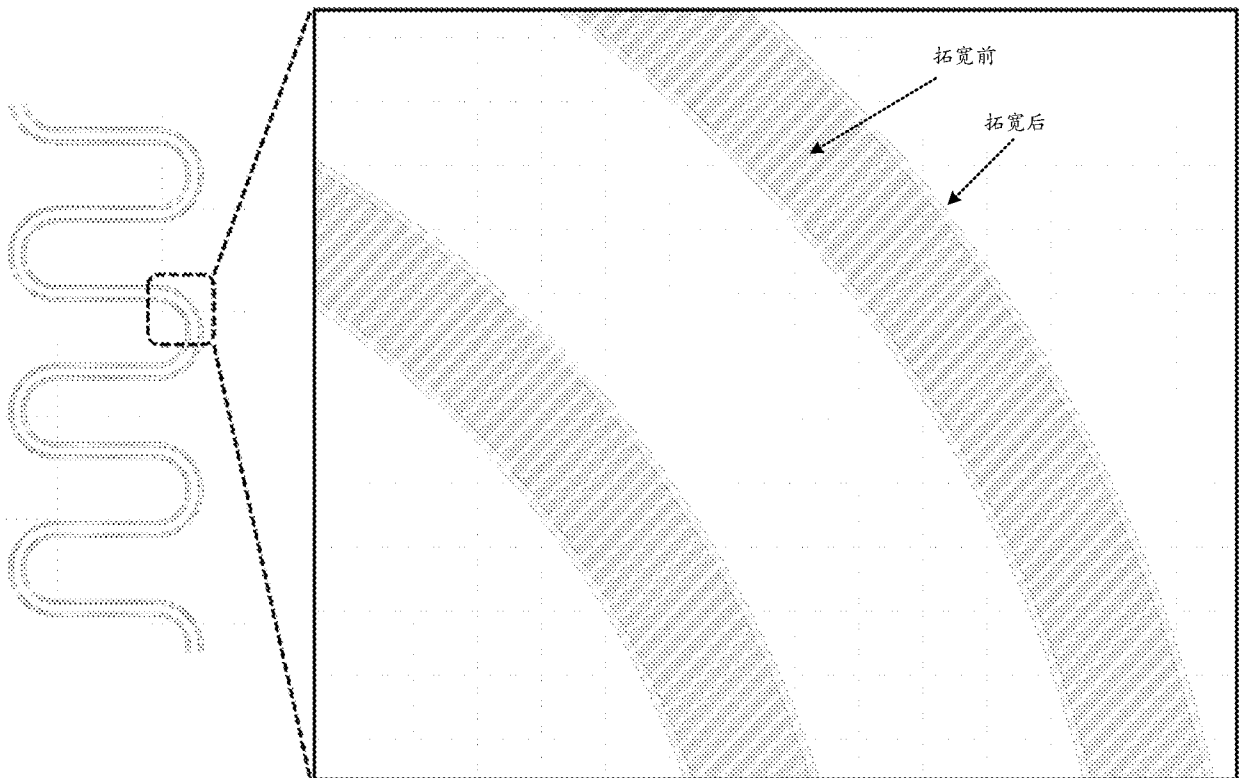


图 12

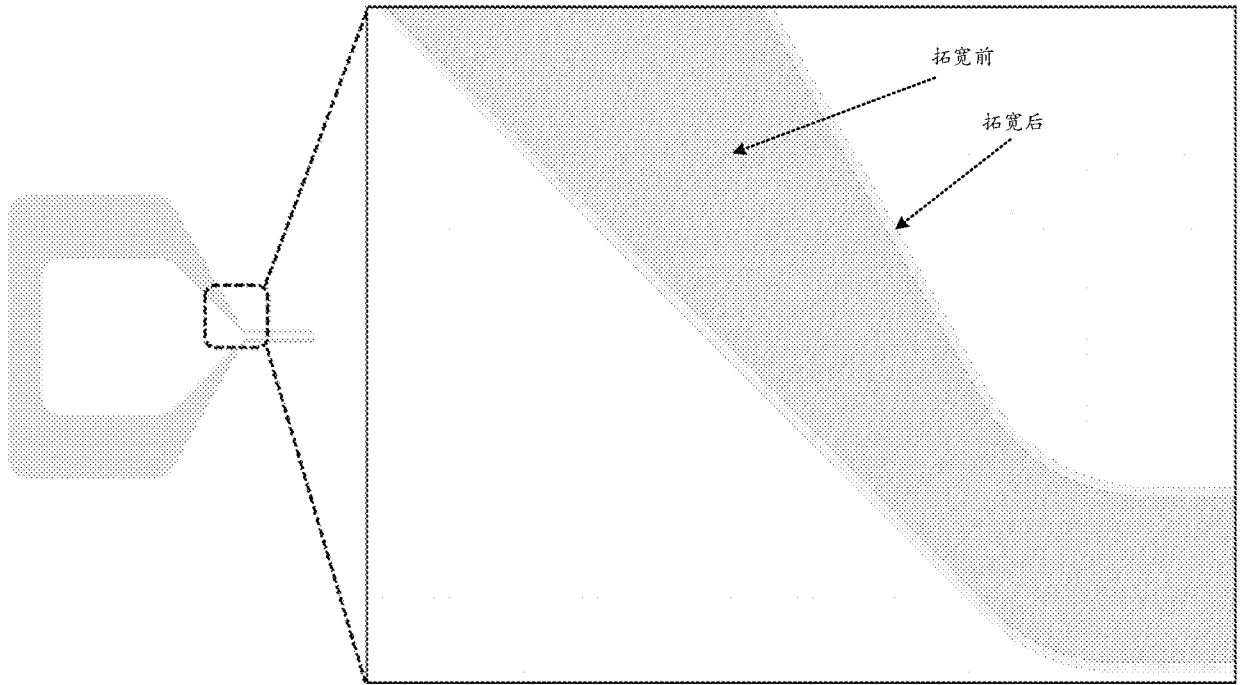


图 13

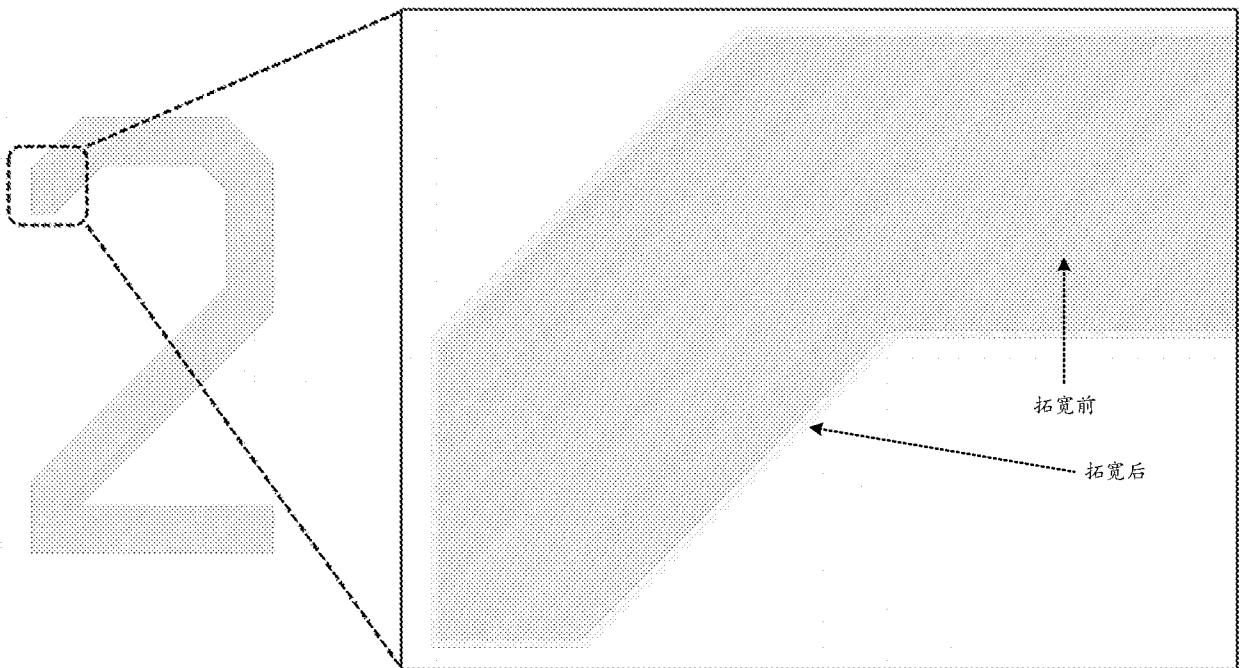


图 14

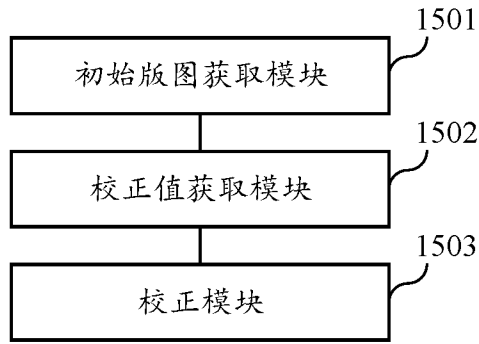


图 15

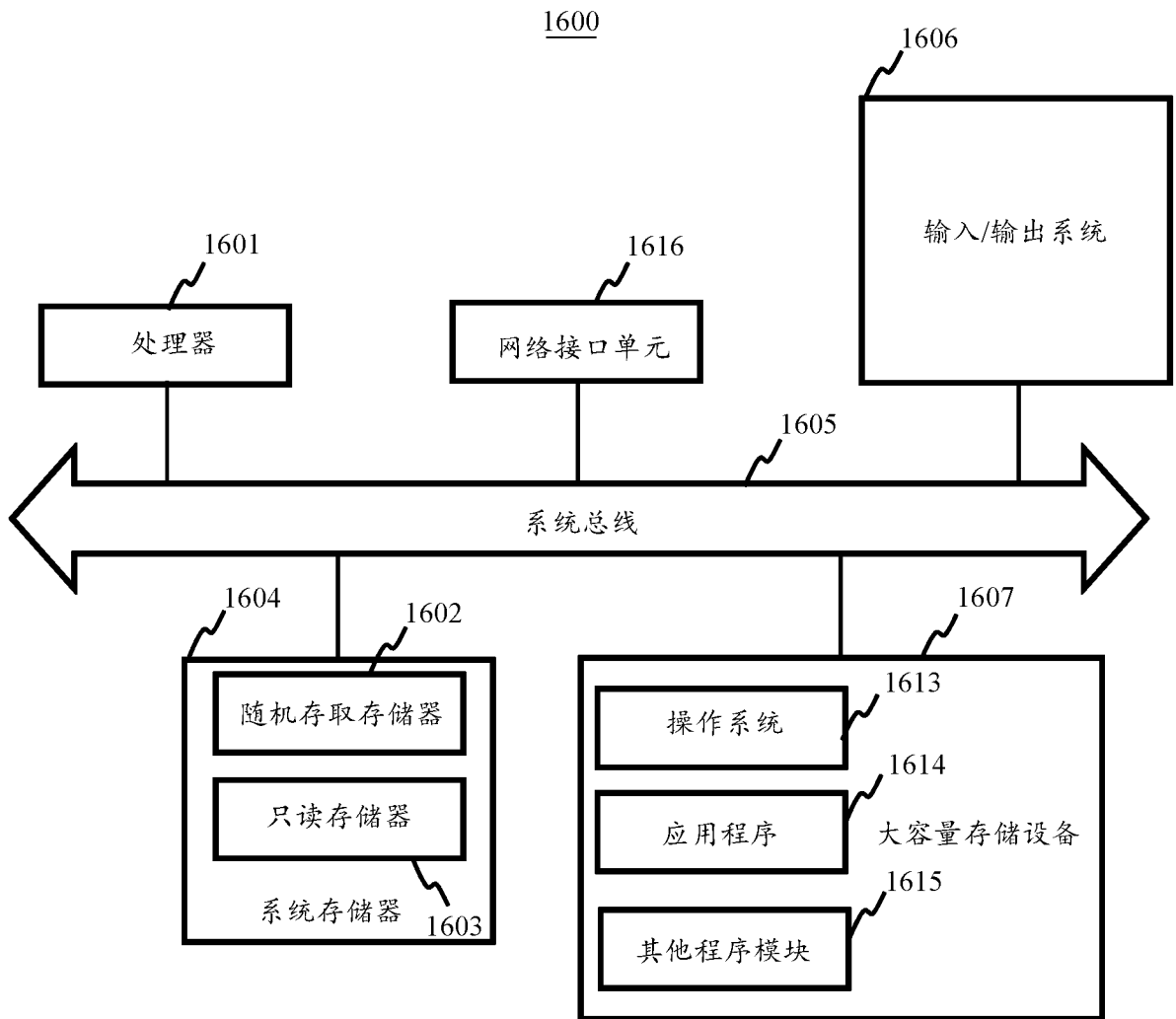


图 16

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/097697

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
G06T7/00(2017.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols)		
IPC: G06T		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 版图, 补偿, 刻蚀, 误差, 校正, 芯片, 修正, 芯片, 初始, 边界, 值, chip, circuit, territory, compensation, corrosion, error, boundary		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 113741142 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CO., LTD. et al.) 03 December 2021 (2021-12-03) claims 1-17, and description, paragraphs [0066]-[0170]	1-20
A	CN 106372300 A (SHANGHAI HUALI MICROELECTRONICS CORPORATION) 01 February 2017 (2017-02-01) entire document	1-20
A	CN 208334913 U (CHANGXIN MEMORY TECHNOLOGIES, INC.) 04 January 2019 (2019-01-04) entire document	1-20
A	CN 113589642 A (GUANGZHOU GREATER BAY AREA INSTITUTE OF INTEGRATED CIRCUIT AND SYSTEM) 02 November 2021 (2021-11-02) entire document	1-20
A	US 2007089078 A1 (ENGEL, J. J. et al.) 19 April 2007 (2007-04-19) entire document	1-20
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
20 July 2023		12 September 2023
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No. <b>PCT/CN2023/097697</b>
---

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN	113741142	A	03 December 2021	None	
CN	106372300	A	01 February 2017	None	
CN	208334913	U	04 January 2019	None	
CN	113589642	A	02 November 2021	None	
US	2007089078	A1	19 April 2007	US	2006026544 A1 02 February 2006

<p><b>A. 主题的分类</b> G06T7/00(2017.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																				
<p><b>B. 检索领域</b></p> <p>检索的最低限度文献(标明分类系统和分类号) IPC: G06T</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE:版图, 补偿, 刻蚀, 误差, 校正, 芯片, 修正, 芯片, 初始, 边界, 值, chip, circuit, territory, compensation, corrosion, error, boundary</p>																				
<p><b>C. 相关文件</b></p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 113741142 A (中芯国际集成电路制造(上海)有限公司等) 2021年12月3日 (2021 - 12 - 03) 权利要求1-17, 说明书第[0066]-[0170]段</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 106372300 A (上海华力微电子有限公司) 2017年2月1日 (2017 - 02 - 01) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 208334913 U (长鑫存储技术有限公司) 2019年1月4日 (2019 - 01 - 04) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 113589642 A (广东省大湾区集成电路与系统应用研究院) 2021年11月2日 (2021 - 11 - 02) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>US 2007089078 A1 (ENGEL, JAMES J. et al.) 2007年4月19日 (2007 - 04 - 19) 全文</td> <td>1-20</td> </tr> </tbody> </table> <p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型:          “A” 认为不特别相关的表示了现有技术一般状态的文件          “D” 申请人在国际申请中引证的文件          “E” 在国际申请日的当天或之后公布的在先申请或专利          “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)          “O” 涉及口头公开、使用、展览或其他方式公开的文件          “P” 公布日先于国际申请日但迟于所要求的优先权日的文件          “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件          “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性          “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性          “&amp;” 同族专利的文件</p>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 113741142 A (中芯国际集成电路制造(上海)有限公司等) 2021年12月3日 (2021 - 12 - 03) 权利要求1-17, 说明书第[0066]-[0170]段	1-20	A	CN 106372300 A (上海华力微电子有限公司) 2017年2月1日 (2017 - 02 - 01) 全文	1-20	A	CN 208334913 U (长鑫存储技术有限公司) 2019年1月4日 (2019 - 01 - 04) 全文	1-20	A	CN 113589642 A (广东省大湾区集成电路与系统应用研究院) 2021年11月2日 (2021 - 11 - 02) 全文	1-20	A	US 2007089078 A1 (ENGEL, JAMES J. et al.) 2007年4月19日 (2007 - 04 - 19) 全文	1-20
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
X	CN 113741142 A (中芯国际集成电路制造(上海)有限公司等) 2021年12月3日 (2021 - 12 - 03) 权利要求1-17, 说明书第[0066]-[0170]段	1-20																		
A	CN 106372300 A (上海华力微电子有限公司) 2017年2月1日 (2017 - 02 - 01) 全文	1-20																		
A	CN 208334913 U (长鑫存储技术有限公司) 2019年1月4日 (2019 - 01 - 04) 全文	1-20																		
A	CN 113589642 A (广东省大湾区集成电路与系统应用研究院) 2021年11月2日 (2021 - 11 - 02) 全文	1-20																		
A	US 2007089078 A1 (ENGEL, JAMES J. et al.) 2007年4月19日 (2007 - 04 - 19) 全文	1-20																		
<p>国际检索实际完成的日期 2023年7月20日</p>	<p>国际检索报告邮寄日期 2023年9月12日</p>																			
<p>ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088</p>	<p>授权官员 张曼 电话号码 (+86) 010-53961309</p>																			

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2023/097697

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	113741142	A	2021年12月3日	无	
CN	106372300	A	2017年2月1日	无	
CN	208334913	U	2019年1月4日	无	
CN	113589642	A	2021年11月2日	无	
US	2007089078	A1	2007年4月19日	US	2006026544 A1 2006年2月2日