

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2018年9月20日(20.09.2018)



(10) 国際公開番号  
**WO 2018/168328 A1**

- (51) 国際特許分類:  
G01R 31/26 (2014.01) H02M 7/12 (2006.01)  
H02M 3/155 (2006.01)
- (21) 国際出願番号: PCT/JP2018/005532
- (22) 国際出願日: 2018年2月16日(16.02.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2017-049158 2017年3月14日(14.03.2017) JP
- (71) 出願人: 日本電産株式会社 (NIDEC CORPORATION) [JP/JP]; 〒6018205 京都府京都市南区久世殿城町338番地 Kyoto (JP).
- (72) 発明者: 池田秀寿 (IKEDA, Hidetoshi); 〒6018205 京都府京都市南区久世殿城町338番

地 日本電産株式会社内 Kyoto (JP), 戸川 隆 (TOGAWA, Takashi); 〒6018205 京都府京都市南区久世殿城町338番地 日本電産株式会社内 Kyoto (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(54) Title: DAMAGE PREDICTION APPARATUS AND DAMAGE PREDICTION METHOD FOR POWER SEMICONDUCTOR SWITCHING ELEMENT, AC-DC CONVERTER, AND DC-DC CONVERTER

(54) 発明の名称: パワー半導体スイッチング素子のダメージ予測装置及びダメージ予測方法、AC-D Cコンバータ、DC-D Cコンバータ

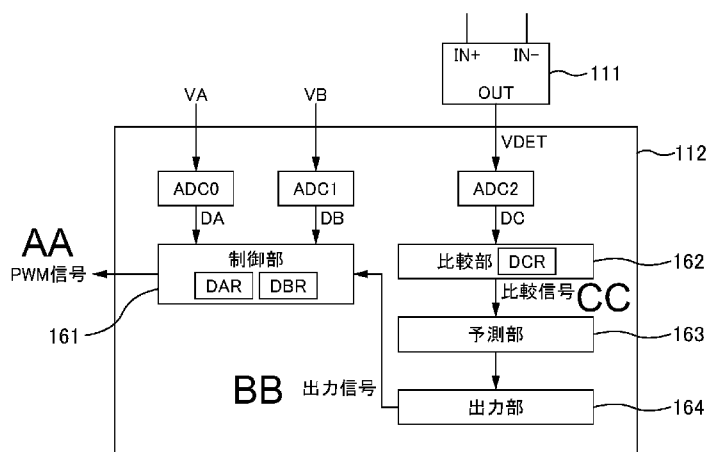
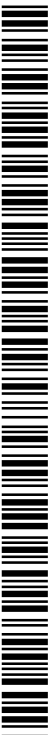


FIG. 4:  
 161 Control unit  
 162 Comparison unit  
 163 Prediction unit  
 164 Output unit  
 AA PWM signal  
 BB Output signal  
 CC Comparison signal

(57) Abstract: According to the present invention, a damage determination apparatus for a power semiconductor switching element is provided with: a resistor that is connected to the gate of the power semiconductor switching element; a comparison unit that compares a reference voltage with a detected voltage in accordance with the voltage generated at both ends of the resistor, when a prescribed voltage is applied to the gate of the power semiconductor switching element; and a prediction unit that predicts that a prescribed damage has accumulated in the gate insulating layer of the power semiconductor switching element when the detected voltage exceeds the reference voltage.



WO 2018/168328 A1

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

---

(57) 要約: 【解決手段】 パワー半導体スイッチング素子のダメージ判定装置であって、前記パワー半導体スイッチング素子のゲートに接続される抵抗と、前記パワー半導体スイッチング素子のゲートに所定電圧が印加されると、前記抵抗の両端に生じる電圧に応じた検出電圧と基準電圧とを比較する比較部と、前記検出電圧が前記基準電圧を超えると、前記パワー半導体スイッチング素子のゲート絶縁層に所定のダメージが蓄積されたものと予測する予測部と、を備える。

## 明 細 書

発明の名称：

パワー半導体スイッチング素子のダメージ予測装置及びダメージ予測方法、AC-DCコンバータ、DC-DCコンバータ

### 技術分野

[0001] 本発明は、パワー半導体スイッチング素子のダメージ予測装置及びダメージ予測方法、AC-DCコンバータ、DC-DCコンバータに関する。

### 背景技術

[0002] 交流電圧を直流電圧に変換する際にパワー半導体スイッチング素子を周期的にオン／オフすることによって所定値の直流電圧を出力するAC-DCコンバータや、直流電圧を当該直流電圧とは異なる値の直流電圧に変換する際にパワー半導体スイッチング素子を周期的にオン／オフすることによって所定値の直流電圧を出力するDC-DCコンバータ等の電力変換装置が知られている。

### 先行技術文献

### 特許文献

[0003] 特許文献1：特許第5186095号公報

### 発明の概要

### 発明が解決しようとする課題

[0004] 上記の電力変換装置に対して、例えば、Ga<sub>2</sub>N<sub>3</sub>（窒化ガリウム：Gallium Nitride）からなるFET（電界効果トランジスタ：Field Effect Transistor）（以下、Ga<sub>2</sub>N<sub>3</sub>-FETと称する）、SiC（炭化ケイ素：Silicon Carbide）からなるFET（以下、SiC-FETと称する）、IGBT（絶縁ゲート型バイポーラトランジスタ：Insulated Gate Bipolar Transistor）等のパワー半導体スイッチング素子を用いる場合がある。

[0005] しかし、上記の電力変換装置に対してこれらのパワー半導体スイッチング

素子を用いた場合、パワー半導体スイッチング素子の電流駆動能力 ( $di/dt$ ) が大きいことに起因して、以下の問題を生じる虞がある。例えば、パワー半導体スイッチング素子を周期的にオン/オフする際にパワー半導体スイッチング素子のゲートに印加されるゲート電圧がハイレベルとローレベルのうち何れか一方のレベルから他方のレベルへ変化すると、AC-DCコンバータやDC-DCコンバータの回路配線に寄生するインダクタンス成分及びキャパシタンス成分等の共振に伴って、ゲート電圧に対して当該ゲート電圧の周波数よりも高い周波数を有するリングングが重畳することとなる。つまり、ゲート電圧に対してオーバーシュートとアンダーシュートが現れることとなる。このようにして、ゲート電圧が定格電圧を超えてしまうと、パワー半導体スイッチング素子のゲート絶縁層にダメージが徐々に蓄積され、やがてパワー半導体スイッチング素子の破壊に至る虞がある。

[0006] 例えば、特許文献1の場合、パワー半導体スイッチング素子のゲート電圧値を検出しているが、これは、パワー半導体スイッチング素子におけるスイッチング損失及びノイズの低減を図るためであって、パワー半導体スイッチング素子のゲート絶縁層に蓄積されたダメージの程度を予測するためではない。

[0007] そこで、本発明は、パワー半導体スイッチング素子のゲート絶縁層に蓄積されたダメージの程度の予測を可能にするダメージ予測装置、ダメージ予測方法、AC-DCコンバータ、DC-DCコンバータを提供することを目的とする。

### 課題を解決するための手段

[0008] 前述した課題を解決する主たる本発明は、パワー半導体スイッチング素子のダメージ予測装置であって、前記パワー半導体スイッチング素子のゲートに接続される抵抗と、前記パワー半導体スイッチング素子のゲートに所定電圧が印加されると、前記抵抗の両端に生じる電圧に応じた検出電圧と基準電圧とを比較する比較部と、前記検出電圧が前記基準電圧を超えると、前記パワー半導体スイッチング素子のゲート絶縁層に所定のダメージが蓄積された

ものと予測する予測部と、を備えてなる。

[0009] 本発明の他の特徴については、添付図面及び本明細書の記載により明らかとなる。

### 発明の効果

[0010] 本発明によれば、パワー半導体スイッチング素子のゲート絶縁層に蓄積されたダメージの程度を予測し、パワー半導体スイッチング素子の破壊に伴うトラブルを未然に防止することが可能になる。

### 図面の簡単な説明

[0011] [図1]第1実施形態に係るダメージ予測装置を備えた昇圧型のAC-DCコンバータの一例を示す回路ブロック図である。

[図2]第1実施形態に係るダメージ予測装置に用いられる電位差検出部の一例を示す回路図である。

[図3]第1実施形態に係るダメージ予測装置に用いられるマイコンのハードウェアの一例を示すブロック図である。

[図4]第1実施形態に係るダメージ予測装置に用いられるマイコンによって実現される機能の一例を示すブロック図である。

[図5]第1実施形態に係るダメージ予測装置の動作を説明するための波形図である。

[図6]第1実施形態に係るダメージ予測装置の動作を説明するためのフローチャートである。

[図7]第2実施形態に係るダメージ予測装置を備えた昇圧型のDC-DCコンバータの一例を示す回路ブロック図である。

[図8]第2実施形態に係るダメージ予測装置に用いられるマイコンの機能の一例を示すブロック図である。

[図9]第3実施形態に係るダメージ予測装置を備えた昇圧型のAC-DCコンバータの一例を示す回路ブロック図である。

[図10]第3実施形態に係るダメージ予測装置に用いられるマイコンによって実現される機能の一例を示すブロック図である。

[図11]第4実施形態に係るダメージ予測装置を備えた昇圧型のAC-DCコンバータの一例を示す回路ブロック図である。

[図12]第4実施形態に係るダメージ予測装置に用いられるマイコンによって実現される機能の一例を示すブロック図である。

[図13]第5実施形態に係るダメージ予測装置を備えた昇圧型のAC-DCコンバータの一例を示す回路ブロック図である。

[図14]第5実施形態に係るダメージ予測装置に用いられるマイコンの機能の一例を示すブロック図である。

[図15]第6実施形態に係るダメージ予測装置を備えた昇圧型のAC-DCコンバータの一例を示す回路ブロック図である。

[図16]第6実施形態に係るダメージ予測装置に用いられるマイコンの機能の一例を示すブロック図である。

[図17]第7実施形態に係るダメージ予測装置を備えた昇圧型のAC-DCコンバータの一例を示す回路ブロック図である。

[図18]第7実施形態に係るダメージ予測装置に用いられるマイコンの機能の一例を示すブロック図である。

### 発明を実施するための形態

[0012] 本明細書および添付図面の記載により、少なくとも以下の事項が明らかとなる。

=== 第1実施形態 ===

[0013] <<AC-DCコンバータの構成>>

図1は、本実施形態に係るダメージ予測装置を備えた昇圧型のAC-DCコンバータの一例を示す回路ブロック図である。図2は、本実施形態に係るダメージ予測装置に用いられる電位差検出部の一例を示す回路図である。図3は、本実施形態に係るダメージ予測装置に用いられるマイコンのハードウェアの一例を示すブロック図である。図4は、本実施形態に係るダメージ予測装置に用いられるマイコンによって実現される機能の一例を示すブロック図である。

- [0014] 以下、図1～図4を参照しつつ、本実施形態に係るダメージ予測装置を備えたAC-DCコンバータの構成について説明する。
- [0015] AC-DCコンバータ100は、交流電圧を直流電圧に変換する際に、後述するパワー半導体スイッチング素子を交流電圧の周波数よりも高い周波数でオン/オフすることによって、所定値の直流電圧を出力する電力変換装置である。尚、AC-DCコンバータ100は、力率改善回路を備えている。
- [0016] 力率改善回路を備えたAC-DCコンバータ100は、交流電源101（例えば50Hz又は60Hzの交流電圧を発生する商用電源）、全波整流回路102、チョークコイル103、ダイオード104、平滑コンデンサ105、電圧検出抵抗106A、106B、電流検出抵抗107、パワー半導体スイッチング素子108、ゲート抵抗109（抵抗）、ゲートドライバ110、電位差検出回路111（電位差検出部）、マイコン112を含んで構成されている。尚、ダメージ予測装置は、ゲート抵抗109、ゲートドライバ110、電位差検出回路111、マイコン112を含んで構成されている。
- [0017] 全波整流回路102は、4個のダイオード102A～102Dからなるブリッジ回路であって、交流電源101から発生する交流電圧を全波整流した直流電圧を出力する。
- [0018] チョークコイル103は、全波整流後の直流電圧よりも大きい直流電圧を平滑コンデンサ105に充電するために設けられている。チョークコイル103の一端は全波整流回路102の一方の出力端に接続され、チョークコイル103には全波整流回路102から出力された直流電流が供給される。尚、チョークコイル103は、平滑コンデンサ105に対するリップル電流の影響を防止する役割も果たし、更には、交流電源101から入力される交流電流を正弦波とする役割も果たしている。
- [0019] ダイオード104及び平滑コンデンサ105は、チョークコイル103の他端と接地GNDとの間に直列接続されている。
- [0020] 電圧検出抵抗106A、106Bは、AC-DCコンバータ100の出力電圧を検出するために設けられている。電圧検出抵抗106A、106Bは

、ダイオード104のアノードと接地GNDとの間に直列接続されている。つまり、電圧検出抵抗106A、106Bの直列体は、平滑コンデンサ105の両端と負荷Lとに並列接続されている。

[0021] 電流検出抵抗107は、パワー半導体スイッチング素子108に流れる電流を電圧として検出するために設けられている。電流検出抵抗107は、全波整流回路102の他方の出力端と平滑コンデンサ105の接地点との間に接続されている。尚、電流検出抵抗107の両端に発生する電圧は微小である。

[0022] 電流検出回路122は、電流検出抵抗107の両端に発生する微小な電圧を所定の電圧増幅度で増幅する回路である。電流検出回路122は、例えば、周知の反転増幅回路や差動増幅回路を用いることによって実現することが可能である。これによって、後述するADC1において、電流検出抵抗107の両端に発生する微小な電圧に相当するデジタルデータDBを確実に得ることが可能になる。

[0023] パワー半導体スイッチング素子108は、チョークコイル103と協働して、全波整流後の直流電圧よりも大きい直流電圧を平滑コンデンサ105に充電するために設けられている。本実施形態の場合、パワー半導体スイッチング素子108は、高耐圧、低損失、高効率、高周波等の特性を備えている。例えば、パワー半導体スイッチング素子108は、GaN（窒化ガリウム：Gallium Nitride）-FET（電界効果トランジスタ：Field Effect Transistor）の一種であるGaN-HEMT（High Electron Mobility Transistor）であることとする。GaN-HEMTは、GaNとAlGaIn（窒化アルミニウムガリウム：Gallium Aluminum Nitride）とからなる2層のヘテロ構造の界面に存在する2次元電子ガスを電子の移動度を高めるために電流の経路として用いる素子である。以下、説明の便宜上、パワー半導体スイッチング素子108をGaN-HEMT108と称する場合がある。

[0024] GaN-HEMTは、原理的にはノーマリオンで動作する素子である。しかし、本実施形態に用いられるGaN-HEMTは、ノーマリオフで動作す

るように改良された素子であることとする。GaN-HEMTをノーマリオフで動作するように改良する技術として、GaN-HEMTのゲート構造をエンハンス特性となるように変更したり、GaN-HEMTのソースに対して低耐圧のMOSFETをカスケード接続したりする周知の技術が知られている。本実施形態に用いられるGaN-HEMTは、何れの技術によって実現されたものでもよい。尚、説明の便宜上、図面におけるGaN-HEMT 108を1個のFETのシンボルで表すこととする。

[0025] GaN-HEMT 108のドレインはチョークコイル103の他端に接続され、GaN-HEMT 108のソースは接地GNDに接続されている。又、GaN-HEMT 108のゲートはゲート抵抗109を介してゲートドライバ110に接続されている。

[0026] ゲートドライバ110は、マイコン112からの指示に従って、GaN-HEMT 108をオンするときにハイレベル（例えば5ボルト）、GaN-HEMT 108をオフするときにローレベル（例えば0ボルト）となる2値のスイッチング信号を出力する。つまり、GaN-HEMT 108は、スイッチング信号のレベルの変化に応じてオン／オフする。

[0027] ここで、AC-DCコンバータ100にGaN-HEMT 108を設けた場合、GaN-HEMT 108の電流駆動能力 ( $di/dt$ ) が大きいことに起因して、以下の問題を生じる虞がある。例えば、ゲートドライバ110から出力されるスイッチング信号がハイレベル又はローレベルに変化すると共振が生じる。この共振は、AC-DCコンバータ100の回路配線やチョークコイル103におけるインダクタンス成分と、AC-DCコンバータ100の回路配線や平滑コンデンサ105におけるキャパシタンス成分と、によって生じる。この共振が生じると、GaN-HEMT 108のゲートに印加されるゲート電圧に対して、ゲート電圧の周波数（スイッチング信号の周波数）よりも高い周波数を有するリングングが重畳する。つまり、スイッチング信号がハイレベルに変化すると、ゲート電圧にオーバーシュートが現れ、一方、スイッチング信号がローレベルに変化すると、ゲート電圧にアンダーシ

ュートが現れる。そして、ゲート電圧がGa N-H EMT 1 0 8のゲートの定格電圧を超える度に、Ga N-H EMT 1 0 8のゲート絶縁層にダメージが徐々に蓄積され、やがてGa N-H EMT 1 0 8の破壊に至る虞がある。そのため、Ga N-H EMT 1 0 8のゲート絶縁層に蓄積されたダメージの程度を予測し、Ga N-H EMT 1 0 8の破壊に伴うAC-D Cコンバータ1 0 0のトラブルを未然に防止する必要がある。

[0028] Ga N-H EMT 1 0 8のゲート絶縁層にダメージが蓄積されると、Ga N-H EMT 1 0 8のゲート・ソース間の抵抗値は減少する。ここで、Ga N-H EMT 1 0 8をオンする際のゲート電圧（ハイレベル）は一定値であるため、Ga N-H EMT 1 0 8のゲート絶縁層にダメージが蓄積されると、Ga N-H EMT 1 0 8をオンした際にGa N-H EMT 1 0 8のゲート・ソース間を流れる電流が増加してしまう。そのため、Ga N-H EMT 1 0 8のゲート・ソース間を流れる電流の増加分がリーク電流としてゲート抵抗1 0 9に流れることとなる。そこで、本実施形態では、Ga N-H EMT 1 0 8をオンした際にゲート抵抗1 0 9に流れるリーク電流に着目し、Ga N-H EMT 1 0 8のゲート絶縁層のダメージの程度を予測するダメージ予測装置を提供することとする。

[0029] 図2に示す電位差検出回路1 1 1は、ゲート抵抗1 0 9におけるGa N-H EMT 1 0 8側の一端に生じる電位 $V_2$ （第2電位）と、ゲート抵抗1 0 9におけるゲートドライバ1 1 0側の他端に生じる電位 $V_1$ （第1電位）との電位差 $V_1 - V_2$ を取り込むことによって、ゲート抵抗1 0 9に流れるリーク電流に応じた検出電圧 $V_{DET}$ 、即ち、ゲート抵抗1 0 9の両端に生じる電圧に応じた検出電圧 $V_{DET}$ を出力する回路である。電位差検出回路1 1 1は、電位 $V_1$ が入力される第1入力端子 $I_{N+}$ と、電位 $V_2$ が入力される第2入力端子 $I_{N-}$ と、検出電圧 $V_{DET}$ が出力される出力端子 $O_{UT}$ を有している。そして、電位差検出回路1 1 1は、微小な値のリーク電流に応じた検出電圧 $V_{DET}$ を出力できるように、例えば、所定の電圧増幅度を有する差動増幅回路1 1 1 Aを第1入力端子 $I_{N+}$ 、第2入力端子 $I_{N-}$ 、出

力端子OUTと接続することによって構成されている。

[0030] 差動増幅回路111Aは、演算増幅器OP、分圧抵抗R1～R4、入力抵抗R5、R7、接地抵抗R6、帰還抵抗R8を含んで構成されている。

[0031] 分圧抵抗R1、R2は、第1入力端子IN+と接地GNDとの間に直列接続され、分圧抵抗R1、R2の接続点は、入力抵抗R5を介して演算増幅器OPの第1入力端子(+)に接続されている。分圧抵抗R3、R4は、第2入力端子IN-と接地GNDとの間に直列接続され、分圧抵抗R3、R4の接続点は、入力抵抗R7を介して演算増幅器OPの第2入力端子(-)に接続されている。帰還抵抗R8は、演算増幅器OPの第2入力端子(-)と出力端子との間に接続されている。接地抵抗R6は、演算増幅器OPの第1入力端子(+)と接地GNDとの間に接続されている。差動増幅回路111Aが上記のように接続されることによって、演算増幅器OPの出力端子から出力される電圧V<sub>o</sub>は、以下の式(3)～(5)で表される。

[0032] 分圧抵抗R1、R2の接続点の電圧をV<sub>i+</sub>、分圧抵抗R3、R4の接続点の電圧をV<sub>i-</sub>、演算増幅器OPの第1入力端子(+)にかかる電圧(入力抵抗R5と接地抵抗R6との接続点の電圧)をV<sub>+</sub>、演算増幅器OPの第2入力端子(-)に係る電圧(入力抵抗R7と帰還抵抗R8との接続点の電圧)をV<sub>-</sub>とすると、電圧V<sub>+</sub>は式(1)のように表され、電圧V<sub>-</sub>は式(2)のように表される。

[0033] [数1]

$$V_+ = \frac{R6}{R5 + R6} V_{i+} \dots (1)$$

[0034] [数2]

$$V_- = \frac{R8V_{i-} + R7V_o}{R7 + R8} \dots (2)$$

[0035] ここで、V<sub>+</sub>=V<sub>-</sub>とすると、電圧V<sub>o</sub>は式(3)のように表される。

[0036] [数3]

$$V_o = \frac{R6(R7 + R8)V_{i+} - R8(R5 + R6)V_{i-}}{R7(R5 + R6)} \dots (3)$$

[0037] 更に、 $R_5 = R_7$ 、 $R_6 = R_8$ とすると、電圧 $V_0$ は式(4)のように表される。

[0038] [数4]

$$V_0 = \frac{R_8}{R_7}(V_{i+} - V_{i-}) \cdots (4)$$

[0039] 更に、 $V_{i+}$ 、 $V_{i-}$ は式(5)、式(6)のように表される。

[0040] [数5]

$$V_{i+} = \frac{R_2}{R_1 + R_2} V_1 \cdots (5)$$

[0041] [数6]

$$V_{i-} = \frac{R_4}{R_3 + R_4} V_2 \cdots (6)$$

[0042] そして、 $R_1 = R_3$ 、 $R_2 = R_4$ とすると、電圧 $V_0$ は式(7)のように表される。

[0043] [数7]

$$V_0 = \frac{R_8}{R_7} \cdot \frac{R_2}{R_1 + R_2} (V_1 - V_2) \cdots (7)$$

[0044] 式(7)から明らかなように、差動増幅回路111Aの電圧増幅度は $(R_8 / R_7) \cdot (R_2 / (R_1 + R_2))$ で定まることとなる。従って、演算増幅器OPの第1入力端子(+)及び第2入力端子(-)に電位 $V_1$ 、 $V_2$ に応じた電圧が印加されると、演算増幅器OPの出力端子から上記の電圧増幅度で増幅された電圧が出力され、出力端子OUTから検出電圧VDETとして出力されることとなる。

[0045] 図3に示すマイコン112は、電圧検出抵抗106A、106Bの接続点に生じる検出電圧VAが一定値となるように、ゲートドライバ110に対してスイッチング信号のハイレベル期間とローレベル期間を調整するための制御を行う。マイコン112は、ゲートドライバ110がスイッチング信号を出力する際の契機となるPWM信号を出力する。PWM信号の各周期はオン期間とオフ期間とで形成されるが、PWM信号のオン期間はスイッチング信

号のハイレベル期間に相当し、PWM信号のオフ期間はスイッチング信号のローレベル期間に相当する。例えば、検出電圧VAが一定値よりも上昇すると、マイコン112は、検出電圧VAが一定値となるように、PWM信号のオン期間を短く調整するとともにPWM信号のオフ期間を長く調整する。一方、検出電圧VAが一定値よりも下降すると、マイコン112は、検出電圧VAが一定値となるように、PWM信号のオン期間を長く調整するとともにPWM信号のオフ期間を短く調整する。尚、マイコン112から出力される最初のPWM信号のオン期間とオフ期間は、例えばオン期間がオフ期間よりも短いデューティ50%未満の関係であってもよい。また、オン期間がオフ期間よりも長いデューティ50%以上の関係であってもよい。

[0046] マイコン112は、交流電源101の交流電流が正弦波となるように、かつ、電流検出回路122から出力される検出電圧VBが正弦波の全波整流波形となるように、力率改善動作のための制御を行う。

[0047] 更に、マイコン112は、検出電圧VDETと基準電圧VREFとを比較し、検出電圧VDETが基準電圧VREFを超えたとき、GaN-HEMT108のゲート絶縁層に所定のダメージが蓄積されたものと予測するための制御を行う。

[0048] マイコン112は、ROM151、CPU152、RAM153、I/Oポート群154、ADコンバータ群155、バス156を含んで構成されている。ROM151は、マスクROMやフラッシュROM等の不揮発性メモリで構成されている。ROM151には、上記の制御を行うためのプログラムが予め格納されている。RAM153は、RAM153のための電源が供給されている期間においてデータの書き込みと読み出しが可能な揮発性メモリで構成されている。RAM153には、CPU152がプログラムを実行して得られたデータが書き込まれる。一方、RAM153からは、CPU152がプログラムを実行するために必要なデータが読み出される。I/Oポート群154は、CPU152がプログラムを実行する際に必要なデータの入力又は出力が行われる。A/Dコンバータ群155は、CPU152が

プログラムを実行する際に必要なアナログデータを外部から取り込んでデジタルデータに変換する。CPU 152は、ROM 151から読み出されたプログラムの内容に従って、RAM 153から読み出されたデータ、I/Oポート群154に入力されたデータ、A/Dコンバータ群155から出力されたデータ等に対して必要な演算処理を行う。尚、ROM 151、CPU 152、RAM 153、I/Oポート群154、A/Dコンバータ群155は、バス156を介して接続されている。

[0049] 図4に示すマイコン112は、ADコンバータ群155としてのADC0～ADC2、制御部161、比較部162、予測部163、出力部164を含んで構成されている。尚、制御部161、比較部162、予測部163、出力部164は、CPU 152がROM 151からプログラムを読み出して実行することによって実現される機能である。

[0050] ADC0は、電圧検出抵抗106A、106Bの接続点に生じる検出電圧VAを取り込んでデジタルデータDAに変換する。同時に、ADC1は、電流検出回路122から出力される検出電圧VBを取り込んでデジタルデータDBに変換する。ADC2は、ゲート抵抗109に流れるリーク電流に応じた検出電圧VDETを取り込んでデジタルデータDCに変換する。

[0051] 制御部161には、検出電圧VAが一定値のときのADC0の変換結果と同一の基準デジタルデータDARが予め格納されている。そして、制御部161は、デジタルデータDAと基準デジタルデータDARとを比較する。例えば、デジタルデータDAが基準デジタルデータDARよりも大きい場合、制御部161は、デジタルデータDAが基準デジタルデータDARに近づくように、PWM信号のオン期間を短く調整するとともにPWM信号のオフ期間を長く調整し、調整後のPWM信号を出力する。一方、デジタルデータDAが基準デジタルデータDARよりも小さい場合、制御部161は、デジタルデータDAが基準デジタルデータDARに近づくように、PWM信号のオン期間を長く調整するとともにPWM信号のオフ期間を短く調整し、調整後のPWM信号を出力する。

[0052] 一方、制御部161には、AC-DCコンバータ100の力率改善動作のための制御を行うことができるように、所定の振幅及び周波数を有する正弦波の全波整流波形を示す基準デジタルデータDBRがルックアップテーブルに保持されている。そして、制御部161は、デジタルデータDBを取り込むとともに基準デジタルデータDBRを読み出し、交流電源101の交流電流が正弦波となるように、かつ、電流検出回路122から出力される検出電圧VBが正弦波の全波整流波形となるように、力率改善動作のための制御を行う。

[0053] 比較部162は、ゲート抵抗109に流れるリーク電流に応じた検出電圧VDETと基準電圧VREFとを比較する。比較部162は、マイコン112のソフトウェア処理によって実現される機能であるため、検出電圧VDETを示すデジタルデータDCと、基準電圧VREFを示す基準デジタルデータDCRとを比較する。尚、比較部162には、GaN-HEMT108のゲート絶縁層に所定のダメージが蓄積されたことを示す値として、デジタルデータDCRが予め格納されている。そして、比較部162は、デジタルデータDCが基準デジタルデータDCRを超えないと、一方のレベル（例えばローレベル）の比較信号を出力し、デジタルデータDCが基準デジタルデータDCRを超えると、他方のレベル（例えばハイレベル）の比較信号を出力する。

[0054] 予測部163は、GaN-HEMT108のゲート絶縁層に所定のダメージが蓄積されたか否かを予測するために、比較部162から出力される比較信号のレベルを監視する。そして、予測部163は、比較信号が一方のレベルから他方のレベルへ変化すると、GaN-HEMT108のゲート絶縁層に所定のダメージが蓄積されたものと予測する。

[0055] 出力部164は、GaN-HEMT108の破壊に伴うAC-DCコンバータ100のトラブルを未然に防止するために、GaN-HEMT108のゲート絶縁層に所定のダメージが蓄積されたことを示す予測結果に従って、一方のレベル（例えばハイレベル）の出力信号を出力する。

[0056] 本実施形態において、制御部161は、出力信号が一方のレベルになると、PWM信号の出力を停止することとする。これによって、GaN-HEMT108のスイッチング動作（周期的なオン／オフ動作）が停止し、GaN-HEMT108の破壊に伴うAC-DCコンバータ100のトラブルを未然に防止することが可能になる。更に、制御部161は、出力信号が一方のレベルになると、GaN-HEMT108のゲート絶縁層に所定のダメージが蓄積されたことを示す予測結果を、監視モニタ（不図示）やスピーカ（不図示）を通してAC-DCコンバータ100の管理者に警告するように、ROM151のプログラムを改変してもよい。

[0057] <<AC-DCコンバータの動作>>

先ず、交流電源101から交流電圧が発生すると、全波整流回路102から交流電圧を全波整流した直流電圧が出力される。一方、マイコン112からPWM信号が出力されると、ゲートドライバ110からスイッチング信号が出力され、GaN-HEMT108はオン／オフ動作する。例えば、GaN-HEMT108がオンすると、チョークコイル103に供給された直流電流がGaN-HEMT108を介して接地GNDに流れるため、チョークコイル103は励磁され、チョークコイル103には励磁エネルギーが蓄積される。又、GaN-HEMT108がオフすると、チョークコイル103の励磁エネルギーはダイオード104を介して平滑コンデンサ105に放出される。尚、GaN-HEMT108がオン／オフ動作する際に、PWM信号のオン期間とオフ期間は、検出電圧VAが一定値に近づくように調整される。このようにして、GaN-HEMT108のオン／オフ動作を繰り返すと、平滑コンデンサ105には、全波整流後の直流電圧よりも大きい直流電圧（全波整流後の直流電圧を昇圧した直流電圧）が充電されることとなる。

[0058] <<ダメージ予測装置の動作>>

図5は、本実施形態に係るダメージ予測装置の動作を説明するための波形図である。尚、図5は、GaN-HEMT108のゲート絶縁層にダメージが蓄積される過程において、検出電圧VDETが基準電圧VREFを超える

までの波形の様子を模式的に示している。図6は、本実施形態に係るダメージ予測装置の動作を説明するためのフローチャートである。尚、図6の動作を実行する主体は、マイコン112である。

[0059] 以下、図5及び図6を参照しつつ、ダメージ予測装置の動作について説明する。

ゲートドライバ110から出力されるスイッチング信号がGaN-HEMT108のゲートに印加されると、GaN-HEMT108のゲートには、スイッチング信号に同期するとともに当該スイッチング信号に対して同相で変化するゲート電圧が生じる。尚、GaN-HEMT108の電流駆動能力が大きいことから、スイッチング信号がハイレベルに変化したときに、ゲート電圧にリングングが重畳してオーバーシュートが現れ、スイッチング信号がローレベルに変化したときに、ゲート電圧にリングングが重畳してアンダーシュートが現れる。そして、これらのオーバーシュートやアンダーシュートが原因となって、ゲート電圧がGaN-HEMT108のゲートの定格電圧を超える度に、GaN-HEMT108のゲート絶縁層にダメージが徐々に蓄積され、GaN-HEMT108のゲート・ソース間の抵抗値が徐々に減少してしまう。この結果、GaN-HEMT108をオンすると、ゲート抵抗109にリーク電流が流れるようになる。尚、リーク電流にもリングングが重畳する。

[0060] ゲート抵抗109にリーク電流が流れると、ゲート抵抗109の一端に電位V2が生じ、ゲート抵抗109の他端に電位V1が生じる。電位V1、V2は、電位差検出回路111の第1入力端子IN+及び第2入力端子IN-にそれぞれ入力される。すると、上記の電圧増幅度で増幅された検出電圧VDETが電位差検出回路111の出力端子OUTから出力される。

[0061] 以後、マイコン112によるプログラムの実行結果に従って、ダメージ予測動作が行われる。

[0062] 先ず、ADC2は、ゲート電圧にリングングが重畳していない期間に対応する検出電圧VREFを取り込むために、例えば、スイッチング信号におけ

るハイレベル期間の中間となるタイミングで検出電圧VDETをサンプリングし、サンプリングされた検出電圧VDETを取り込んでデジタルデータDCに変換する。尚、ADC2におけるサンプリングのタイミングをスイッチング信号におけるハイレベル期間の中間となるタイミングに設定する場合、例えば、スイッチング信号に同期するPWM信号のハイレベル期間を1周期とするデューティ50%の信号を生成し、当該信号の変化タイミングを用いればよい(S101)。

[0063] 次に、比較部162は、検出電圧VDETを示すデジタルデータDCと、基準電圧VREFを示す基準デジタルデータDCRとを比較する(S102)。デジタルデータDCの値が基準デジタルデータDCRの値よりも小さい場合(S102:NO)、比較部162は、例えばローレベルの比較信号を出力する。そして、上記のS101が再度実行され、ADC2は、次のデジタルデータDCを出力する。一方、デジタルデータDCの値が基準デジタルデータDCRの値を超えた場合(S102:YES)、比較部162は、例えばハイレベルの比較信号を出力する。

[0064] 次に、予測部163は、ハイレベルの比較信号が入力されると、GaN-HEMT108のゲート絶縁層に所定のダメージが蓄積されたものと予測する。出力部164は、GaN-HEMT108のゲート絶縁層に所定のダメージが蓄積されたものと予測した結果(例えばフラグの値)が入力されると、例えばハイレベルの出力信号を出力する。そして、制御部161は、ハイレベルの出力信号が入力されると、GaN-HEMT108のスイッチング動作を停止させるために、PWM信号の出力を停止する(S103)。

[0065] 上記のS101~S103を実行することによって、GaN-HEMT108の破壊に伴うAC-DCコンバータ100のトラブルを未然に防止することが可能になる。

===第2実施形態===

[0066] 図7は、本実施形態に係るダメージ予測装置を備えた昇圧型のDC-DCコンバータの一例を示す回路ブロック図である。図8は、本実施形態に係る

ダメージ予測装置に用いられるマイコンの機能の一例を示すブロック図である。

[0067] 以下、図7及び図8を参照しつつ、本実施形態に係るダメージ予測装置を備えたDC-DCコンバータの構成について説明する。尚、AC-DCコンバータ100と同一の構成については、同一の番号を付してその説明を省略する。

[0068] 図7に示すDC-DCコンバータ700は、直流電圧を当該直流電圧よりも大きい直流電圧に変換する際に、GaN-HEMT108をAC-DCコンバータ100と同様の周波数でオン/オフすることによって、所定値の直流電圧を出力する電力変換装置である。

[0069] DC-DCコンバータ700は、交流電源101及び全波整流回路102の代わりに直流電源123を備えるとともに電流検出抵抗107及び電流検出回路122を備えていない点において、AC-DCコンバータ100とは異なっている。尚、ダメージ予測装置は、ゲート抵抗109、ゲートドライバ110、電位差検出回路111、マイコン124を含んで構成されている。

[0070] 図8に示すマイコン124は、ADC1を備えていない点において、マイコン112とは異なっている。更に、制御部166は、基準デジタルデータDBRを格納していない点において、制御部161とは異なっている。つまり、制御部166は、ADC0から出力されるデジタルデータDAと基準デジタルデータDARとを比較し、電圧検出抵抗106A、106Bの接続点に生じる検出電圧VAが一定値に近づくように、オン期間とオフ期間とが調整されたPWM信号を出力するのみとなる。

[0071] 直流電源123から発生する直流電流がチョークコイル103に供給されてからマイコン124がPWM信号を出力するまでの動作は、制御部166が基準デジタルデータDBRを考慮しない点を除き、AC-DCコンバータ100と同様である。

=== 第3実施形態 ===

[0072] 図9は、本実施形態に係るダメージ予測装置を備えた昇圧型のAC-DCコンバータの一例を示す回路ブロック図である。図10は、本実施形態に係るダメージ予測装置に用いられるマイコンによって実現される機能の一例を示すブロック図である。

[0073] 以下、図9及び図10を参照しつつ、本実施形態に係るダメージ予測装置を備えたAC-DCコンバータの構成について説明する。尚、AC-DCコンバータ100と同一の構成については、同一の番号を付してその説明を省略する。

[0074] 図9に示すAC-DCコンバータ200は、電位差検出回路111を備えずに、マイコン113のソフトウェア処理によってゲート抵抗109の両端に生じる電位 $V_1$ 、 $V_2$ から検出電圧 $V_{REF}$ に相当するデジタルデータDCを生成する点において、AC-DCコンバータ100とは異なっている。尚、ダメージ予測装置は、ゲート抵抗109、ゲートドライバ110、マイコン113を含んで構成されている。尚、AC-DCコンバータ200をDC-DCコンバータとして用いる場合、交流電源101及び全波整流回路102の代わりに直流電源123を備えればよい。

[0075] 図10に示すマイコン113は、ADコンバータ群155としてのADC3と、検出電圧生成部165とを新たに備えた点において、マイコン112とは異なっている。尚、検出電圧生成部165は、CPU152がROM151からプログラムを読み出して実行することによって実現される機能である。尚、AC-DCコンバータ200をDC-DCコンバータとして用いる場合、検出電圧VBが入力されるADC1と、制御部166に格納されている基準デジタルデータDBRとが不要になる。

[0076] ADC2は、ゲート抵抗109の他端に生じる電位 $V_1$ を取り込んでデジタルデータD1に変換する。ADC2は、リングングの影響を排除するために、例えば、スイッチング信号におけるハイレベル期間の中間となるタイミングで電位 $V_1$ をサンプリングし、サンプリングされた電位 $V_1$ を取り込んでデジタルデータD1に変換する。一方、ADC3は、ゲート抵抗109の

一端に生じる電位V2を取り込んでデジタルデータD2に変換する。ADC3は、リングングの影響を排除するために、ADC2におけるサンプリングのタイミングと同一のタイミングで電位V2をサンプリングし、サンプリングされた電位V2を取り込んでデジタルデータD2に変換する。

[0077] 検出電圧生成部165は、デジタルデータD1、D2の減算処理を実行することによって、検出電圧VREFに相当するデジタルデータDCを生成し、比較部162に出力する。尚、比較部162の比較結果に応じてPWM信号の出力を停止するまでの処理は、マイコン112と同様である。

[0078] 本実施形態の場合、ADC2及びADC3に対して電位差検出回路111の電圧増幅度に相当するビット分解能が要求されることとなるが、電位差検出回路111が不要になるため、ダメージ予測装置の回路規模を小さくすることが可能になる。

===第4実施形態===

[0079] 図11は、本実施形態に係るダメージ予測装置を備えた昇圧型のAC-DCコンバータの一例を示す回路ブロック図である。図12は、本実施形態に係るダメージ予測装置に用いられるマイコンによって実現される機能の一例を示すブロック図である。

[0080] 以下、図11及び図12を参照しつつ、本実施形態に係るダメージ予測装置を備えたAC-DCコンバータの構成について説明する。尚、AC-DCコンバータ100と同一の構成については、同一の番号を付してその説明を省略する。

[0081] 図11に示すAC-DCコンバータ300は、電位差検出回路111の出力端子OUTと、マイコン114のI/Oポート群154のうち汎用I/Oポートとして機能するGPIO (General Purpose Input/Output) との間に、比較器115を備えた点において、AC-DCコンバータ100とは異なっている。尚、ダメージ予測装置は、ゲート抵抗109、ゲートドライバ110、電位差検出回路111、マイコン114、比較器115を含んで構成されている。尚、AC-DCコンバータ300をDC-DCコンバータとし

て用いる場合、交流電源 101 及び全波整流回路 102 の代わりに直流電源 123 を備えればよい。

[0082] 図 12 に示すマイコン 114 は、ADC 2 と比較部 162 とを備えていない点において、マイコン 112 とは異なっている。尚、AC-DC コンバータ 300 を DC-DC コンバータとして用いる場合、検出電圧 VB が入力される ADC 1 と、制御部 166 に格納されている基準デジタルデータ DBR とが不要になる。

[0083] 比較器 115 の第 1 入力端子 (+) には、電位差検出回路 111 の出力端子 OUT から出力される検出電圧 VDET が印加される。一方、比較器 115 の第 2 入力端子 (-) には、直流電源 116 から発生する基準電圧 VREF が印加される。尚、基準電圧 VREF は、GaN-HEMT 108 のゲート絶縁層に所定のダメージが蓄積されたときの検出電圧 VDET と同一の電圧である。そして、比較器 115 は、検出電圧 VDET が基準電圧 VREF を超えると、GaN-HEMT 108 のゲート絶縁層に所定のダメージが蓄積されたことを示すハイレベルの比較信号を出力する。当該比較信号は、GPIO を通って予測部 163 に入力される。尚、予測部 163 の予測結果に応じて PWM 信号の出力を停止するまでの処理は、マイコン 112 と同様である。

[0084] 本実施形態の場合、検出電圧 VDET と基準電圧 VREF とを比較する処理において AD 変換処理を行わないため、AD コンバータ群 155 のチャンネル数を節約することが可能になる。

=== 第 5 実施形態 ===

[0085] 図 13 は、本実施形態に係るダメージ予測装置を備えた昇圧型の AC-DC コンバータの一例を示す回路ブロック図である。図 14 は、本実施形態に係るダメージ予測装置に用いられるマイコンの機能の一例を示すブロック図である。

[0086] 以下、図 13 及び図 14 を参照しつつ、本実施形態に係るダメージ予測装置を備えた AC-DC コンバータの構成について説明する。尚、AC-DC

コンバータ300と同一の構成については、同一の番号を付してその説明を省略する。

[0087] 図13に示すAC-DCコンバータ400は、電位差検出回路111を構成する演算増幅器OPと比較器115とをマイコン116に内蔵している点において、AC-DCコンバータ300とは異なっている。尚、ダメージ予測装置は、ゲート抵抗109、ゲートドライバ110、分圧抵抗R1~R4、入力抵抗R5、R7、帰還抵抗R8、接地抵抗R6、マイコン116を含んで構成されている。尚、AC-DCコンバータ400をDC-DCコンバータとして用いる場合、交流電源101及び全波整流回路102の代わりに直流電源123を備えればよく、図14に示すマイコン116において、検出電圧VBが入力されるADC1と、制御部166に格納されている基準デジタルデータDBRとが不要になる。

[0088] 分圧抵抗R1、R2は、ゲート抵抗109の一端と接地GNDとの間に直列接続され、分圧抵抗R1、R2の接続点は、入力抵抗R5を介して演算増幅器OPの第1入力端子(+)に接続されている。分圧抵抗R3、R4は、ゲート抵抗109の他端と接地GNDとの間に直列接続され、分圧抵抗R3、R4の接続点は、入力抵抗R7を介して演算増幅器OPの第2入力端子(-)に接続されている。帰還抵抗R8は、演算増幅器OPの第2入力端子(-)と出力端子との間に接続されている。接地抵抗R6は、演算増幅器OPの第1入力端子(+)と接地GNDとの間に接続されている。

[0089] 本実施形態の場合、電位差検出回路111を構成する演算増幅器OPと比較器115とをマイコン116に内蔵された演算増幅器及び比較器で実現することで、外付けIC部品の点数を減らすことが可能になる。

===第6実施形態===

[0090] 図15は、本実施形態に係るダメージ予測装置を備えた昇圧型のAC-DCコンバータの一例を示す回路ブロック図である。図16は、本実施形態に係るダメージ予測装置に用いられるマイコンの機能の一例を示すブロック図である。

- [0091] 以下、図15及び図16を参照しつつ、本実施形態に係るダメージ予測装置を備えたAC-DCコンバータの構成について説明する。尚、AC-DCコンバータ100と同一の構成については、同一の番号を付してその説明を省略する。
- [0092] 図15に示すAC-DCコンバータ500は、検出電圧VDETを得るための専用のゲート抵抗117（抵抗）、スイッチ118、直流電源119を備えた点において、AC-DCコンバータ100とは異なっている。尚、ダメージ予測装置は、ゲート抵抗117、スイッチ118、直流電源119、電位差検出回路111、マイコン120を含んで構成されている。尚、AC-DCコンバータ500をDC-DCコンバータとして用いる場合、交流電源101及び全波整流回路102の代わりに直流電源123を備えればよい。
- [0093] 図16に示すマイコン120は、制御部161からスイッチ118を一定期間オンするためのオン信号を出力する点において、マイコン112とは異なっている。尚、AC-DCコンバータ500をDC-DCコンバータとして用いる場合、検出電圧VBが入力されるADC1と、制御部166に格納されている基準デジタルデータDBRとが不要になる。
- [0094] スイッチ118は、GaN-HEMT108のゲートとゲート抵抗117の一端との間に接続されている。直流電源119は、ゲート抵抗117の他端と接地GNDとの間に接続されている。スイッチ118は、AC-DCコンバータ500が交流電圧を直流電圧に変換する動作を開始する前のスタンバイ時において、マイコン120の制御部161から出力されるオン信号によって一定期間オンする。
- [0095] 先ず、AC-DCコンバータ500のスタンバイ時において、制御部161からオン信号が一定期間出力されると、スイッチ118はオン信号に従って一定期間オンする。ここで、GaN-HEMT108のゲート絶縁層にダメージが蓄積されていると、GaN-HEMT108のゲート・ソース間の抵抗値が減少しているため、ゲート抵抗117にリーク電流が流れる。そし

て、ゲート抵抗117の両端に生じる電位V1及び電位V2が電位差検出回路111の第1入力端子IN+及び第2入力端子IN-にそれぞれ入力される。尚、電位差検出回路111から出力される検出電圧VDETに応じてPWM信号の出力を停止するまでの処理は、マイコン112と同様である。

[0096] ゲート抵抗109は、ゲート電圧に重畳するリングングノイズを抑制する役割を有している。そのため、第1～第5実施形態に示されるように、検出電圧VDETを得るための抵抗としてゲート抵抗109を兼用する場合、ゲート抵抗109の抵抗値の設定に際して制約を受けることとなる。

[0097] これに対して、ゲート抵抗117は、検出電圧VDETを得るための抵抗である。ゲート抵抗117の抵抗値は、マイコン120の処理能力を考慮する必要はあるが、最適な検出電圧VDETが得られる値に設定することが可能になる。このとき、ゲート抵抗109の代わりにノイズを抑制する専用の部品であるフェライトビーズを用いることも可能になる。

[0098] スイッチ118は、MOS-FET等のトランジスタ素子であることとする。直流電源119から発生する直流電圧は、ゲートドライバ110から出力されるスイッチング信号のハイレベルと同一であることとする。

===第7実施形態===

[0099] 図17は、本実施形態に係るダメージ予測装置を備えた昇圧型のAC-DCコンバータの一例を示す回路ブロック図である。図18は、本実施形態に係るダメージ予測装置に用いられるマイコンの機能の一例を示すブロック図である。

[0100] 以下、図17及び図18を参照しつつ、本実施形態に係るダメージ予測装置を備えたAC-DCコンバータの構成について説明する。尚、AC-DCコンバータ200、500と同一の構成については、同一の番号を付してその説明を省略する。

[0101] 図17に示すAC-DCコンバータ600は、電位差検出回路111を備えずに、マイコン121のソフトウェア処理によってゲート抵抗117の両端に生じる電位V1、V2から検出電圧VREFに相当するデジタルデータ

DCを生成する点において、AC-DCコンバータ500とは異なっている。尚、ダメージ予測装置は、ゲート抵抗117、スイッチ118、直流電源119、マイコン121を含んで構成されている。尚、AC-DCコンバータ600をDC-DCコンバータとして用いる場合、交流電源101及び全波整流回路102の代わりに直流電源123を備えればよい。

[0102] 図18に示すマイコン121は、制御部161からスイッチ118を一定期間オンするためのオン信号を出力する点において、マイコン113とは異なっている。尚、AC-DCコンバータ600をDC-DCコンバータとして用いる場合、検出電圧VBが入力されるADC1と、制御部166に格納されている基準デジタルデータDBRとが不要になる。

[0103] スwitch118は、AC-DCコンバータ600が交流電圧を直流電圧に変換する動作を開始する前のスタンバイ時において、マイコン121の制御部161から出力されるオン信号によって一定期間オンする。

[0104] 先ず、AC-DCコンバータ600のスタンバイ時において、制御部161からオン信号が一定期間出力されると、スイッチ118はオン信号に従って一定期間オンする。ここで、GaN-HEMT108のゲート絶縁層にダメージが蓄積されていると、GaN-HEMT108のゲート・ソース間の抵抗値が減少しているため、ゲート抵抗117にリーク電流が流れる。そして、ゲート抵抗117の両端に生じる電位V1及び電位V2がADC2及びADC3にそれぞれ入力される。尚、ADC2及びADC3からそれぞれ出力されるデジタルデータD1、D2に応じてPWM信号の出力を停止するまでの処理は、マイコン113と同様である。

[0105] 本実施形態の場合、ADC2及びADC3に対して電位差検出回路111の電圧増幅度に相当するビット分解能が要求されることとなるが、電位差検出回路111が不要になるため、ダメージ予測装置の回路規模を小さくすることが可能になる。

===まとめ===

[0106] 以上説明したように、ダメージ予測装置によれば、GaN-HEMT10

8の破壊を予測し、AC-DCコンバータ100~600やDC-DCコンバータ700~1200のトラブルを未然に防止することが可能になる。

[0107] 又、ダメージ予測装置において、パワー半導体スイッチング素子として、GaN-HEMT108の代わりに、SiC（炭化ケイ素）からなるFET、MOSFET、IGBTを用いることも可能である。

[0108] 尚、上記の実施形態は、本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。本発明は、その趣旨を逸脱することなく、変更、改良され得るとともに、本発明にはその等価物も含まれる。例えば、第1~第7実施形態に記載されたダメージ予測装置は、昇圧型のAC-DCコンバータ、およびDC-DCコンバータに限らず、降圧型のAC-DCコンバータ、およびDC-DCコンバータ、更にはインバータにおけるパワー半導体スイッチング素子のゲート絶縁層のダメージを予測するために用いることも可能である。

### 符号の説明

[0109] 100, 200, 300, 400, 500, 600…AC-DCコンバータ、101…交流電源、102…全波整流回路、103…チョークコイル、104…ダイオード、105…平滑コンデンサ、106A, 106B…電圧検出抵抗、107…電流検出抵抗、108…GaN-HEMT、109, 117…ゲート抵抗、110…ゲートドライバ、111…電位差検出回路、111A…差動増幅回路、112~114, 116, 120, 121…マイコン、115…比較器、118…スイッチ、119, 123…直流電源、122…電流検出回路、161, 166…制御部、162…比較部、163…予測部、164…出力部、165…検出電圧生成部

## 請求の範囲

- [請求項1]           パワー半導体スイッチング素子のゲートに接続される抵抗と、  
前記パワー半導体スイッチング素子のゲートに所定電圧が印加されると、前記抵抗の両端に生じる電圧に応じた検出電圧と基準電圧とを比較する比較部と、  
前記検出電圧が前記基準電圧を超えると、前記パワー半導体スイッチング素子のゲート絶縁層に所定のダメージが蓄積されたものと予測する予測部と、  
を備えたことを特徴とする前記パワー半導体スイッチング素子のダメージ予測装置。
- [請求項2]           前記予測部の予測結果に基づいて、前記パワー半導体スイッチング素子のゲート絶縁層に所定のダメージが蓄積されたことを示す信号を出力する出力部  
を更に備えたことを特徴とする請求項1に記載の前記パワー半導体スイッチング素子のダメージ予測装置。
- [請求項3]           前記抵抗の両端にそれぞれ生じる第1電位及び第2電位が入力され、かつ、前記第1電位及び第2電位に基づいて前記検出電圧を出力する電位差検出部  
を更に備えたことを特徴とする請求項1又は請求項2に記載の前記パワー半導体スイッチング素子のダメージ予測装置。
- [請求項4]           前記電位差検出部は、  
前記第1電位が第1入力端子に入力されるとともに前記第2電位が第2入力端子に入力され、出力端子から前記検出電圧を所定の電圧に増幅して出力する差動増幅回路を含む  
ことを特徴とする請求項3に記載の前記パワー半導体スイッチング素子のダメージ予測装置。
- [請求項5]           前記電位差検出部は、マイコンに内蔵されることを特徴とする請求項4に記載の前記パワー半導体スイッチング素子のダメージ予測装置

- 。
- [請求項6] 前記比較部は、マイコンに内蔵され、前記検出電圧と前記基準電圧とをAD変換した出力を比較することを特徴とする請求項1～請求項5の何れか一項に記載の前記パワー半導体スイッチング素子のダメージ予測装置。
- [請求項7] 前記抵抗は、前記パワー半導体スイッチング素子のゲート側に接続される当該抵抗の一端とは反対側の当該抵抗の他端に対して、スイッチング信号が入力される抵抗であり、  
前記スイッチング信号は、前記パワー半導体スイッチング素子をオンするときに第1電圧になるとともに前記パワー半導体スイッチング素子をオフするときに前記第1電圧よりも低い第2電圧になり、  
前記所定電圧は、前記スイッチング信号が前記第1電圧のときに前記パワー半導体スイッチング素子のゲートに印加される電圧であることを特徴とする請求項1～請求項6の何れか一項に記載の前記パワー半導体スイッチング素子のダメージ予測装置。
- [請求項8] 前記抵抗は、前記パワー半導体スイッチング素子が動作していないスタンバイ時に前記パワー半導体スイッチング素子のゲート側の一端がスイッチを介して前記パワー半導体スイッチング素子のゲートに接続され、前記パワー半導体スイッチング素子のゲート側の一端とは反対側の他端に直流電源が接続される抵抗であり、  
前記所定電圧は、前記スイッチが閉じたときに前記パワー半導体スイッチング素子のゲートに印加される電圧であることを特徴とする請求項1～請求項6の何れか一項に記載の前記パワー半導体スイッチング素子のダメージ予測装置。
- [請求項9] 前記パワー半導体スイッチング素子は、GaN（窒化ガリウム）からなるFET、SiC（炭化ケイ素）からなるFET、IGBTの何れか1つである  
ことを特徴とする請求項1～請求項8の何れか一項に記載の前記パ

ワー半導体スイッチング素子のダメージ予測装置。

[請求項10]

パワー半導体スイッチング素子のゲートに所定電圧が印加されると、前記パワー半導体スイッチング素子のゲートに接続された抵抗の両端に生じる電圧に応じた検出電圧と基準電圧とを比較し、

前記検出電圧が前記基準電圧を超えると、前記パワー半導体スイッチング素子のゲート絶縁層に所定のダメージが蓄積されたものと予測することを特徴とする前記パワー半導体スイッチング素子のダメージ予測方法。

[請求項11]

交流電源に接続される全波整流回路と、

一端が前記全波整流回路の出力端に接続されるチョークコイルと、

前記チョークコイルの他端と接地との間に接続されるパワー半導体スイッチング素子と、

前記チョークコイルの他端と接地との間に直列接続されるダイオード及び平滑コンデンサと、

前記平滑コンデンサの両端に生じる電圧に応じて、前記パワー半導体スイッチング素子をオン／オフ制御する制御部と、

前記パワー半導体スイッチング素子のゲートに接続される抵抗と、

前記パワー半導体スイッチング素子のゲートに所定電圧が印加されると、前記抵抗の両端に生じる電圧に応じた検出電圧と基準電圧とを比較する比較部と、

前記検出電圧が前記基準電圧を超えると、前記パワー半導体スイッチング素子のゲート絶縁層に所定のダメージが蓄積されたものと予測する予測部と、

を備えたことを特徴とするAC-DCコンバータ。

[請求項12]

一端が直流電源に接続されるチョークコイルと、

前記チョークコイルの他端と接地との間に接続されるパワー半導体スイッチング素子と、

前記チョークコイルの他端と接地との間に直列接続されるダイオー

ド及び平滑コンデンサと、

前記平滑コンデンサの両端に生じる電圧に応じて、前記パワー半導体スイッチング素子をオン／オフ制御する制御部と、

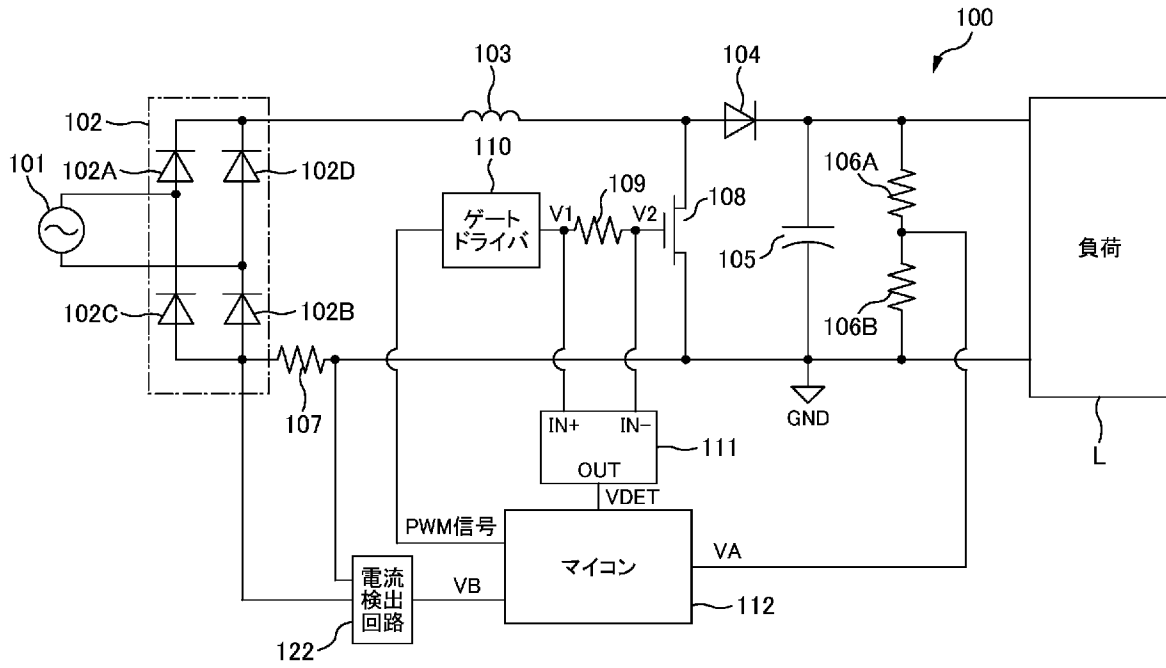
前記パワー半導体スイッチング素子のゲートに接続される抵抗と、

前記パワー半導体スイッチング素子のゲートに所定電圧が印加されると、前記抵抗の両端に生じる電圧に応じた検出電圧と基準電圧とを比較する比較部と、

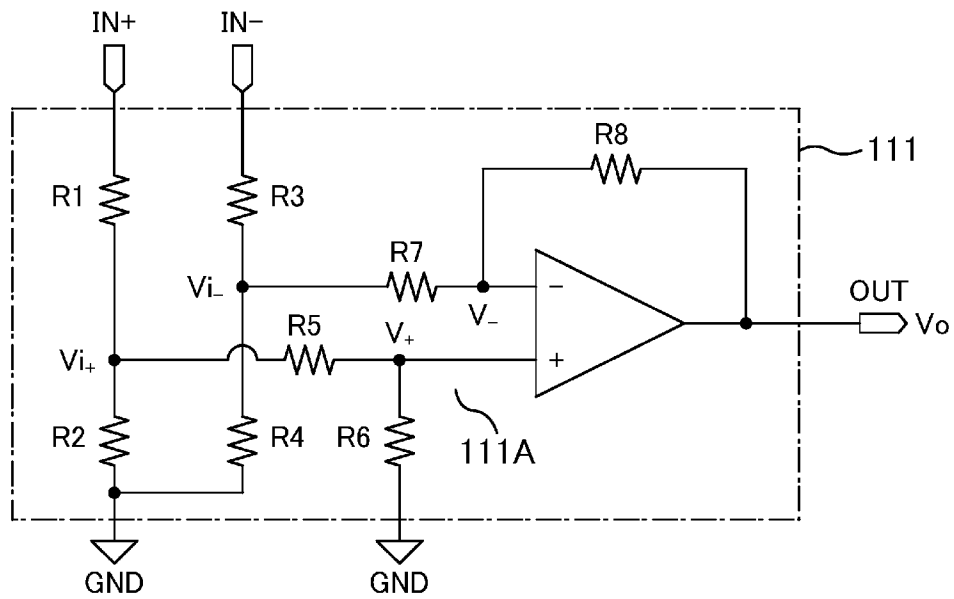
前記検出電圧が前記基準電圧を超えると、前記パワー半導体スイッチング素子のゲート絶縁層に所定のダメージが蓄積されたものと予測する予測部と、

を備えたことを特徴とするDC-DCコンバータ。

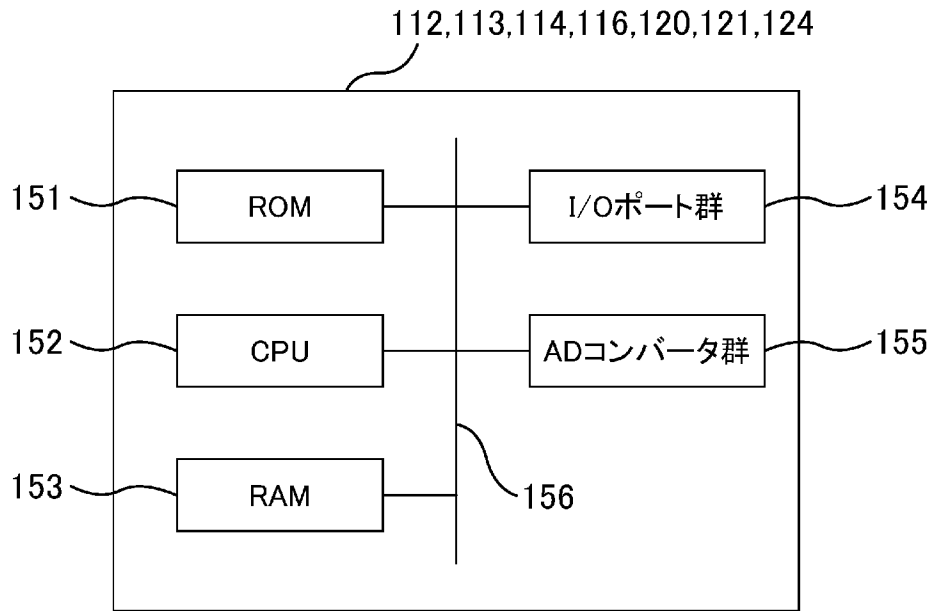
[図1]



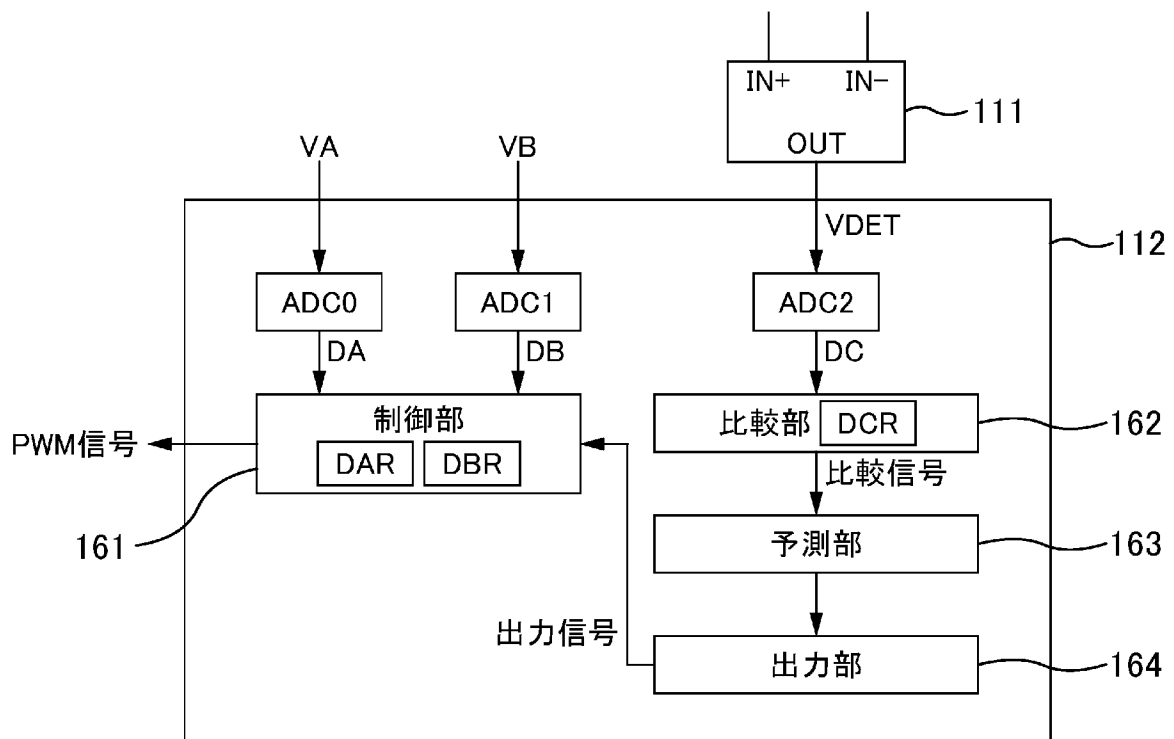
[図2]



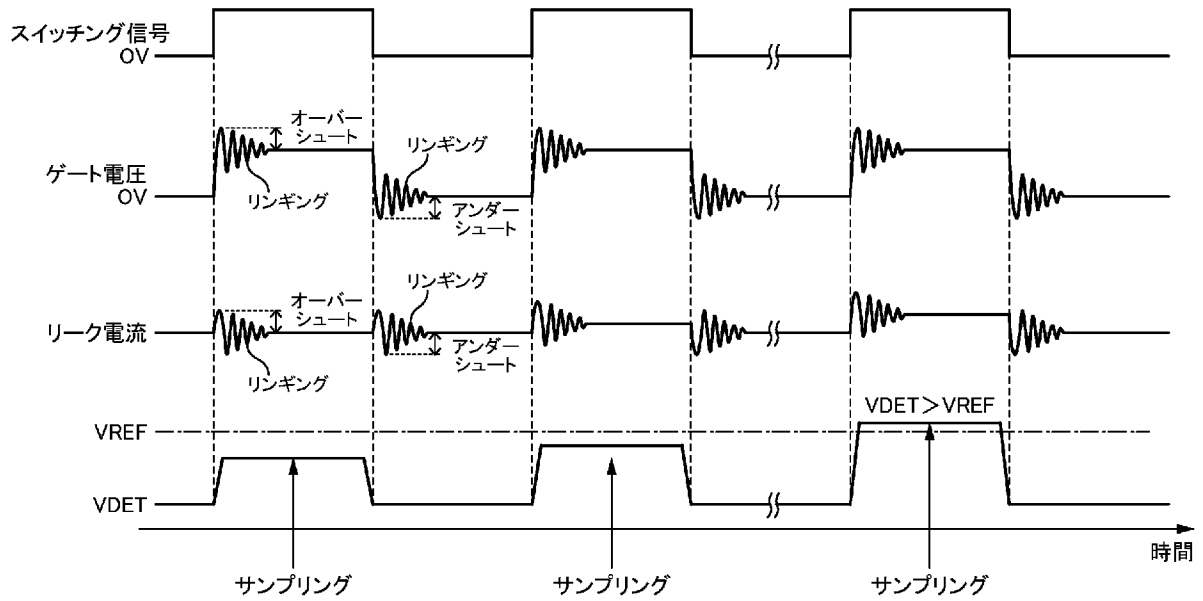
[図3]



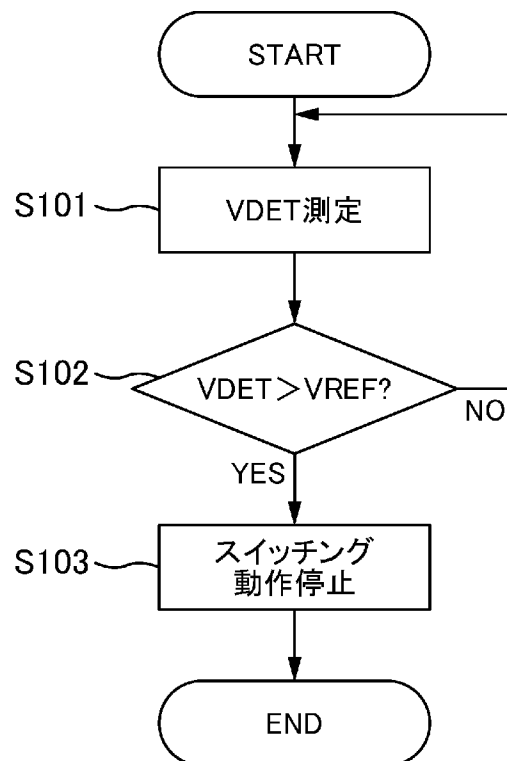
[図4]



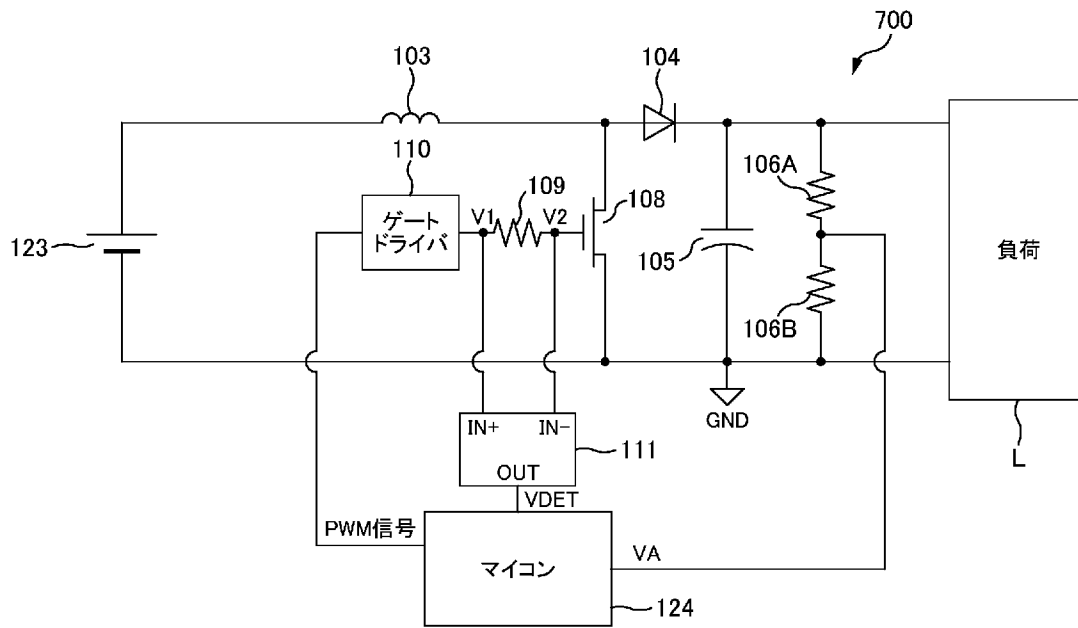
[図5]



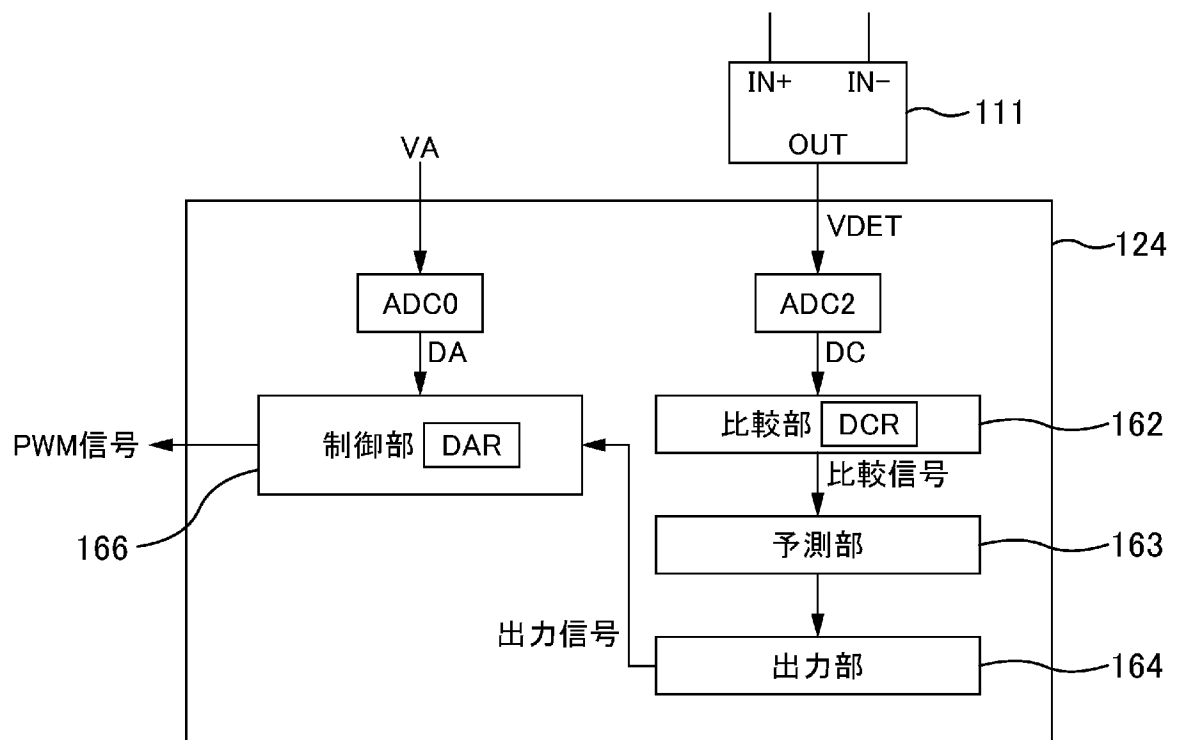
[図6]



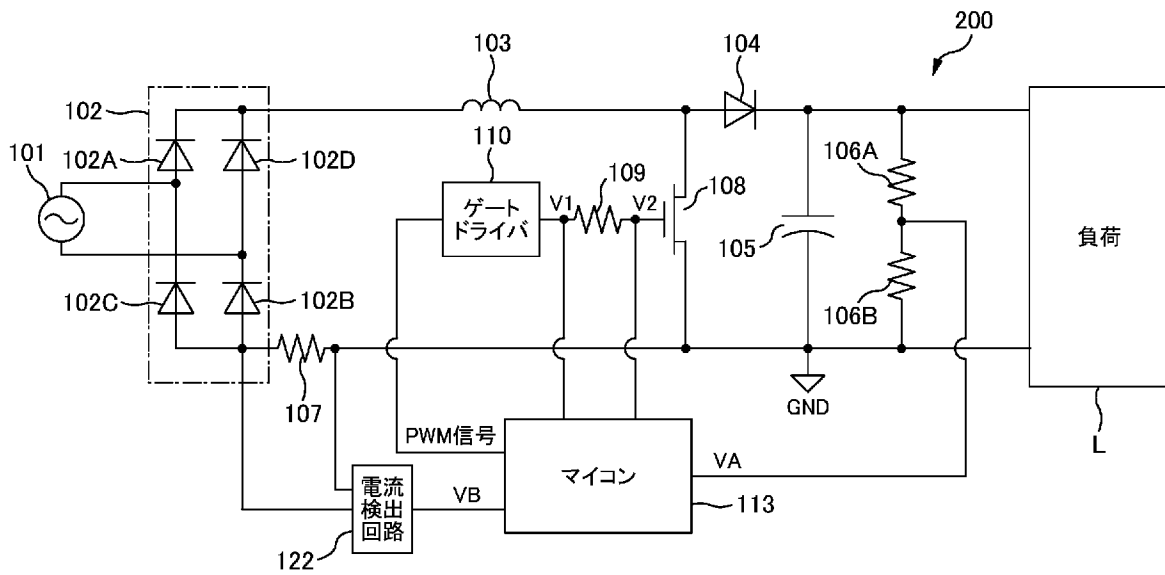
[図7]



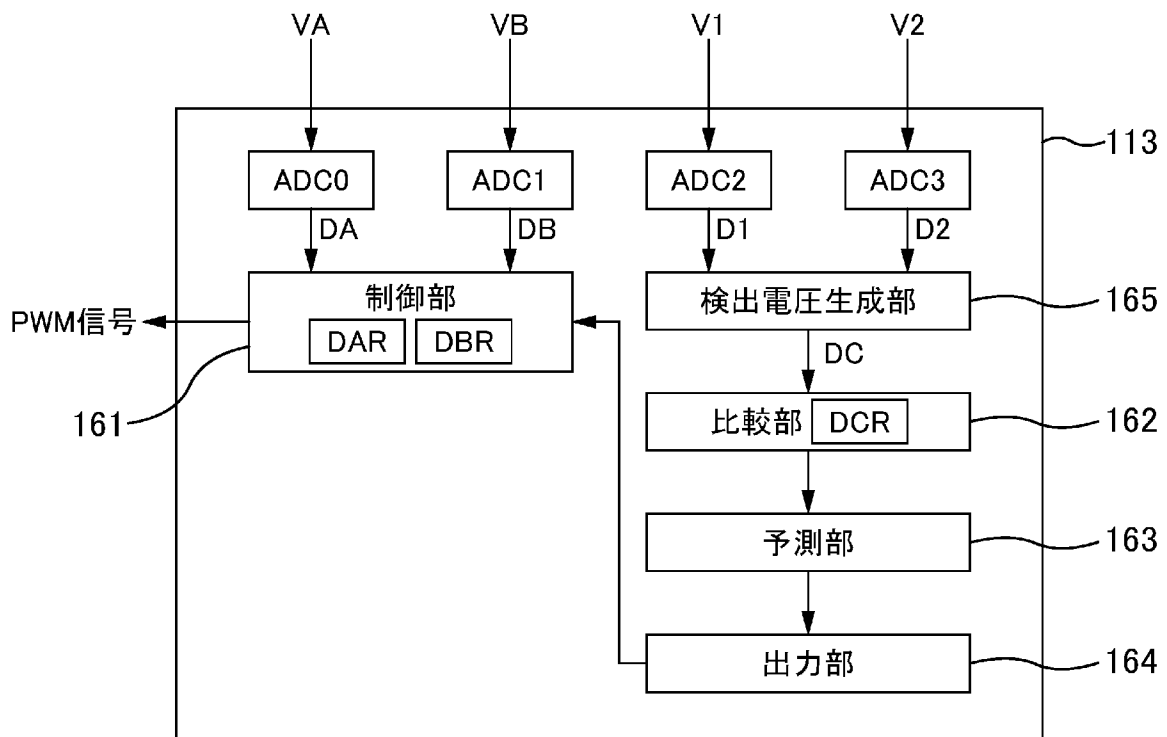
[図8]



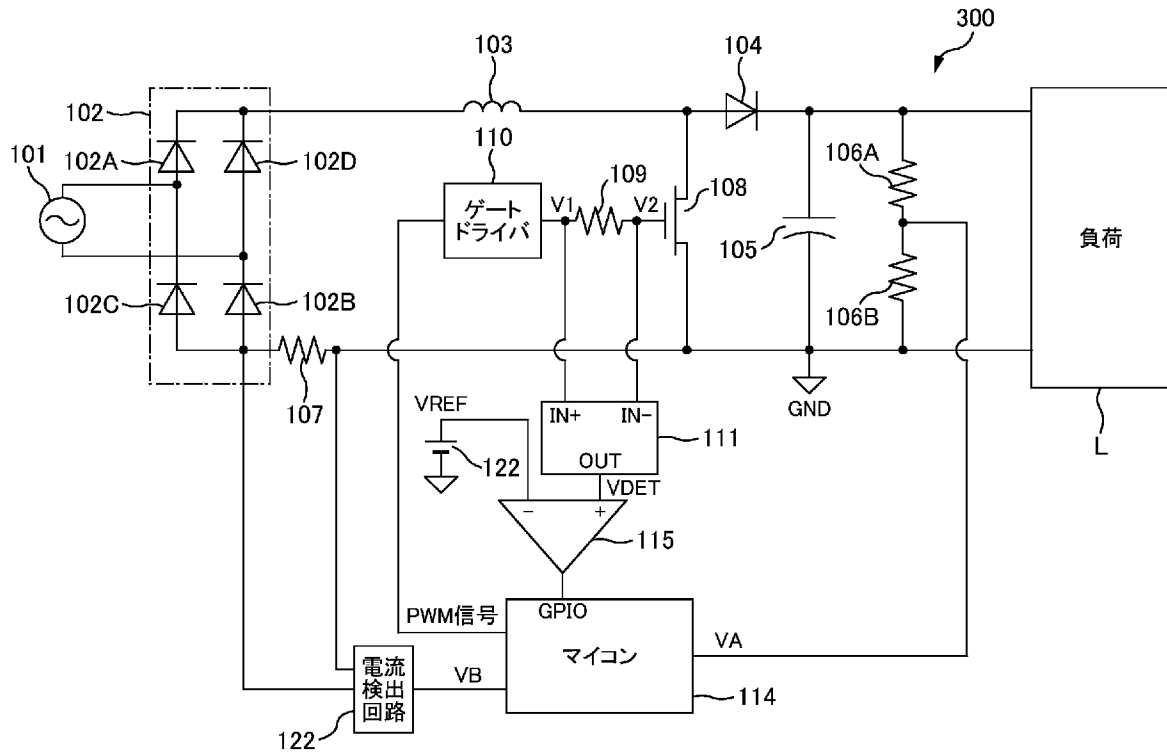
[図9]



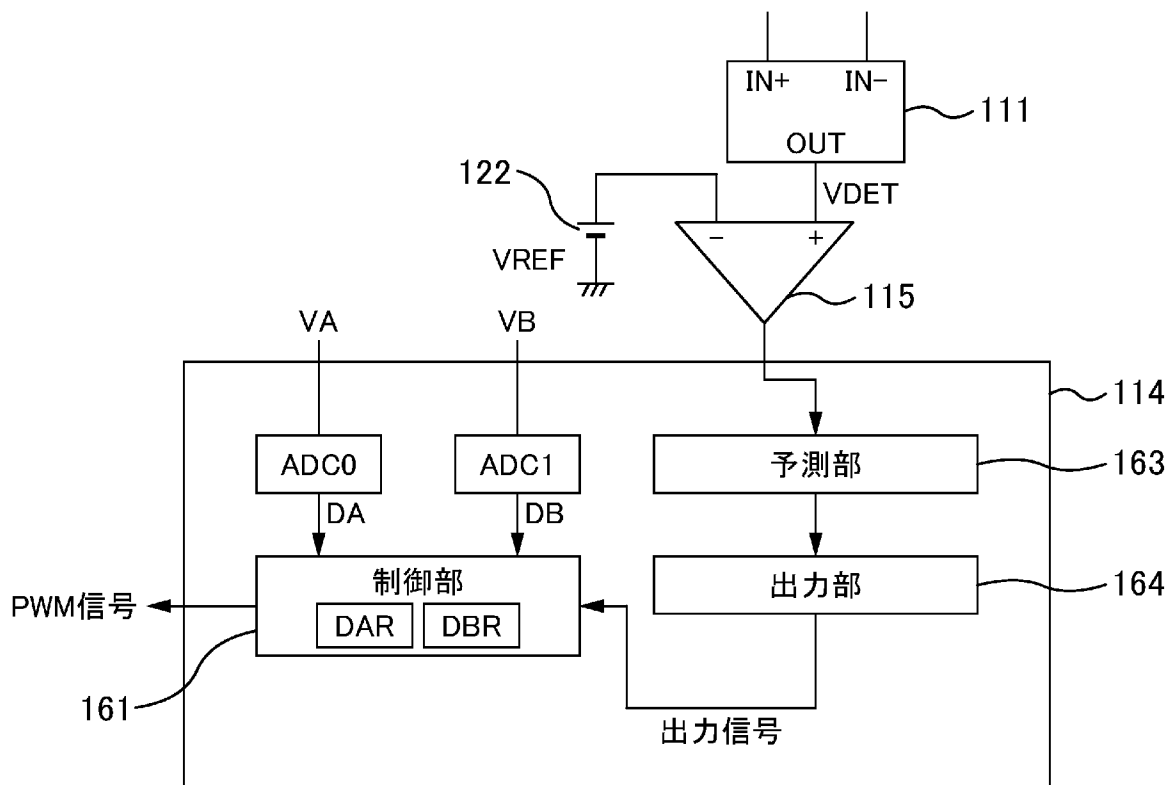
[図10]



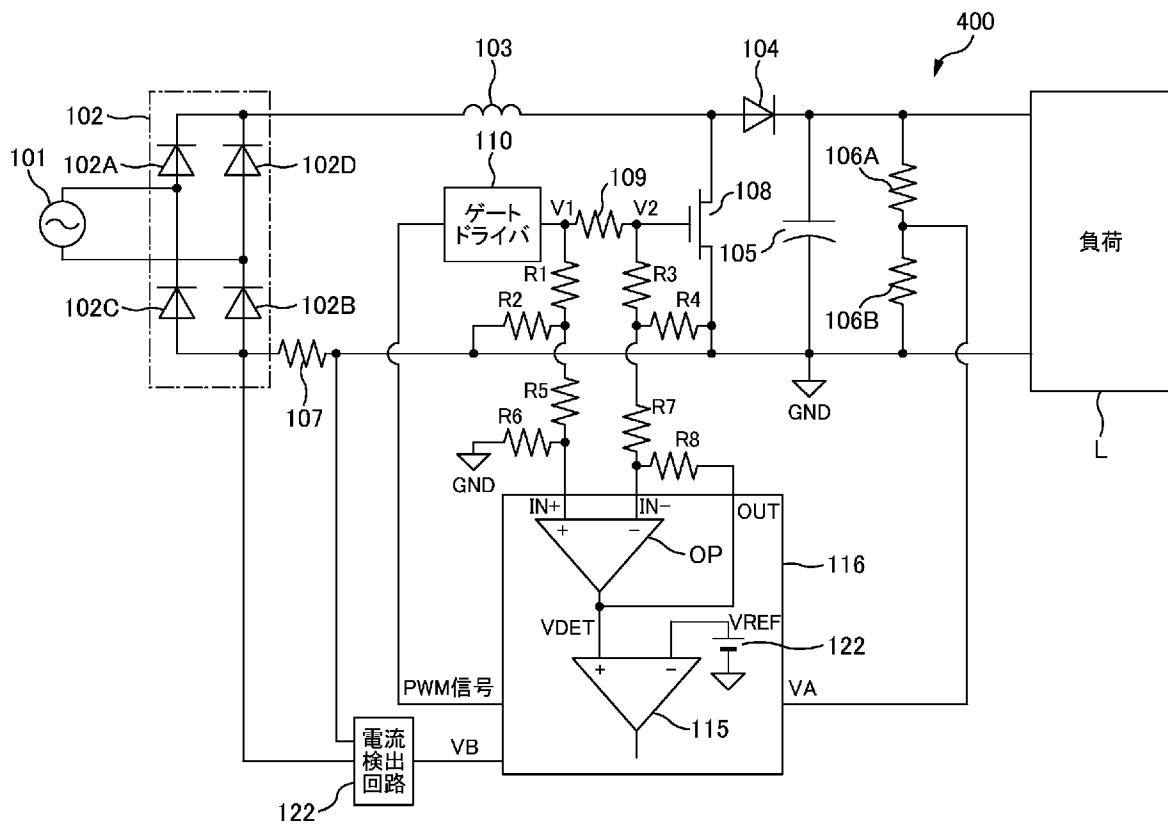
[図11]



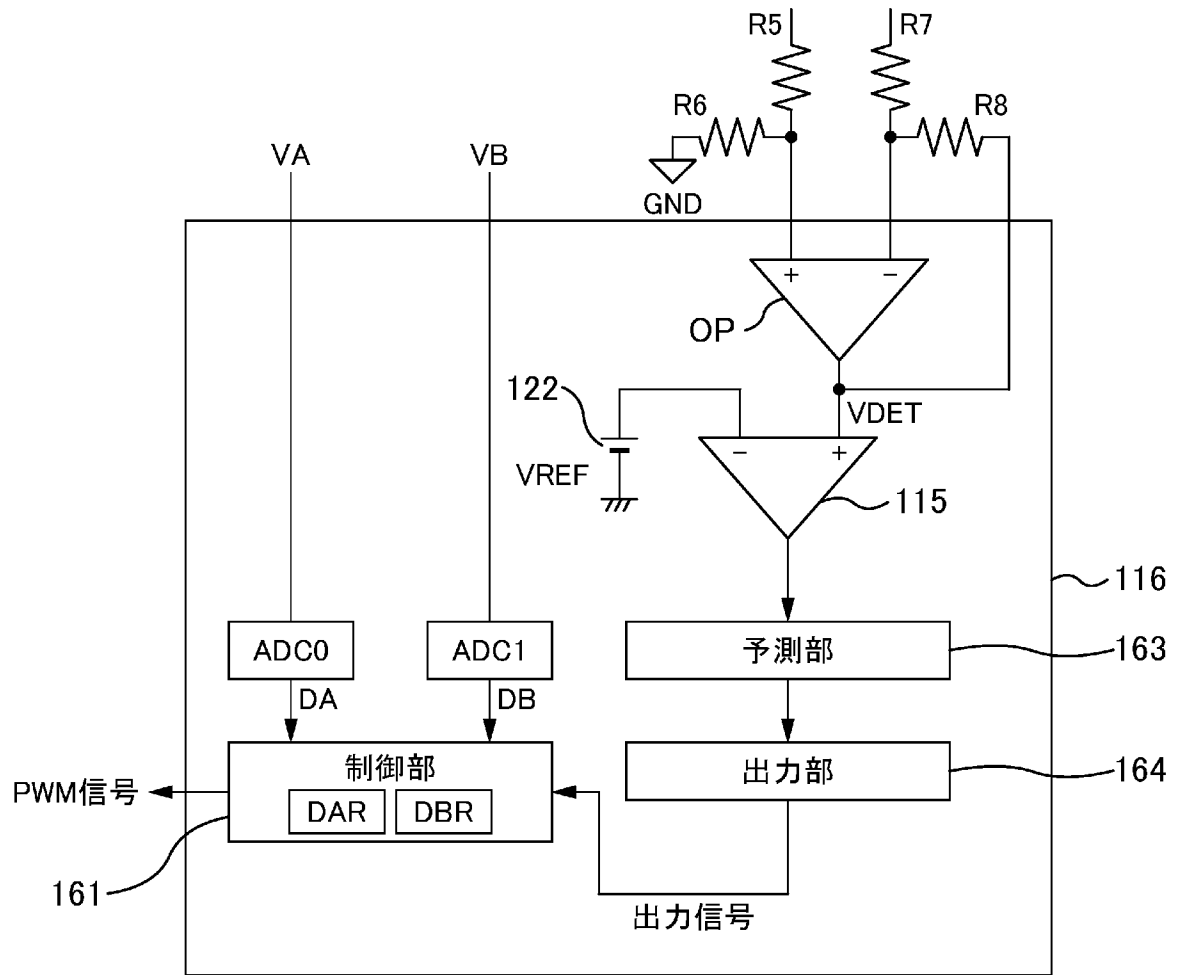
[図12]



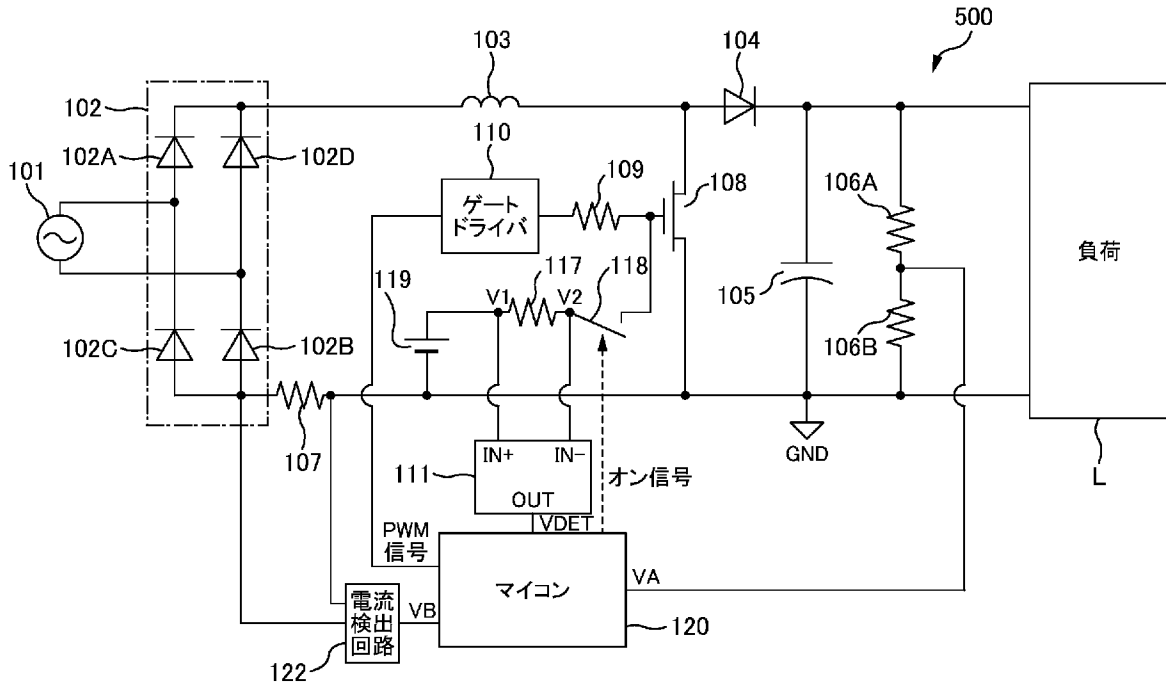
[図13]



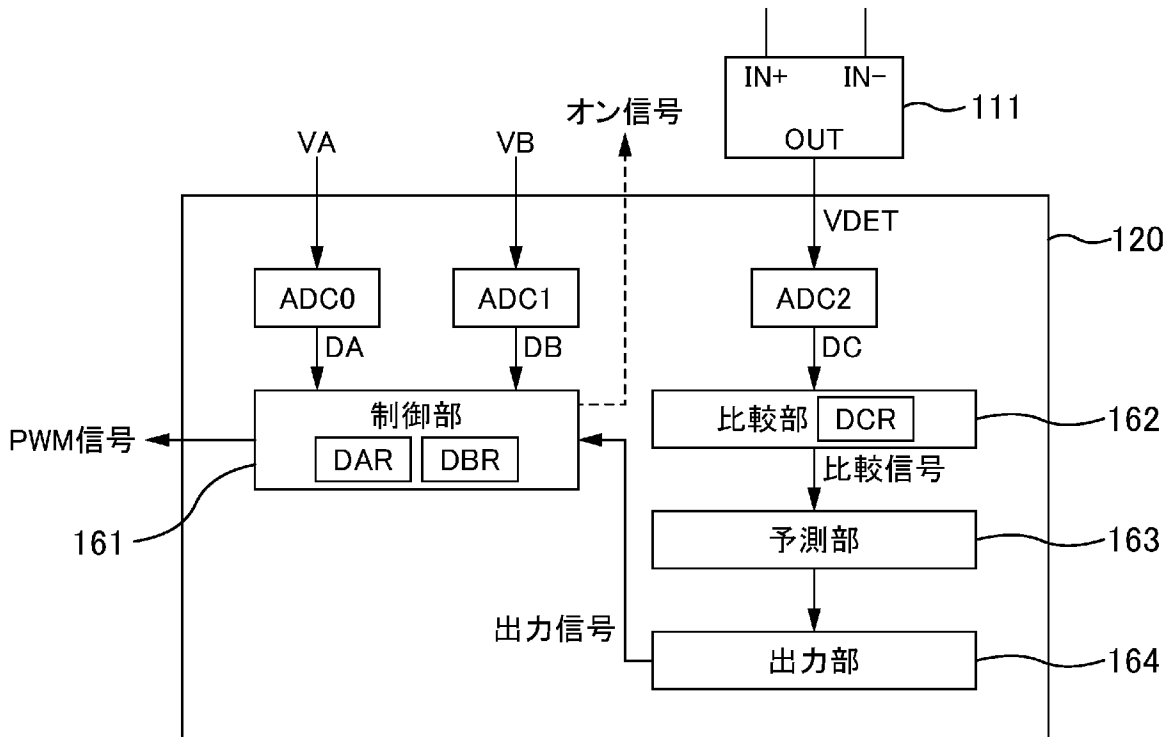
[図14]



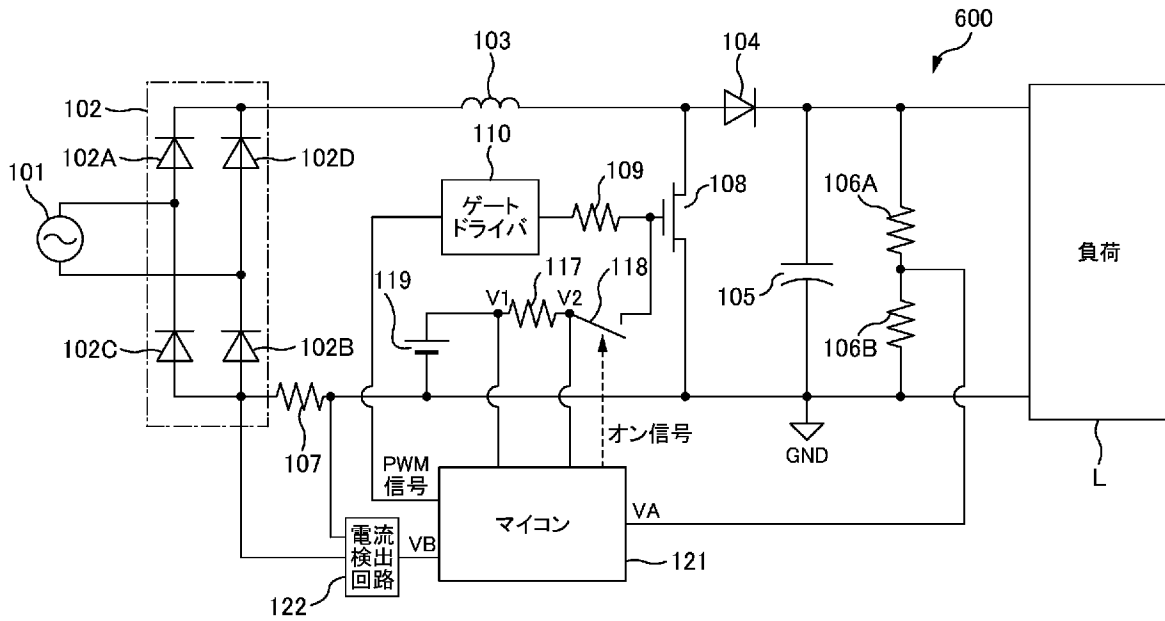
[図15]



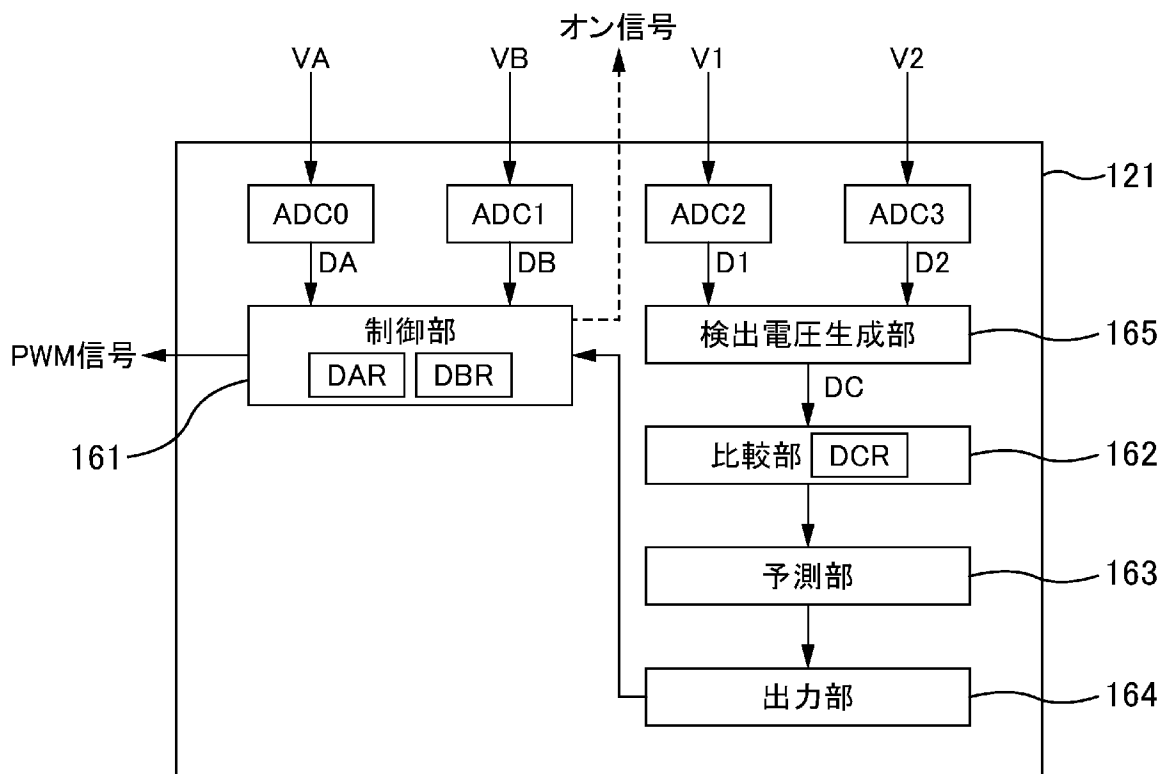
[図16]



[図17]



[図18]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2018/005532

**A. CLASSIFICATION OF SUBJECT MATTER**

Int.Cl. G01R31/26 (2014.01) i, H02M3/155 (2006.01) i, H02M7/12 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G01R31/26, H02M3/155, H02M7/12, H01L29/78, H03K17/00, H02M1/00, H02M1/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2003-143833 A (HITACHI, LTD.) 16 May 2003, paragraphs [0001], [0009]-[0026], fig. 1, 9, 10 (Family: none)	1-4, 7, 9-10 5-6, 11-12 8
Y A	JP 2005-217774 A (FUJITSU TEN LTD.) 11 August 2005, paragraphs [0001], [0012], [0021], [0040], [0058], fig. 2 (Family: none)	5-6 1-4, 7-12

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 07.05.2018	Date of mailing of the international search report 15.05.2018
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer  Telephone No.
--	---

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/005532

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2000-23452 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 21 January 2000, paragraphs [0001]-[0006], fig. 5 (Family: none)	11 1-10, 12
Y A	JP 2008-42317 A (DENSO CORPORATION) 21 February 2008, paragraphs [0001], [0025]-[0032], fig. 1 (Family: none)	12 1-11
A	JP 2007-174756 A (YAZAKI CORPORATION) 05 July 2007, paragraphs [0001], [0024]-[0096], fig. 1-5 & US 2007/0139841 A1, fig. 1-5, paragraphs [0002], [0031]-[0103] & EP 1801974 A2 & CN 1988385 A	1-12
A	JP 2000-308250 A (YAZAKI CORPORATION) 02 November 2000, paragraphs [0001], [0017]-[0041], fig. 1-4 (Family: none)	1-12
A	JP 2007-202238 A (TOKYO ELECTRIC POWER CO.) 09 August 2007, paragraphs [0001], [0022]-[0054], fig. 1-7 (Family: none)	1-12

A. 発明の属する分野の分類（国際特許分類（IPC））  
 Int.Cl. G01R31/26(2014.01)i, H02M3/155(2006.01)i, H02M7/12(2006.01)i

B. 調査を行った分野  
 調査を行った最小限資料（国際特許分類（IPC））  
 Int.Cl. G01R31/26, H02M3/155, H02M7/12, H01L29/78, H03K17/00, H02M1/00, H02M1/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2003-143833 A（株式会社日立製作所） 2003.05.16, 段落【0001】、【0009】－【0026】、【図1】、 【図9】、【図10】 （ファミリーなし）	1-4, 7, 9-10 5-6, 11-12 8
Y A	JP 2005-217774 A（富士通テン株式会社） 2005.08.11, 段落【0001】、【0012】、【0021】、 【0040】、【0058】、【図2】 （ファミリーなし）	5-6 1-4, 7-12

C欄の続きにも文献が列挙されている。  パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 07.05.2018	国際調査報告の発送日 15.05.2018
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 永井 皓喜 電話番号 03-3581-1101 内線 3216
	2S 5701

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2000-23452 A (松下電器株式会社) 2000.01.21, 段落【0001】－【0006】, 【図5】 (ファミリーなし)	11 1-10, 12
Y A	JP 2008-42317 A (株式会社デンソー) 2008.02.21, 段落【0001】, 【0025】－【0032】, 【図1】 (ファミリーなし)	12 1-11
A	JP 2007-174756 A (矢崎総業株式会社) 2007.07.05, 段落【0001】, 【0024】－【0096】, 【図1】 －【図5】 & US 2007/0139841 A1, FIG. 1—FIG. 5, 段落[0002], [0031]—[0103] & EP 1801974 A2 & CN 1988385 A	1-12
A	JP 2000-308250 A (矢崎総業株式会社) 2000.11.02, 段落【0001】, 【0017】－【0041】, 【図1】 －【図4】 (ファミリーなし)	1-12
A	JP 2007-202238 A (東京電力株式会社) 2007.08.09, 段落【0001】, 【0022】－【0054】, 【図1】 －【図7】 (ファミリーなし)	1-12