

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-237104

(P2006-237104A)

(43) 公開日 平成18年9月7日(2006.9.7)

(51) Int. Cl.	F I	テーマコード (参考)
H O 1 L 29/866 (2006.01)	H O 1 L 29/90 D	5 F O 3 8
H O 1 L 33/00 (2006.01)	H O 1 L 33/00 N	5 F O 4 1
H O 1 L 27/04 (2006.01)	H O 1 L 27/04 H	
H O 1 L 21/822 (2006.01)		

審査請求 未請求 請求項の数 7 O L (全 13 頁)

(21) 出願番号	特願2005-46481 (P2005-46481)	(71) 出願人	000005821
(22) 出願日	平成17年2月23日 (2005.2.23)		松下電器産業株式会社
			大阪府門真市大字門真1006番地
		(74) 代理人	100098291
			弁理士 小笠原 史朗
		(72) 発明者	大西 一洋
			大阪府門真市大字門真1006番地 松下
			電器産業株式会社内
		Fターム(参考)	5F038 AV04 BH05 BH13 EZ20
			5F041 AA23 BB25 DA13 DA20 DA83
			DB09

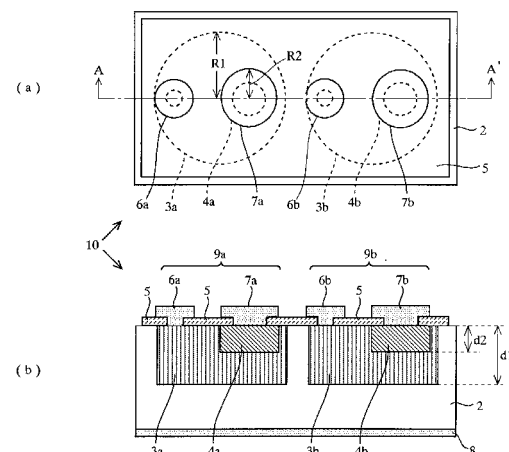
(54) 【発明の名称】 サージ保護用半導体素子およびその製造方法

(57) 【要約】

【課題】 複数個のLEDを直列接続して搭載できるサージ保護用半導体素子を提供する。

【解決手段】 N型半導体基板2には、P型領域3a、3bおよび、N型領域4a、4bが設けられている。アノード電極6aとカソード電極7aの間、および、アノード電極6bとカソード電極7bの間には、LEDが電氣的に接続される。N型領域4a、4bとP型領域3a、3bとで構成されるツェナーダイオードD34a、D34bは、その降伏電圧が、各LEDの通常使用時における順方向降下電圧よりも大きく、かつ、各LEDの耐電圧未満になるように設計する。また、P型領域3a、3bとN型半導体基板2とで構成される分離ダイオードD32a、D32bは、その降伏電圧が、全LEDの順方向降下電圧の和よりも高くなるように設計する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

サージから保護すべき素子を並列接続して使用するツェナーダイオードを備えたサージ保護用半導体素子であって、

第 1 導電型の半導体基板と、

前記ツェナーダイオードをそれぞれに含む複数のサージ保護用回路部と、

前記半導体基板の裏面に形成した裏面電極とを備え、

前記各サージ保護用回路部は、

前記半導体基板の表面から内部に形成した第 2 導電型領域と、

前記第 2 導電型領域の表面から内部に形成した第 1 導電型領域と、

前記第 1 導電型領域の一部と前記第 2 導電型領域の一部とを露出する絶縁膜と、

前記絶縁膜から露出した前記第 1 導電型領域に形成した第 1 の表面電極と、

前記絶縁膜から露出した前記第 2 導電型領域に形成した第 2 の表面電極とを有する、サージ保護用半導体素子。

10

【請求項 2】

前記第 1 導電型領域と前記第 2 導電型領域とでなる前記ツェナーダイオードの降伏電圧の大きさが、通常使用時における前記保護すべき素子の降下電圧よりも大きく、当該保護すべき素子の耐電圧未満であることを特徴とする、請求項 1 に記載のサージ保護用半導体素子。

【請求項 3】

前記ツェナーダイオードの降伏電圧が、3～50Vであることを特徴とする、請求項 2 に記載のサージ保護用半導体素子。

20

【請求項 4】

前記第 2 導電型領域と前記半導体基板とでなる分離用ダイオードの降伏電圧が、通常使用時における前記各保護すべき素子の降下電圧の和よりも高いことを特徴とする、請求項 1 に記載のサージ保護用半導体素子。

【請求項 5】

前記分離用ダイオードの降伏電圧が、10V以上であることを特徴とする、請求項 4 に記載のサージ保護用半導体素子。

【請求項 6】

前記サージ保護用回路部の前記第 1 の表面電極と、別の前記サージ保護用回路部の前記第 2 の表面電極とを接続することによって、全てのサージ保護用回路部を直列接続する配線をさらに備えた、請求項 1 に記載のサージ保護用半導体素子。

30

【請求項 7】

サージから保護すべき素子を並列接続するツェナーダイオードを備えたサージ保護用半導体素子の製造方法であって、

第 1 導電型の半導体基板の表面から内部に複数の第 2 導電型領域を形成する工程と、

前記各第 2 導電型領域の表面から内部に第 1 導電型領域を形成する工程と、

前記第 1 導電型領域の一部と前記第 2 導電型領域の一部とを露出する絶縁膜を形成する工程と、

40

前記絶縁膜から露出した前記第 1 導電型領域と前記第 2 導電型領域とに、第 1 および第 2 の表面電極を形成する工程と、

前記半導体基板の裏面に裏面電極を形成する工程とを備えたサージ保護用半導体素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はサージ保護用半導体素子およびその製造方法に関する。

【背景技術】

【0002】

50

近年、発光ダイオード（LED：Light Emitting Diode）は多分野で使用されている。LEDは、GaAs（砒素化ガリウム）やGaN（窒化ガリウム）等の化合物半導体であるために、静電気放電（ESD：Electro Static Discharge）などのサージに対して非常に弱い。よって、LEDには、サージ保護用回路が必ず必要になるために、予めサージ保護用半導体素子（ツェナーダイオード）を同封したLEDパッケージが提案されている（例えば、特許文献1参照）。

【0003】

図10（a）は、サージ保護用半導体素子100が同封されたLEDパッケージ111の一例を示している。図10（b）は、図10（a）の回路図である。このLEDパッケージ111は、LED112、サージ保護用半導体素子100、金属フレーム101a、101bおよび、光透過性樹脂でなる封止部113で構成されている。サージ保護用半導体素子100は、N型半導体基板102、P型領域103、絶縁膜105、カソード電極106、アノード電極107、および裏面電極108を備えた、フリップチップ型のツェナーダイオードである。LED112に並列接続されたサージ保護用半導体素子100によって、サージ電流の分岐回路が構成されている。

10

【特許文献1】特開2002-185049号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところで最近、LEDの輝度向上に対する要請が高まっており、この要請を満たすために、複数のLEDを封入したLEDパッケージが提案されている。しかしながら、サージ保護用半導体素子を、複数のLEDと共に封入したLEDパッケージは未だ提案されていない。

20

【0005】

例えばLEDパッケージ内に、図10（a）に示すサージ保護用半導体素子100とLED112とを複数個封入する場合、LEDパッケージの小型化は困難である。そこで、本願発明者は、LEDパッケージの小型化を図るために、複数個のLEDを搭載可能なフリップチップ型のサージ保護用半導体素子を開発することを検討した。その際に、以下に説明する課題が生じることになった。

【0006】

LEDパッケージ（光源）の輝度変化は等方的であることが望ましく、そのためには、LEDパッケージ内の各LEDの輝度をほぼ同じにする必要がある。LEDの輝度は、LEDに供給される電流値に比例して決まる。

30

【0007】

LEDを並列接続した場合には、各LEDの抵抗値に応じて電流値が決まるので、製造誤差による各LEDの抵抗値のバラツキによって、LEDの輝度にバラツキが生じることになる。よって、LEDを並列接続する場合には、各LEDの抵抗値のバラツキを補正する周辺回路を設けて、各LEDの輝度を均一にする必要がある。その場合には、周辺回路が煩雑になるため、LEDパッケージの小型化は困難になる。

【0008】

一方、LEDを直列接続した場合には、各LEDに供給される電流値が一定になるため、輝度調整のために抵抗値を調整する必要がない。よって、LEDを直列接続すれば、パッケージ内の各LEDの輝度を均一にして、かつ、周辺回路を簡素化することが可能になる。

40

【0009】

ただし、図10（a）に示す従来のサージ保護用半導体素子を単に複数個並べて一つのサージ保護用半導体素子を構成した場合には、図11および図12にLEDパッケージの予想図およびその回路図を示すように、裏面電極108が共用されるため、LED112a、112bを直列接続することができない。

【0010】

50

それ故に本発明の目的は、複数個のLEDを直列接続して搭載できるサージ保護用半導体素子を提供することにある。

【課題を解決するための手段】

【0011】

本発明に係るサージ保護用半導体素子は、サージから保護すべき素子を並列接続して使用するツェナーダイオードを備えたサージ保護用半導体素子であって、第1導電型の半導体基板と、ツェナーダイオードをそれぞれに含む複数のサージ保護用回路部と、半導体基板の裏面に形成した裏面電極とを備え、各サージ保護用回路部は、半導体基板の表面から内部に形成した第2導電型領域と、第2導電型領域の表面から内部に形成した第1導電型領域と、第1導電型領域の一部と第2導電型領域の一部とを露出する絶縁膜と、絶縁膜から露出した第1導電型領域に形成した第1の表面電極と、絶縁膜から露出した第2導電型領域に形成した第2の表面電極とを有する。

10

【0012】

第1導電型領域と第2導電型領域とでなるツェナーダイオードの降伏電圧の大きさは、通常使用時における保護すべき素子の降下電圧よりも大きく、保護すべき素子の耐電圧未満になっていればよい。

【0013】

より具体的には、ツェナーダイオードの降伏電圧が、3～50Vになっていればよい。

【0014】

また、第2導電型領域と半導体基板とでなる分離用ダイオードの降伏電圧が、通常使用時における各保護すべき素子の降下電圧の和よりも高くなっていることが好ましい。

20

【0015】

より具体的には、分離用ダイオードの降伏電圧は、10V以上であればよい。

【0016】

また、本発明に係るサージ保護用半導体素子は、サージ保護用回路部の第1の表面電極と、別のサージ保護用回路部の第2の表面電極とを接続することによって、全てのサージ保護用回路部を直列接続する配線をさらに備えていてもよい。

【0017】

本発明に係るサージ保護用半導体素子の製造方法は、サージから保護すべき素子を並列接続するツェナーダイオードを備えたサージ保護用半導体素子の製造方法であって、第1導電型の半導体基板の表面から内部に複数の第2導電型領域を形成する工程と、各第2導電型領域の表面から内部に第1導電型領域を形成する工程と、第1導電型領域の一部と第2導電型領域の一部とを露出する絶縁膜を形成する工程と、絶縁膜から露出した第1導電型領域と第2導電型領域とに、第1および第2の表面電極を形成する工程と、半導体基板の裏面に裏面電極を形成する工程とを備える。

30

【発明の効果】

【0018】

本発明に係るサージ保護用半導体素子によれば、1つのLEDに対してそれぞれ個別にチップ状のサージ保護用半導体素子を接続する場合よりも、実装面の省面積化が可能になり、また周辺回路も簡素化できる。よって、本発明に係るサージ保護用半導体素子を用いれば、より小型のLEDパッケージを実現することができる。

40

【0019】

本実施形態に係るサージ保護用半導体素子は、LEDを直列接続でき、かつ、各LEDに対して各1つのサージ保護用回路部を並列接続できる構成になっている。LEDを直列接続した場合、各LEDに供給される電流値が等しくなるために、各LEDの輝度が均一になる。よって、この半導体素子を用いれば、輝度変化が等方的なLEDパッケージを実現することができる。

【0020】

また、本発明に係るサージ保護用半導体素子は、分離用ダイオードを備えているために、各サージ保護用回路部を、電氣的に分離された素子として個別に取り扱うことができる

50

。よって、本発明に係るサージ保護用半導体素子を用いれば、これを搭載する回路の設計自由度が高くなる。

【0021】

表面電極間を接続する配線を設けておけば、電極間を接続する手間を要しない。また、目視によって第1の表面電極と第2の表面電極の極性を区別することができるという利点もある。

【発明を実施するための最良の形態】

【0022】

(第1の実施形態)

図1(a)および(b)は、本発明の第1の実施形態に係るサージ保護用半導体素子10(以下、単に半導体素子10という)の平面図、および、A-A'線断面図を示している。この半導体素子10は、N型半導体基板2、P型領域3a、3b、N型領域4a、4b、絶縁膜5、アノード電極6a、6b、カソード電極7a、7bおよび、裏面電極8を備えている。

【0023】

P型領域3a、N型領域4a、アノード電極6aおよびカソード電極7aは、第1のサージ保護用回路部9aを構成している。また、P型領域3b、N型領域4b、アノード電極6bおよびカソード電極7bは、第2のサージ保護用回路部9bを構成している。

【0024】

P型領域3a、3bは、N型半導体基板2の表面から内部に形成された、P型不純物濃度が高い領域である。このP型領域3a、3bの深さはd1であり、平面形状は、半径がR1の円形状になっている。N型領域4a、4bは、P型領域3a、3bの表面から内部に形成された、N型不純物濃度が高い領域である。N型領域4a、4bの深さはd2(<d1)であり、その平面形状は、半径がR2(<R1)の円形状になっている。極性の判別を容易にするために、アノード電極6a、6bとカソード電極7a、7bの直径が異なっている。

【0025】

第1および第2のサージ保護用回路部9a、9bにおいて、PN接合されたP型領域3a、3bとN型領域4a、4bとで、後述する回路上のツェナーダイオードD34a、D34bが構成されている(図3参照)。また、PN接合されたP型領域3a、3bとN型半導体基板2とで、後述する回路上の分離用ダイオードD32a、D32bが構成されている(図3参照)。

【0026】

図2は、半導体素子10の使用態様の一例であるLEDパッケージ11を示している。図3は、図2の回路図を示している。このLEDパッケージ11は、半導体素子10、LED12a、12b、金属フレーム1a~1c、および、光透過性樹脂でなる封止部13を備えている。

【0027】

半導体素子10は、金属フレーム1b上に配置されている。金属フレーム1bは接地されるか、またはフロー状態で使用される。アノード電極6aは金属フレーム1aと、また、カソード電極7bは金属フレーム1cとワイヤで電氣的に接続されている。LED12aは、アノード電極6a上に配置されて、そのP側電極がワイヤによってカソード電極7aと電氣的に接続されている。また、LED12bは、アノード電極6b上に配置されて、そのP側電極がワイヤによってカソード電極7bと電氣的に接続されている。アノード電極6bとカソード電極7aはワイヤによって電氣的に接続されている。以上により金属フレーム1a、1c間でのLED12a、12bの直列接続が実現されている。通常使用時には、金属フレーム1a、1c間に、金属フレーム1c側がプラス側になるよう通常電圧が印加される。通常使用時におけるLED12a、12bの順方向降下電圧を、Vfとする。

【0028】

ツェナーダイオード D 3 4 a, D 3 4 b は、ツェナー降伏電圧 V_z (D 3 4) が次式 (1) に示す条件を満たすように設計される。

$$V_f < V_z \text{ (D 3 4)} < V_b \quad \dots (1)$$

ここで、 V_b は、LED 1 2 a, 1 2 b の耐電圧である。

【0029】

ツェナーダイオード D 3 4 a, D 3 4 b が、式 (1) に示す条件を満たしているために、金属フレーム 1 a ~ 1 c からサージ電流が侵入した際に、LED 1 2 a, 1 2 b には耐電圧以上の過電圧が印加されることがなく、また、金属フレーム 1 a, 1 c 間 (アノード電極 6 a とカソード電極 7 b との間) に通常電圧 $2 V_f$ が印加されたときには、LED 1 2 a, 1 2 b が発光する。

10

【0030】

分離用ダイオード D 3 2 a, D 3 2 b は、金属フレーム 1 a, 1 c 間に通常電圧 $2 V_f$ が印加されたときに、アノード電極 6 a とカソード電極 7 b との間の電位差によって P 型領域 3 a と N 型半導体基板 2 との接合部でツェナー降伏が生じないことを条件とする。この条件を満たしていれば、サージ保護用回路部 9 a とサージ保護用回路部 9 b とは、電氣的に分離された素子として扱うことができる。分離した素子として取り扱うことができれば、回路設計の自由度が高くなるという利点がある。

【0031】

この条件を十分に満たすようにするためには、P 型領域 3 a と N 型半導体基板 2 とのツェナー降伏電圧 V_z (D 3 2) が次式 (2) を満たすように、P 型領域 3 a および N 型半導体基板 2 を設計すればよい。

20

$$V_z \text{ (D 3 2)} > 2 V_f \quad \dots (2)$$

つまり、P 型領域 3 a, 3 b は、降伏電圧 V_z (D 3 2) が、LED 1 2 a の降下電圧 V_f と LED 1 2 b の降下電圧 V_f との和 ($= 2 V_f$) よりも高くなるように設計すればよい。なお、降伏電圧 V_z (D 3 2) の値は、P 型領域 3 a, 3 b および N 型半導体基板 2 の不純物濃度を調整することによって調整できる。

【0032】

ツェナーダイオード D 3 4 a, D 3 4 b の降伏電圧と、分離用ダイオード D 3 2 a, D 3 2 b の降伏電圧とは、LED 1 2 a, 1 2 b の特性や個数によって決まることになるが、一般的な LED を用いる場合には、ツェナーダイオード D 3 4 a, D 3 4 b の降伏電圧が 3 ~ 50 V 程度、分離用ダイオード D 3 2 a, D 3 2 b の降伏電圧が、10 V 以上にならなければならない。

30

【0033】

このような条件を満たす代表的な構造パラメータを挙げると、N 型半導体基板 2 の N 型不純物濃度が $10^{13} \sim 10^{18} \text{ cm}^{-3}$ 、その厚みが $100 \sim 400 \mu\text{m}$ 、P 型領域 3 a, 3 b の P 型不純物濃度が $10^{18} \sim 10^{20} \text{ cm}^{-3}$ 、その深さ d_1 が $10 \sim 30 \mu\text{m}$ 、N 型領域 4 a, 4 b の N 型不純物濃度が $10^{19} \sim 10^{21} \text{ cm}^{-3}$ 、その深さ d_2 が $5 \sim 10 \mu\text{m}$ である。

【0034】

なお、図 1 では、N 型半導体基板 2 に 2 つのサージ保護用回路部 9 a, 9 b を設けた場合を示しているが、上記の条件を満たしていれば、サージ保護用回路部 9 a, 9 b の個数はいくつであってもよい。例えば、N 型半導体基板 2 の N 型不純物濃度が 10^{14} cm^{-3} 、その厚みが $150 \mu\text{m}$ であるときに、P 型領域 3 a の P 型不純物濃度を 10^{19} cm^{-3} 、その深さ d_1 を $20 \mu\text{m}$ とし、N 型領域 4 a の N 型不純物濃度を 10^{21} cm^{-3} 、その深さ d_2 を $5 \mu\text{m}$ とした場合、ツェナーダイオード D 3 4 a の降伏電圧が、 $V_z \text{ (D 3 4)} = 7 \text{ V}$ 、分離用ダイオード D 3 2 a の降伏電圧が、 $V_z \text{ (D 3 2)} = 60 \text{ V}$ となる。よって、LED 1 2 a の順方向電圧降下を 2 V とした場合には、このサージ保護用回路部 9 a を 30 個まで直列接続した場合でも、サージ保護用回路部 9 a どちらの電氣的な分離が可能になる。

40

【0035】

50

図 2 に示す L E D パッケージ 1 1 において、サージ電流侵入時の電流経路を、金属フレーム 1 b がフロー状態にあるときと接地されているときとに分けて説明する。まず、金属フレーム 1 b がフロー状態にあるときに、金属フレーム 1 c からサージ電流 (+ I s) が侵入すると、まず、カソード電極 7 b で分流されて、一方が L E D 1 2 b を順方向に、また、他方がツェナーダイオード D 3 4 b を逆方向に流れる。これらの電流を足し合わせた電流は、カソード電極 7 a で再度分流されて、一方が L E D 1 2 a を順方向に、また、他方がツェナーダイオード D 3 4 a を逆方向に流れ、アノード電極 6 a から金属フレーム 1 a に流れる。

【 0 0 3 6 】

L E D 1 2 a , 1 2 b に耐電圧以上の電圧が印加されるときには、ツェナーダイオード D 3 4 a , D 3 4 b でツェナー降伏が生じるので、L E D 1 2 a , 1 2 b に過電圧が印加されることがない。 10

【 0 0 3 7 】

また、金属フレーム 1 a から、サージ電流 (+ I s) が侵入した場合には、アノード電極 6 a、P 型領域 3 a、N 型領域 4 a、カソード電極 7 a、アノード電極 6 b、P 型領域 3 b、N 型領域 4 b、カソード電極 7 b を通って、金属フレーム 1 c に電流が流れる。この場合、サージ電流 + I s は、ツェナーダイオード D 3 4 a , D 3 4 b を順方向に流れることになる。

【 0 0 3 8 】

また、金属フレーム 1 b から、サージ電流 (+ I s) が侵入した場合には、裏面電極 8、N 型半導体基板 2、P 型領域 3 a を通って、アノード電極 6 a から金属フレーム 1 a に電流が流れる。また、一部の電流は、P 型領域 3 a から、N 型領域 4 a、カソード電極 7 a、アノード電極 6 b、P 型領域 3 b、N 型領域 4 b を通って、カソード電極 7 b から金属フレーム 1 c に流れる。 20

【 0 0 3 9 】

一方、金属フレーム 1 b が接地されているときに金属フレーム 1 c にサージ電流 (+ I s) が侵入した場合には、カソード電極 7 b、N 型領域 4 b、P 型領域 3 b、N 型半導体基板 2 および、裏面電極 8 を通って、金属フレーム 1 b にサージ電流が流れる。また、金属フレーム 1 a にサージ電流 (+ I s) が侵入した場合には、アノード電極 6 a、P 型領域 3 a、N 型半導体基板 2 および、裏面電極 8 を通って、金属フレーム 1 b にサージ電流が逃れる。よって、この場合も、L E D 1 2 a , 1 2 b に耐電圧以上の電圧が印加されることがない。 30

【 0 0 4 0 】

このように、本発明に係る半導体素子 1 0 は、いずれの金属フレーム 1 a ~ 1 c からサージ電流が侵入した場合にも、別の金属フレーム 1 a ~ 1 c へとサージ電流を逃すことができ、L E D 1 2 a , 1 2 b に耐電圧以上の電圧が印加されることがない。

【 0 0 4 1 】

次に、図 4、図 5 を用いて、半導体素子 1 0 の製造方法の一例を説明する。まず、図 4 (a) , (b) に示すように、P 型領域 3 a , 3 b を、フォトリソグラフィ、不純物ドーピング、不純物拡散によって形成する。より具体的には、まず、シリコンウェーハにリン等の N 型不純物がドーピングされた N 型半導体基板 2 の表面に、フォトマスク 1 4 を形成する。そして、開口から露出した N 型半導体基板 2 表面からボロン等の P 型不純物をドーピングして 1 2 0 0 ° C 程度で熱拡散させて、P 型領域 3 a , 3 b を形成する。 40

【 0 0 4 2 】

次に、図 4 (c) , (d) に示すように、N 型領域 4 a , 4 b を、フォトリソグラフィ、不純物ドーピング、不純物拡散によって形成する。より具体的には、N 型半導体基板 2 上にフォトマスク 1 5 を形成して、開口から露出した P 型領域 3 a , 3 b の表面からリン等の N 型不純物をドーピングして 1 1 5 0 ° C 程度で熱拡散させて、N 型領域 4 a , 4 b を形成する。

【 0 0 4 3 】

次に、1100℃程度での熱酸化と化学気相成長法（CVD:Chemical Vapor Deposition）を用いて、N型半導体基板2上に絶縁膜5を形成する（図5（e））。そして、絶縁膜5を選択的にエッチングして、P型領域3a、3bの一部表面とN型領域4a、4bの一部表面とを露出するコンタクト窓16a、16bを形成する（図5（f））。なお、絶縁膜5は、N型半導体基板2表面のうち、周辺部を露出するように形成してもよいし、周辺部も覆うようにしておいてもよい。図5（f）に示すように、N型半導体基板2表面のうち、周辺部を除いて絶縁膜5を形成しておけば、ウェーハからチップに切断する際に、絶縁膜5に掛かるストレスを低減することができる。

【0044】

次に、絶縁膜5上にアルミニウム等の導電率の高い材料をスパッタリングして金属膜を形成する。そして、マスクを用いたドライエッチングによって選択的に金属膜を除去して、アノード電極6a、6bおよび、カソード電極7a、7bを形成する（図5（g））。 10

【0045】

最後に、N型半導体基板2の裏面に、チタン、金、銀、ニッケル等または、これらを含む金属を蒸着して、多層または単層の裏面電極8を形成する（図5（h））。

【0046】

本実施形態に係る半導体素子10は、複数のLEDを配置できるフリップチップ型のサージ保護用半導体素子である。この半導体素子10によれば、1つのLEDに対してそれぞれ個別にチップ状のサージ保護用半導体素子を接続する場合よりも、実装面の省面積化が可能になり、また周辺回路も簡素化できる。よって、本発明に係るサージ保護用半導体素子を用いれば、より小型のLEDパッケージを実現することができる。 20

【0047】

本実施形態に係る半導体素子10は、LED12a、12bが直列接続され、かつ、各LED12a、12bに対して各1つのサージ保護用回路部9a、9bを並列接続できる構成になっている。LED12a、12bを直列接続した場合、各LED12a、12bに供給される電流値が等しくなるために、各LEDの輝度が均一になる。よって、この半導体素子10を用いれば、輝度変化が等方的なLEDパッケージを実現することができる。

【0048】

また、本実施形態に係る半導体素子10は、分離用ダイオードD32a、D32bを備えているために、サージ保護用回路部9aとLED12aとでなる組（サージ保護用回路部／保護対象物対）と、サージ保護用回路部9bとLED12bとでなる組とを、電氣的に分離された素子として個別に取り扱うことができる。よって、本発明に係る半導体素子10を用いれば、これを搭載する回路の設計自由度が高くなる。 30

【0049】

なお、カソード電極7a、7bとアノード電極6a、6bとの間に接続される保護すべき素子は、LED以外の素子であってもよい。また、上記実施形態では、N型半導体基板2に、P型領域3a、3bおよびN型領域4a、4bを設けた場合を説明したが、各部の導電型を逆にした場合にも本発明は有効である。その場合には、N型半導体基板2の代わりにP型半導体基板を用い、例えばリンをドーピングして1200℃程度で熱拡散させることによって、P型領域3a、3bの代わりとなるN型領域を形成すればよい。そして、形成したN型領域内にボロンをドーピングして1150℃程度で熱拡散させることによって、N型領域4a、4bの代わりとなるP型領域を形成するようにすればよい。 40

【0050】

（第2の実施形態）

図6（a）、（b）は、本発明の第2の実施形態に係るサージ保護用半導体素子20（以下、半導体素子20という）の断面図および、N型半導体基板2の平面図を示している。半導体素子20は、N型半導体基板2、P型領域3a～3c、N型領域4a～4c、絶縁膜5、カソード電極7a～7c、アノード電極6a～6c、および、裏面電極8を備えている。N型半導体基板2には、3個のサージ保護用回路部9a～9cが設けられている 50

。本実施形態では、第 1 の実施形態で説明した構成要素には同じ参照符号を付して説明を省略する。

【0051】

本実施形態に係る半導体素子 20 において、カソード電極 7a とアノード電極 6b、および、カソード電極 7b とアノード電極 6c は、配線 22a, 22b によって電氣的に接続されている。配線 22a, 22b は、カソード電極 7a ~ 7c およびアノード電極 6a ~ 6c を形成する工程で同時に形成すればよい。

【0052】

図 7 は、この半導体素子 20 の使用態様の一例である LED パッケージ 21 を示している。また、図 8 は、図 7 の回路図を示している。半導体素子 20 は、金属フレーム 1b 上に配置されている。そして、アノード電極 6a が金属フレーム 1a と、また、カソード電極 7c が金属フレーム 1c とワイヤで電氣的に接続されている。そしてアノード電極 6a とカソード電極 7a との間、アノード電極 6b とカソード電極 7b との間、アノード電極 6c とカソード電極 7c との間には、それぞれ LED 12a ~ 12c が電氣的に接続されている。これにより LED 12a ~ 12c の直列接続が実現されている。半導体素子 20 には予め配線 22a, 22b が設けられているために、電極間をワイヤで接続する手間を要しない。

【0053】

なお、半導体素子 20 は 3 つのサージ保護用回路部 9a ~ 9c を備えているが、N 型半導体基板 2 に設けられるサージ保護用回路部 9α (α は a, b …) の個数は、2 個以上であればいくつであってもよい。

【0054】

例えば図 9 は、9 個のサージ保護用回路部 9a ~ 9i を備えたサージ保護用半導体素子の平面図の一例を示している。このサージ保護用半導体素子には、LED を行列 (3 × 3) に配置して直列接続することができる。図 9 において、サージ保護用回路部 9α のカソード電極 7α と、その隣に位置するサージ保護用回路部 9β (β は a, b … であって、β ≠ α) のアノード電極 6β とは、配線 22α で接続されており、これにより 9 個のサージ保護用回路部 9α が直列接続されている。

【0055】

図 9 等 に示しているように、極性によって電極の大きさを変えていれば、アノード電極 6a ~ 6i とカソード電極 7a ~ 7i とを目視によって区別し易いが、それに加えて、配線 22a ~ 22i が形成されていると、LED (図示せず) を設置する位置を容易に判断できるようになる。つまり、配線 22a ~ 22i によって接続されていない電極間に LED を配置すれば良いので、特にサージ保護用回路部 9α が多数形成されている場合には、予め配線を形成しておく と 便利である。

【産業上の利用可能性】

【0056】

本発明に係るサージ保護用半導体素子は、複数の LED を ESD 等のサージから保護するサージ保護用半導体素子として有用である。

【図面の簡単な説明】

【0057】

【図 1】 (a) は、本発明の第 1 の実施形態に係るサージ保護用半導体素子の平面図、(b) は、(a) の A - A' 線断面図

【図 2】 図 1 のサージ保護用半導体素子を用いた LED パッケージの一例を示す図

【図 3】 図 2 に示す半導体パッケージの回路図

【図 4】 (a) ~ (d) は、図 1 のサージ保護用半導体素子の製造方法を説明するための図

【図 5】 (e) ~ (f) は、図 4 の続図

【図 6】 (a) は、本発明の第 2 の実施形態に係るサージ保護用半導体素子の平面、(b) は、(a) の B - B' 線断面図

10

20

30

40

50

【図 7】 図 6 のサージ保護用半導体素子を用いた L E D パッケージの一例を示す図

【図 8】 図 7 に示す半導体パッケージの回路図

【図 9】 9 個のサージ保護用回路部を備えたサージ保護用半導体素子の平面図

【図 10】 (a) は、従来の L E D パッケージを示す図、(b) は、その回路図

【図 11】 従来のサージ保護用半導体素子を用いた L E D パッケージの予想図

【図 12】 図 11 の回路図

【符号の説明】

【0058】

1 a ～ 1 c 金属フレーム

2 N 型半導体基板

3 P 型領域

4 N 型領域

5 絶縁膜

6 a ～ 6 i アノード電極

7 a ～ 7 i カソード電極

8 裏面電極

9 a ～ 9 c サージ保護用回路部

10 サージ保護用半導体素子

11 L E D パッケージ

13 封止部

12 a ～ 12 c L E D

20 サージ保護用半導体素子

22 a ～ 22 i 配線

100 サージ保護用半導体素子

101 a, 101 b 金属フレーム

102 N 型半導体基板

103 P 型領域

105 絶縁膜

106 カソード電極

107 アノード電極

108 裏面電極

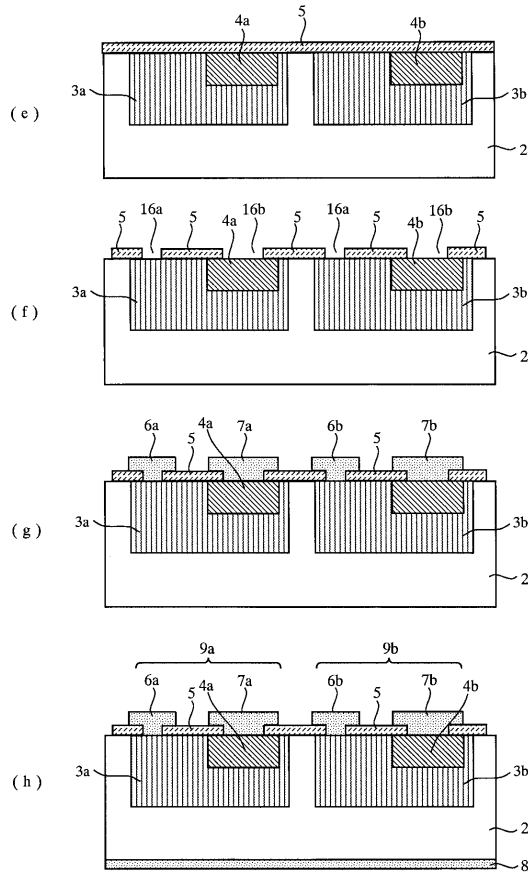
120 L E D

10

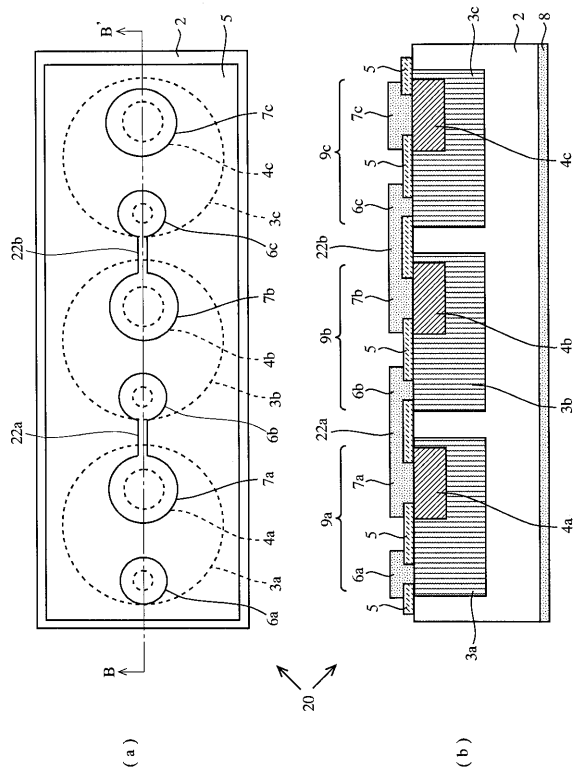
20

30

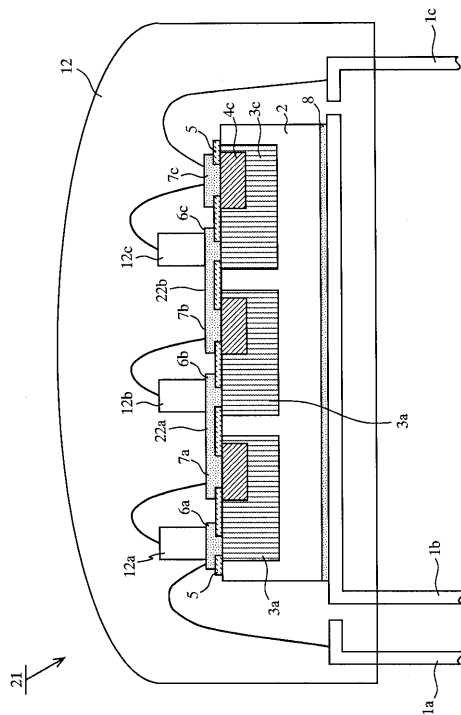
【図 5】



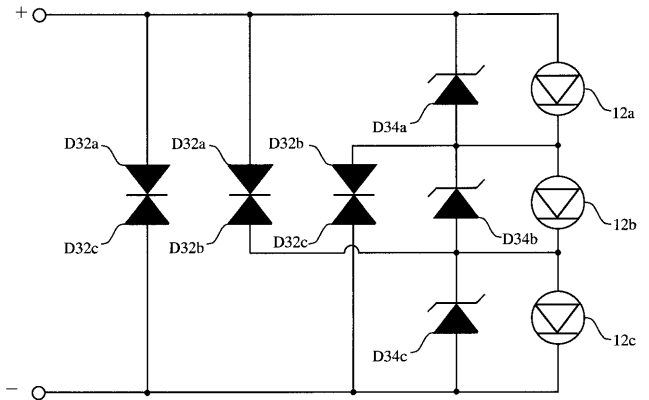
【図 6】



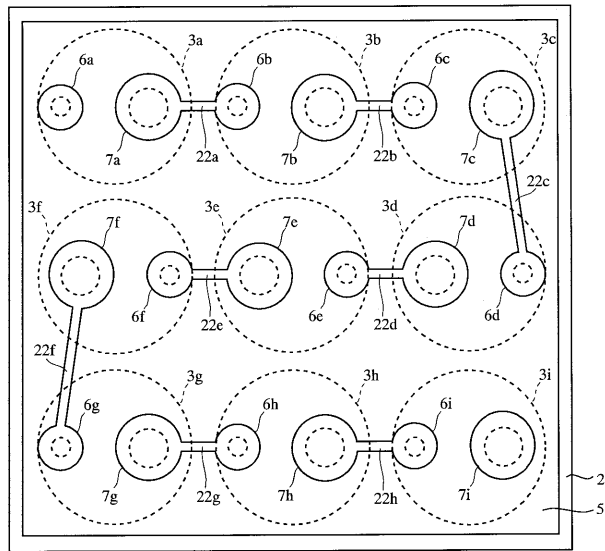
【図 7】



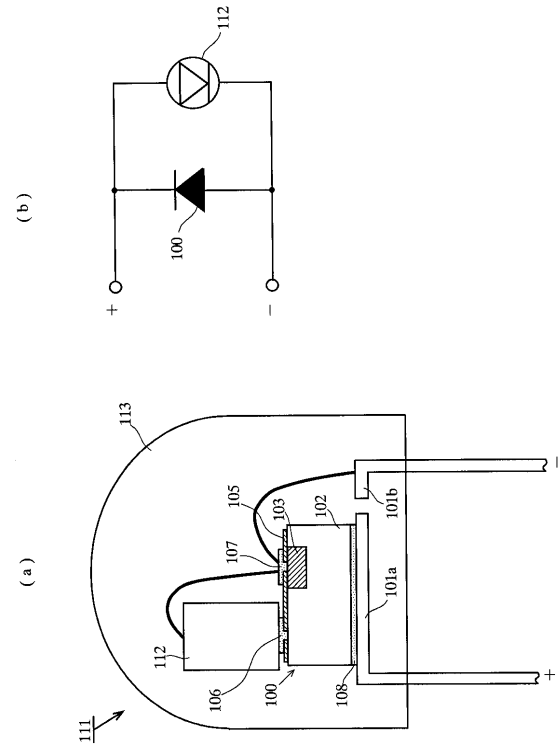
【図 8】



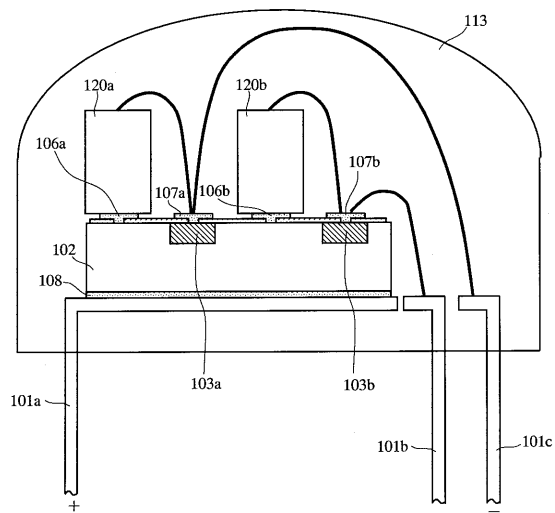
【図 9】



【図 10】



【図 11】



【図 12】

