



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2019년05월27일
 (11) 등록번호 10-1982353
 (24) 등록일자 2019년05월20일

- (51) 국제특허분류(Int. Cl.)
H03K 19/173 (2006.01)
- (21) 출원번호 10-2013-0047880
 (22) 출원일자 2013년04월30일
 심사청구일자 2018년04월24일
 (65) 공개번호 10-2013-0122915
 (43) 공개일자 2013년11월11일
 (30) 우선권주장
 JP-P-2012-104853 2012년05월01일 일본(JP)
 (56) 선행기술조사문헌
 JP2007053761 A
 JP2011103458 A
 US06342792 B1

- (73) 특허권자
 가부시끼가이사 한도오따이 에네루기 켄큐쇼
 일본국 가나가와Ken 아쓰기시 하세 398
 (72) 발명자
 다케무라 야스히코
 일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
 부시끼가이사 한도오따이 에네루기 켄큐쇼 내
 (74) 대리인
 장수길, 박충범, 이중희

전체 청구항 수 : 총 4 항

심사관 : 나병윤

(54) 발명의 명칭 루업 테이블, 및 루업 테이블을 구비한 프로그래머블 로직 디바이스

(57) 요약

본 발명은 컨피규레이션 메모리에 유지되는 컨피규레이션 데이터의 배열을 최적화한다.

컨피규레이션 데이터가 유지되는 메모리와, 메모리로부터 공급된 컨피규레이션 데이터에 따라 입력된 복수의 신호 중에서 어느 하나를 선택하여 출력하는 복수의 멀티플렉서와, 인버터를 갖고, 복수의 멀티플렉서는 바이너리 트리 형태로 단단으로 접속되고, 최상위의 단의 멀티플렉서의 입력 단자를 중 하나와 최상위의 단보다 하나 하위의 단의 멀티플렉서의 출력 단자와의 사이에 인버터가 제공되고, 각 멀티플렉서에서의 신호 선택에 의하여 최하위의 단의 멀티플렉서들에 입력된 모든 신호들 중 어느 하나를 상기 최상위의 단의 멀티플렉서로부터 출력 신호로서 출력하는 루업 테이블이다.

대 표 도

명세서

청구범위

청구항 1

록업 테이블로서,

컨피규레이션 데이터를 유지하는 메모리와;

복수의 멀티플렉서로서, 상기 복수의 멀티플렉서 각각은 상기 메모리로부터 공급된 상기 컨피규레이션 데이터에 따라 입력된 복수의 신호들 중 하나의 신호를 선택하고 상기 하나의 신호를 출력하는 상기 복수의 멀티플렉서와;

인버터를 포함하고,

상기 복수의 멀티플렉서는 바이너리 트리 형태로 다단으로 접속되고,

상기 인버터는 어느 단의 멀티플렉서의 출력 단자와 상기 어느 단보다 하나 상위의 단의 멀티플렉서의 한쪽 입력 단자 사이에 제공되고,

상기 어느 단보다 하나 상위의 단의 멀티플렉서의 다른 쪽 입력 단자는 인버터에 접속되지 않고,

상기 멀티플렉서들 각각에서, 최상위의 단의 멀티플렉서가 최하위의 단의 멀티플렉서들에 입력된 모든 신호들 중 하나를 출력 신호로서 출력하도록 신호 선택이 수행되는, 룩업 테이블.

청구항 2

록업 테이블로서,

컨피규레이션 데이터를 유지하는 메모리와;

복수의 멀티플렉서로서, 상기 복수의 멀티플렉서 각각은 상기 메모리로부터 공급된 상기 컨피규레이션 데이터에 따라 입력된 복수의 신호들 중 하나의 신호를 선택하고 상기 하나의 신호를 출력하는 상기 복수의 멀티플렉서를 포함하고,

어느 단의 상기 복수의 멀티플렉서 중 하나의 출력은 반전되고 상기 어느 단보다 하나 상위의 단의 멀티플렉서의 한쪽 입력 단자에 입력되고,

상기 어느 단보다 하나 상위의 단의 멀티플렉서의 다른 쪽 입력 단자로의 입력은 반전되지 않고,

상기 복수의 멀티플렉서는 바이너리 트리 형태로 다단으로 접속되고,

상기 멀티플렉서들 각각에서, 최상위의 단의 멀티플렉서가 최하위의 단의 멀티플렉서들에 입력된 모든 신호들 중 하나를 출력 신호로서 출력하도록 신호 선택이 수행되는, 룩업 테이블.

청구항 3

록업 테이블로서,

컨피규레이션 데이터를 유지하는 메모리와;

제 1 멀티플렉서 및 제 2 멀티플렉서를 포함하는 복수의 멀티플렉서로서, 상기 복수의 멀티플렉서 각각은 출력 단자와 적어도 2개의 입력 단자를 포함하는 상기 복수의 멀티플렉서를 포함하고,

상기 복수의 멀티플렉서는 최상위의 단의 멀티플렉서가 상기 컨피규레이션 데이터 중 하나를 출력하도록 바이너리 트리 형태로 다단으로 접속되고,

상기 제 1 멀티플렉서는 어느 단에 있고,

상기 제 2 멀티플렉서는 상기 어느 단보다 하나 상위의 단에 있고,

상기 룩업 테이블은

(A) 상기 제 1 멀티플렉서의 출력 신호와,

(B) (A)의 반전 신호

중 하나가 상기 제 2 멀티플렉서의 제 1 입력 단자에 입력될 수 있는, 루업 테이블.

청구항 4

루업 테이블로서,

컨피규레이션 데이터를 유지하는 메모리와;

제 1 멀티플렉서 및 제 2 멀티플렉서를 포함하는 복수의 멀티플렉서로서, 상기 복수의 멀티플렉서 각각은 출력 단자와 적어도 2개의 입력 단자를 포함하는 상기 복수의 멀티플렉서와;

인버터를 포함하고,

상기 복수의 멀티플렉서는 최상위의 단의 멀티플렉서가 상기 컨피규레이션 데이터 중 하나를 출력하도록 바이너리 트리 형태로 다단으로 접속되고,

상기 제 1 멀티플렉서는 어느 단에 있고,

상기 제 2 멀티플렉서는 상기 어느 단보다 하나 상위의 단에 있고,

상기 인버터는 상기 제 1 멀티플렉서와 상기 제 2 멀티플렉서의 제 1 입력 단자 사이에 제공되고,

상기 루업 테이블은

(A) 상기 제 1 멀티플렉서의 출력 신호와,

(B) (A)의 반전 신호

중 하나가 상기 제 1 입력 단자에 입력될 수 있는, 루업 테이블.

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

발명의 설명

기술 분야

- [0001] 본 발명은 프로그래머블 로직 디바이스에 관한 것이다. 또한, 프로그래머블 로직 디바이스가 사용된 반도체 장치, 및 반도체 장치가 사용된 전자 기기에 관한 것이다.
- [0002] 또한, 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 말하며 트랜지스터나 반도체 회로 등은 모두 반도체 장치의 일 형태이다.

배경 기술

- [0003] 근년에 들어, 특정한 용도에 사용되는 집적 회로인 ASIC(Application Specific Integrated Circuit)를 대신하여, 제조 후에 사용자가 내부의 논리를 정의하거나 변경할 수 있는 FPGA(Field Programmable Gate Array)나 CPLD(Complex Programmable Logic Device) 등의 PLD(Programmable Logic Device)가 주목을 받고 있다. PLD는 ASIC에 비하여 개발 기간의 단축이나 설계 변경에 대한 유연성을 가지기 때문에 최근에 들어 다양한 전자 기기에 실장되고 있다.
- [0004] PLD는 예를 들어, 복수의 논리 블록과, 논리 블록들 사이의 배선으로 구성된다. 적어도 하나의 논리 블록의 기능을 변경함으로써 PLD의 기능을 변경할 수 있다. 논리 블록은 예를 들어, 룩업 테이블(Look Up Table: LUT) 등을 사용하여 구성된다. LUT는 복수의 입력값 패턴에 대한 출력을 미리 계산해 놓고 입력값 패턴에 상당하는 값을 출력하는 기능을 갖는다(특허문헌 1 참조).
- [0005] LUT는 메모리와 멀티플렉서로 구성되고 메모리에 기억되는 데이터에 따라 회로 구성을 변경할 수 있다. 이와 같은 LUT의 메모리나 배선의 접속을 제어하는 메모리에 기억된 데이터는 컨피규레이션 데이터라고 불리며 상기 컨피규레이션 데이터가 기억된 메모리는 컨피규레이션 메모리라고 불린다. 컨피규레이션 메모리에 기억된 컨피규레이션 데이터를 재기록함으로써 원하는 회로 구성을 변경할 수 있다. 또한, 컨피규레이션 메모리는 상술한 바와 같이 LUT 내나 배선 접속 회로에 존재하는 메모리를 총칭하는 것으로, 특정 개소에 일체로 존재하지 않는 경우도 있다.
- [0006] 예를 들어, 도 8a에 도시된 3입력 1출력의 LUT에서는 3개의 단자(I_1 , I_2 , I_3)의 입력값(총 8가지) 패턴과, 그에 따른 출력값을 기억해 놓고 입력값 패턴에 따라 기억된 값을 출력한다. 그리고, 도 8b에 도시된 AND 회로와 OR 회로로 이루어진 3입력 1출력의 회로에서는 입력 단자 I_1 , I_2 , I_3 의 입력값의 총 8가지 패턴과, 출력값(진리값표)은 도 8c에 도시된 바와 같다. 또한, 도 8a에 도시된 3입력의 LUT에서는 도 8d에 도시된 바와 같이 8비트의 메모리(MEM)와, 바이너리 트리(binary tree)형 회로를 구성하는 멀티플렉서(MUX1) 내지 멀티플렉서(MUX7)에 의하여 임의의 논리 회로를 구성할 수 있다.
- [0007] 도 8b에 도시된 논리 회로를 하드웨어로 구성하는 경우 제조 후에 회로 구성을 임의로 변경하기 어렵지만 LUT를 사용하는 경우에는 출력 단자 F의 값을 변경하면 회로 구성을 변경한 것과 같은 효과가 얻어진다. 예를 들어, 도 8c에서 출력 단자 F의 값을 중 가장 왼쪽의 수치 이외를 모두 0으로 하면 논리 회로는 3입력의 AND 회로가 되고, 출력 단자 F의 값을 중 가장 왼쪽의 수치 이외를 모두 1로 하면 논리 회로는 3입력의 OR 회로가 된다.

선행기술문헌

특허문헌

[0008]

(특허문헌 0001) 미국 특허7019557호 명세서

(특허문헌 0002) 일본국 특개2012-44618호 공보

발명의 내용

해결하려는 과제

[0009]

상술한 바와 같이, LUT를 사용하면 임의로 논리 회로를 구성할 수 있지만, 실질적으로 하나의 논리 회로를 구성하는 데 컨피규레이션 메모리에 유지되는 컨피규레이션 데이터의 배열 형태는 여러 가지 있다. 그러나, 컨피규레이션 메모리에 유지되는 컨피규레이션 데이터의 배열에 대해서는 지금까지 특별히 고려되지 않았다. 그래서, 컨피규레이션 메모리에 유지되는 컨피규레이션 데이터의 배열은 개선될 여지가 있다.

[0010]

본 발명의 일 형태에서는 컨피규레이션 메모리가 유지하는 컨피규레이션 데이터의 배열을 최적화하는 것을 목적의 하나로 한다.

과제의 해결 수단

[0011]

상술한 바와 같이, 최종적으로 도 8b와 등가인 회로를 구성할 수 있으면 되기 때문에 LUT의 3개의 입력 단자와 외부 배선과의 접속 자유도는 높다. 도 8b에 도시된 회로를 PLD로 구성하는 경우에는 LUT의 출력 단자 F의 값이 도 8b에 도시된 회로의 진리값표와 등가이면 좋고 반드시 진리값표가 일치될 필요는 없다. 예를 들어, 도 9a 내지 도 9f에 도시된 바와 같이 PLD에 있어서 LUT 외부의 배선 L_1 , L_2 , L_3 과 LUT의 입력 단자 I_1 , I_2 , I_3 을 접속시키는 경우를 생각한다. 여기서는, 배선 L_1 , L_2 , L_3 각각이 도 8b에 도시된 AND 회로, OR 회로에 접속된 것과 등가인 회로를 LUT로 구성한다. 입력 단자 I_1 , I_2 , I_3 은 배선 L_1 , L_2 , L_3 과 다양한 형태로 접속될 수 있고 구체적으로는, 입력 단자 I_1 , I_2 , I_3 과 배선 L_1 , L_2 , L_3 의 접속 방법은 도 9a 내지 도 9f에 도시된 6가지가 있다. 이를 중 어느 접속 방법에서도 LUT의 메모리의 내용을 재기록함으로써 도 8b와 등가인 회로를 구성할 수 있다.

[0012]

도 9a에 도시된 접속 형태의 경우, 진리값표는 도 8c와 같다. 한편, 도 9b에 도시된 접속 형태의 경우, 진리값표는 도 10a와 같다. 도 9b에 도시된 접속 형태와 도 9a에 도시된 접속 형태의 차이는 AND 회로에 접속하는 입력 단자 I_2 와 입력 단자 I_3 이 교체되어 있는 것만이기 때문에 출력 단자 F의 값의 배열은 동일하다.

[0013]

또한, 도 9c에 도시된 접속 형태의 경우, 진리값표는 도 10b와 같다. 도 9d에 도시된 접속 형태도, 도 9c에 도시된 접속 형태와의 차이는 AND 회로에 접속하는 입력 단자 I_1 과 입력 단자 I_3 이 교체되어 있는 것만이기 때문에 출력 단자 F의 값의 배열은 도 9c와 동일하다.

[0014]

마찬가지로, 도 9e에 도시된 접속 형태의 경우, 진리값표는 도 10c와 같다. 도 9f에 도시된 접속 형태도, 도 9e에 도시된 접속 형태와의 차이는 AND 회로에 접속하는 입력 단자 I_1 과 입력 단자 I_2 이 교체되어 있는 것만이기 때문에 출력 단자 F의 값의 배열은 도 9e와 동일하게 된다.

[0015]

그런데, 메모리(MEM)로의 데이터 기록이나 메모리(MEM)로부터의 데이터 판독은 연속적으로 수행된다. 이 때 데이터가 연속되지 않는 경우와 데이터가 연속되는 경우에서 소비 전력이 다를 수 있다. 예를 들어, 도 8c에 도시된 바와 같이 8비트의 데이터가 01010111인 경우와 도 10c에 도시된 바와 같이 00011111인 경우를 비교하면, 데이터의 패리티(parity)(0인지 1인지)가 변동됨에 따라 비트선의 전위가 변동되기 때문에 그 때마다 비트선의 용량만큼의 전하가 필요하게 되어 전자는 후자의 3배 소비 전력이 높다.

[0016]

또한, 예를 들어 하나의 펠스를 발생시켜 데이터 '1'의 기록이나 판독이 수행되는 경우도 있다. 이 때, 데이터 '1'의 개수가 많을수록 소비 전력이 높고 데이터 '1'의 개수가 적을수록 소비 전력이 낮다.

[0017]

즉, 배선과 LUT의 접속 형태를 최적화함으로써, 데이터의 패리티 변동이 최소이거나 또는 '1'의 개수가 적은 LUT의 메모리(MEM)의 데이터 배열을 발견할 수 있다.

- [0018] 또한, 특정의 논리 회로에는 상술한 조작이 유효적이지 않을 수도 있다. 예를 들어, OR 회로, AND 회로, 전가산 회로 등은 입력에 대한 출력의 대칭성이 높아 접속 형태를 변경하여도 진리값표가 변동되지 않는다.
- [0019] 그러나, 확률적인 논리 회로의 조합(논리 함수)을 생각할 때 컨피규레이션 메모리에 유지되는 컨피규레이션 데이터의 약 절반은 '1', 나머지는 '0'이다. 또한, 실제로 설계되는 논리 함수의 컨피규레이션 데이터를 고려하여도 컨피규레이션 데이터의 약 4분의 1이 '1'이며 이 비율을 넘어 한쪽을 적게 하는 것은 어렵다.
- [0020] 또한, 상기의 있어서 "'1'이 적고 '0'이 많다"는 표현은 "'0'이 적고 '1'이 많다"는 표현과 실질적으로 등가이다. 왜냐하면 '0'이나 '1'은 데이터의 둘 중 하나의 상태를 나타내는 것으로, 데이터의 어떤 상태가 '0'으로 지정되면 다른 쪽이 '1'이 되고, 또 임의로 '0'을 지정하는 것도 가능하기 때문이다. 따라서, 상기 및 이하의 기재에서 '0'을 '1', '1'을 '0'으로 바꿔 읽어도 좋다.
- [0021] 그래서, 본 발명의 일 형태에서는 LUT에 있어서 하나의 멀티플렉서의 출력 단자와 다른 멀티플렉서의 입력 단자 사이에 인버터를 제공한다. 또한, 본 명세서에서 인버터란, 입력된 데이터를 반전시키는 기능을 갖는 회로를 말한다. 예를 들어, 최상위의 단(段)의 멀티플렉서의 입력 단자와 그보다 하나 하위의 단의 멀티플렉서들 중 하나의 출력 단자와의 사이에 인버터를 제공한다. 또는, 최상위의 단부터 2단째 멀티플렉서의 입력 단자와 그보다 하나 하위의 단의 멀티플렉서들 중 하나의 출력 단자와의 사이에 인버터를 제공한다. 인버터는 멀티플렉서로 구성된 바이너리 트리 내에 적어도 하나 제공된다. 제공되는 위치는 컨피규레이션 데이터의 '1'의 비율에 의하여 최적화가 가능하다.
- [0022] 본 발명의 일 형태는 컨피규레이션 데이터가 유지되는 메모리와, 메모리로부터 공급된 컨피규레이션 데이터에 따라 입력된 복수의 신호 중에서 어느 하나를 선택하여 출력하는 복수의 멀티플렉서와, 인버터를 갖고, 복수의 멀티플렉서는 바이너리 트리 형태로 다단으로 접속되고, 어느 단의 멀티플렉서의 입력 단자들 중 하나와 상기 단보다 하나 하위의 단의 멀티플렉서의 출력 단자와의 사이에 인버터가 제공되고, 각 멀티플렉서에서의 신호 선택에 의하여 최하위의 단의 멀티플렉서들에 입력된 모든 신호들 중 어느 하나를 최상위의 단의 멀티플렉서로부터 출력 신호로서 출력하는 루업 테이블이다.
- [0023] 본 발명의 일 형태는 컨피규레이션 데이터가 유지되는 메모리와, 메모리로부터 공급된 컨피규레이션 데이터에 따라 입력된 복수의 신호 중에서 어느 하나를 선택하여 출력하는 복수의 멀티플렉서와, 인버터를 갖고, 복수의 멀티플렉서는 바이너리 트리 형태로 다단으로 접속되고, 최상위의 단의 멀티플렉서의 입력 단자들 중 하나와 최상위의 단보다 하나 하위의 단의 멀티플렉서의 출력 단자와의 사이에 인버터가 제공되고, 각 멀티플렉서에서의 신호 선택에 의하여 최하위의 단의 멀티플렉서들에 입력된 모든 신호들 중 어느 하나를 최상위의 단의 멀티플렉서로부터 출력 신호로서 출력하는 루업 테이블이다.
- [0024] 또한, LUT에 있어서 최하위의 단의 멀티플렉서들 중 하나의 출력 단자와 최하위의 단보다 하나 상위의 단의 멀티플렉서의 입력 단자와의 사이에 인버터를 제공하는 구성으로 할 수도 있다.
- [0025] 또한, 본 발명의 일 형태는 컨피규레이션 데이터가 유지되는 메모리와, 메모리로부터 공급된 컨피규레이션 데이터에 따라 입력된 복수의 신호 중에서 어느 하나를 선택하여 출력하는 복수의 멀티플렉서와, 인버터를 갖고, 복수의 멀티플렉서는 바이너리 트리 형태로 다단으로 접속되고, 최하위의 단의 멀티플렉서들 중 하나의 출력 단자와 최하위의 단보다 하나 상위의 단의 멀티플렉서의 입력 단자와의 사이에 인버터가 제공되고, 각 멀티플렉서에서의 신호 선택에 의하여 최하위의 단의 멀티플렉서들에 입력된 모든 신호들 중 어느 하나를 최상위의 단의 멀티플렉서로부터 출력 신호로서 출력하는 루업 테이블이다.
- [0026] LUT를 상기 구성으로 함으로써 메모리에 유지되는 컨피규레이션 데이터에 포함되는 '1'을 적게 할 수 있다. 이로써, 컨피규레이션 데이터를 전송하는 데 소비되는 전력을 저감시킬 수 있다.
- [0027] 또한, 상기 각 루업 테이블에서 최하위의 단의 멀티플렉서들의 입력 단자 각각에는 메모리 소자가 접속되고, 메모리 소자는 트랜ジ스터 및 용량 소자를 갖고, 트랜지스터는 밴드 갭이 3.0eV 이상인 반도체막을 포함하고, 트랜지스터의 소스 및 드레인 중 한쪽과 용량 소자의 한 쌍의 전극 중 한쪽 전극이 접속된 노드에 상기 컨피규레이션 데이터를 유지하는 구성이어도 좋다.
- [0028] 상술한 루업 테이블 중 어느 것을 포함한 논리 블록을 복수로 구성하고 상기 복수의 논리 블록을 매트릭스 형태로 배치하고 논리 블록들 사이에 복수의 스위치 블록 및 배선을 제공함으로써 프로그래머블 로직 디바이스를 구성할 수 있다.
- [0029] 프로그래머블 로직 디바이스에는 종류가 다른 논리 블록을 배치할 수 있다. 예를 들어, 본 발명의 일 형태에

따른 툭업 테이블 중 어느 것을 포함한 논리 블록과, 도 8d에 도시된 툭업 테이블을 포함한 논리 블록을 각각 복수로 배치할 수 있다. 또는, 하나의 논리 블록 내에 본 발명의 일 형태에 따른 툭업 테이블과 도 8d에 도시된 툭업 테이블이 포함되어 있어도 있다.

발명의 효과

[0030]

본 발명의 일 형태에 따르면 컨피규레이션 메모리가 유지하는 컨피규레이션 데이터의 배열을 최적화할 수 있다. 구체적으로는, LUT가 갖는 메모리에 입력되는 컨피규레이션 데이터에 있어서 '1'을 더 적게 할 수 있다. 이로써, 컨피규레이션 데이터를 전송하는 데 소비되는 전력을 저감시킬 수 있다. 또한, 컨피규레이션 데이터에 있어서 '0'이 연속되게 함으로써 프로그래머블 로직 디바이스에서 소비되는 전력을 저감시킬 수 있다.

도면의 간단한 설명

[0031]

도 1a 및 도 1b는 프로그래머블 로직 디바이스의 블록도.

도 2는 툭업 테이블을 도시한 도면.

도 3은 메모리 소자를 도시한 도면.

도 4는 툭업 테이블을 도시한 도면.

도 5는 논리 블록 및 스위치 블록을 도시한 도면.

도 6은 툭업 테이블을 도시한 도면.

도 7은 반도체 장치의 단면도.

도 8a는 3입력 1출력의 LUT를 도시한 도면이고, 도 8b는 AND 회로와 OR 회로로 이루어진 3입력 1출력의 회로를 도시한 도면이고, 도 8c는 진리값표이고, 도 8d는 3입력 1출력의 LUT를 도시한 도면.

도 9a 내지 도 9f는 LUT의 입력 단자와 배선의 접속 방법을 설명하기 위한 도면.

도 10a 내지 도 10c는 도 9a 내지 도 9f에 도시된 LUT의 출력을 나타낸 진리값표에 대하여 설명하기 위한 도면.

발명을 실시하기 위한 구체적인 내용

[0032]

본 발명의 실시형태에 대하여 도면을 사용하여 이하에서 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 아니하며 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은 당업자이면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 기재된 실시형태의 내용에 한정하여 해석되는 것은 아니다.

[0033]

(실시형태 1)

[0034]

본 실시형태에서는 본 발명의 일 형태에 따른 프로그래머블 로직 디바이스(PLD)에 대하여 도 1a 내지 도 6을 참조하여 설명한다.

[0035]

도 1a는 프로그래머블 로직 디바이스(100)의 일 형태를 도시한 블록도이다. 프로그래머블 로직 디바이스(100)는 복수의 논리 블록(120)과, 복수의 스위치 블록(130)을 갖는다. 복수의 논리 블록(120)은 매트릭스 형태로 배치되어 있다. 또한, 논리 블록(120)에 복수의 배선이 접속되고 각 배선의 교차 개소에 스위치 블록(130)이 제공되어 있다.

[0036]

또한, 프로그래머블 로직 디바이스(100)는 멀티플라이어(승산기)나 RAM 블록이나 PLL 블록이나 I/O 소자를 더 가져도 좋다. 멀티플라이어는 복수의 데이터의 승산을 고속으로 수행하는 기능을 갖는다. RAM 블록은 메모리로서 임의의 데이터를 기억하는 기능을 갖는다. PLL 블록은 클록 신호를 프로그래머블 로직 디바이스(100) 내부의 회로에 공급하는 기능을 갖는다. I/O 소자는 프로그래머블 로직 디바이스(100)와 외부 회로간에서의 신호의 주고 받음을 제어하는 기능을 갖는다.

[0037]

메모리(110)는 플래시 ROM 등 비휘발성 메모리로 구성되어 있다. 메모리(110)에는 컨피규레이션 데이터가 유지되어 있다.

[0038]

도 1b에 도시된 논리 블록(120)은 툭업 테이블(111)과 레지스터(112)를 갖는다. 툭업 테이블(111)은 메모리(110)에 유지된 컨피규레이션 데이터에 따라 신호를 출력한다. 레지스터(112)에는 툭업 테이블(111)의 출력 신

호와 클록 신호(CLK)가 입력되고, 루업 테이블(111)의 출력 신호에 대응하는 신호를 클록 신호(CLK)에 동기하여 출력한다. 논리 블록(120)은 루업 테이블(111)의 출력 신호 또는 레지스터(112)의 출력 신호를 선택하는 멀티플렉서 등을 가져도 좋다. 또한, 다른 LUT나 다른 레지스터를 가져도 좋다.

[0039] 스위치 블록(130)은 메모리(110)에 기억된 컨피규레이션 데이터에 따라 논리 블록(120)끼리의 전기적 접속 관계나, 논리 블록(120)과 회로(예를 들어 멀티플라이어나 RAM 블록이나 PLL 블록이나 I/O 소자 등)의 전기적 접속 관계를 변경한다. 예를 들어, 스위치 블록(130)은 컨피규레이션 데이터에 따라 논리 블록(120)이 갖는 레지스터(112)의 출력 신호나 루업 테이블(111)의 출력 신호를 논리 블록(120)의 출력 신호로서 다른 논리 블록(120) 등에 출력함으로써 논리 블록(120)과 다른 논리 블록을 전기적으로 접속시킬 수 있다.

[0040] 도 1a 및 도 1b에 도시된 논리 블록(120)의 구성에서 레지스터(112)를 생략할 수도 있다. 또한, 레지스터(112)를 갖는 논리 블록(120)과 레지스터(112)가 생략된 논리 블록(120)의 양쪽이 혼재하는 PLD이어도 좋다. 레지스터(112)가 생략된 논리 블록(120)에서는 루업 테이블(111)의 출력을 논리 블록(120)의 출력으로 할 수 있다.

[0041] 또한, 복수의 논리 블록(120)은 모두 같은 구성을 가질 필요는 없어 종류가 다른 논리 블록(120)을 배치하여도 좋다.

[0042] 도 2는 논리 블록(120)이 갖는 루업 테이블(111)의 일 형태를 도시한 것이다.

[0043] 도 2에 있어서 루업 테이블(111)은 메모리(113), 복수의 멀티플렉서(MUX1 내지 MUX7), 및 인버터(INV)를 갖는다.

[0044] 루업 테이블(111)에 있어서 메모리(113)는 복수의 메모리 소자(13a 내지 13h)를 갖는다. 메모리(113)로서는 SRAM 등 휘발성 메모리나, 플래시 메모리 등 비휘발성 메모리를 비롯하여 각종 메모리 소자를 이용할 수 있다.

[0045] 루업 테이블(111)에 있어서 멀티플렉서(MUX1 내지 MUX4)의 각 입력 단자는 메모리(113)가 갖는 메모리 소자(13a 내지 13h)와 전기적으로 접속되어 있다. 멀티플렉서(MUX1 내지 MUX4)의 각 제어 단자는 서로 전기적으로 접속되어 있으며 루업 테이블(111)의 입력 단자 I₁로 되어 있다. 또한, 멀티플렉서(MUX1)의 출력 단자 및 멀티플렉서(MUX2)의 출력 단자는 멀티플렉서(MUX5)의 2개의 입력 단자와 전기적으로 접속되고, 멀티플렉서(MUX3)의 출력 단자 및 멀티플렉서(MUX4)의 출력 단자는 멀티플렉서(MUX6)의 2개의 입력 단자와 전기적으로 접속되어 있다. 멀티플렉서(MUX5) 및 멀티플렉서(MUX6)의 각 제어 단자는 서로 전기적으로 접속되어 있으며 루업 테이블(111)의 입력 단자 I₂로 되어 있다. 멀티플렉서(MUX5)의 출력 단자는 멀티플렉서(MUX7)의 한쪽 입력 단자와 접속되고, 멀티플렉서(MUX6)의 출력 단자는 인버터(INV)를 통하여 멀티플렉서(MUX7)의 다른 쪽 입력 단자와 접속되어 있다. 또한, 멀티플렉서(MUX7)의 제어 단자는 루업 테이블(111)의 입력 단자 I₃으로 되어 있다. 그리고, 멀티플렉서(MUX7)의 출력 단자는 루업 테이블(111)의 출력 단자 F로 되어 있다.

[0046] 루업 테이블(111)은 메모리(113) 및 입력 단자 I₁, I₂, I₃에 컨피규레이션 데이터가 입력되면 멀티플렉서(MUX1 내지 MUX7) 및 인버터에 의하여 루업 테이블(111)로 수행되는 연산 처리의 종류를 특정할 수 있다.

[0047] 여기서, 도 3을 사용하여 메모리(113)가 가질 수 있는 메모리 소자의 일례에 대하여 설명한다.

[0048] 도 3에 도시된 메모리 소자(13)는 기록 트랜지스터(WTr), 판독 트랜지스터(RTr), 용량 소자(Cs), 기록 워드선(WWL), 판독 워드선(RWL), 기록 비트선(WBL), 판독 비트선(RBL)을 갖는다. 또한, 판독 비트선(RBL)은 기록 비트선(WBL)을 겸하여도 좋다.

[0049] 여기서, 기록 트랜지스터(WTr)는 오프 저항이 높은 트랜지스터로 구성하면 좋다. 오프 저항이 높은 트랜지스터는 예를 들어, 실리콘보다 넓은 밴드 갭을 갖는 반도체막을 사용하여 형성된 트랜지스터인 것이 바람직하다. 또한, 판독 트랜지스터(RTr)는 실리콘 등 반도체로 형성되는 것이 바람직하다.

[0050] 실리콘보다 넓은 밴드 갭을 갖는 반도체로서는 화합물 반도체를 들 수 있고 예를 들어, 산화물 반도체, 질화물 반도체 등이 있다. 본 실시형태에서는 기록 트랜지스터(WTr)에 사용되는 반도체막에 산화물 반도체를 사용하는 경우에 대하여 설명한다.

[0051] 기록 트랜지스터(WTr)에 사용하는 산화물 반도체는 전자 공여체(도너)가 되는 수분 또는 수소 등 불순물이 저감되고, 또 산소 결손이 저감됨으로써 고순도화된 산화물 반도체(purified Oxide Semiconductor)인 것이 바람직하다. 고순도화된 산화물 반도체는 i형(진성 반도체)이 되거나 또는 한없이 i형에 가깝게 된다. 그러므로, 상기 산화물 반도체가 사용된 트랜지스터는 오프 전류가 현저히 낮은 특성을 갖는다. 또한, 산화물 반도체의 밴드

갭은 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3.0eV 이상이다. 수분 또는 수소 등 불순물이 저감되고, 또 산소 결손이 저감됨으로써 고순도화된 산화물 반도체막을 사용하면 트랜지스터의 오프 전류를 현저히 작게 할 수 있다.

[0052] 또한, 본 명세서 등에서 오프 전류란, 트랜지스터가 오프 상태일 때 소스와 드레인 사이를 흐르는 전류를 말한다. n채널형 트랜지스터(예를 들어, 문턱 전압이 0V 내지 2V 정도)에서는 게이트와 소스 사이에 인가되는 전압이 음 전압인 경우에 소스와 드레인 사이를 흐르는 전류를 말한다.

[0053] 구체적으로, 고순도화된 산화물 반도체가 반도체막에 사용된 트랜지스터의 오프 전류가 낮은 것은 다양한 실험에 의하여 증명할 수 있다. 예를 들어, 채널 폭이 $1 \times 10^6 \mu\text{m}$ 이고 채널 길이가 $10 \mu\text{m}$ 인 소자의 경우에도, 소스 단자와 드레인 단자간의 전압(드레인 전압)이 1V 내지 10V인 범위에서 오프 전류가 반도체 파라미터 분석기의 측정 한계 이하, 즉 $1 \times 10^{-13} \text{ A}$ 이하라는 특성을 얻을 수 있다. 이 경우, 오프 전류를 트랜지스터의 채널 폭으로 나눈 값에 상당하는 오프 전류 밀도는 $100 \text{ zA}/\mu\text{m}$ 이하인 것을 알 수 있다. 또한, 용량 소자와 트랜지스터를 접속시켜, 용량 소자에 유입되거나 또는 용량 소자로부터 유출하는 전하를 상기 트랜지스터에 의하여 제어하는 회로를 사용하여, 오프 전류 밀도를 측정하였다. 상기 측정에서는, 고순도화된 산화물 반도체막에 채널 형성 영역이 형성된 상기 트랜지스터가 사용되었고, 용량 소자의 단위 시간당 전하량의 추이로부터 상기 트랜지스터의 오프 전류 밀도를 측정하였다. 그 결과, 트랜지스터의 소스 단자와 드레인 단자간의 전압이 3V일 때 수십 $\text{yA}/\mu\text{m}$ 라는 더 낮은 오프 전류 밀도가 얻어지는 것을 알 수 있었다. 따라서, 채널 형성 영역에 고순도화된 산화물 반도체막이 사용된 트랜지스터는 실리콘이나 사용된 트랜지스터에 비하여 오프 전류가 현저히 낮다고 할 수 있다.

[0054] 기록 트랜지스터(WTr)로서 산화물 반도체막에 채널이 형성된 트랜지스터를 사용함으로써 기록 트랜지스터(WTr)와 용량 소자(Cs)가 접속된 노드의 전위가 일정하게 유지된 후에 기록 트랜지스터(WTr)를 오프 상태로 하더라도 기록 트랜지스터(WTr)를 통하여 누설되는 전하량을 현저히 적게 억제할 수 있다.

[0055] 메모리 소자(13)에 있어서 기록 트랜지스터(WTr)와 용량 소자(Cs)가 접속된 노드를 메모리 노드(MN)라고 부른다. 이와 같은 구조를 갖는 메모리 소자에서는 메모리 노드(MN)의 전위가 데이터로서 유지될 수 있다. 메모리 노드(MN)의 전위는 증폭기(AMP)를 통하여 루업 테이블(111)을 구성하는 멀티플렉서(MUX)에 출력된다. 증폭기(AMP)로서는 인버터를 사용할 수 있지만 하나의 트랜지스터로 구성되어도 좋다. 또한, 기록 트랜지스터(WTr)와 용량 소자(Cs)는 데이터를 충분히 유지할 수 있는 특성을 구비할 필요가 있다. 예를 들어, 기록 트랜지스터(WTr)의 오프 저항이 충분히 높은 경우에는 용량 소자(Cs)의 용량은 상대적으로 작아도 좋다.

[0056] 도 3에 도시된 메모리 소자(13)는 기록 비트선(WBL)의 전위에 따라 메모리 노드(MN)의 전위 변동이 제한되는 특징을 갖는다. 예를 들어, 메모리 노드(MN)의 전위가 하이 레벨과 로 레벨의 어느 쪽이 되고, 하이 레벨일 때 '1'이 기억되고 로 레벨일 때 '0'이 기억되는 것으로 한다. 이 때, 기록 비트선(WBL)의 전위가 로 레벨이며 소프트 에러와 같이 어떠한 외부 작용에 의하여 메모리 노드(MN)의 전위가 변동되는 경우, 메모리 노드(MN)의 전위는 하이 레벨로부터 로 레벨로 변동될 수는 있더라도 로 레벨로부터 하이 레벨로 변동될 일은 없다. 또한, 기록 비트선(WBL)의 전위가 하이 레벨이며 어떠한 작용에 의하여 메모리 노드(MN)의 전위가 변동되는 경우, 로 레벨로부터 하이 레벨로 변동될 수는 있더라도 하이 레벨로부터 로 레벨로 변동될 일은 없다.

[0057] 따라서, 메모리 노드(MN)에 유지된 데이터의 변동을 피하기 위해서는 기록 비트선(WBL)이 로 레벨인 경우, 메모리 노드(MN)에 유지되는 전위가 로 레벨인 메모리 소자를 많게 하는 것이 바람직하다. 반대로, 기록 비트선(WBL)이 하이 레벨인 경우, 메모리 노드(MN)에 유지되는 전위가 하이 레벨인 메모리 소자를 많게 하는 것이 바람직하다. 즉, 기록 비트선(WBL)이 로 레벨일 때, 가능하다면 메모리 소자의 데이터는 '0'으로 하는 것이 바람직하고 기록 비트선(WBL)이 하이 레벨일 때, 가능하다면 메모리 소자의 데이터는 '1'로 하는 것이 바람직하다.

[0058] 그러나, 도 2에 도시된 루업 테이블(111)에 있어서 메모리(113)에 유지되는 데이터는 일반적인 논리 회로의 조합(논리 함수)이면 확률론적으로 말하면 데이터의 약 절반이 '1'이고 나머지가 '0'이다. 또한, 실제로 설계되는 논리 함수의 통계 데이터를 고려하여도 데이터의 약 4분의 1이 '1'이며 이 비율을 넘어 한쪽을 적게 하는 것은 어렵다.

[0059] 그래서, 도 2에 도시된 루업 테이블(111)에서는 최상위의 단의 멀티플렉서의 입력 단자와 그 앞 단의 멀티플렉서들 중 하나의 출력 단자와의 사이에 인버터(INV)를 제공하는 구조으로 하였다. 이 경우, 메모리(113)의 절반 메모리 소자들(인버터(INV)가 제공된 측의 메모리 소자들)에는, 인버터를 제공하지 않은 측과 반대의 패리티의 데이터가 입력된다.

- [0060] 예를 들어, 멀티플렉서(MUX6)의 출력 단자와 멀티플렉서(MUX7)의 입력 단자 사이에 인버터(INV)를 제공하지 않은 경우에 있어서, 메모리 소자(13a 내지 13h)에 '0', '0', '0', '1', '1', '1', '1', '1'이 기억되어 있는 것으로 한다(도 10c 참조). 이 때 메모리(113)에는 5개의 비트에 데이터 '1'이 기억되어 있다.
- [0061] 한편, 도 2에 도시된 바와 같이, 멀티플렉서(MUX6)의 출력 단자와 멀티플렉서(MUX7)의 입력 단자 사이에 인버터(INV)가 제공된 경우, 도 10c와 같은 진리값표를 얻기 위해서는 메모리 소자(13a 내지 13h)에 '0', '0', '0', '1', '0', '0', '0'을 기억하면 되고, 이 경우 데이터 '1'이 1비트에만 기억되면 된다.
- [0062] 따라서, 루업 테이블(111)을 도 2에 도시된 구성으로 함으로써 인버터를 제공하지 않은 경우에 비하여 데이터를 전송하는 데 소비되는 전력을 저감시킬 수 있다.
- [0063] 또한, SRAM에 비하여 도 3에 도시된 메모리 소자(13)에서는 소프트 에러가 생기기 어렵다. SRAM 등에서 생기는 소프트 에러는 SRAM를 구성하는 반도체를 a선(우주선 유래의 중성자에 의한 핵 반응으로 생성됨)이 투과하는 것으로 인하여 전자-정공 쌍이 발생되는 것이 원인이다. 따라서, SRAM에서는 비트선에 유지된 전위에 상관없이 기억된 데이터가 하이 레벨로부터 로 레벨, 또는 로 레벨로부터 하이 레벨로 변동되기 때문에 SRAM를 사용한 메모리(113)에서는 모든 메모리 소자에서 소프트 에러가 생길 가능성이 있다. 즉, 데이터가 '0'이든 '1'이든 같은 확률로 소프트 에러가 생긴다.
- [0064] 한편, 도 3에 도시된 메모리 소자(13)에는 산화물 반도체가 사용된 트랜지스터를 사용한다. 상기 산화물 반도체는 박막인데다가 밴드 갭이 넓고 a선이 산화물 반도체막을 투과하더라도 캐리어의 발생이 적어 SRAM에 비하여 소프트 에러가 생기기 어렵다. 또한, 상술한 바와 같이, 도 3에 도시된 메모리 소자(13)에서 데이터가 변동되는 요인은 기록 비트선(WBL)과 메모리 노드(MN)의 관계에 있어, 기록 비트선이 로 레벨일 때, 메모리 소자(13)에 유지되는 데이터를 로 레벨로 하여 메모리(113)에 유지되는 컨피규레이션 데이터에서 0을 많이 함으로써 에러가 생길 확률을 매우 낮게 할 수 있다.
- [0065] 따라서, 도 3에 도시된 메모리 소자(13)를 메모리(113)에 사용한 경우, 도 2에 도시된 바와 같이 인버터(INV)가 멀티플렉서의 바이너리 트리 내에 삽입된 LUT(데이터가 '1'인 비트가 하나)에서는 도 8d의 구조를 갖는 LUT(데이터가 '1'인 비트가 5개)에 비하여 데이터의 변동으로 인한 에러 발생 확률을 1/5로 할 수 있다.
- [0066] 또한, 인버터(INV)를 사용하더라도 예를 들어, 메모리(113)의 데이터로서 도 9a 및 도 9b에 도시된 접속 형태를 채용한 경우에는 8비트 중 3비트에 '1'이 유지될 필요가 있다. 또한, 도 9c 및 도 9d에 도시된 접속 형태를 채용한 경우에는 8비트 중 5비트에 '1'이 유지될 필요가 있다. 따라서, 배선과 LUT의 입력 단자의 접속 형태를 최적화하는 것이 요구된다.
- [0067] 또한, 특수한 예를 들면 루업 테이블(111)에 인버터(INV)를 사용하는 것에 의하여 오히려 '1'의 비트 수가 증가될 수도 있다. 예를 들어, 3입력의 AND 회로에서 인버터(INV)가 없는 경우, '1'인 비트는 하나이지만 도 2에 도시된 바와 같이 인버터(INV)를 사용하면 그 개수는 3개가 된다.
- [0068] 그러나, 도 1a에 도시된 바와 같이, 프로그래머블 로직 디바이스(100)에는 많은 다른 루업 테이블(111)을 포함하고 그들 모두가 3입력의 AND 회로일 수는 없다. 3입력의 OR 회로에서는 '1'이 유지된 비트의 개수는 7에서 3으로 오히려 감소되는 일도 있다.
- [0069] 여기서는 루업 테이블(111)로서 3입력의 것을 예로 들었지만, 4입력, 6입력, 8입력의 것으로도 같은 효과가 얻어진다.
- [0070] 도 4는 루업 테이블(111)의 변형예를 도시한 것이다.
- [0071] 도 4에 도시된 루업 테이블(111)에서는 멀티플렉서(MUX6)의 출력을 이분하여 한쪽을 인버터(INV)에 의하여 반전시킨다. 그리고, 인버터(INV)로 반전된 신호와 반전되지 않은 신호 중 어느 한쪽을 멀티플렉서(MUX8)에 의하여 선택하여 멀티플렉서(MUX7)에 입력한다. 멀티플렉서(MUX8)의 출력은 메모리(113)에 추가된 비트(메모리 소자(13i))의 데이터에 따라 선택된다. 메모리(113)에 추가된 비트(메모리 소자(13i))의 데이터는 다른 컨피규레이션 데이터와 마찬가지로 컨피규레이션시에 기록된다. 여기서, 데이터가 '1'이면 인버터 출력이 선택되고 데이터가 '0'이면 인버터 출력이 아닌 쪽이 선택된다.
- [0072] 예를 들어, 컨피규레이션 데이터로서 '1'이 매우 적은 경우(예를 들어, AND 회로가 많고 OR 회로가 적은 경우), 도 8d에 도시된 LUT와 달리 도 2에 도시된 루업 테이블(111)에서는 컨피규레이션 데이터의 '1'의 개수가 같거나 경우에 따라서는 루업 테이블(111)의 컨피규레이션 데이터의 '1'의 개수가 오히려 증가된다.

[0073] 한편, 도 4에 도시된 툭업 테이블(111)에서는 인버터(INV)를 경우에 따라 무효로 함으로써 컨피규레이션 데이터의 '1'의 개수를 억제할 수 있다. 또한, 인버터(INV)를 유효로 하면 컨피규레이션 테이터의 '1'이 하나 증가되는 점에 주의한다.

[0074] 도 4에 도시된 툭업 테이블(111)의 효과의 일례를 이하에서 기재한다.

[0075] 통계적으로 LUT에 사용되는 논리 함수는 아주 한정된 종류의 논리 함수만이다. 특히문헌 2에 따르면 FPGA의 4 입력 LUT에 적용되는 논리 함수 중, 논리 함수 $A \cdot B \cdot C \cdot D$ (A, B, C, D 의 4 입력 AND 회로, '1'의 비율은 1/16)는 27.2%이고, 논리 함수 $A \cdot B \cdot (C+D)$ ('1'의 비율은 3/16)는 17.0%이고, 논리 함수 $A \cdot (B+C+D)$ ('1'의 비율은 7/16)는 13.7%이고, 논리 함수 $A \cdot B+C \cdot D$ ('1'의 비율은 7/16)는 12.8%이고, 논리 함수 $A \cdot (B+C \cdot D)$ ('1'의 비율은 5/16)는 12.0%이고, 논리 함수 $A \cdot (B \cdot C+notB \cdot D)$ ('1'의 비율은 3/16)는 5.6%이고, 이 외 논리 함수는 11.7%이다. 또한, 이 데이터는 어디까지나 통계적인 것에 불과하고 설계되는 회로에 따라서는 이를 수치에서 크게 벗어날 수도 있다.

[0076] 표 1은 논리 함수 $A \cdot B \cdot C \cdot D$, 논리 함수 $A \cdot B \cdot (C+D)$, 논리 함수 $A \cdot (B+C+D)$, 논리 함수 $A \cdot B+C \cdot D$, 논리 함수 $A \cdot (B+C \cdot D)$, 논리 함수 $A \cdot (B \cdot C+notB \cdot D)$ 의 진리값표이다.

[0077] [표 1]

A	B	C	D	$A \cdot B \cdot C \cdot D$	$A \cdot B \cdot (C+D)$	$A \cdot (B+C+D)$	$A \cdot B+C \cdot D$	$A \cdot (B+C \cdot D)$	$A \cdot (B \cdot C+notB \cdot D)$
0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0	0
0	0	1	0	0	0	0	0	0	0
0	0	1	1	0	0	0	1	0	0
0	1	0	0	0	0	0	0	0	0
0	1	0	1	0	0	0	0	0	0
0	1	1	0	0	0	0	0	0	0
0	1	1	1	0	0	0	1	0	0
1	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	1	0	0	0
1	0	1	0	0	0	1	0	0	1
1	0	1	1	0	0	1	1	1	1
1	1	0	0	0	0	1	1	1	0
1	1	0	1	0	1	1	1	1	0
1	1	1	0	0	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1

[0078]

[0079] 이 외 논리 함수에서의 '1'의 비율을 정확히 어렵지만 상위 6개의 논리 함수에서의 '1'의 비율의 평균과 동일(즉, 21%)한 것으로 하면 도 8d에 도시된 LUT에서 '1'의 비율은 약 24%이다.

[0080] 한편, 도 2에 도시된 툭업 테이블(111)에서는 하나의 LUT의 데이터의 절반을 반전시켜 입력하는 방법에 의하여 '1'의 비율이 약 27%가 된다.

[0081] 이에 반하여 도 4에 도시된 툭업 테이블(111)에서는 논리 함수에 따라 하나의 LUT의 데이터의 절반을 반전시킬지 여부를 선택할 수 있어 '1'의 비율은 15% 미만까지 저하될 수 있다.

[0082] 도 5는 논리 블록이 매트릭스 형태로 배치된 PLD의 일례를 도시한 것이다.

[0083] 도 5에서는 복수의 논리 블록(LB_A)과 복수의 논리 블록(LB_B)이 매트릭스 형태로 배치되고 이들 사이에 복수의 스위치 블록(SWB) 및 배선 등이 제공되어 있다. 여기서, 논리 블록(LB_A)에 도 2에 도시된 바와 같이 내부에 인버터(INV)를 갖는 LUT를 사용하고, 논리 블록(LB_B)에 도 8d에 도시된 바와 같이 내부에 인버터(INV)를 갖지 않은 LUT를 사용한다.

[0084] 특히문헌 2에 따르면, 4 입력의 LUT에서는 도 2에 도시된 툭업 테이블(111)과 같이 내부에 인버터(INV)가 제공된 경우, '1'의 개수가 줄어드는 논리 함수 $A \cdot (B+C+D)$, $A \cdot B+C \cdot D$, $A \cdot (B+C \cdot D)$ 의 출현율은 약 39%이다. 이 외 논리 함수가 같은 비율로 존재한다면, 내부에 인버터(INV)가 제공된 경우, '1'의 개수가 줄어드는 논리 함수의 출현율은 약 44%가 된다.

[0085] 따라서, 논리 함수 $A \cdot (B+C+D)$, $A \cdot B+C \cdot D$, $A \cdot (B+C \cdot D)$ 에는 논리 블록(LB_A)을 사용하고 이 외 논리 함수에 논리 블록(LB_B)을 사용함으로써 도 4에 도시된 논리 회로를 사용한 것과 같은 효과가 얻어진다. 또한, 도 5에 있어서 논리 블록(LB_A)과 논리 블록(LB_B)의 비율을 같게 하였지만 비율은 서로 달라도 좋다. 또한, 하나의

논리 블록 내에 복수의 LUT를 갖는 경우, 도 2에 도시된 LUT와 도 8d에 도시된 LUT의 2종류를 갖고 있어도 같은 효과가 얻어진다.

[0086] 또한, 인버터(INV)를 삽입하는 부분을 적절히 선택하는 것에 의해서도 컨피규레이션 데이터의 '1'의 개수를 줄일 수 있다. 예를 들어, 도 8d에 도시된 LUT의 데이터에서의 '1'의 비율이 25% 정도인 경우에는 도 6에 도시된 바와 같이 멀티플렉서(MUX4)의 출력 단자와 멀티플렉서(MUX6)의 입력 단자 사이에 인버터(INV)를 삽입하면 좋다. 즉, LUT의 데이터의 25%를 반전시킬 수 있는 구성으로 하면 좋다.

[0087] 도 6은 3입력의 LUT를 도시한 것이지만, 같은 사상을 4입력의 LUT에 적용한 경우, 특허문현 2에 따르면 LUT의 데이터에서의 '1'의 비율을 15% 정도까지 저감시킬 수 있다.

[0088] 본 발명의 일 형태에 따르면 LUT에 입력되는 컨피규레이션 데이터를 최적화할 수 있다. 구체적으로는, LUT가 갖는 메모리에 입력되는 컨피규레이션 데이터에 있어서 '0'을 많게 할 수 있다. 이로써, 컨피규레이션 데이터를 전송하는 데 소비되는 전력을 저감시킬 수 있다. 또한, 컨피규레이션 데이터에 있어서 '0'이 연속되게 함으로써 PLD에서 소비되는 전력을 저감시킬 수 있다.

[0089] 또한, LUT가 갖는 메모리를, 산화물 반도체를 포함한 트랜지스터를 사용하고 도 3에 도시된 구성으로 함으로써 소프트 에러가 생기는 확률을 저감시킬 수 있다.

[0090] (실시형태 2)

[0091] 본 실시형태에서는 도 7을 사용하여 반도체 장치의 단면 구조의 일례에 대하여 설명한다.

[0092] 도 7에 도시된 반도체 장치는 상술한 실시형태에 기재된 메모리 소자이고 트랜지스터가 적층하여 제공되어 있다. 반도체 장치의 하층은 제 1 반도체 재료(예를 들어 실리콘) 등이 사용된 트랜지스터로 구성되어 있고 상층은 제 2 반도체 재료(예를 들어 산화물 반도체)가 사용된 트랜지스터로 구성되어 있다.

[0093] <하부의 트랜지스터의 구성>

[0094] n형 트랜지스터(510)는 반도체 재료를 포함한 기판(500)에 제공된 채널 형성 영역(501)과, 채널 형성 영역(501)을 끼워 제공된 저농도 불순물 영역(502) 및 고농도 불순물 영역(503)(이들을 합쳐 단순히 불순물 영역이라고도 부름)과, 상기 불순물 영역에 접하여 제공된 금속간 화합물 영역(507)과, 채널 형성 영역(501) 위에 제공된 게이트 절연막(504a)과, 게이트 절연막(504a) 위에 제공된 게이트 전극층(505a)과, 금속간 화합물 영역(507)과 접하여 제공된 소스 전극층(506a) 및 드레인 전극층(506b)을 갖는다. 게이트 전극층(505a) 측면에는 사이드 월 절연막(508a)이 제공되어 있다. 트랜지스터(510)를 덮도록 충간 절연막(521) 및 충간 절연막(522)이 제공되어 있다. 충간 절연막(521) 및 충간 절연막(522)에 형성된 개구를 통하여 소스 전극층(506a) 및 드레인 전극층(506b)과 금속간 화합물 영역(507)이 접속되어 있다.

[0095] p형 트랜지스터(520)는 반도체 재료를 포함한 기판(500)에 제공된 채널 형성 영역(511)과, 채널 형성 영역(511)을 끼워 제공된 저농도 불순물 영역(512) 및 고농도 불순물 영역(513)(이들을 합쳐 단순히 불순물 영역이라고도 부름)과, 상기 불순물 영역에 접하여 제공된 금속간 화합물 영역(517)과, 채널 형성 영역(511) 위에 제공된 게이트 절연막(504b)과, 게이트 절연막(504b) 위에 제공된 게이트 전극층(505b)과, 금속간 화합물 영역(517)과 접하여 제공된 소스 전극층(506c) 및 드레인 전극층(506d)을 갖는다. 게이트 전극층(505b) 측면에는 사이드 월 절연막(508b)이 제공되어 있다. 트랜지스터(520)를 덮도록 충간 절연막(521) 및 충간 절연막(522)이 제공되어 있다. 충간 절연막(521) 및 충간 절연막(522)에 형성된 개구를 통하여 소스 전극층(506c) 및 드레인 전극층(506d)과 금속간 화합물 영역(517)이 접속되어 있다.

[0096] 또한, 기판(500)에는 트랜지스터(510)와 트랜지스터(520) 각각을 둘러싸도록 소자 분리 절연막(509)이 제공되어 있다.

[0097] 또한, 도 7은 트랜지스터(510) 및 트랜지스터(520)가 반도체 기판에 채널이 형성되는 트랜지스터인 경우를 도시한 것이지만, 트랜지스터(510) 및 트랜지스터(520)가 절연 표면 위에 형성된 비정질 반도체막, 다결정 반도체막에 채널이 형성되는 트랜지스터이어도 좋다. 또한, SOI 기판을 사용하는 경우와 같이 단결정 반도체막에 채널이 형성되는 트랜지스터이어도 좋다.

[0098] 반도체 기판으로서 단결정 반도체 기판을 사용함으로써 트랜지스터(510) 및 트랜지스터(520)의 고속 동작이 가능하게 된다. 또한, 도 7에 도시되어 있지 않지만 상술한 실시형태에 기재된 멀티플렉서 등도 단결정 반도체 기판에 형성되는 것이 바람직하다.

- [0099] 또한, 트랜지스터(510)와 트랜지스터(520)는 배선(523a)에 의하여 서로 접속되어 있고 배선(523a) 위에는 절연막(524)이 제공되어 있다. 또한, 절연막(524) 위에는 도전층(525a), 도전층(525b), 절연막(526)이 제공되어 있다. 절연막(526)은, 절연막(524) 위에 도전층(525a) 및 도전층(525b)을 형성한 후에 도전층(525a) 및 도전층(525b) 위에 절연막(526)을 형성하고, 절연막(526)을 도전층(525a) 및 도전층(525b)의 상면이 노출될 때까지 연마 처리를 행하는 것이 바람직하다.
- [0100] <상부의 트랜지스터의 구성>
- [0101] 상부의 트랜지스터(530)는 실리콘보다 밴드 갭이 넓은 반도체막에 채널이 형성되는 트랜지스터이다. 트랜지스터(530)는 절연막(524) 위에 제공된 도전층(525a)과, 도전층(525a) 위에 제공된 절연막(531) 및 절연막(532)과, 절연막(532) 위에 제공된 반도체막(533)과, 반도체막(533)에 접하여 제공된 소스 전극층(534a) 및 드레인 전극층(534b)과, 반도체막(533), 소스 전극층(534a), 및 드레인 전극층(534b) 위에 제공된 게이트 절연막(535)과, 게이트 절연막(535) 위에 제공된 게이트 전극층(536a)을 갖는다. 또한, 도전층(525a)은 게이트 전극층으로서 기능한다.
- [0102] 도 7은 반도체막을 사이에 개재(介在)하여 상하에 2개의 게이트 전극층이 제공된 경우를 도시한 것이다. 한쪽 게이트 전극층에는 온 상태 또는 오프 상태를 제어하기 위한 신호가 공급되고 다른 쪽 게이트 전극층은 전위가 다른 데에서 공급되는 상태이어도 좋다. 이 경우, 한 쌍의 게이트 전극층에 같은 전위가 공급되어도 좋고 다른 쪽 게이트 전극층에만 접지 전위 등 고정된 전위가 공급되어도 좋다. 다른 쪽 게이트 전극층에 공급되는 전위의 높이를 제어함으로써 트랜지스터의 문턱 전압을 제어할 수 있다.
- [0103] 또한, 게이트 절연막(535)을 사이에 개재하여 드레인 전극층(534b) 위에 도전층(536b)이 제공되어 있다. 드레인 전극층(534b), 게이트 절연막(535), 및 도전층(536b)에 의하여 용량 소자(540)가 구성되어 있다.
- [0104] 또한, 트랜지스터(530) 및 용량 소자(540)를 덮도록 충간 절연막(537) 및 충간 절연막(538)이 제공되어 있다. 또한, 충간 절연막(537) 및 충간 절연막(538)에 형성된 개구를 통하여 소스 전극층(534a)과 배선(539)이 접속되어 있다.
- [0105] 드레인 전극층(534b)은 절연막(532) 및 절연막(531)에 제공된 개구를 통하여 도전층(525b)과 접속되어 있고 도전층(525b)은 절연막(524)에 제공된 개구를 통하여 배선(523b)에 접속되어 있다. 또한, 배선(523b)은 트랜지스터(520)의 드레인 전극층(506d)과 접속되어 있다.
- [0106] 실리콘보다 넓은 밴드 갭을 갖는 반도체로서는 화합물 반도체를 들 수 있고 예를 들어, 산화물 반도체, 질화물 반도체 등이 있다. 본 실시형태에서는 반도체막(533)에 산화물 반도체를 사용하는 경우에 대하여 설명한다.
- [0107] 트랜지스터(530)에 사용하는 산화물 반도체는 전자 공여체(도너)가 되는 수분 또는 수소 등 불순물이 저감되고, 또 산소 결손이 저감됨으로써 고순도화된 산화물 반도체(purified Oxide Semiconductor)인 것이 바람직하다. 고순도화된 산화물 반도체는 i형(진성 반도체)이 되거나 또는 한없이 i형에 가깝게 된다. 그러므로, 상기 산화물 반도체가 사용된 트랜지스터는 오프 전류가 현저히 낮은 특성을 갖는다. 또한, 산화물 반도체의 밴드 갭은 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3.0eV 이상이다. 수분 또는 수소 등 불순물이 충분히 저감되고, 또 산소 결손이 저감됨으로써 고순도화된 산화물 반도체막을 사용하면 트랜지스터의 오프 전류를 현저히 작게 할 수 있다.
- [0108] 구체적으로, 고순도화된 산화물 반도체가 반도체막에 사용된 트랜지스터의 오프 전류가 낮은 것은 다양한 실험에 의하여 증명할 수 있다. 예를 들어, 채널 폭이 $1 \times 10^6 \mu\text{m}$ 이고 채널 길이가 $10 \mu\text{m}$ 인 소자의 경우에도, 소스 단자와 드레인 단자간의 전압(드레인 전압)이 1V 내지 10V인 범위에서 오프 전류가 반도체 파라미터 분석기의 측정 한계 이하, 즉 $1 \times 10^{-13} \text{ A}$ 이하라는 특성을 얻을 수 있다. 이 경우, 오프 전류를 트랜지스터의 채널 폭으로 나눈 값에 상당하는 오프 전류 밀도는 $100 \text{ zA}/\mu\text{m}$ 이하인 것을 알 수 있다. 또한, 용량 소자와 트랜지스터를 접속시켜, 용량 소자에 유입되거나 또는 용량 소자로부터 유출하는 전하를 상기 트랜지스터에 의하여 제어하는 회로를 사용하여, 오프 전류 밀도를 측정하였다. 상기 측정에서는, 고순도화된 산화물 반도체막에 채널 형성 영역이 형성된 상기 트랜지스터가 사용되었고, 용량 소자의 단위 시간당 전하량의 추이로부터 상기 트랜지스터의 오프 전류 밀도를 측정하였다. 그 결과, 트랜지스터의 소스 단자와 드레인 단자간의 전압이 3V일 때 수십 $\text{yA}/\mu\text{m}$ 라는 더 낮은 오프 전류 밀도가 얻어지는 것을 알 수 있었다. 따라서, 채널 형성 영역에 고순도화된 산화물 반도체막이 사용된 트랜지스터는 실리콘이 사용된 트랜지스터에 비하여 오프 전류가 현저히 낮다고 할 수 있다.
- [0109] 또한, 산화물 반도체는 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 또한, 상기 산화물 반도체막은

체가 사용된 트랜지스터의 전기적 특성의 편차를 줄이기 위한 스테빌라이저로서 이들에 더하여 갈륨(Ga), 주석(Sn), 하프늄(Hf), 알루미늄(Al), 지르코늄(Zr) 중 어느 1종류 또는 복수 종류를 포함하는 것이 바람직하다.

[0110] 또한, 다른 스테빌라이저로서 란타노이드인 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 틸뮴(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 1종류 또는 복수 종류를 포함하여도 좋다.

[0111] 예를 들어, 산화물 반도체로서 산화 인듐, 산화 주석, 산화 아연, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 사용할 수 있다.

[0112] 또한, 예를 들어, In-Ga-Zn계 산화물이란, In과 Ga와 Zn을 포함하는 산화물을 말하며 In과 Ga와 Zn의 비율은 불문한다. 또한, In과 Ga와 Zn 이외의 금속 원소를 포함하여도 좋다. In-Ga-Zn계 산화물은 무전계시의 저항이 충분히 높아 오프 전류를 충분히 작게 하는 것이 가능하고, 또 이동도도 높다.

[0113] 예를 들어, 원자수비가 $In:Ga:Zn=1:1:1(=1/3:1/3:1/3)$ 또는 $In:Ga:Zn=2:2:1(=2/5:2/5:1/5)$ 인 In-Ga-Zn계 산화물이나 그 조성 균방의 산화물을 사용할 수 있다. 또는, 원자수비가 $In:Sn:Zn=1:1:1(=1/3:1/3:1/3)$, $In:Sn:Zn=2:1:3(=1/3:1/6:1/2)$ 또는 $In:Sn:Zn=2:1:5(=1/4:1/8:5/8)$ 인 In-Sn-Zn계 산화물이나 그 조성 균방의 산화물을 사용하면 좋다.

[0114] 예를 들어, In-Sn-Zn계 산화물로는 비교적 용이하게 높은 이동도를 얻을 수 있다. 그러나, In-Ga-Zn계 산화물을 사용하여도 벌크 내의 결함 밀도를 저감시킴으로써 이동도를 높일 수 있다.

[0115] 산화물 반도체막은 예를 들어, 비단결정을 가져도 좋다. 비단결정은 예를 들어, CAAC(C Axis Aligned Crystal), 다결정, 미결정, 비정질부를 갖는다. 비정질부는 미결정이나 CAAC보다 결합 준위 밀도가 높다. 또한, 미결정은 CAAC보다 결합 준위 밀도가 높다. 또한, CAAC를 갖는 산화물 반도체를 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)라고 부른다.

[0116] 산화물 반도체막은 예를 들어, CAAC-OS를 가져도 좋다. CAAC-OS는 예를 들어, c축이 배향되고 a축 또는 b축은 거시적으로 보아 정렬되어 있지 않다.

[0117] 산화물 반도체막은 예를 들어, 미결정을 가져도 좋다. 또한, 미결정을 갖는 산화물 반도체를 미결정 산화물 반도체라고 부른다. 미결정 산화물 반도체막은 예를 들어, 1nm 이상 10nm 미만의 크기의 미결정(나노 결정이라고도 함)을 막 내에 포함한다.

[0118] 산화물 반도체막은 예를 들어, 비정질부를 가져도 좋다. 또한, 비정질부를 갖는 산화물 반도체를 비정질 산화물 반도체라고 부른다. 비정질 산화물 반도체막은 예를 들어, 원자 배열이 무질서하며 결정 성분을 갖지 않는다. 또는, 비정질 산화물 반도체막은 예를 들어, 완전한 비정질이고 결정부를 갖지 않는다.

[0119] 또한, 산화물 반도체막이 CAAC-OS, 미결정 산화물 반도체, 비정질 산화물 반도체의 혼합막이어도 좋다. 혼합막은 예를 들어, 비정질 산화물 반도체 영역, 미결정 산화물 반도체 영역, 및 CAAC-OS 영역을 갖는다. 또한, 혼합막은 예를 들어, 비정질 산화물 반도체 영역과, 미결정 산화물 반도체 영역과, CAAC-OS 영역의 적층 구조를 가져도 좋다.

[0120] 또한, 산화물 반도체막은 예를 들어, 단결정을 가져도 좋다.

[0121] 산화물 반도체막은 복수의 결정부를 갖고, 상기 결정부의 c축이 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되어 있는 것이 바람직하다. 또한, 다른 결정부들간에서 a축 및 b축의 방향이 각각 달라도 좋다. 이와 같은 산화물 반도체막의 일례로서는 CAAC-OS막이 있다.

[0122] CAAC-OS막에 포함되는 결정부는 하나의 변이 100nm 미만인 입방체 내에 들어가는 크기인 경우가 많다. 또한, 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의한 관찰상에서는 CAAC-OS막에 포함되는 결정부들끼리의 경계는 명확하지 않다. 또한, TEM에 의하여 CAAC-OS막에 명확한 입계(그레이인 바운더리라고도 함)는

확인되지 않는다. 그러므로, CAAC-OS막에서는 입계에 기인하는 전자 이동도의 저하가 억제된다.

[0123] CAAC-OS막에 포함되는 결정부는 예를 들어, c축이 CAAC-OS막의 괴형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향이 되도록 정렬되고, 또 ab면에 수직인 방향에서 보아 금속 원자가 삼각형 또는 육각형으로 배열되고, c축에 수직인 방향에서 보아 금속 원자가 층상으로 배열되거나 또는 금속 원자와 산소 원자가 층상으로 배열되어 있다. 또한, 다른 결정부들간에서 a축 및 b축의 방향이 각각 달라도 좋다. 본 명세서에서 단순히 '수직'이라고 기재된 경우, 80° 이상 100° 이하, 바람직하게는 85° 이상 95° 이하의 범위도 그 범주에 포함된다. 또한, 단순히 '평행'이라고 기재된 경우, -10° 이상 10° 이하, 바람직하게는 -5° 이상 5° 이하의 범위도 그 범주에 포함된다.

[0124] 또한, CAAC-OS막에서 결정부의 분포가 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 형성 과정에서 산화물 반도체막의 표면 측에서부터 결정을 성장시키는 경우, 괴형성면 근방보다 표면 근방에서 결정부가 차지하는 비율이 높게 되는 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가함으로써 상기 불순물 첨가 영역에서 결정부의 결정성이 저하되는 경우도 있다.

[0125] CAAC-OS막에 포함되는 결정부의 c축은 CAAC-OS막의 괴형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향이 되도록 정렬되므로, CAAC-OS막의 형상(괴형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 다른 방향을 향할 수 있다. 또한, 결정부는 성막하였을 때, 또는 성막 후에 가열 처리 등의 결정화 처리를 수행하였을 때 형성된다. 따라서, 결정부의 c축은 CAAC-OS막이 형성되었을 때의 괴형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향이 되도록 정렬된다.

[0126] CAAC-OS막이 사용된 트랜ジ스터는 가시광이나 자외광의 조사로 인한 전기 특성의 변동이 작다. 따라서, 상기 트랜ジ스터는 신뢰성이 높다.

[0127] 또한, 한쪽 게이트 절연막 및 다른 쪽 게이트 절연막의 재료가 같은 경우에는 트랜지스터의 문턱 전압의 시프트량은 막의 두께비에 따라 제어할 수 있다. 한쪽 게이트 절연막 및 다른 쪽 게이트 절연막의 막의 두께비가 1:10인 경우는 막의 두께비가 1:1인 경우에 비하여 트랜지스터의 문턱 전압의 시프트량이 많아지는 경향이 있다.

[0128] 반도체막(533)은 성막전, 성막시, 성막후에서 수소가 포함되지 않도록 하는 것이 바람직하다. 예를 들어, 반도체막(533)의 성막시에 수소가 가능한 한 포함되지 않도록 성막하고, 반도체막(533)의 성막후에 탈수화 또는 탈소수화를 위한 가열 처리를 수행하는 것이 바람직하다. 또한, 반도체막(533)과 접하는 절연막의 성막시에 수소가 가능한 한 포함되지 않도록 성막하고, 절연막의 성막후에 탈수화 또는 탈소수화를 위한 가열 처리를 수행하는 것이 바람직하다.

[0129] 또한, 절연막(531)으로서 수소의 투과를 방지하는 막을 사용함으로써 하부의 트랜지스터나 절연막(524), 층간 절연막(522) 등에 포함된 수소가 반도체막(533)에 도달되는 것을 방지할 수 있다. 수소의 투과를 방지하는 막으로서 질화 실리콘막, 산화 질화 실리콘막, 산화 알루미늄막, 산화 질화 알루미늄막 등을 사용하는 것이 바람직하다. 또한, 층간 절연막(537)으로서 수소의 투과를 방지하는 막을 사용함으로써 층간 절연막(538)에 포함된 수소가 반도체막(533)에 도달되는 것을 방지할 수 있다.

[0130] 또한, 반도체막(533)에 포함되는 산소 결손을 저감시키기 위하여 반도체막(533)에 산소를 공급하는 처리를 수행하는 것이 바람직하다. 예를 들어, 반도체막(533)과 산소가 과잉으로 포함된 절연막으로부터 반도체막(533)에 산소를 공급할 수 있다. 반도체막(533)에 산소가 공급됨으로써 반도체막(533)에 포함되는 산소 결손을 저감시킬 수 있다. 또한, 반도체막(533)에 탈수화 또는 탈수소화 처리를 수행한 후, 반도체막(533)에 산소를 첨가하는 처리를 수행하여도 좋다. 산소를 첨가하는 처리로서는 예를 들어, 이온 주입법, 이온 도핑법, 플라즈마 처리 등에 의하여 산소 라디칼, 오존, 산소 원자, 산소 이온 등을 반도체막(533)에 첨가하여 수행한다. 또한, 산소를 첨가하는 처리는 게이트 절연막(535)을 통과시켜 수행하여도 좋다.

[0131] 이와 같이, 반도체막(533)에서 불순물이나 산소 결손이 저감됨으로써 캐리어의 발생을 억제할 수 있다. 캐리어 밀도가 높게 되는 것을 억제함으로써, 캐리어 밀도에 기인하여 트랜지스터의 문턱 전압이 마이너스 방향으로 시프트되는 것을 억제할 수 있다. 그러므로, 트랜지스터의 다른 쪽 게이트 전극에 인가하는 전위에 따라 트랜지스터의 문턱 전압을 용이하게 제어할 수 있게 된다.

[0132] 본 실시형태는 다른 실시형태와 적절히 조합하여 사용할 수 있다.

부호의 설명

[0133]

MUX: 멀티플렉서

MUX1: 멀티플렉서

MUX2: 멀티플렉서

MUX3: 멀티플렉서

MUX4: 멀티플렉서

MUX5: 멀티플렉서

MUX6: 멀티플렉서

MUX7: 멀티플렉서

MUX8: 멀티플렉서

INV: 인버터

LB_A: 논리 블록

LB_B: 논리 블록

WTr: 기록 트랜지스터

RTr: 판독 트랜지스터

Cs: 용량 소자

SWB: 스위치 블록

MEM: 메모리

13: 메모리 소자

13a: 메모리 소자

13h: 메모리 소자

13i: 메모리 소자

100: 프로그래머블 로직 디바이스

110: 메모리

111: 루업 테이블

112: 레지스터

113: 메모리

120: 논리 블록

130: 스위치 블록

500: 기판

501: 채널 형성 영역

502: 저농도 불순물 영역

503: 고농도 불순물 영역

504a: 게이트 절연막

504b: 게이트 절연막

505a: 게이트 전극층

505b: 게이트 전극층

506a: 소스 전극층

506b: 드레인 전극층

506c: 소스 전극층

506d: 드레인 전극층

507: 금속간 화합물 영역

508a: 사이드 월 절연막

508b: 사이드 월 절연막

509: 소자 분리 절연막

510: 트랜지스터

511: 채널 형성 영역

512: 저농도 불순물 영역

513: 고농도 불순물 영역

517: 금속간 화합물 영역

520: 트랜지스터

521: 층간 절연막

522: 층간 절연막

523a: 배선

523b: 배선

524: 절연막

525a: 도전층

525b: 도전층

526: 절연막

530: 트랜지스터

531: 절연막

532: 절연막

533: 반도체막

534a: 소스 전극층

534b: 드레인 전극층

535: 게이트 절연막

536a: 게이트 전극층

536b: 도전층

537: 층간 절연막

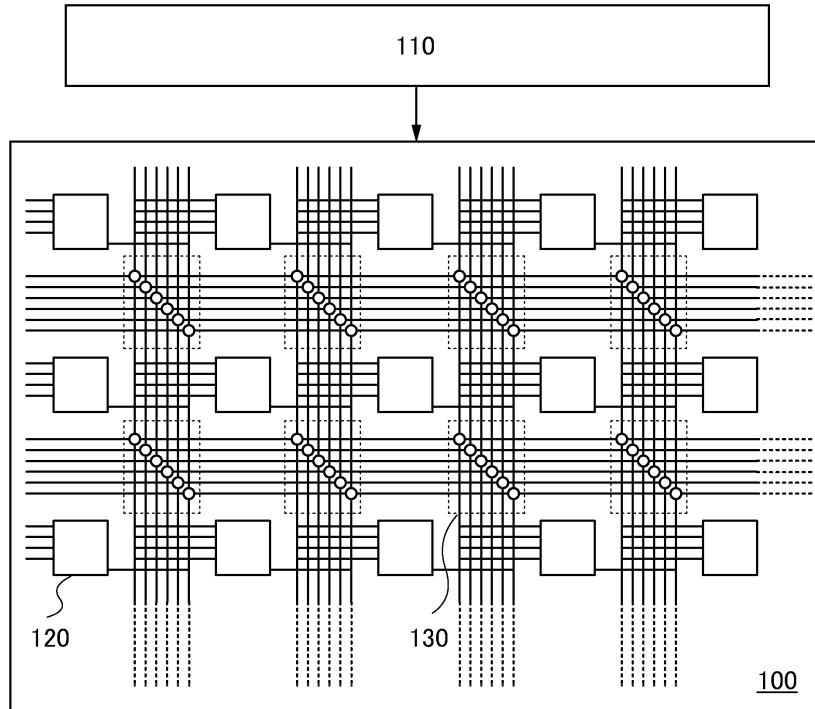
538: 층간 절연막

539: 배선

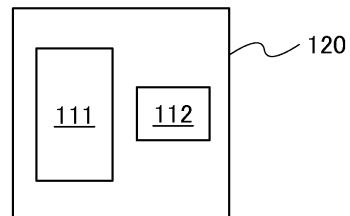
540: 용량 소자

도면

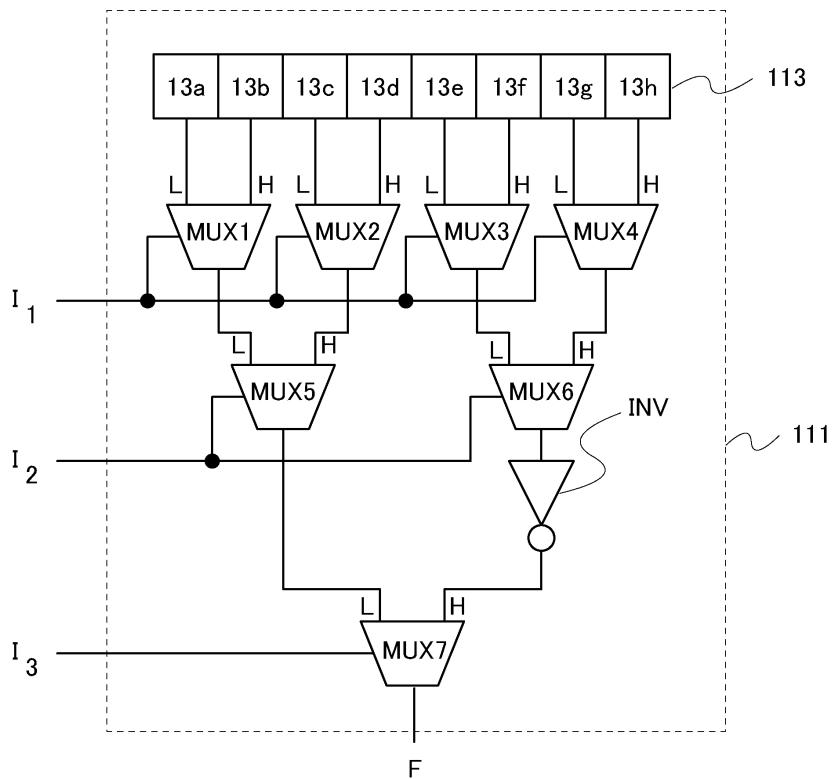
도면 1a



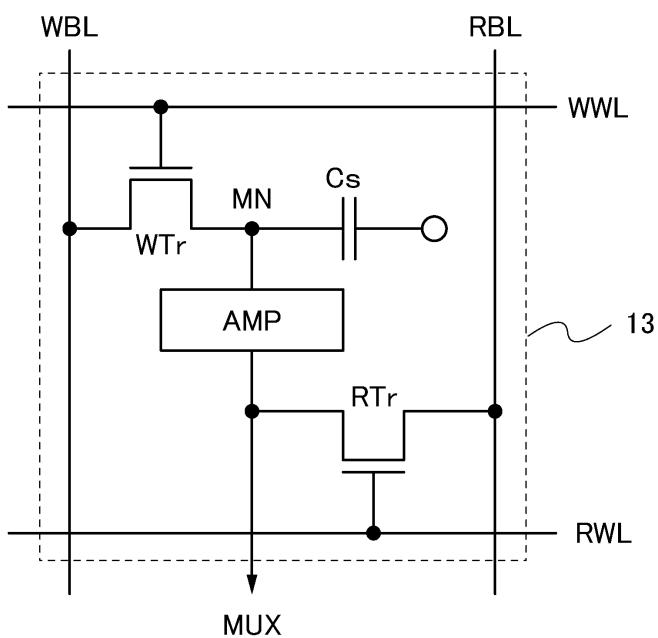
도면 1b



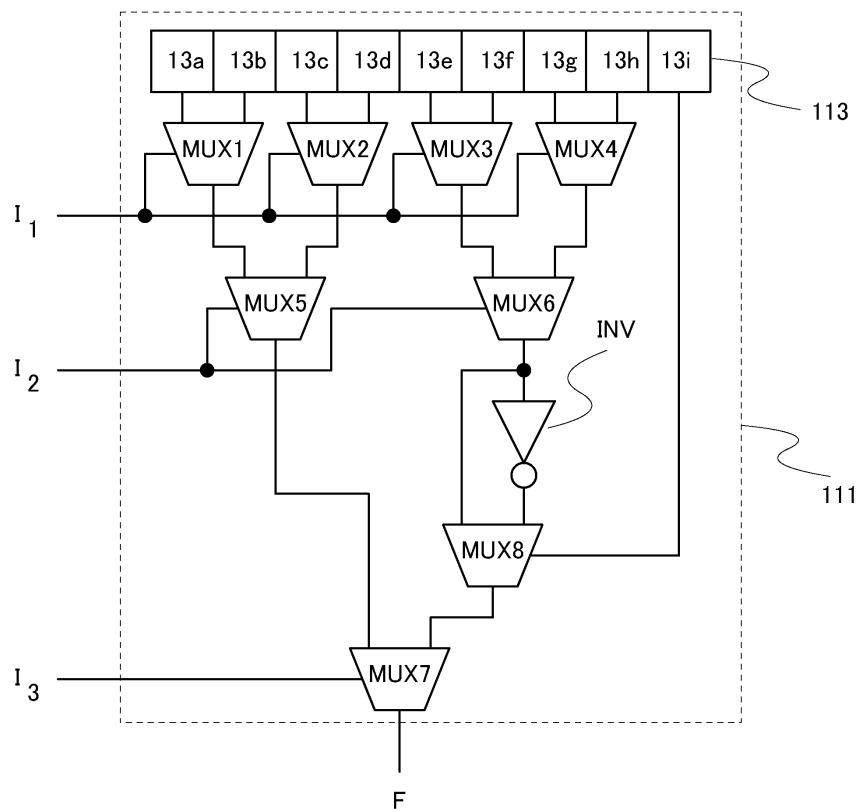
도면2



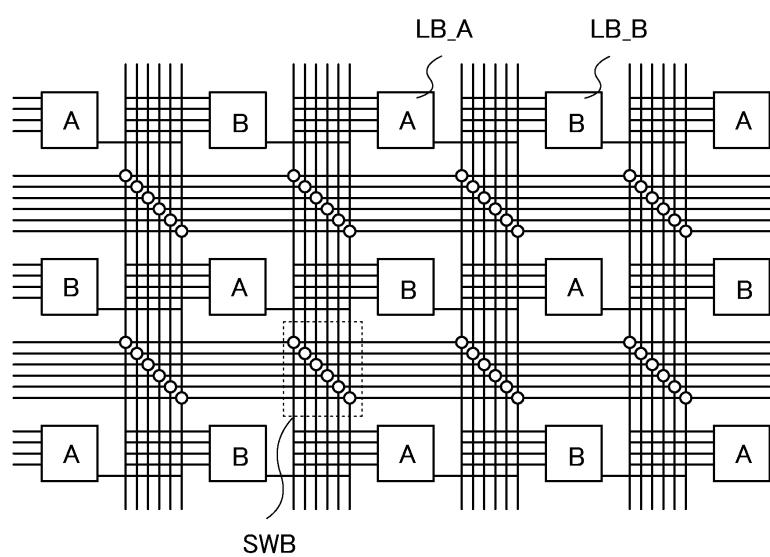
도면3



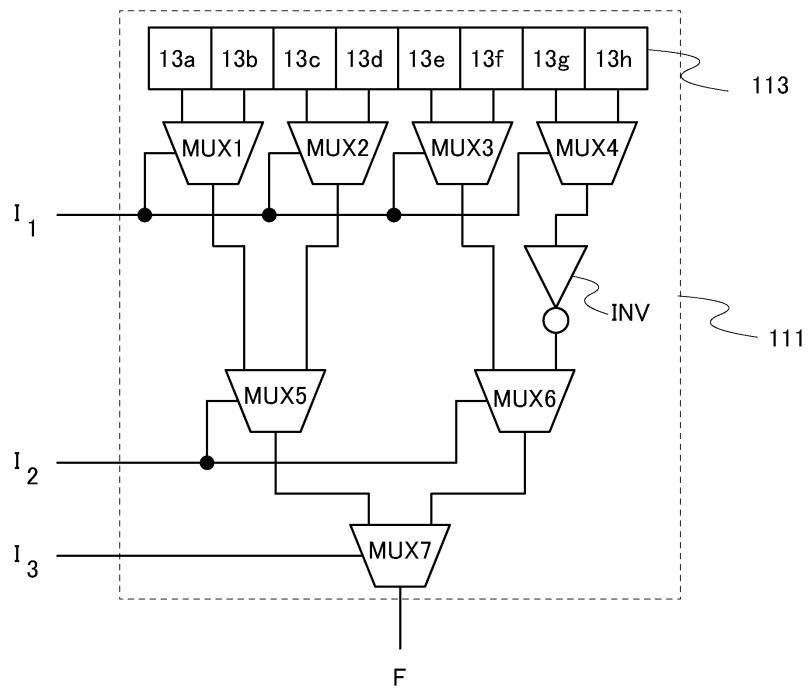
도면4



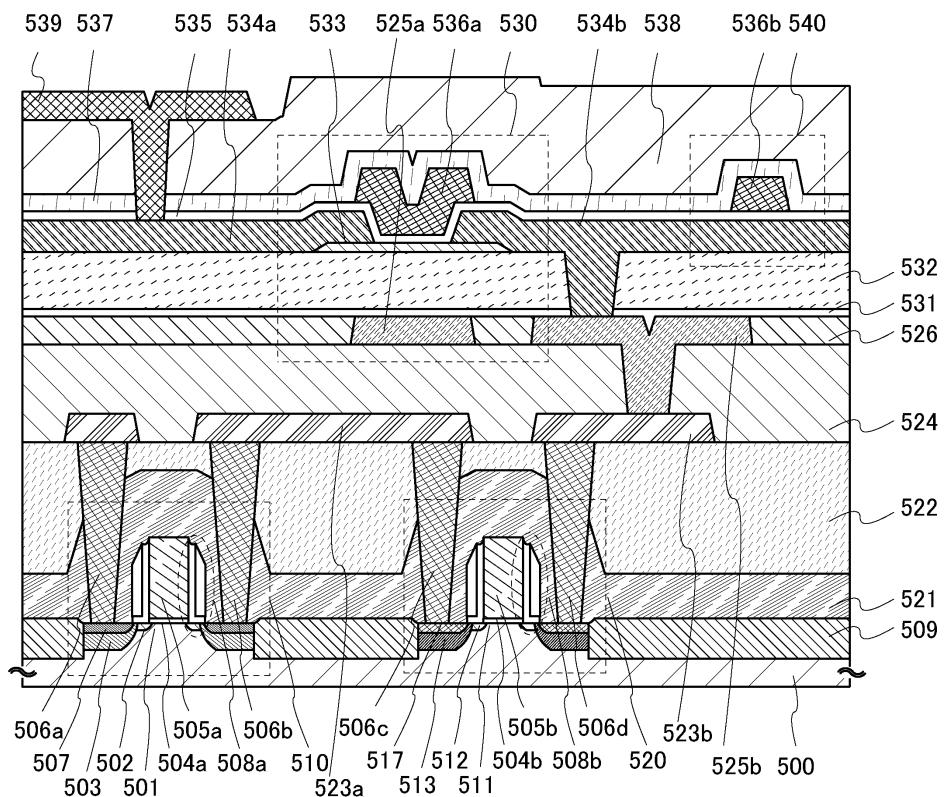
도면5



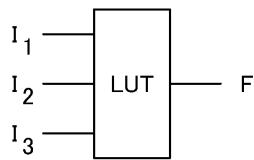
도면6



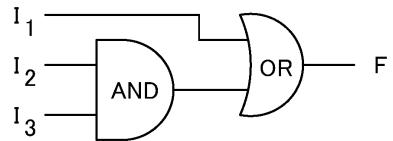
도면7



도면8a



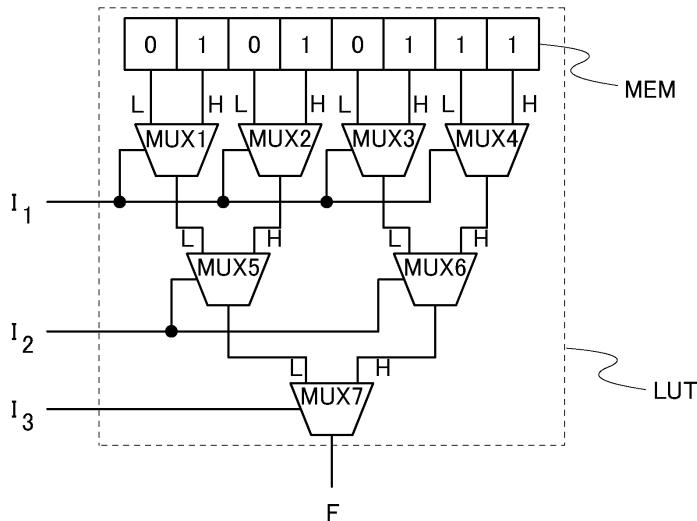
도면8b



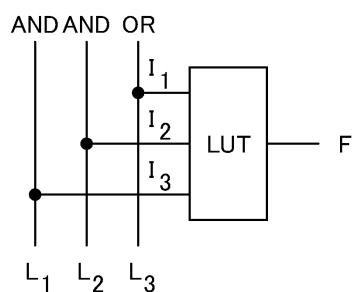
도면8c

I_1	0	1	0	1	0	1	0	1
I_2	0	0	1	1	0	0	1	1
I_3	0	0	0	0	1	1	1	1
F	0	1	0	1	0	1	1	1

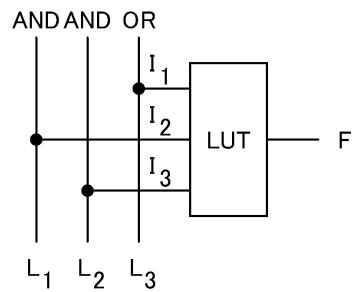
도면8d



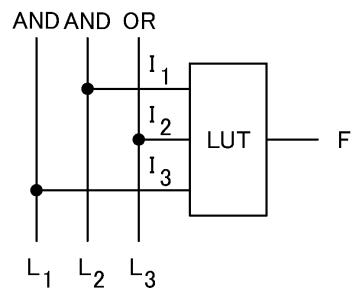
도면9a



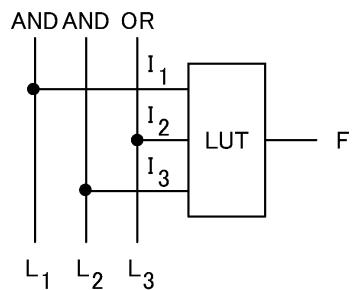
도면9b



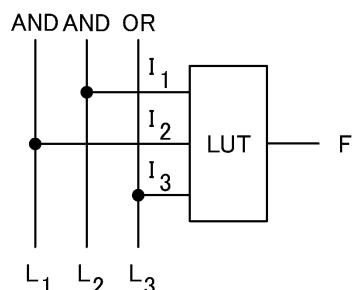
도면9c



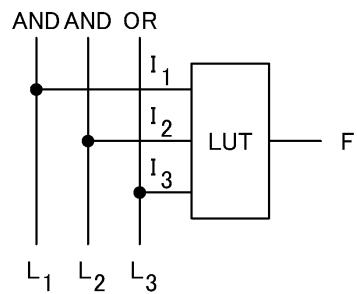
도면9d



도면9e



도면9f



도면10a

I_1	0	1	0	1	0	1	0	1
I_2	0	0	1	1	0	0	1	1
I_3	0	0	0	0	1	1	1	1
F	0	1	0	1	0	1	1	1

도면10b

I_1	0	1	0	1	0	1	0	1
I_2	0	0	1	1	0	0	1	1
I_3	0	0	0	0	1	1	1	1
F	0	1	1	1	0	1	0	1

도면10c

I_1	0	1	0	1	0	1	0	1
I_2	0	0	1	1	0	0	1	1
I_3	0	0	0	0	1	1	1	1
F	0	0	0	1	1	1	1	1