



(12) 发明专利申请

(10) 申请公布号 CN 116052740 A

(43) 申请公布日 2023.05.02

(21) 申请号 202211337887.4

(22) 申请日 2022.10.28

(30) 优先权数据

10-2021-0145758 2021.10.28 KR

(71) 申请人 三星电子株式会社

地址 韩国京畿道

申请人 高丽大学校产学协力团

(72) 发明人 朴钟善 张闰皓 朴盛健

(74) 专利代理机构 北京市柳沈律师事务所

11105

专利代理师 梁栋国

(51) Int.Cl.

G11C 11/16 (2006.01)

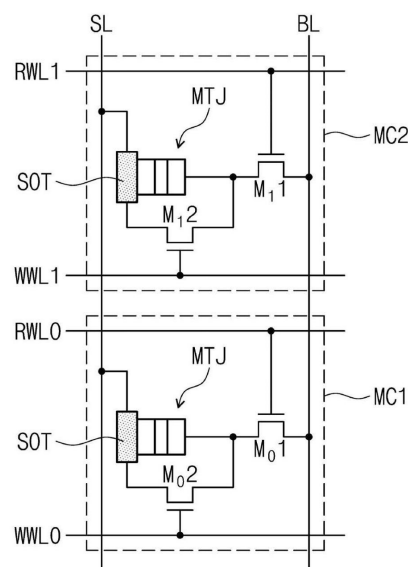
权利要求书3页 说明书9页 附图8页

(54) 发明名称

磁阻随机存取存储器设备

(57) 摘要

一种半导体存储器设备包括：第一字线和第二字线、位线、源极线和存储器单元。存储器单元包括：自旋轨道矩 (SOT) 图案，其第一端电性耦接到源极线；磁隧道结图案，其邻近SOT图案延伸；读取晶体管，其具有电性耦接到磁隧道结图案的第一端的第一载流端、电性耦接到位线的第二载流端和电性耦接到第一字线的栅极端。存储器单元还包括：写入晶体管，其具有电性耦接到SOT图案的第二端的第一载流端、电性耦接到磁隧道结图案的第一端的第二载流端和电性耦接到第二字线的栅极端。



1. 一种半导体存储器设备,包括:

第一字线和第二字线;

位线;

源极线;和

存储器单元,包括:

自旋轨道矩 (SOT) 图案,其第一端电性耦接到源极线;

磁隧道结图案,其邻近SOT图案延伸;

读取晶体管,其具有电性耦接到磁隧道结图案的第一端的第一载流端、电性耦接到位线的第二载流端和电性耦接到第一字线的栅极端;和

写入晶体管,其具有电性耦接到SOT图案的第二端的第一载流端、电性耦接到磁隧道结图案的第一端的第二载流端和电性耦接到第二字线的栅极端。

2. 根据权利要求1所述的设备,其中,磁隧道结图案包括钉扎磁图案、接触SOT图案的自由磁图案和在钉扎磁图案和自由磁图案之间延伸的隧道势垒图案。

3. 根据权利要求1所述的设备,还包括:

半导体衬底,其中集成有读取晶体管和写入晶体管;

其中,磁隧道结图案具有顶表面和底表面,其中,底表面与顶表面相对地延伸,并且相对于顶表面更接近半导体衬底;以及

其中,SOT图案接触磁隧道结图案的顶表面。

4. 根据权利要求1所述的设备,还包括:

半导体衬底,其中具有有源区域,有源区域至少部分地由设备隔离层限定;和

公共掺杂区域,其在有源区域中并在与有源区域相交的第一字线和第二字线之间延伸;以及

其中,磁隧道结图案的第一端连接到公共掺杂区域。

5. 根据权利要求1所述的设备,其中,第一字线和第二字线在第一方向上彼此平行地延伸;以及其中,源极线和位线在与第一方向相交的第二方向上彼此平行地延伸。

6. 一种半导体存储器设备,包括:

第一存储器单元,其中具有第一自旋轨道矩 (SOT) 图案、第一磁隧道结图案、第一读取晶体管和第一写入晶体管,所述第一读取晶体管具有电性连接到第一写入晶体管的第一载流端和第一磁隧道结图案的第一端的第一载流端;

第二存储器单元,其中具有第二自旋轨道矩 (SOT) 图案、第二磁隧道结图案、第二读取晶体管和第二写入晶体管,所述第二读取晶体管具有电性连接到第二写入晶体管的第一载流端和第二磁隧道结图案的第一端的第一载流端;和

位线,其电性连接到第一读取晶体管的第二载流端和第二读取晶体管的第二载流端。

7. 根据权利要求6所述的设备,还包括:

源极线,其电性连接到第一SOT图案的第一端和第二SOT图案的第一端;以及

其中,第一写入晶体管的第二载流端电性连接到第一SOT图案的第二端,并且第二写入晶体管的第二载流端电性连接到第二SOT图案的第二端。

8. 根据权利要求6所述的设备,还包括:

第一读取字线,其电性连接到第一读取晶体管的栅极端;和

第二读取字线,其电性连接到第二读取晶体管的栅极端。

9.根据权利要求6所述的设备,

其中,第一磁隧道结图案和第二磁隧道结图案中的每一个包括钉扎磁图案、自由磁图案和在钉扎磁图案和自由磁图案之间延伸的隧道势垒图案;

其中,第一SOT图案接触在第一磁隧道结图案内的自由磁图案;以及

其中,第二SOT图案接触在第二磁隧道结图案内的自由磁图案。

10.根据权利要求6所述的设备,还包括:

半导体衬底,其中具有有源区域,有源区域至少部分地由设备隔离层限定;以及

其中,第一存储器单元和第二存储器单元至少部分地集成在有源区域内。

11.根据权利要求8所述的设备,还包括:

第一写入字线,其电性连接到第一写入晶体管的栅极端;和

第二写入字线,其电性连接到第二写入晶体管的栅极端;以及

其中,第一读取字线 and 第二读取字线在第一写入字线和第二写入字线之间并在有源区域上延伸。

12.一种半导体存储器设备,包括:

设备隔离层,其至少部分地限定半导体衬底中的有源区域;

第一写入字线和第二写入字线,其与有源区域中的至少第一部分重叠;

第一读取字线和第二读取字线,其与有源区域中的至少第二部分重叠,并且在第一写入字线和第二写入字线之间延伸;

第一掺杂区域,其被设置在第一写入字线的一侧的有源区域中;

第二掺杂区域,其被设置在第二写入字线的一侧的有源区域中;

第一公共掺杂区域,其被设置在半导体衬底中并且在第一写入字线和第一读取字线之间;

第二公共掺杂区域,其被设置在半导体衬底中并且在第二写入字线和第二读取字线之间;

第三公共掺杂区域,其被设置在半导体衬底中并且在第一读取字线和第二读取字线之间;

第一磁隧道结图案和第二磁隧道结图案,其分别连接到第一公共掺杂区域和第二公共掺杂区域;

第一自旋轨道矩(SOT)图案和第二SOT图案,其被分别设置在第一磁隧道结图案和第二磁隧道结图案上;

源极线,其与第一写入字线和第二写入字线以及第一读取字线和第二读取字线相交,并且共同连接到第一SOT图案和第二SOT图案;和

位线,其与第一写入字线和第二写入字线以及第一读取字线和第二读取字线相交,并且连接到第三公共掺杂区域。

13.根据权利要求12所述的设备,其中,位线和源极线被设置在距离半导体衬底的不同高度处。

14.根据权利要求12所述的设备,其中,第一SOT图案和第二SOT图案分别接触第一磁隧道结图案和第二磁隧道结图案的顶表面。

15. 根据权利要求12所述的设备, 其中, 第一磁隧道结图案和第二磁隧道结图案中的每一个包括钉扎磁图案、自由磁图案和在钉扎磁图案和自由磁图案之间的隧道势垒图案; 以及

其中, 第一SOT图案和第二SOT图案分别接触第一磁隧道结图案和第二磁隧道结图案的自由磁图案。

16. 根据权利要求12所述的设备, 其中, 当从平面视角看时, 第一磁隧道结图案和第二磁隧道结图案相对于第三公共掺杂区域镜面对称。

17. 根据权利要求12所述的设备, 其中, 当从平面视角看时, 第一磁隧道结图案与第一公共掺杂区域重叠, 并且第二磁隧道结图案与第二公共掺杂区域重叠。

18. 根据权利要求12所述的设备, 其中, 第一SOT图案和第二SOT图案中的每一个具有在与位线和源极线平行的方向上的纵轴。

19. 根据权利要求12所述的设备, 其中, 有源区域具有在与位线和源极线平行的方向上的纵轴。

20. 根据权利要求12所述的设备, 其中, 第一SOT图案和第二SOT图案包括重金属材料或掺杂有重金属的材料。

磁阻随机存取存储器设备

[0001] 相关申请的交叉引用

[0002] 本专利申请要求获得于2021年10月28日提交的第10-2021-0145758号韩国专利申请的优先权,该申请的公开内容在此通过引用并入本文。

技术领域

[0003] 本公开涉及半导体存储器设备,更具体地,涉及高度集成的非易失性半导体存储器设备。

背景技术

[0004] 随着需要高速和/或低功耗电子设备,还需要在其中使用的高速和/或低电压半导体存储器设备。已经开发了磁存储器设备,作为能够满足这些需求的半导体存储器设备。这些磁存储器设备由于其高速和/或非易失性的特点,可以作为下一代半导体存储器设备出现。此外,由于高集成度和/或低功耗的磁存储器设备的需求越来越大,已经研究了满足这些需求的各种技术。

发明内容

[0005] 本发明构思的实施例可以提供一种基于自旋轨道矩 (spin-orbit torque) 材料的半导体存储器设备,其能够提高集成密度。

[0006] 在一个实施例中,一种半导体存储器设备可以包括第一字线、第二字线、位线、源极线和非易失性存储器单元。存储器单元可以包括:自旋轨道矩 (SOT) 图案,其第一端连接到源极线,并且第二端与第一端相对;“非易失性”磁隧道结图案,其邻近SOT图案延伸;和读取晶体管,其具有:(i) 串联在磁隧道结图案的第一端和位线之间的载流路径和(ii) 连接到第一字线的栅电极。存储器单元还包括写入晶体管,其具有:(i) 电性串联在磁隧道结图案的第一端和SOT图案的第二端之间的载流路径和(ii) 连接到第二字线的栅电极。

[0007] 在另一实施例中,一种半导体存储器设备可以包括第一存储器单元和第二存储器单元,每个存储器单元包括自旋轨道矩 (SOT) 图案、磁隧道结图案、读取晶体管和写入晶体管。读取晶体管和写入晶体管可以共同连接到第一存储器单元和第二存储器单元中的每一个中的磁隧道结图案的第一端,并且第一存储器单元和第二存储器单元的读取晶体管可以共同连接到位线。

[0008] 在又一实施例中,一种半导体存储器设备可以包括设备隔离层,其至少部分地限定半导体衬底中的有源区域。第一写入字线和第二写入字线被提供,其与有源区域相交,并且在半导体衬底上延伸。第一读取字线和第二读取字线被提供,其在第一写入字线和第二写入字线之间与有源区域相交,并且在半导体衬底上延伸。第一掺杂区域被设置在第一写入字线的一侧的有源区域中,并且第二掺杂区域被设置在第二写入字线的另一侧的有源区域中。此外,第一公共掺杂区域被设置在第一写入字线和第一读取字线之间的半导体衬底中,并且第二公共掺杂区域被设置在第二写入字线和第二读取字线之间的半导体衬底中。

此外,第三公共掺杂区域被设置在第一读取字线和第二读取字线之间的半导体衬底中。第一磁隧道结图案和第二磁隧道结图案被提供,其分别连接到第一公共掺杂区域和第二公共掺杂区域。第一自旋轨道矩(SOT)图案和第二SOT图案被提供,其分别在第一磁隧道结图案和第二磁隧道结图案上延伸。源极线被提供,其与第一写入字线和第二写入字线以及第一读取字线和第二读取字线相交,并且共同电性连接到第一SOT图案和第二SOT图案。位线被提供,其与第一写入字线和第二写入字线以及第一读取字线和第二读取字线相交,并且连接到第三公共掺杂区域。

附图说明

[0009] 图1是示意性地示出根据本发明构思的一些实施例的半导体存储器设备的存储器单元的电路图。

[0010] 图2是示出根据本发明构思的一些实施例的半导体存储器设备的两个存储器单元的电路图。

[0011] 图3是示出根据本发明构思的一些实施例的半导体存储器设备的两个存储器单元的平面图。

[0012] 图4是沿图3的线I-I'和II-II'截取的横截面图,以示出根据本发明构思的一些实施例的半导体存储器设备。

[0013] 图5是示出根据本发明构思的一些实施例的半导体存储器设备的透视图。

[0014] 图6是示出根据本发明构思的一些实施例的半导体存储器设备的单元阵列的电路图。

[0015] 图7是示出根据本发明构思的一些实施例的半导体存储器设备的单元阵列的平面图。

[0016] 图8A和8B是用于解释根据本发明构思的一些实施例的存储器单元的读取操作的图。

[0017] 图9A和9B是用于解释根据本发明构思的一些实施例的存储器单元的写入操作的图。

[0018] 图10A和10B是用于解释根据本发明构思的一些实施例的存储器单元的写入操作的图。

具体实施方式

[0019] 现在,将参考附图来更全面地描述本发明构思的示例实施例。

[0020] 图1是示意性地示出根据本发明构思的一些实施例的半导体存储器设备的存储器单元的电路图。参考图1,根据本发明构思的一些实施例的半导体存储器设备的存储器单元MC可以包括磁隧道结图案MTJ、自旋轨道矩图案SOT、以及第一晶体管M1和第二晶体管M2,其如图所示地连接。

[0021] 具体地,磁隧道结图案MTJ可以在自旋轨道矩图案SOT和电极图案EL之间延伸,并且可以包括钉扎(pinned)磁图案PL、自由磁图案FL、以及“夹”在钉扎磁图案PL和自由磁图案FL之间的隧道势垒图案TBL。自由磁图案FL可以在自旋轨道矩图案SOT和隧道势垒图案TBL之间延伸,并且钉扎磁图案PL可以与自由磁图案FL隔开,隧道势垒图案TBL在两者之间

延伸。如图所示,自由磁图案FL可以具有第一表面和与第一表面相对延伸的第二表面;第一表面可以接触隧道势垒图案TBL,并且第二表面可以接触自旋轨道矩图案SOT。

[0022] 自由磁图案FL(例如,“自由层”)可以具有磁化方向,其可由自旋轨道矩图案SOT改变(例如,调制);自由磁图案FL可以具有垂直的磁各向异性,并且可以具有单层结构或多层结构。自由磁图案FL可以包括磁性材料,并且可以包括例如铁(Fe)、钴(Co)、镍(Ni)、硼(B)、硅(Si)、铂(Pt)、钯(Pd)或其任何合金中的至少一个。

[0023] 自由磁图案FL可以包括本征垂直磁性材料或外征垂直磁性材料中的至少一个。本征垂直磁性材料可以包括即使不存在外部因素也具有垂直磁化特性的材料。外征垂直磁性材料可以包括具有本征水平磁化特性但通过外部因素具有垂直磁化特性的材料。举一些示例来说,自由磁图案FL可以是钴层。举其他示例来说,自由磁图案FL可以包括 $\text{Co}_{60}\text{Fe}_{20}\text{B}_{20}$ 。

[0024] 钉扎磁图案PL可以在电极图案EL和隧道势垒图案TBL之间延伸。钉扎磁图案PL可以具有固定在一个方向上的磁化方向,并且可以具有垂直磁各向异性。钉扎磁图案PL也可以具有合成反铁磁(SAF)结构。在这种情况下,钉扎磁图案PL可以包括第一钉扎图案、第二钉扎图案、以及在第一钉扎图案和第二钉扎图案之间延伸的交换耦接图案。第一钉扎图案可以包括磁性材料,并且第一钉扎图案的磁化方向可以被第二钉扎图案钉扎或固定。第一钉扎图案的磁化方向可以通过交换耦接图案(exchange coupling pattern),反平行地耦接到第二钉扎图案的磁化方向。举一些示例来说,钉扎磁图案PL可以包括Co、Al、Ir、Ru、Pt、Ta或Hf中的至少一个。举特定示例来说,钉扎磁图案PL可以包括Ni、Fe、Co、B、Ge、Mn或者Ni、Fe、Co、B、Ge或Mn的任何合金中的至少一个。例如,钉扎磁图案PL可以包括这些材料的组合和混合物中的至少一个,诸如NiFe、CoFe或CoFeB。举特定示例来说,钉扎磁图案PL可以包括Co/Pt、Co/Pd或Co/Ni超晶格结构。

[0025] 例如,隧道势垒图案TBL可以包括氧化镁、氧化钛、氧化铝、氧化镁-铟或氧化镁-硼中的至少一个。此外,电极图案EL可以被设置在钉扎磁图案PL与第一晶体管M1和第二晶体管M2之间。电极图案EL可以包括金属(例如,钨、钛和/或钽)或导电金属氮化物(例如,氮化钛、氮化钽和/或氮化钨)的至少一个。

[0026] 自旋轨道矩图案SOT可以具有第一端和与第一端相对的第二端。自旋轨道矩图案SOT的第一端可以电性耦接(例如,直接连接)到源极线SL,并且自旋轨道矩图案SOT的第二端可以电性耦接到第二晶体管M2的第一源极/漏电极/端子(例如,第一载流端)。

[0027] 如图所示,自旋轨道矩图案SOT的部分可以接触自由磁图案FL。自旋轨道矩图案SOT可以被配置为将自旋轨道矩应用于磁隧道结图案MTJ的自由磁图案FL。例如,如本领域技术人员将理解的那样,自旋轨道矩图案SOT可以通过使用自旋霍尔效应(或Rashba效应),当平面内电流流经邻近于自由磁图案FL的自旋轨道矩图案SOT时,诱导自由磁图案FL的切换。

[0028] 自旋轨道矩图案SOT可以包括,例如,重金属或掺有重金属的材料。自旋轨道矩图案SOT可以包括非磁性材料。例如,自旋轨道矩图案SOT可以包括钽(Ta)、铂(Pt)、铋(Bi)、钛(Ti)或钨(W)的至少一个。

[0029] 存储器单元MC的第一晶体管(或读取晶体管)M1可以电性连接在电极图案EL(在磁隧道结图案MTJ上)和位线BL之间。第一晶体管M1的栅电极可以连接到第一字线(或读取字线)RWL,并且可以由第一字线RWL控制。位线BL可以连接到感应放大器(未示出)。在感应放

大器中,位线BL的感应电压可以在“读取”操作期间与参考电压进行比较,以输出存储在存储器单元MC中的数据。

[0030] 相反,存储器单元MC的第二晶体管(或写入晶体管)M2可以电性连接在电极图案EL(在磁隧道结图案MTJ上)和自旋轨道矩图案SOT的第二端之间。第二晶体管M2的栅电极可以电性连接到第二字线(或写入字线)WWL,并且可以由第二字线WWL控制。

[0031] 图2是示出根据本发明构思的一些实施例的半导体存储器设备的两个存储器单元的电路图。在本实施例中,将省略与上文提到的特征相同的特征的描述,并且将主要描述本实施例与上文的实施例之间的区别,以便于容易和方便解释。

[0032] 参考图2,半导体存储器设备可以包括第一存储器单元MC1和第二存储器单元MC2,并且第一存储器单元MC1和第二存储器单元MC2中的每一个可以包括自旋轨道矩图案SOT、磁隧道结图案MTJ、第一晶体管M₀1或M₁1和第二晶体管M₀2或M₁2,如上文参考图1描述的。

[0033] 第一存储器单元MC1和第二存储器单元MC2可以共享源极线SL和位线BL。第一存储器单元MC1和第二存储器单元MC2的自旋轨道矩图案SOT的第一端可以共同连接到源极线SL。第一存储器单元MC1和第二存储器单元MC2的第一晶体管M₀1和M₁1可以具有各自的载流端(例如,源极/漏极),其共同电性连接到位线BL。

[0034] 此外,在第一存储器单元MC1和第二存储器单元MC2中的每一个中,该对第一晶体管M₀1和第二晶体管M₀2(或M₁1和M₁2)可以具有各自的载流端,其共同连接到磁隧道结图案MTJ的第一端,并且自旋轨道矩图案SOT的第二端可以连接到第二晶体管M₀2或M₁2的载流端(例如,源极/漏极)。

[0035] 在第一存储器单元MC1和第二存储器单元MC2中的每一个中,第一晶体管M₀1或M₁1可以连接在位线BL和磁隧道结图案MTJ的第一端之间,并且第二晶体管M₀2或M₁2可以连接在磁隧道结图案MTJ的第一端和自旋轨道矩图案SOT的第二端之间。此外,第一存储器单元MC1的第一晶体管M₀1可以由第一读取字线RWL0控制,并且第二存储器单元MC2的第一晶体管M₁1可以由第二读取字线RWL1控制。最后,第一存储器单元MC1的第二晶体管M₀2可以由第一写入字线WWL0控制,并且第二存储器单元MC2的第二晶体管M₁2可以由第二写入字线WWL1控制。

[0036] 图3是示出根据本发明构思的一些实施例的半导体存储器设备的两个存储器单元的平面图。图4是沿图3的线I-I'和II-II'截取的横截面图,以示出根据本发明构思的一些实施例的半导体存储器设备。图5是示出根据本发明构思的一些实施例的半导体存储器设备的透视图。

[0037] 参考图3、4和5,限定有源区域ACT的设备隔离层101可以在半导体衬底100中延伸。半导体衬底100可以是硅衬底、锗衬底和/或硅锗衬底。

[0038] 第一写入字线WWL0和第二写入字线WWL1以及第一读取字线RWL0和第二读取字线RWL1可以在半导体衬底100上延伸。如图所示,第一读取字线RWL0和第二读取字线RWL1可以在第一写入字线WWL0和第二写入字线WWL1之间延伸。此外,第一写入字线WWL0和第二写入字线WWL1以及第一读取字线RWL0和第二读取字线RWL1可以在第一方向D1上延伸,以与有源区域ACT相交,并且可以在第二方向D2上彼此隔开。

[0039] 第一写入字线WWL0和第二写入字线WWL1以及第一读取字线RWL0和第二读取字线RWL1可以在半导体衬底100上延伸,栅极电介质层位于它们之间。第一写入字线WWL0和第二

写入字线WWL1以及第一读取字线RWL0和第二读取字线RWL1可以包括掺杂有掺杂剂的半导体材料(例如,掺杂硅)、金属(例如,钨、铝、钛和/或钽)、导电金属氮化物(例如,氮化钛、氮化钽和/或氮化钨)或金属半导体化合物(例如,金属硅化物)中的至少一个。

[0040] 第一掺杂区域SDa可以被设置在第一写入字线WWL0的一侧的半导体衬底100中。第二掺杂区域SDb可以被设置在第二写入字线WWL1的另一侧的半导体衬底100中。第一公共掺杂区域CSDa可以被设置在第一写入字线WWL0和第一读取字线RWL0之间的半导体衬底100中,并且第二公共掺杂区域CSDb可以被设置在第二写入字线WWL1和第二读取字线RWL1之间的半导体衬底100中。第三公共掺杂区域CSDc可以被设置在第一读取字线RWL0和第二读取字线RWL1之间的半导体衬底100中。

[0041] 第一掺杂区域SDa和第二掺杂区域SDb以及第一公共掺杂区域CSDa、第二公共掺杂区域CSDb和第三公共掺杂区域CSDc可以掺杂具有不同于有源区域ACT的第一电导类型的第二电导类型的掺杂物。第一电导类型和第二电导类型之一可以是N型,并且其中另一个可以是P型。

[0042] 在一些实施例中,第一公共掺杂区域CSDa和第三公共掺杂区域CSDc以及第一读取字线RWL0可以构成第一存储器单元MC1的第一晶体管M₀₁的区域。第一掺杂区域SDa、第一写入字线WWL0和第一公共掺杂区域CSDa可以构成第一存储器单元MC1的第二晶体管M₀₂的区域。第二公共掺杂区域CSDb和第三公共掺杂区域CSDc以及第二读取字线RWL1可以构成第二存储器单元MC2的第一晶体管M₁₁的区域。第二掺杂区域SDb、第二写入字线WWL1和第二公共掺杂区域CSDb可以构成第二存储器单元MC2的第二晶体管M₁₂的区域。

[0043] 在一些实施例中,第一存储器单元MC1和第二存储器单元MC2可以被集成在单个有源区域ACT上。第一存储器单元MC1和第二存储器单元MC2可以相对于第三公共掺杂区域CSDc镜像对称。

[0044] 在一些实施例中,第一读取晶体管和第二读取晶体管以及第一写入晶体管和第二写入晶体管M₀₁、M₁₁、M₀₂和M₁₂可以是平面晶体管,其沟道与半导体衬底100的顶表面平行。然而,本发明构思的实施例不限于此,并且在特定实施例中,晶体管M₀₁、M₁₁、M₀₂和M₁₂可以是其沟道埋入半导体衬底100中的掩埋场效应晶体管(FET)、鳍型场效应晶体管(FinFET)或栅电极在三维上环绕沟道的环栅场效应晶体管(GAAFET)。

[0045] 第一层间绝缘层110可以在半导体衬底100的整个顶表面上延伸。例如,第一层间绝缘层110可以由氮化物(例如,氮化硅)和/或氧氮化物(例如,氧氮化硅)形成。此外,第一下塞(lower plug)111a可以穿透第一层间绝缘层110,以便连接到第一掺杂区域SDa,并且第二下塞111b可以穿透第一层间绝缘层110,以便连接到第二掺杂区域SDb。

[0046] 第三下塞113a可以穿透第一层间绝缘层110,以便连接到第一公共掺杂区域CSDa,并且第四下塞113b可以穿透第一层间绝缘层110,以便连接到第二公共掺杂区域CSDb。第五下塞115可以穿透第一层间绝缘层110,以便连接到第三公共掺杂区域CSDc。

[0047] 在一些实施例中,第一下塞至第五下塞111a、111b、113a、113b和115可以包括掺杂有掺杂剂的半导体材料(例如,掺杂硅)、金属(例如,钨、铝、钛和/或钽)、导电金属氮化物(例如,氮化钛、氮化钽和/或氮化钨)或金属半导体化合物(例如,金属硅化物)中的至少一个。在一些实施例中,欧姆图案(未示出)可以分别在第一下塞至第五下塞111a、111b、113a、113b和115与掺杂区域SDa、SDb、CSDa、CSDb和CSDc之间延伸。欧姆图案可以包括金属半导体

化合物(例如,金属硅化物,诸如硅化钴或硅化钛)。

[0048] 第二层间绝缘层120可以在第一层间绝缘层110上延伸,并且分别连接到第一下塞至第五下塞111a、111b、113a、113b和115的第一导电图案至第五导电图案121a、121b、123a、123b和125可以在第二层间绝缘层120中延伸。

[0049] 第一磁隧道结图案MTJa和第二磁隧道结图案MTJb可以在第二层间绝缘层120上延伸。第一磁隧道结图案MTJa可以在第三导电图案123a上延伸,并且第二磁隧道结图案MTJb可以在第四导电图案123b上延伸。

[0050] 第一磁隧道结图案MTJa和第二磁隧道结图案MTJb中的每一个可以包括如上文参考图1描述的自由磁图案、钉扎磁图案和在自由磁图案和钉扎磁图案之间的隧道势垒图案。

[0051] 第一磁隧道结图案MTJa和第二磁隧道结图案MTJb中的每一个还可以包括下电极和上电极,并且自由磁图案、钉扎磁图案和在其间的隧道势垒图案可以在下电极和上电极之间延伸。在一些实施例中,第一磁隧道结图案MTJa和第二磁隧道结图案MTJb可以具有相同的堆叠结构。

[0052] 第一磁隧道结图案MTJa和第二磁隧道结图案MTJb的钉扎磁图案中的每一个可以是具有固定磁化方向的钉扎层,并且第一磁隧道结图案MTJa和第二磁隧道结图案MTJb的自由磁图案中的每一个可以是磁化方向可改变为与钉扎层的磁化方向平行或反平行的自由层。

[0053] 包括磁性材料的第一磁隧道结图案MTJa和第二磁隧道结图案MTJb可以通过图案化工艺形成。此时,由于第一磁隧道结图案MTJa和第二磁隧道结图案MTJb在从平面视角看时沿第一方向D1和第二方向D2上排列,因此在图案化过程中可以改善工艺裕度。此外,第一磁隧道结图案MTJa和第二磁隧道结图案MTJb中的每一个的上宽度小于下宽度。在这种情况下,第一磁隧道结图案MTJa和第二磁隧道结图案MTJb中的每一个可以具有基本上为梯形的垂直截面。

[0054] 第三层间绝缘层130可以在第二层间绝缘层120上延伸。在一些实施例中,第三层间绝缘层130可以填充第一磁隧道结图案MTJa和第二磁隧道结图案MTJb之间的空间,并且可以覆盖第一磁隧道结图案MTJa和第二磁隧道结图案MTJb的顶表面。第三层间绝缘层130可以由氧化物(例如,氧化硅)、氮化物(例如,氮化硅)和/或氧氮化物(例如,氧氮化硅)形成。

[0055] 第一连接接触塞131a可以穿透第三层间绝缘层130,以便连接到第一导电图案121a。第二连接接触塞131b可以穿透第三层间绝缘层130,以便连接到第二导电图案121b。第三连接接触塞135可以穿透第三层间绝缘层130,以便连接到第五导电图案125。

[0056] 此外,位线BL以及第一自旋轨道矩图案SOTa和第二自旋轨道矩图案SOTb可以在第三层间绝缘层130上延伸。如图所示,位线BL可以在与有源区域ACT的纵轴方向平行的第二方向D2上延伸。位线BL可以连接到第三连接接触塞135。换句话说,位线BL可以通过第三连接接触塞135、第五导电图案125和第五下塞115连接到第三公共掺杂区域CSDc。

[0057] 第一自旋轨道矩图案SOTa和第二自旋轨道矩图案SOTb可以分别连接到第一磁隧道结图案MTJa和第二磁隧道结图案MTJb。第一自旋轨道矩图案SOTa和第二自旋轨道矩图案SOTb可以分别邻近于或接触第一磁隧道结图案MTJa和第二磁隧道结图案MTJb的自由磁图案。第一自旋轨道矩图案SOTa和第二自旋轨道矩图案SOTb中的每一个可以具有在第二方向

D2上的纵轴。

[0058] 第一自旋轨道矩图案SOTa可以连接到第一连接接触塞131a和第一磁隧道结图案MTJa。第二自旋轨道矩图案SOTb可以连接到第二连接接触塞131b和第二磁隧道结图案MTJb。换句话说,第一自旋轨道矩图案SOTa可以接触第一连接接触塞131a的顶表面和第一磁隧道结图案MTJa的顶表面。第二自旋轨道矩图案SOTb可以接触第二连接接触塞131b的顶表面和第二磁隧道结图案MTJb的顶表面。

[0059] 第四层间绝缘层140可以在第三层间绝缘层130上延伸。第四层间绝缘层140可以覆盖第一自旋轨道矩图案SOTa和第二自旋轨道矩图案SOTb以及位线BL。第四层间绝缘层140可以由氧化物(例如,氧化硅)、氮化物(例如,氮化硅)和/或氧氮化物(例如,氧氮化硅)形成。第一上塞(upper plug)141a和第二上塞141b还可以穿透第四层间绝缘层140,以便分别连接到第一自旋轨道矩图案SOTa和第二自旋轨道矩图案SOTb。

[0060] 在第二方向D2上延伸的源极线SL可以在第四层间绝缘层140上延伸。源极线SL可以共同连接到第一上塞141a和第二上塞141b。源极线SL可以通过第一上塞141a和第二上塞141b共同电性连接到第一自旋轨道矩图案SOTa和第二自旋轨道矩图案SOTb。

[0061] 图6是示出根据本发明构思的一些实施例的半导体存储器设备的单元阵列的电路图。参考图6,单元阵列可以包括多个写入字线WWL0、WWL1、WWL2和WWL3、多个读取字线RWL0、RWL1、RWL2和RWL3、多个位线BL0、BL1和BL2、多个源极线SL0、SL1和SL2、以及存储器单元MC。

[0062] 存储器单元MC可以沿多个行和多个列排列。每行的存储器单元MC可以连接到读取字线RWL0至RWL3和写入字线WWL0至WWL3当中的一对读取字线和写入字线。每列的存储器单元MC可以连接到源极线SL0至SL2和位线BL0至BL2当中的一对源极线和位线。每个存储器单元MC可以包括如上文参考图1描述的磁隧道结图案MTJ、自旋轨道矩图案SOT、以及读入晶体管和写入晶体管M1和M2。

[0063] 每行的存储器单元MC的读取晶体管M1可以共同连接到读取字线RWL0至RWL3中的对应一个,并且每行的存储器单元MC的写入晶体管M2可以共同连接到写入字线WWL0至WWL3中的对应一个。每列的存储器单元MC的自旋轨道矩图案SOT可以共同连接到源极线SL0至SL2中的对应一个,并且每列的存储器单元MC的读取晶体管M1可以共同连接到位线BL0至BL2中的对应一个。

[0064] 图7是示出根据本发明构思的一些实施例的半导体存储器设备的单元阵列的平面图。参考图7,半导体衬底100可以包括由设备隔离层101限定的多个有源区域ACT1、ACT2、ACT3和ACT4,并且有源区域ACT1、ACT2、ACT3和ACT4可以在第一方向D1和第二方向D2上彼此相交地排列。例如,半导体衬底100可以分别包括第一有源区域ACT1、第二有源区域ACT2、第三有源区域ACT3和第四有源区域ACT4。第一有源区域ACT1和第二有源区域ACT2可以在第一方向D1上彼此隔开,并且第一有源区域ACT1和第三有源区域ACT3可以在第二方向D2上彼此隔开。第三有源区域ACT3和第四有源区域ACT4可以在第一方向D1上彼此隔开。在一些实施例中,两个存储器单元可以被设置在有源区域ACT1至ACT4中的每一个上。此外,第一写入字线WWL0和第二写入字线WWL1以及第一读取字线RWL0和第二读取字线RWL1可以与第一有源区域ACT1和第二有源区域ACT2相交,并且第三写入字线WWL2和第四写入字线WWL3以及第三读取字线RWL2和第四读取字线RWL3可以与第三有源区域ACT3和第四有源区域ACT4相交。

[0065] 如上文参考图3、4和5描述的,第一掺杂区域SDa和第二掺杂区域SDb以及第一公共

掺杂区域CSDa、第二公共掺杂区域CSDb和第三公共掺杂区域CSDc可以被设置在第一有源区域至第四有源区域ACT1、ACT2、ACT3和ACT4中的每一个中。第一磁隧道结图案MTJa和第二磁隧道结图案MTJb以及第一自旋轨道矩图案SOTa和第二自旋轨道矩图案SOTb可以被设置在第一有源区域至第四有源区域ACT1、ACT2、ACT3和ACT4中的每一个上。第一磁隧道结图案MTJa和第二磁隧道结图案MTJb以及第一自旋轨道矩图案SOTa和第二自旋轨道矩图案SOTb可以与上文参考图3、4和5描述的基本上相同。

[0066] 第一位线BL0和第一源极线SL0可以与第一有源区域ACT1和第三有源区域ACT3相交,并且第二位线BL1和第二源极线SL1可以与第二有源区域ACT2和第四有源区域ACT4相交。如图所示,第一位线BL0可以共同连接到第一有源区域ACT1和第三有源区域ACT3的第三公共掺杂区域CSDc,并且第二位线BL1可以共同连接到第二有源区域ACT2和第四有源区域ACT4的第三公共掺杂区域CSDc。

[0067] 第一源极线SL0可以共同连接到设置在第一有源区域ACT1和第三有源区域ACT3上的第一自旋轨道矩图案SOTa和第二自旋轨道矩图案SOTb。第二源极线SL1可以共同连接到第二有源区域ACT2和第四有源区域ACT4上的第一自旋轨道矩图案SOTa和第二自旋轨道矩图案SOTb。

[0068] 在第一有源区域至第四有源区域ACT1、ACT2、ACT3和ACT4中的每一个上,第一磁隧道结图案MTJa和第一自旋轨道矩图案SOTa以及第二磁隧道结图案MTJb和第二自旋轨道矩图案SOTb可以相对于第三公共掺杂区域CSDc镜像对称。

[0069] 图8A和8B是用于解释根据本发明构思的一些实施例的存储器单元的读取操作的图。参考图8A和图8B,在存储器单元的读取操作中,读取电压 V_R 可以被施加到选定的位线BL,并且接地电压VSS可以被施加到源极线SL。此后,字线电压 V_{WL} 可以被施加到读取字线RWL,以检查磁隧道结图案MTJ的电阻状态,因此,读取晶体管M1可以导通。字线电压 V_{WL} 可以是大于读取晶体管M1的阈值电压的电压。在读取操作中,接地电压VSS可以被施加到写入字线WWL,因此,写入晶体管M2可以截止。

[0070] 在这些电压条件下,读取电流 I_R 可以从位线BL流向源极线SL。读取电流 I_R 可以流经自旋轨道矩图案SOT和磁隧道结图案MTJ的部分。读取电流 I_R 可以在基本上垂直于自旋轨道矩图案SOT和磁隧道结图案MTJ的界面的方向上流经磁隧道结图案MTJ。

[0071] 磁隧道结图案MTJ的电阻状态(例如,高电阻状态或低电阻状态)可以由读取电流 I_R 检测。例如,当自由磁图案FL的磁化方向与钉扎磁图案PL的磁化方向平行时,磁隧道结图案MTJ可以处于第一电阻状态(例如,低电阻状态)R1。当自由磁图案FL的磁化方向与钉扎磁图案PL的磁化方向反平行时,磁隧道结图案MTJ可以处于第二电阻状态(例如,高电阻状态)R2。存储在磁隧道结图案MTJ中的数据(0或1)可以根据磁隧道结图案MTJ的电阻状态来检测。

[0072] 图9A和9B是用于解释根据本发明构思的一些实施例的存储器单元的写入操作的图。参考图9A和9B,为了在存储器单元中写入第一数据(例如,0),字线电压 V_{WL} 可以被施加到读取字线RWL和写入字线WWL。读取晶体管M1和写入晶体管M2可以通过施加字线电压 V_{WL} 来导通。第一写入电压 V_{W1} 可以被施加到源极线SL,并且接地电压VSS可以被施加到位线BL。

[0073] 在一些实施例中,读取晶体管M1可以在读取操作和写入操作期间通过字线电压 V_{WL} 来导通。换句话说,在读取操作和写入操作期间,读取晶体管M1可能总是导通。在这些电压

条件下,第一写入电流 I_{w1} 可以从源极线SL通过自旋轨道矩图案SOT流向写入晶体管M2的第一源极/漏极端子,同时,第一STT电流 I_{MTJ1} 可以在与磁隧道结图案MTJ的钉扎磁图案PL的磁化方向平行或反平行的方向上,从源极线SL通过磁隧道结图案MTJ流向位线BL。

[0074] 第一写入电流 I_{w1} 可以是向磁隧道结图案MTJ的自由磁图案FL施加自旋轨道矩的平面内电流。第一写入电流 I_{w1} 可以平行且邻近于自旋轨道矩图案SOT和磁隧道结图案MTJ的自由磁图案FL之间的界面流动。在第一写入电流 I_{w1} 流动的同时,自旋电流可以通过自旋霍尔效应和Rashba效应,在垂直于自旋轨道矩图案SOT和磁隧道结图案MTJ的自由磁图案FL之间的界面的方向上流动,因此,自旋轨道矩可以被应用于磁隧道结图案MTJ。磁隧道结图案MTJ的自由磁图案FL的磁化方向可以基于沿自旋轨道矩图案SOT的表面感应的第一写入电流 I_{w1} 的大小,被切换为与钉扎磁图案PL的磁化方向反平行(或平行)。在写入操作中,流经磁隧道结图案MTJ的第一STT电流 I_{MTJ1} 可以产生自旋转移矩(STT)效应,因此,写入操作中需要的电流可以减少。因此,写入操作中使用的能量可以减少。

[0075] 图10A和10B是用于解释根据本发明构思的一些实施例的存储器单元的写入操作的图。参考图10A和10B,为了在存储器单元中写入第二数据(例如,1),字线电压 V_{wl} 可以被施加到读取字线RWL和写入字线WWL。此外,接地电压VSS可以被施加到源极线SL,并且第二写入电压 V_{w2} 可以被施加到位线BL。在这些电压条件下,第二写入电流 I_{w2} 可以从写入晶体管M2的第一源极/漏极端子通过自旋轨道矩图案SOT流向源极线SL,同时,第二STT电流 I_{MTJ2} 可以从位线BL通过磁隧道结图案MTJ流向源极线SL。通过由第二写入电流 I_{w2} 生成的自旋轨道矩,自由磁图案FL的磁化方向可以被切换为与钉扎磁图案PL的磁化方向平行(或反平行)。

[0076] 根据本发明构思的实施例,邻近的两个存储器单元可以被设计为集成在单个有源区域上,并且共享三个公共掺杂区域。因此,半导体存储器设备的集成密度可以被改善。例如,在半导体存储器设备的写入操作期间,可以通过单位存储器单元中的SOT图案和磁隧道结图案提供写入电流,因此,能够减少切换自由磁图案的磁化方向所需的写入电流的大小。作为结果,半导体存储器设备的写入操作中的写入能量可以减少。

[0077] 此外,每个单位存储器单元中只有一个晶体管可以连接到位线,因此,位线的电容可以减少。换句话说,由于位线的电容减少,根据读取时间(即,位线的显影时间)的误码率(BER)可以被迅速改善,因此读取能量可以被改善。

[0078] 虽然已经具体展示和描述本发明构思的示例实施例,但是本领域普通技术人员可以理解,在不偏离所附的权利要求的精神和范围的情况下,可以对示例实施例进行形式和细节上的变化。

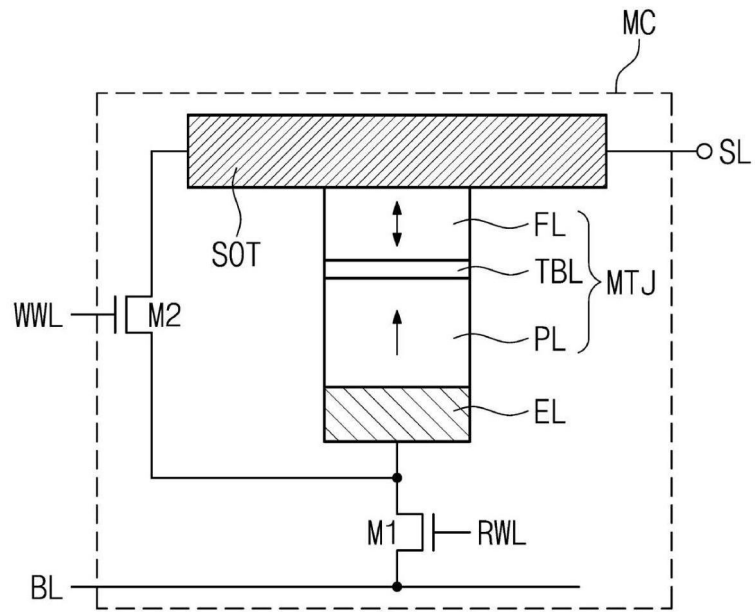


图1

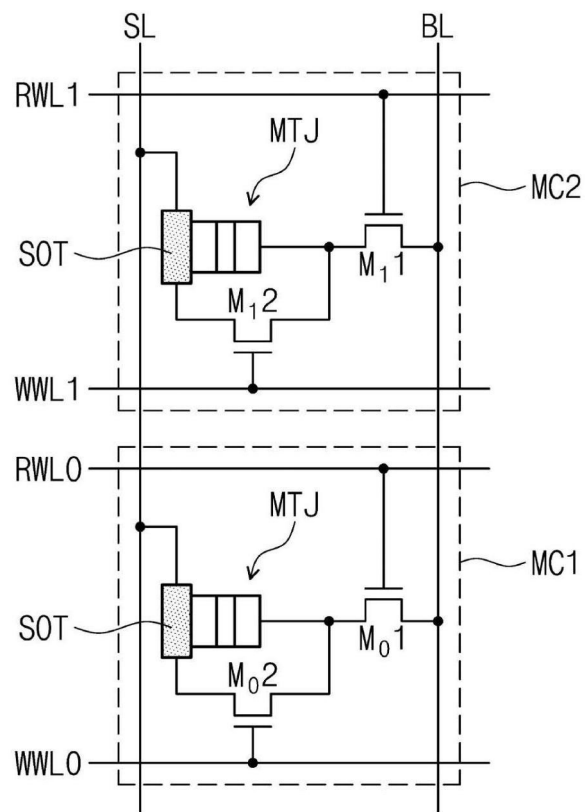


图2

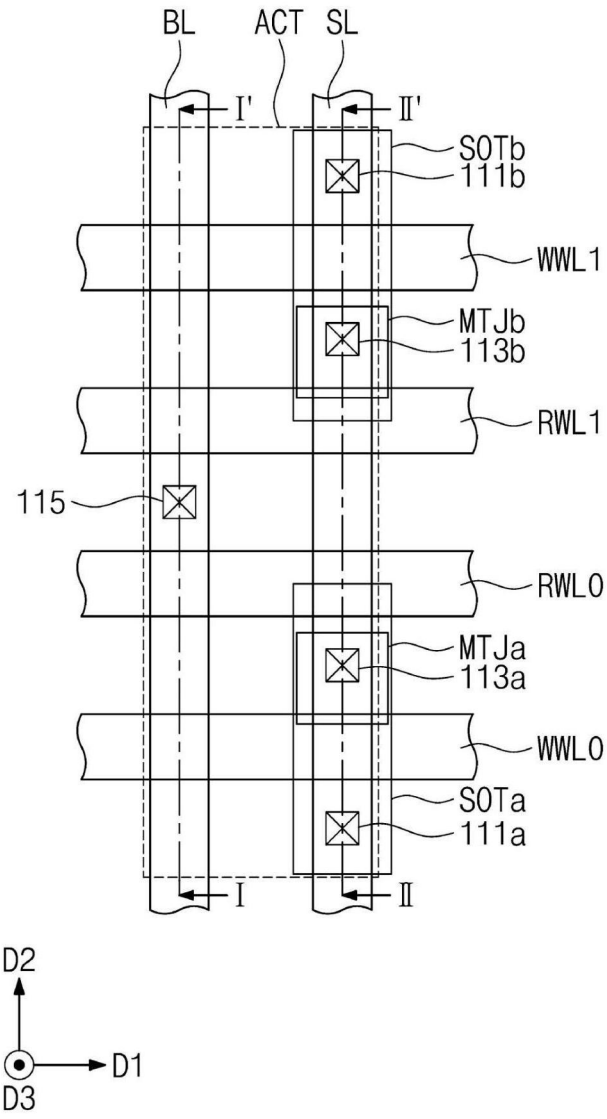


图3

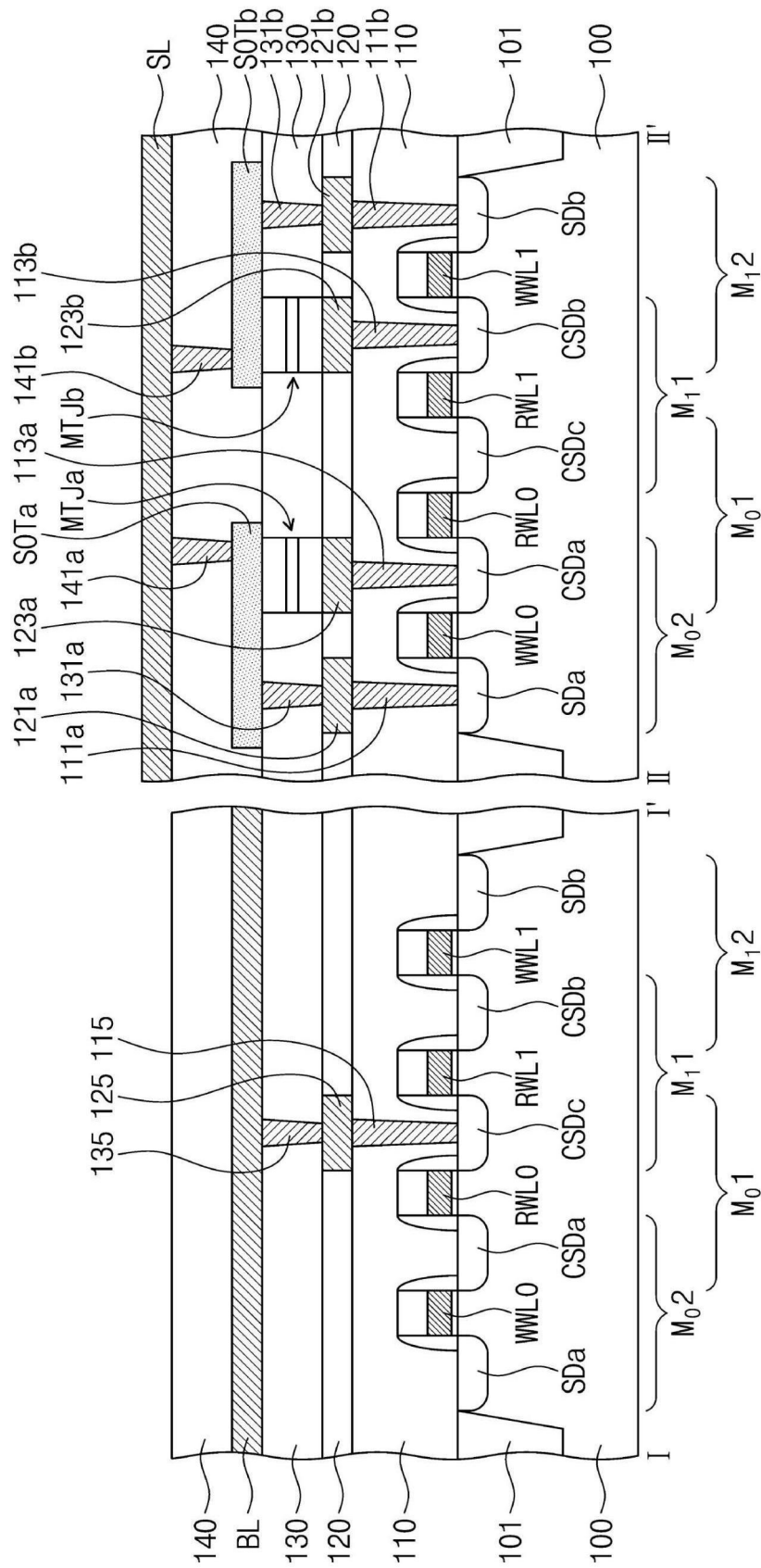


图4

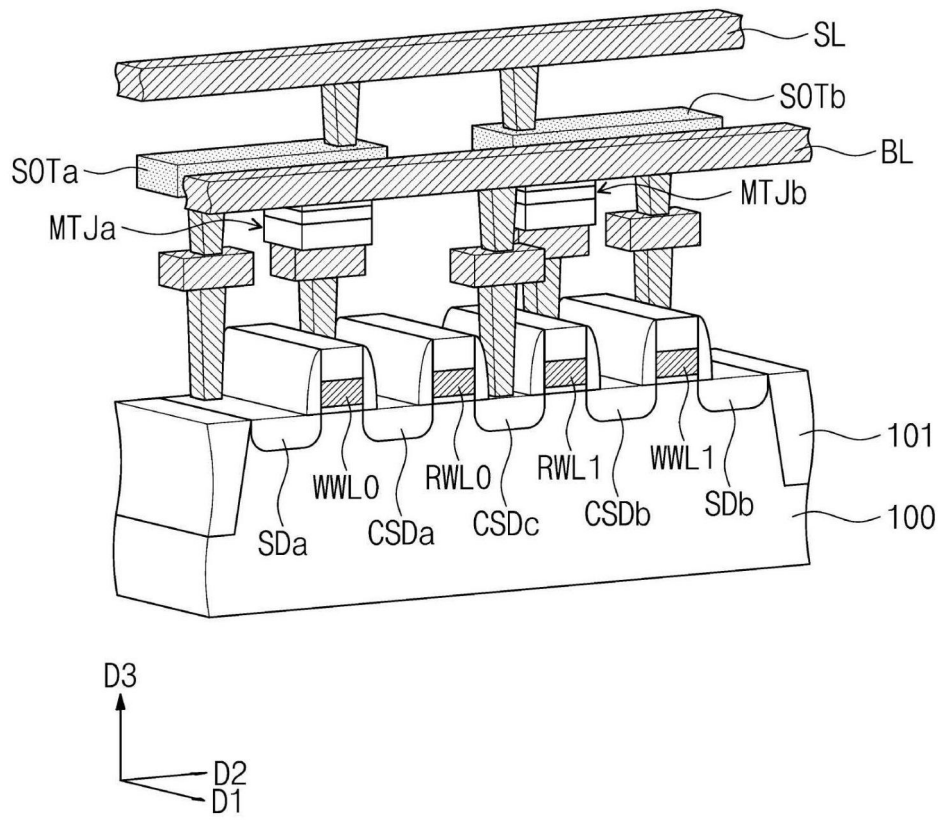


图5

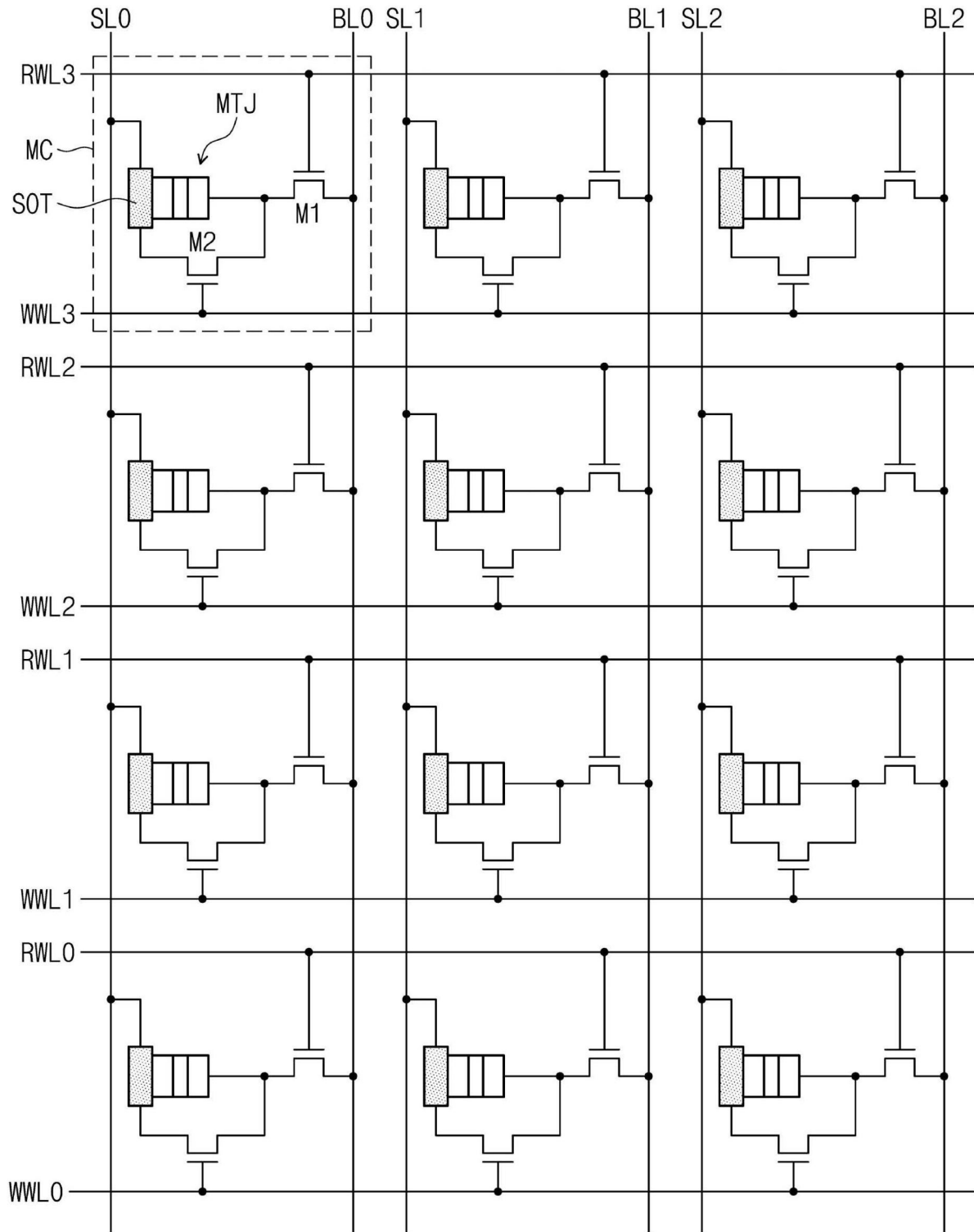


图6

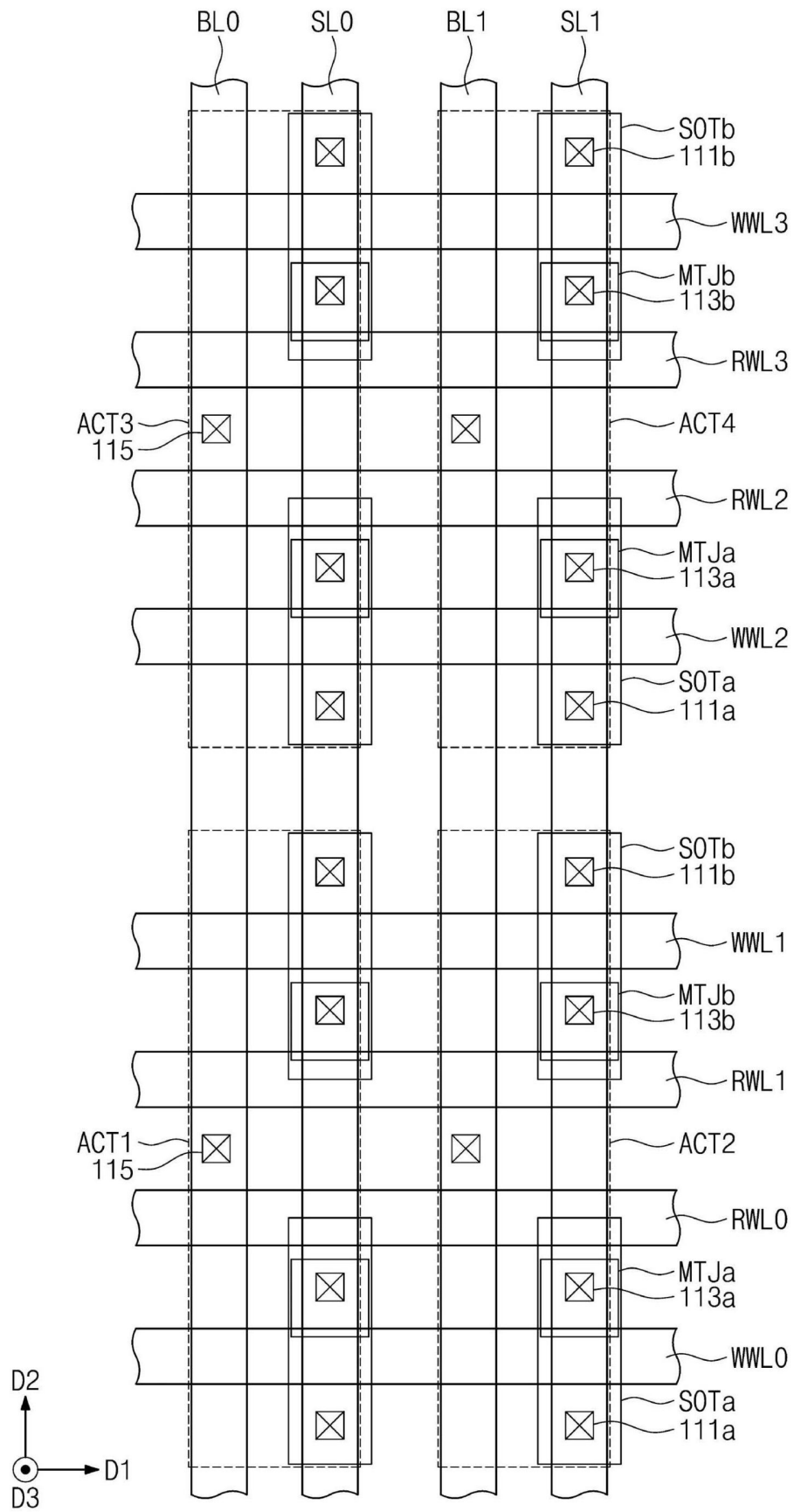


图7

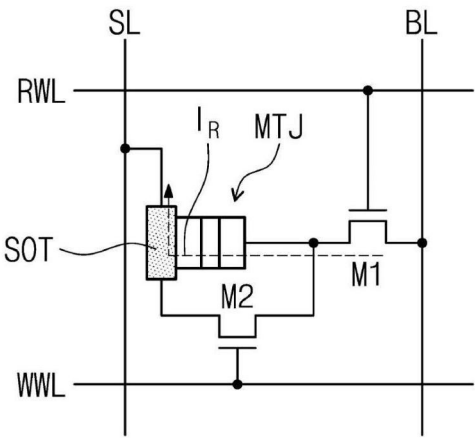


图8A

读取操作	
RWL	V_{WL}
WWL	VSS
BL	V_R
SL	VSS

图8B

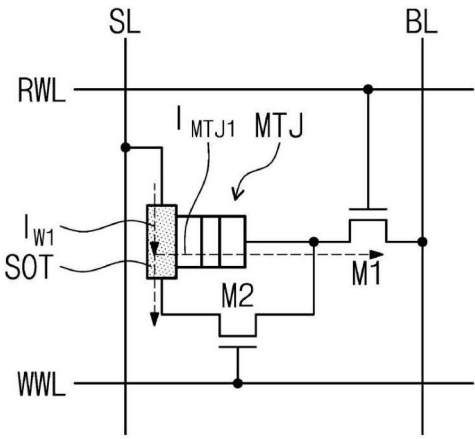


图9A

读取操作	
RWL	V_{WL}
WWL	V_{WL}
SL	V_{W1}
BL	VSS

图9B

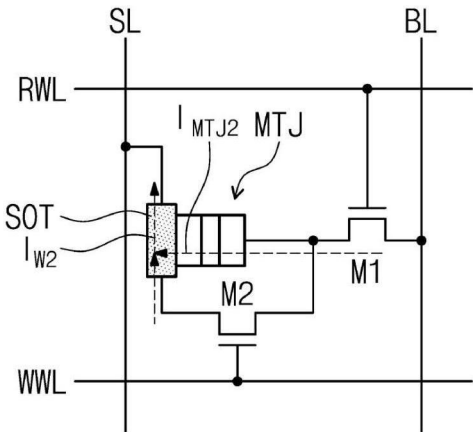


图10A

读取操作	
RWL	V_{WL}
WWL	V_{WL}
SL	VSS
BL	V_{W2}

图10B