



(12)发明专利申请

(10)申请公布号 CN 110118955 A

(43)申请公布日 2019. 08. 13

(21)申请号 201910346524.9

(22)申请日 2019.04.26

(71)申请人 西安电子科技大学

地址 710071 陕西省西安市雁塔区太白南路2号

(72)发明人 全英汇 刘智星 李亚超 邢孟道
张瑞 程远

(74)专利代理机构 陕西电子工业专利中心
61205

代理人 田文英 王品华

(51)Int.Cl.

G01S 7/02(2006.01)

G01S 7/41(2006.01)

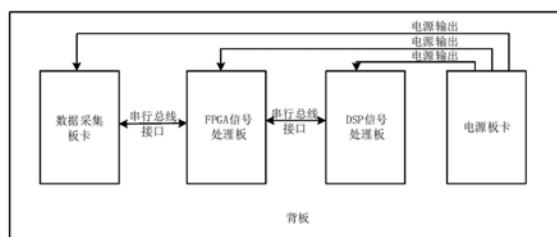
权利要求书2页 说明书4页 附图4页

(54)发明名称

基于MiniVPX的雷达信号采集处理装置

(57)摘要

一种基于MiniVPX的雷达信号采集处理装置,包括数据采集板卡、FPGA数据预处理板卡、DSP数据处理板卡、电源板卡和背板。各个板卡均采用MiniVPX总线架构。背板采用12个MiniVPX连接器。数据采集板卡通过背板的接口与FPGA数据预处理板卡连接,数据采集板卡通过高速串行总线接口与FPGA数据预处理板卡进行数据传输。DSP数据处理板卡通过背板的接口与FPGA数据预处理板卡连接,DSP数据处理板卡通过高速串行总线接口与FPGA数据预处理板卡进行数据传输。电源板卡的电源输出接口通过背板的接口与其余各个板卡连接。本发明体积小,灵活性和扩展性高,可应用于雷达信号处理系统中。



1. 一种基于MiniVPX的雷达信号采集处理装置,包括数据采集板卡、FPGA数据预处理板卡、DSP数据处理板卡、电源板卡和背板;其特征在于,所述各个板卡均采用MiniVPX总线架构;所述背板采用12个MiniVPX连接器;所述数据采集板卡通过背板的接口与FPGA数据预处理板卡连接,数据采集板卡通过高速串行总线接口与FPGA数据预处理板卡进行数据传输;所述DSP数据处理板卡通过背板的接口与FPGA数据预处理板卡连接,DSP数据处理板卡通过高速串行总线接口与FPGA数据预处理板卡进行数据传输;所述电源板卡的电源输出接口通过背板的接口与其余各个板卡连接。

2. 根据权利要求1所述的基于MiniVPX的雷达信号采集处理装置,其特征在于,所述数据采集板卡包含2片4通道500MSPS采样率的高速ADC采集芯片、1片多路时钟芯片、3个MiniVPX连接器、9个射频接口;所述第1个ADC采集芯片分别与第1个射频接口、第2个射频接口、第3个射频接口、第4个射频接口连接;所述第2个ADC采集芯片分别与第5个射频接口、第6个射频接口、第7个射频接口、第8个射频接口连接;所述多路时钟芯片的时钟输出接口分别与2片ADC采集芯片的时钟输入接口和第9个射频接口连接;所述MiniVPX连接器的标识分别为P0、P1和P2,P0与数据采集板卡的电源网络连接,P1与ADC采集芯片的高速串行总线接口连接,P2分别与ADC采集芯片的SPI接口和多路时钟芯片的SPI接口连接。

3. 根据权利要求1所述的基于MiniVPX的雷达信号采集处理装置,其特征在于,所述FPGA数据预处理板卡包含1片FPGA芯片、1片多路时钟芯片、4片DDR3 SDRAM芯片、1片4位并行LVDS接口芯片、1片16位电平转换芯片、1片Flash芯片、3个MiniVPX连接器、2个矩形连接器;所述多路时钟芯片的SPI接口与FPGA芯片的GPIO接口连接,多路时钟芯片的时钟输出接口与FPGA芯片高速时钟输入接口连接;所述DDR3 SDRAM芯片与FPGA芯片的GPIO接口连接;所述4位并行LVDS接口芯片分别与FPGA芯片的GPIO接口和第1个矩形连接器连接;所述16位电平转换芯片分别与FPGA芯片的GPIO接口和第2个矩形连接器连接;所述Flash芯片与FPGA芯片连接;所述MiniVPX连接器的标识分别为P3、P4和P5,P3与FPGA数据预处理板卡的电源网络连接,P4与FPGA芯片的高速串行总线接口连接,P5与FPGA芯片的GPIO接口连接。

4. 根据权利要求1所述的基于MiniVPX的雷达信号采集处理装置,其特征在于,所述DSP数据处理板卡包含2片高性能的多核DSP芯片,标识为DSP1芯片和DSP2芯片、1片FPGA芯片、2片多路时钟芯片、4片DDR3 SDRAM芯片、2片半双工串口收发器RS485芯片、2片全双工串口收发器RS422芯片、1片以太网物理层芯片、3片Flash芯片、3个MiniVPX连接器、2个矩形连接器;所述DSP数据处理板卡中的DSP1芯片与以太网物理层芯片连接,DSP1芯片和DSP2芯片分别与FPGA芯片通过EMIF总线接口连接,DSP1芯片和DSP2芯片之间通过高速总线接口连接;所述2片DDR3 SDRAM芯片与DSP1芯片连接,2片DDR3 SDRAM芯片与DSP2芯片连接;所述多路时钟芯片的SPI接口与FPGA芯片的GPIO接口连接,多路时钟芯片的时钟输出接口分别与FPGA芯片,DSP1芯片和DSP2芯片的高速时钟输入接口连接;所述半双工串口收发器RS485芯片分别与FPGA芯片的GPIO接口和第3个矩形连接器连接;所述全双工串口收发器RS422芯片分别与FPGA芯片的GPIO接口和第4个矩形连接器连接;所述DSP1芯片,DSP2芯片和FPGA芯片分别与1片Flash芯片连接;所述MiniVPX连接器的标识分别为P6、P7和P8,P6与DSP数据处理板卡的电源网络连接,P7分别与DSP1芯片的高速串行总线接口和以太网物理层芯片连接,P8分别与FPGA芯片的GPIO接口和DSP2芯片的高速串行总线接口连接。

5. 根据权利要求1所述的基于MiniVPX的雷达信号采集处理装置,其特征在于,所述电

源板卡包含3片电源芯片和3个MiniVPX连接器;所述MiniVPX连接器的标识分别为P9,P10和P11,P9与各个电源芯片的输入接口连接,P10与第1个电源芯片的电源输出接口连接,P11分别与第2个电源芯片和第3个电源芯片的电源输出接口连接。

6.根据权利要求1所述的基于MiniVPX的雷达信号采集处理装置,其特征在于,所述背板包含1个以太网接口、1个矩形连接器和12个MiniVPX连接器;第1个MiniVPX连接器与第11个MiniVPX连接器连接,第5个MiniVPX连接器分别与第2个MiniVPX连接器、第8个MiniVPX连接器和第9个MiniVPX连接器连接,第6个MiniVPX连接器分别与第3个MiniVPX连接器和第9个MiniVPX连接器连接,第12个MiniVPX连接器分别与第4个MiniVPX连接器和第7个MiniVPX连接器连接;所述以太网接口和第8个MiniVPX连接器连接;所述矩形连接器与第10个MiniVPX连接器连接。

7.根据权利要求1所述的基于MiniVPX的雷达信号采集处理装置,其特征在于,所述基于MiniVPX的雷达信号采集处理装置中的各个板卡安装于MiniVPX总线架构的机箱内,各个板卡安装散热冷板;所述基于MiniVPX的雷达信号采集处理装置的顶部安装散热风扇,背板的电源输入接口采用矩形连接器与外部电源连接;所述基于MiniVPX的雷达信号采集处理装置中的背板采用以太网接口与上位机的以太网接口连接。

基于MiniVPX的雷达信号采集处理装置

技术领域

[0001] 本发明属于信号处理技术领域,更进一步涉及雷达信号处理技术领域中的一种基于小型高速总线规范Minimum VPX的雷达信号采集处理装置。本发明通过应用于雷达信号处理系统中,实现对雷达回波数据的实时采集和处理。

背景技术

[0002] 随着信号处理技术的不断发展,雷达信号处理系统逐渐趋于集成化、模块化以及功能多样化,尤其在空间资源受限的应用平台,要求雷达信号处理系统的集成度更高、体积更小。但是,目前用于雷达系统中的信号处理装置大多数是基于VPX总线架构实现的,其最大缺点就是系统的体积大,集成度低,难以应用于空间资源受限的平台。

[0003] 湖北航天技术研究院总体设计所在其提出的专利申请文献“基于VPX平台的雷达信号处理系统及应用软件设计方法”(专利申请号201710323773.7,公开号CN 107167773 A)中公开了一种基于VPX平台的雷达信号处理系统。该系统利用基于VPX总线架构的通用加固计算机来构建雷达信号处理系统,包括混合通信板和通用信号处理板,混合通信板集成多通道模数转换(Analog to Digital Converter,ADC)芯片和现场可编程门阵列(Field Programmable Gate Array,FPGA)处理器,用于调频波形控制、信号采集及相应的信号预处理工作,并进行雷达工作时序控制。通用信号处理板集成多片多核数字信号处理(Digital Signal Processing,DSP)芯片实现高性能计算。但是,该系统仍然存在的不足之处是,由于采用VPX总线架构,导致雷达信号处理系统中各个板卡的尺寸大,从而导致整个系统集成度低,体积庞大。

[0004] 深圳大学在其申请的专利文献“毫米波雷达信号处理装置及方法”(专利申请号201810896854.0,公开号CN 109061595 A)中公开了一种毫米波雷达信号处理装置。该装置采用单块电路板进行雷达信号处理装置设计,包含数字信号处理芯片,FPGA芯片,接口组,显示单元以及信号采集单元,数字信号处理芯片与FPGA芯片通过接口组连接,信号采集单元,用于采集雷达实时信号,FPGA芯片,用于接收数字信号,数字信号处理对接收的数字信号进行处理和解算,并输出至显示单元。该装置存在的不足之处是,由于该装置的所有模块均设计在一块电路板上,使得雷达信号处理装置的功能单一,从而导致整个装置的灵活性和扩展性不高。

发明内容

[0005] 本发明的目的是针对上述已有技术的不足,提出一种基于MiniVPX的雷达信号采集处理装置,解决雷达信号处理系统体积庞大,集成度低,灵活性和扩展性差的问题。

[0006] 实现上述目的的思路是,为雷达信号处理系统提供一种小型化的雷达信号采集处理装置,并且提出一种新的电路连接结构,使得雷达信号处理系统所需的数据采集,数据预处理以及数据处理等功能的板卡均采用MiniVPX总线架构,从而使得雷达信号采集处理装置可以应用于空间资源受限的雷达信号处理系统中。

[0007] 本发明包括数据采集板卡、FPGA数据预处理板卡、DSP数据处理板卡、电源板卡和背板；所述各个板卡均采用MiniVPX总线架构；所述背板采用12个MiniVPX连接器；所述数据采集板卡通过背板的接口与FPGA数据预处理板卡连接，数据采集板卡通过高速串行总线接口与FPGA数据预处理板卡进行数据传输；所述DSP数据处理板卡通过背板的接口与FPGA数据预处理板卡连接，DSP数据处理板卡通过高速串行总线接口与FPGA数据预处理板卡进行数据传输；所述电源板卡的电源输出接口通过背板的接口与其余各个板卡连接。

[0008] 本发明与现有技术相比具有如下优点：

[0009] 第一，由于本发明采用MiniVPX总线架构，解决了现有技术采用VPX总线架构导致的集成度低，体积庞大的缺点，由此使得本发明的体积更小，带来雷达信号处理系统的集成度更高。

[0010] 第二，由于本发明采用多个MiniVPX总线架构的板卡，解决了现有技术雷达信号处理装置采用一块电路板导致的灵活性不强，扩展性不高的缺点，由此使得本发明可以提高雷达信号处理系统的灵活性和扩展性。

附图说明

[0011] 图1是本发明的结构示意图；

[0012] 图2是本发明数据采集板卡的结构示意图；

[0013] 图3是本发明FPGA数据预处理板卡的结构示意图；

[0014] 图4是本发明DSP数据处理板卡的结构示意图；

[0015] 图5是本发明电源板卡的结构示意图；

[0016] 图6是本发明背板的结构示意图；

[0017] 图7是本发明硬件平台的结构示意图。

具体实施方案

[0018] 下面结合附图对本发明做进一步的描述。

[0019] 参照附图1所示，对本发明的结构做进一步的描述。

[0020] 本发明包括数据采集板卡、FPGA数据预处理板卡、DSP数据处理板卡、电源板卡和背板。所述各个板卡均采用MiniVPX总线架构；所述背板采用12个MiniVPX连接器；所述数据采集板卡通过背板的接口与FPGA数据预处理板卡连接，数据采集板卡通过高速串行总线接口与FPGA数据预处理板卡进行数据传输；所述DSP数据处理板卡通过背板的接口与FPGA数据预处理板卡连接，DSP数据处理板卡通过高速串行总线接口与FPGA数据预处理板卡进行数据传输；所述电源板卡的电源输出接口通过背板的接口与其余各个板卡连接。

[0021] 参照附图2所示，对本发明的数据采集板卡做进一步的描述。

[0022] 数据采集板卡包含2片高速ADC采集芯片、1片多路时钟芯片、3个MiniVPX连接器；所述ADC采集芯片采用亚德诺公司 (Analog Devices, ADI) 4通道500每秒采样百万次 (Million Samples per Second, MSPS) 采样率的AD9694采集芯片，第一个AD9694采集芯片的模拟输入分别与第1个射频接口、第2个射频接口、第3个射频接口、第4个射频接口连接；；所述第2个AD9694采集芯片分别与第5个射频接口、第6个射频接口、第7个射频接口、第8个射频接口连接；所述多路时钟芯片采用德州仪器 (Texas instruments, TI) 公司的LMK01010

多路时钟芯片,用于产生AD9694采集芯片工作所需的参考时钟,LMK01010多路时钟芯片的参考时钟输入与第9个射频接口连接,LMK01010多路时钟芯片的时钟输出与AD9694采集芯片的参考时钟输入接口连接;所述MiniVPX连接器的标识分别为P0、P1和P2,P0与数据采集板卡的电源网络连接,P1与ADC采集芯片的高速串行总线接口连接,并采用串行总线接口协议JESD204B来进行数据传输,P2分别与ADC采集芯片和多路时钟芯片的串行总线接口(Serial Peripheral Interface,SPI)接口连接。

[0023] 参照附图3所示,对本发明的FPGA数据预处理板卡做进一步的描述。

[0024] FPGA数据预处理板卡包含1片FPGA芯片、1片多路时钟芯片、4片双倍数据率同步动态随机存储器(Data Rate III Synchronous Dynamic Random Access Memory,DDR3 SDRAM)芯片、1片4位并行低压差分信号(Low-Voltage Differential Signaling,LVDS)接口芯片、1片16位电平转换芯片、1片闪存(Flash EEPROM Memory,Flash)芯片、3个MiniVPX连接器、2个矩形连接器;所述FPGA芯片采用赛灵思公司的高性能XC7VX690T芯片,用于数据的预处理;所述多路时钟芯片采用TI公司的低抖动时钟发生器CDCM6208芯片,用于产生FPGA芯片工作所需的高速参考时钟,多路时钟芯片的SPI接口与FPGA芯片的通用输入输出(General-Purpose input/output,GPIO)接口连接,多路时钟芯片的时钟输出接口与FPGA芯片高速时钟输入接口连接;所述DDR3 SDRAM采用镁光公司的MT41K256M16HA芯片,用于数据的缓存,DDR3 SDRAM芯片的接口与FPGA芯片的GPIO接口连接;所述4位并行LVDS接口芯片采用TI公司的DS90LV047A芯片,4位并行LVDS接口芯片分别与FPGA芯片的GPIO接口和矩形连接器连接;所述16位电平转换芯片选用TI公司的SN74LVCH16T245芯片,16位电平转换芯片分别与FPGA芯片的GPIO接口和矩形连接器连接;所述Flash芯片采用镁光公司的N25Q256A11ESF40芯片,Flash芯片与FPGA芯片连接,用于FPGA芯片程序的存储;所述MiniVPX连接器的标识分别为P3、P4和P5,P3与FPGA数据预处理板卡的电源网络连接,P4与FPGA芯片的高速串行总线接口连接,P5与FPGA芯片的GPIO接口连接;所述FPGA信号预处理板的矩形连接器均采用贵州航天电器的J63A矩形连接器。

[0025] 参照附图4所示,对本发明的DSP数据处理板卡做进一步的描述。

[0026] DSP数据处理板卡包含2片高性能的多核DSP芯片,标识为DSP1芯片和DSP2芯片、1片FPGA芯片、2片多路时钟芯片、4片DDR3SDRAM芯片、2片半双工串口收发器RS485芯片、2片全双工串口收发器RS422芯片、1片以太网物理层芯片、3片Flash芯片、3个MiniVPX连接器、2个矩形连接器;所述DSP芯片采用TI公司的TMS320C6678芯片,用于对FPGA信号预处理板卡处理后的数据进行进一步处理,所述DSP数据处理板卡中的DSP1芯片与以太网物理层芯片连接,DSP1芯片和DSP2芯片分别与FPGA芯片通过外部存储器接口(External Memory Interface,EMIF)总线接口连接,DSP1芯片和DSP2芯片之间通过高速串行接口Hyperlink来完成数据传输;所述DDR3SDRAM采用镁光公司的MT41K256M16HA芯片,2片DDR3SDRAM芯片与DSP1芯片连接,2片DDR3SDRAM芯片与DSP2芯片连接;所述多路时钟芯片采用TI公司的低抖动时钟发生器CDCM6208芯片,多路时钟芯片的SPI接口与FPGA芯片的GPIO接口连接,用于配置多路时钟芯片的时钟输出,多路时钟芯片的时钟输出接口分别与FPGA芯片,DSP1芯片和DSP2芯片的高速时钟输入接口连接,为各个芯片的高速接口提供高速参考时钟;所述半双工串口收发器RS485芯片选用TI公司的THVD1510芯片,该芯片分别与FPGA芯片的GPIO接口和矩形连接器连接;所述全双工串口收发器RS422芯片选用TI公司的DS26LS32芯片,该芯片

分别与FPGA芯片的GPIO接口和矩形连接器连接;所述DSP1芯片,DSP2芯片和FPGA芯片分别与1片镁光公司的Flash芯片N25Q256A11ESF40连接,用于各个芯片的程序存储;所述MiniVPX连接器的标识分别为P6、P7和P8,P6与DSP数据处理板卡的电源网络连接,P7分别与DSP1芯片的高速串行总线接口和以太网物理层芯片连接,P8分别与FPGA芯片的GPIO接口和DSP2芯片的高速串行总线接口连接;所述DSP数据处理板卡的矩形连接器均采用贵州航天电器的J63A矩形连接器。

[0027] 参照附图5所示,对本发明的电源板卡做进一步的描述。

[0028] 电源板卡包含3片电源芯片,所述电源芯片采用凌力尔特公司双输出18A稳压芯片LTM4630,用于将外部输入的电源电压转换成各个板卡所需的电源电压;所述MiniVPX连接器的标识分别为P9、P10和P11,P9与电源芯片的输入接口连接,P10与第1个电源芯片的电源输出接口连接,P11分别与第2个电源芯片和第3个电源芯片的电源输出接口连接。

[0029] 参照附图6所示,对本发明的背板做进一步的描述。

[0030] 背板包含1个以太网接口、1个矩形连接器和12个MiniVPX连接器;第1个MiniVPX连接器与第11个MiniVPX连接器连接,第5个MiniVPX连接器分别与第2个MiniVPX连接器、第8个MiniVPX连接器和第9个MiniVPX连接器连接,第6个MiniVPX连接器分别与第3个MiniVPX连接器和第9个MiniVPX连接器连接,第12个MiniVPX连接器分别与第4个MiniVPX连接器和第7个MiniVPX连接器连接;所述以太网接口和第8个MiniVPX连接器连接;所述矩形连接器与第10个MiniVPX连接器连接。

[0031] 参照附图7所示,对本发明的硬件平台做进一步的描述。

[0032] 基于MiniVPX的雷达信号采集处理装置中的各个板卡安装于MiniVPX总线架构的机箱内,各个板卡通过散热冷板来加固和导热;所述基于MiniVPX的雷达信号采集处理装置的顶部安装散热风扇,背板的电源输入接口采用贵州航天电器的J30J矩形连接器与外部电源连接;所述基于MiniVPX的雷达信号采集处理装置中的背板采用以太网接口与上位机的以太网接口连接,用于数据的传输。

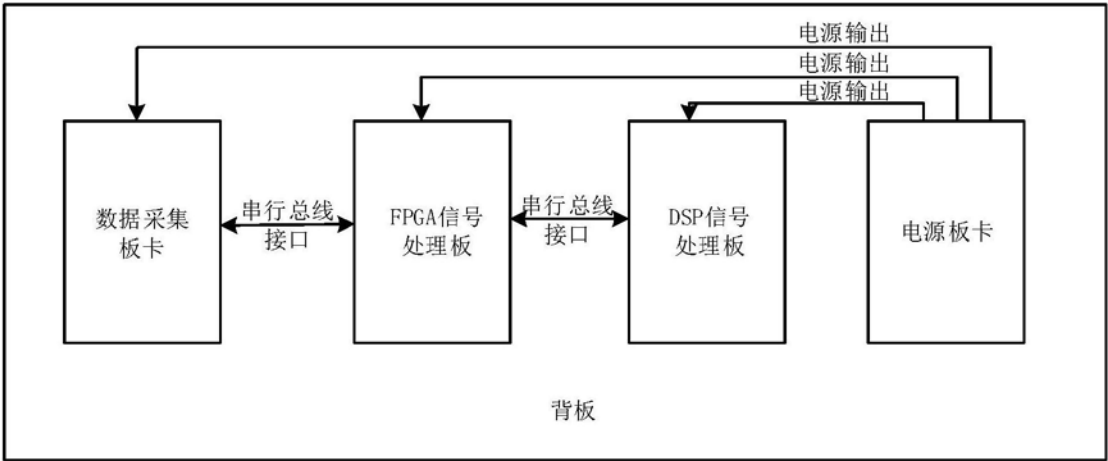


图1

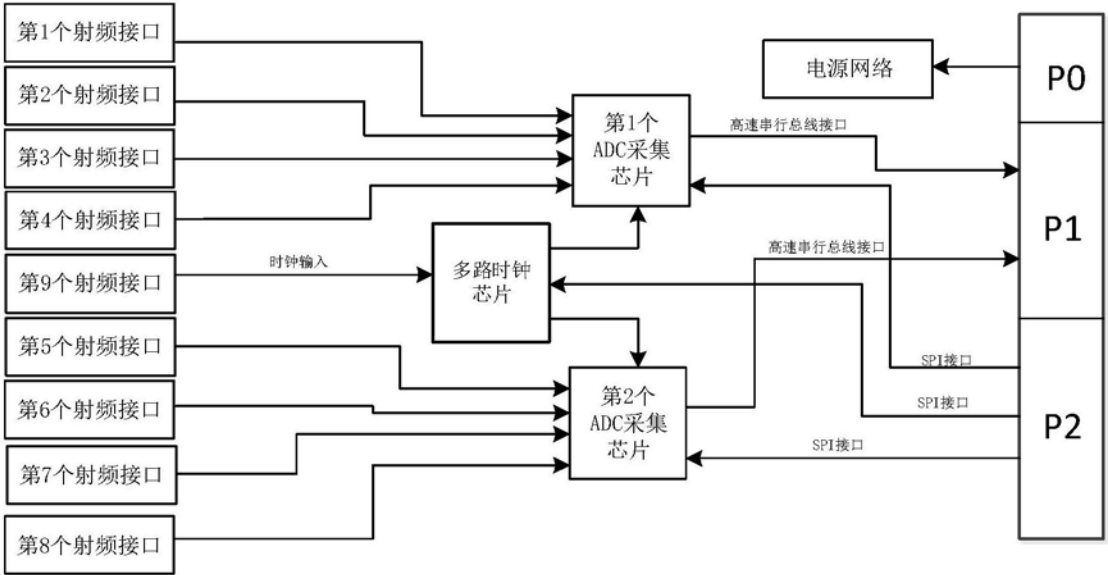


图2

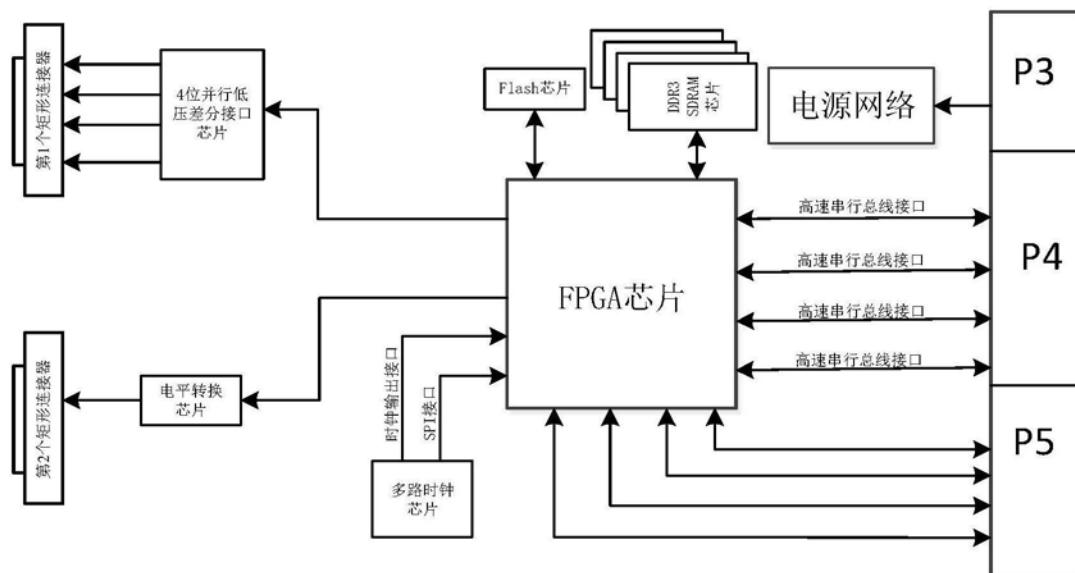


图3

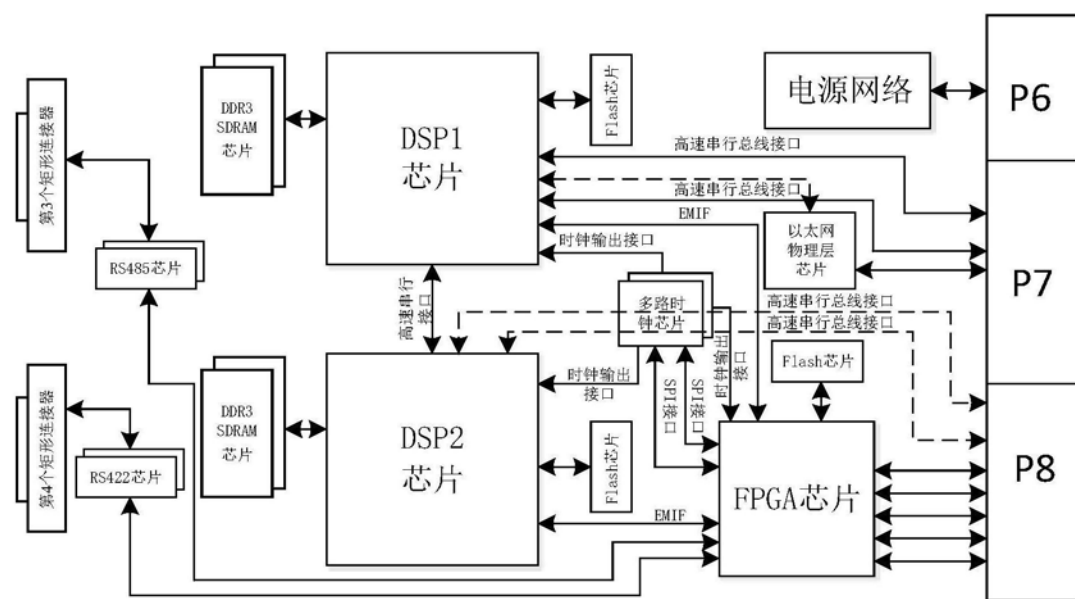


图4

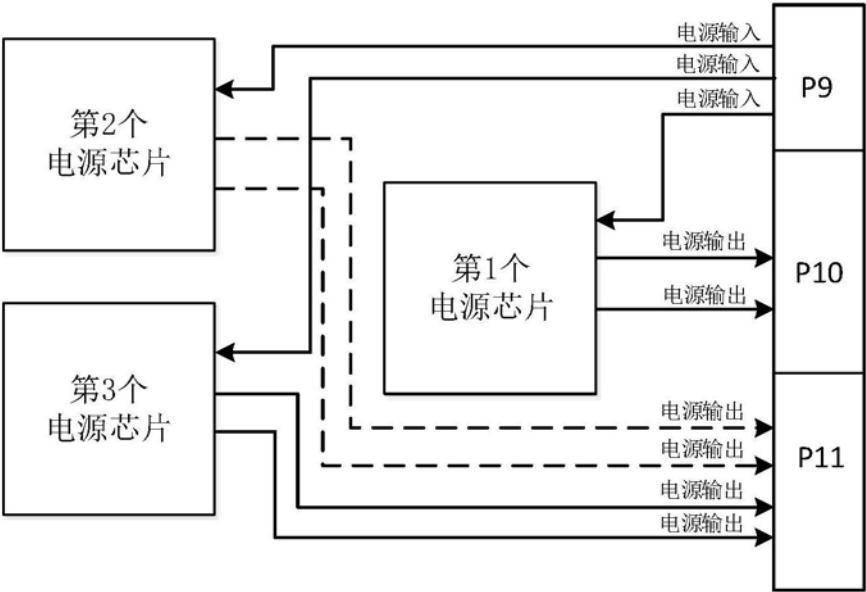


图5

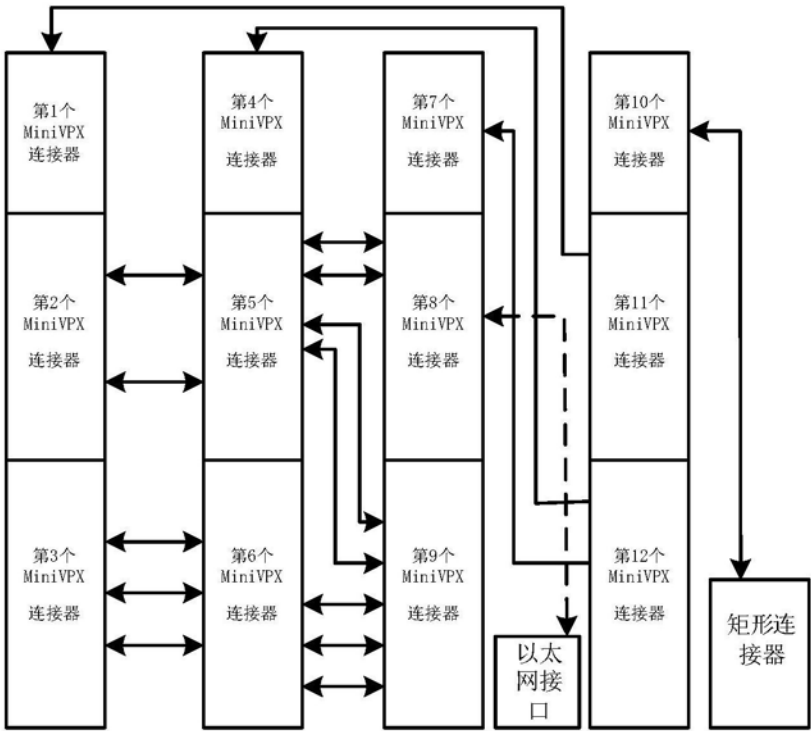


图6

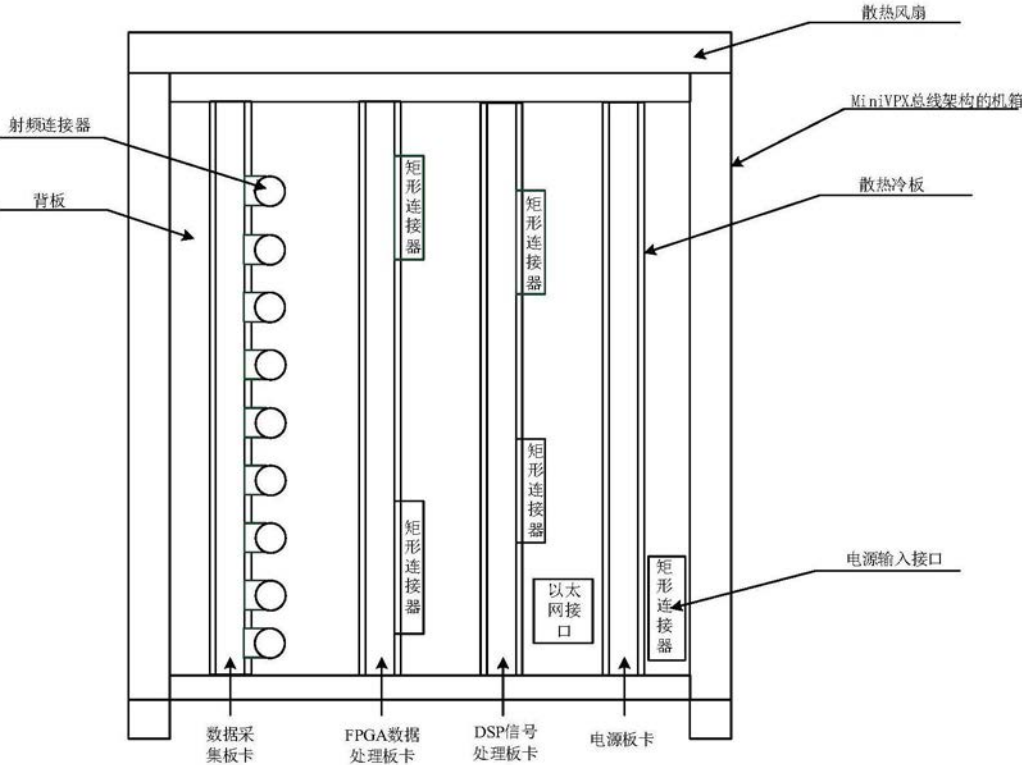


图7