(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년01월28일
(11) 등록번호 10-1011670
(24) 등록일자 2011년01월24일

(51) Int. Cl.
*G11C 16/34* (2006.01) *G11C 16/12* (2006.01)
*G11C 16/30* (2006.01)
(21) 출원번호 10-2009-0116586
(22) 출원일자 2009년11월30일
심사청구일자 2009년11월30일
(56) 선행기술조사문헌
KR100854871 B1

(73) 특허권자
**고려대학교 산학협력단**
서울 성북구 안암동5가 1
(72) 발명자
**김태근**
경기도 성남시 분당구 이매동 122 금강아파트 103-1301
**안호명**
서울시 송파구 풍납동 277-5번지 202호
(74) 대리인
**특허법인주원**

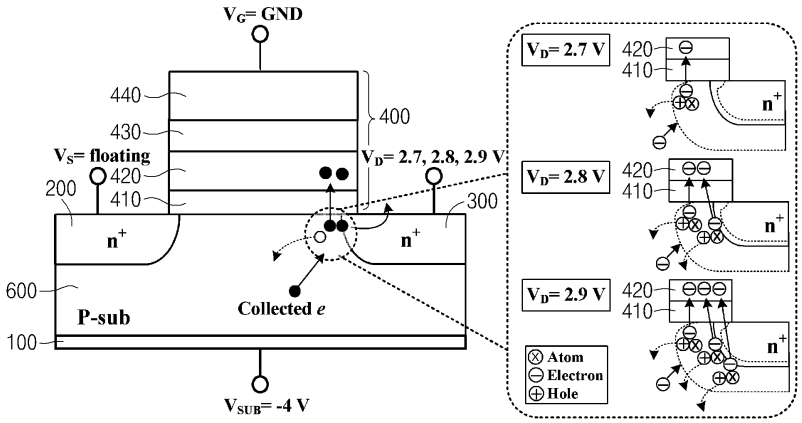
전체 청구항 수 : 총 7 항 심사관 : 윤진훈

## (54) 비휘발성 메모리 소자의 프로그램 방법

*(57) 요 약*

본 발명은 비휘발성 메모리 소자의 프로그램 방법을 공개한다. 본 발명은 PN 접합에 있어서, 인가되는 역방향 바이어스 전압의 작은 변화에도 큰 전류의 변화가 발생하는 항복 전압 부근의 바이어스 전압을 게이트-드레인(또는 소오스) 접합에 인가하여 게이트로부터 드레인 영역으로 유입되는 고속의 전하들 중 전하 포획층으로 유입된 일부 전하들을 포획하여 프로그램을 수행함으로써, 종래의 프로그램 방식보다 저전력으로 고속의 프로그램을 수행할 수 있다. 특히, 본 발명은 항복 전압 부근의 바이어스 전압을 프로그램 전압으로 이용하므로, 바이어스 전압의 소량 증가만으로도 전하 포획층으로 유입되는 전하의 양을 크게 증가시킬 수 있다. 따라서, 드레인(또는 소오스) 영역에 인가되는 프로그램 전압을 크게 증가시키지 않고서도 전하 포획층으로 유입되는 전하량을 조절함으로써 고속의 멀티 레벨 프로그램이 가능하다. 또한, 본 발명은 드레인 영역에 인접한 전하 포획층 및 소오스 영역에 인접한 전하 포획층에 각각 국소적으로 전하를 주입함으로써 멀티 비트 프로그램이 가능하다.

*대 표 도* - 도2b



## 특허청구의 범위

### 청구항 1

전하를 포획하여 프로그램되는 전하 포획층이 포함된 반도체층이 기판위에 형성되고, 상기 반도체층의 양 옆에 소오스 영역 및 드레인 영역이 형성된 비휘발성 메모리 소자에 프로그램을 수행하는 방법으로서,

(a) 드레인 영역 또는 소오스 영역 중 선택된 어느 하나의 영역(선택영역)과 기판 간에, 상기 선택 영역과 기판 간의 항복 전압 이상의 역방향 바이어스 전압을 인가하는 단계; 및

(b) 상기 선택 영역과 상기 기판간의 접합면에서 발생된 고온 전하를 상기 전하 포획층으로 유입시켜 프로그램을 수행하는 단계를 포함하는 것을 특징으로 하는 프로그램 방법.

### 청구항 2

제 1 항에 있어서,

상기 전하 포획층에 포획된 전하의 양이 많을수록 상위 프로그램 레벨로 정의할 때,

상기 (a) 단계에서, 상기 선택 영역과 상기 기판간에 인가되는 역방향 바이어스 전압을 일정한 전위차만큼씩 증가시켜, 상기 전하 포획층에 유입되어 포획되는 전하량을 조절함으로써, 복수의 레벨을 프로그램하는 것을 특징으로 하는 프로그램 방법.

### 청구항 3

제 2 항에 있어서,

상기 (a) 단계에서 증가되는 일정한 전위차는 0.05V 내지 0.5V 인 것을 특징으로 하는 프로그램 방법.

### 청구항 4

제 2 항에 있어서, 상기 (a) 단계에서,

상기 선택 영역과 상기 기판간에 인가되는 역방향 바이어스 전압을 0.1V씩 증가시켜, 상기 전하 포획층에 유입되어 포획되는 전하량을 조절함으로써, 복수의 프로그램 레벨을 프로그램하는 것을 특징으로 하는 프로그램 방법.

### 청구항 5

제 1 항에 있어서,

상기 프로그램 시간 동안 게이트 전극은 접지되고, 상기 소오스 및 드레인 중 선택되지 않은 영역은 플로팅되는 것을 특징으로 하는 프로그램 방법.

### 청구항 6

제 1 항에 있어서,

상기 기판은 p 타입, 상기 소오스 및 드레인 영역은 n 타입인 것을 특징으로 하는 프로그램 방법.

### 청구항 7

제 6 항에 있어서,

상기 기판에는 음의 전압을 인가하고, 상기 선택 영역은 양의 전압을 인가하여 역방향 바이어스를 인가하는 것을 특징으로 하는 프로그램 방법.

## 명 세 서

### 발명의 상세한 설명

#### 기 술 분 야

[0001] 본 발명은 비휘발성 메모리 소자에 관한 것으로서, 보다 구체적으로는 비휘발성 메모리 소자의 프로그램 방법에 관한 것이다.

## 배 경 기 술

[0002] 최근 비휘발성 메모리 소자들에 있어서, 미세 공정 기술의 한계로 인하여, 메모리 집적도 및 메모리 속도 증가는 한계에 직면하고 있다. 이에 따라, 보다 좁은 폭의 미세 공정 기술을 이용하는 것 외에, 메모리 용량 및 메모리 속도를 증가시키는 방법들이 연구되고 있다.

[0003] 2000, 2, 28일에 출원된 쇼이치 카와무라(Shoichi Kawamura) 등에 의한 미국등록특허번호 6,670669호, "MULTIPLE-BIT NON-VOLATILE MEMORY UTILIZING NON-CONDUCTIVE CHARGE TRAPPING GATE"에는 절연성 트랩핑 게이트를 이용한 멀티-비트 동작형 비휘발성 메모리가 개시되어 있다.

[0004] 쇼이치 카와무라 등에 의한 비휘발성 메모리는, 평면형(planar-type) 트랜지스터 구조를 이용하기 때문에, 단채널 효과를 피하기 어렵다. 이에 따라 게이트 길이의 축소가 어려워지고, 그 결과 메모리의 집적도 향상이 제한된다는 문제가 있다.

[0005] 또한, 이 소자는 국소적으로 전하를 주입하기 위하여 고온 전하 주입(hot carrier injection) 방법을 사용하는데, 이 방식은 터널 산화막의 열화 현상을 유발하여 신뢰성에 악영향을 미치고, 구조적으로도 저장 공간이 혼재되면서 잡음 (Cross talk) 등 Second bit effect에 의한 문제를 안고 있다.

[0006] 또한, 통상적인 멀티비트 소자의 프로그램 방법은 고온 전하 주입을 사용하므로 터널 산화막의 열화 현상이 발생하여 신뢰성이 낮고, 국소적으로 주입된 전하가 측면 확산으로 인한 비트 1과 비트 2의 읽기 동작의 오류가 발생하는 문제점을 가지고 있다. 또한 높은 드레인 전압으로 인한 드레인 디스터브가 발생하는 문제점이 있다.

[0007] 또한, 멀티레벨 프로그램을 위해서는 문턱전압의 분포를 4개의 레벨로 분리하기가 매우 어렵고, 각 레벨의 문턱전압의 차이가 1 V 이상이어야 하는데, 이 차이에 해당하는 전자들을 주입하기 위해서는 게이트 혹은 드레인에 인가하는 전압이 높아지는 문제가 있다.

## 발명의 내용

### 해결 하고자하는 과제

[0008] 본 발명이 해결하고자 하는 과제는, 기존 비휘발성 메모리 소자 구조에 추가 공정을 적용하지 않고, 국소 트래핑, 저전압, 고속, 고성능, 고신뢰성의 멀티 레벨/멀티 비트 프로그램이 가능한 비휘발성 메모리 소자의 프로그램 방법을 제공하는 것이다.

### 과제 해결수단

[0009] 상술한 과제를 해결하기 위한 본 발명의 프로그램 방법은, 전하를 포획하여 프로그램되는 전하 포획층이 포함된 반도체층이 기판위에 형성되고, 반도체층의 양 옆에 소오스 영역 및 드레인 영역이 형성된 비휘발성 메모리 소자에 프로그램을 수행하는 방법으로서, (a) 드레인 영역 또는 소오스 영역 중 선택된 어느 하나의 영역(선택영역)과 기판 간에, 선택 영역과 기판간의 항복 전압 이상의 역방향 바이어스 전압을 인가하는 단계, 및 (b) 선택 영역과 기판간의 접합면에서 발생된 고온 전하를 전하 포획층으로 유입시켜 프로그램을 수행하는 단계를 포함한다.

[0010] 또한, 본 발명의 프로그램 방법은, 전하 포획층에 포획된 전하의 양이 많을수록 상위 프로그램 레벨로 정의할 때, 상술한 (a) 단계에서, 선택 영역과 기판간에 인가되는 역방향 바이어스 전압을 일정한 전위차만큼씩 증가시켜, 전하 포획층에 유입되어 포획되는 전하량을 조절함으로써, 복수의 레벨을 프로그램할 수 있다.

[0011] 또한, 상술한 (a) 단계에서 증가되는 일정한 전위차는 0.05V 내지 0.5V 인 것이 바람직하다.

[0012] 또한, 상술한 (a) 단계에서, 선택 영역과 기판간에 인가되는 역방향 바이어스 전압을 0.1V씩 증가시켜, 전하 포획층에 유입되어 포획되는 전하량을 조절함으로써, 복수의 프로그램 레벨을 프로그램할 수 있다.

[0013] 또한, 상술한 본 발명의 프로그램 방법에서, 프로그램 시간 동안 게이트 전극은 접지되고, 소오스 및 드레인 중 선택되지 않은 영역은 플로팅되는 것이 바람직하다.

[0014] 또한, 상술한 기판은 p 타입, 상술한 소오스 및 드레인 영역은 n 타입일 수 있고, 이 경우에, 기판에는 음의 전

압을 인가하고, 선택 영역은 양의 전압을 인가하여 역방향 바이어스를 인가할 수 있다.

## 효 과

[0015] 본 발명은 PN 접합에 있어서, 인가되는 역방향 바이어스 전압의 작은 변화에도 큰 전류의 변화가 발생하는 항복 전압 부근의 바이어스 전압을 게이트-드레인(또는 소오스) 접합에 인가하여 게이트로부터 드레인 영역으로 유입되는 고속의 전하들 중 전하 포획층으로 유입된 일부 전하들을 포획하여 프로그램을 수행함으로써, 종래의 프로그램 방식보다 저전력으로 고속의 프로그램을 수행할 수 있다.

[0016] 특히, 본 발명은 항복 전압 부근의 바이어스 전압을 프로그램 전압으로 이용하므로, 바이어스 전압의 소량 증가만으로도 전하 포획층으로 유입되는 전하의 양을 크게 증가시킬 수 있다. 따라서, 드레인(또는 소오스) 영역에 인가되는 프로그램 전압을 크게 증가시키지 않고서도 전하 포획층으로 유입되는 전하량을 조절함으로써 고속의 멀티 레벨 프로그램이 가능하다.

[0017] 또한, 본 발명은 드레인 영역에 인접한 전하 포획층 및 소오스 영역에 인접한 전하 포획층에 각각 국소적으로 전하를 주입함으로써 멀티 비트 프로그램이 가능하다.

## 발명의 실시를 위한 구체적인 내용

[0018] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 따른 프로그램 방법을 설명한다.

[0019] 도 1은 일반적인 PN접합에서의 전압 대 전류 특성을 도시하는 도면이다. 도 1을 참조하여 설명하면, 일반적인 PN 접합 다이오드의 경우에는 역방향 바이어스를 걸어주면 0(zero)에 가까운 아주 작은 크기의 포화전류(I0)가 흐르다가 소정 전압을 초과하는 전압이 인가되면 급격하게 전류가 증가한다. 이 때 급격하게 전류가 증가하기 시작하는 전압을 항복전압(breakdown voltage)이라고 하며, 항복 전압 부근에서는 적은 전압의 변화량으로도 큰 전류 변화를 발생시킬 수 있음은 익히 알려진 사실이다.

[0020] 본 발명은 이러한 사실에 착안하여, 기판과 드레인 또는 기판과 소오스 영역 사이에 항복 전압 부근의 역방향 바이어스 전압을 인가하고, 전압을 약간씩 변경하여 드레인 또는 소오스로 유입되는 전하량 및 전하 포획층에 주입되는 전류량을 조절함으로써 프로그램을 수행한다.

[0021] 도 2a 및 도 2b는 본 발명에서 프로그램될 수 있는 일반적인 비휘발성 메모리 소자의 구조와 프로그램 방식을 설명하는 도면이다. 본 발명의 멀티비트 프로그램 방법은 현재 이용되는 종래의 대부분의 비휘발성 메모리 소자에 적용이 가능하다. 따라서, 도 2a 및 도 2b에 도시된 비휘발성 메모리 소자의 구조는 본 발명의 프로그램 방법이 적용될 수 있는 다양한 구조의 비휘발성 메모리 소자의 일예를 도시한 것으로서, 본 발명은 도 2에 도시된 것 이외의 비휘발성 메모리 소자의 프로그램에도 적용될 수 있음을 주의하여야 한다.

[0022] 도 2a 및 도 2b에 도시된 비휘발성 메모리 소자는 기판(100) 위에 반도체층(400)이 형성되고, 반도체층(400)의 양 측면에 소오스 영역(200) 및 드레인 영역(300)이 형성된다.

[0023] 반도체층(400)은 실리콘 산화막 등으로 구현되는 터널 절연막(410), 기판(100)으로부터 유입된 전하를 포획하는 전하 포획층(420), 전하 포획층(420)에 포획된 전하가 게이트 전극층(440)으로 유출되는 것을 차단하는 블로킹 절연막(430), 및 게이트 전극층(440)이 차례로 형성된다. 또한, 터널 절연막(410) 좌측 및 우측의 기판 영역에는 소오스 영역(200) 및 드레인 영역(300)이 각각 형성되어 있다.

[0024] 전하 포획층(420) 중 드레인 영역(300)에 인접한 우측에 전하를 프로그램하는 방법을 설명하면, 드레인 영역(300)에 인접한 전하 포획층(420)에 전하를 프로그램하기 위해서는 먼저, 기판과 드레인 접합의 항복 전압을 파악해야 한다. 도 2a 및 도 2b에 도시된 예에서, P형 기판(100)과 N형 드레인 영역(300)간의 PN 접합 항복 전압은 약 6.7V로 측정되었다.

[0025] 한편, 전하 포획층(420)에 전하가 포획되지 않은 상태를 제 1 프로그램 레벨([11]이 프로그램된 상태)이라 정의한다.

[0026] 그 후, 제 2 프로그램 레벨([10]이 프로그램된 상태)의 전하를 프로그램하기 위해서, 소오스 영역(200)이 플로팅된 상태에서, 게이트 전극을 접지하고, 기판과 드레인 접합에 6.7V의 항복 전압에 해당하는 역방향 바이어스 전압을 인가한다. 이 때, 기판(100)을 접지하고, 드레인 전극에 6.7V의 전압을 인가할 수도 있으나, 기판(100)에는 음의 전압을 드레인 전극에는 양의 전압을 인가하여 기판(100)과 드레인 영역(300)간의 전위차가 6.7V가 되도록 하는 것이 바람직하다. 본 발명의 바람직한 실시예에서는 기판(100)에 -4V를 인가하고, 드레인 전극에

+2.7V를 인가하여 기판(100)과 드레인 영역(300)간에 6.7V의 역방향 바이어스 전압을 인가하였다.

[0027] 프로그램 전압이 인가되면, 도 2a 및 도 2b에 도시된 바와 같이, 기판(100)과 드레인 영역(300)에 역방향 바이어스가 인가되어 기판과 드레인 영역(300)의 접합면에서 공핍층(600)이 형성되고, 공핍층(600) 내에 존재하고 있는 중성 원자들(510)과 기판(100)에서 드레인 영역(300)으로 가속된 전자들(520)이 충돌하여 고온전자들(530;Hot Electorn)와 정공들(540)이 생성된다.

[0028] 생성된 고온 전자들(530)의 대부분은 드레인 영역(300)으로 빠져나가지만 일부 고온전자들(530)이 터널 절연막(410)의 에너지밴드를 뛰어 넘어 질화막인 전하 포획층(420)에 주입되어 포획된다.

[0029] 이렇게 주입된 고온전자들은 드레인 영역(300)에 인접하도록 국소적으로 주입이 되어 멀티 비트 프로그램이 가능하게 되고, 그 신뢰도 또한 향상된 효과를 나타낸다.

[0030] 도 3은 도 2a 및 도 2b에 도시된 예에서, 기판과 드레인 영역(300)간의 역방향 바이어스 전압에 따른 드레인 전류의 크기를 도시한 그래프이다. 도 3에 도시된 바와 같이, 항복 전압인 6.7V 부근의 전압이 인가됨에 따라서 드레인 전류가 급속히 증가하고, 역방향 바이어스 전압을 약간만 증가시켜도 드레인 전류의 크기가 급증함을 알 수 있다.

[0031] 이러한 현상을 이용하여, 제 3 프로그램 레벨([01]이 프로그램된 상태)을 프로그램하고자 하는 경우에는, [10] 레벨을 프로그램하기 위해서 인가된 역방향 바이어스 전압보다 소정의 전위차(0.1V)만큼 전위가 더 큰 역방향 바이어스 전압을 기판과 드레인 영역(300)간에 인가한다. 도 2a 및 도 2b에 도시된 예에서는, 기판(100)에 -4V를 인가하고, 드레인 전극에 +2.8V를 인가하였다. 그러면, 항복 전압으로 발생된 캐리어의 수가 [10] 프로그램시보다 더 많아져, 더 많은 양의 전자들이 추가적으로 드레인영역과 전하 포획층(420)으로 주입되어 [10]레벨보다 더 많은 전하가 전하 포획층(420)에 포획되어 [01]이 프로그램된다.

[0032] 동일한 방식으로, 제 4 프로그램 레벨([00]이 프로그램된 상태)을 프로그램하기 위해서는 [01] 레벨을 프로그램하기 위해서 인가된 역방향 바이어스 전압보다 소정의 전위차만큼 전위가 더 큰 역방향 바이어스 전압을 기판과 드레인 영역(300)간에 인가하여, 전하 포획층(420)에 [01]레벨 프로그램시보다 더 많은 전하를 주입하여 [00]레벨을 프로그램한다. 도 2a 및 도 2b에 도시된 예에서는, 기판(100)에 -4V를 인가하고, 드레인 전극에 +2.9V를 인가하였다.

[0033] 본 발명의 바람직한 실시예에서는 각 프로그램 레벨마다 0.1V만큼 역방향 바이어스 전압이 차이가 나도록 항복 전압 부근에서의 역방향 바이어스 전압을 인가한다. 도 2a 및 도 2b에 도시된 예에서는, 기판(100)에 -4V를 인가한 상태에서, [10]레벨을 프로그램하기 위한 드레인 전압은 +2.7V, [01]레벨을 프로그램하기 위한 드레인 전압은 +2.8V, [00]레벨을 프로그램하기 위한 드레인 전압은 +2.9V를 각각 인가하였으나, 소자의 파괴에 이르지 않는 정도라면 더 높은 전압도 이용 가능하다.

[0034] 또한, 상술한 예에서, 항복 전압이 6.7V인 경우를 예시적으로 설명하였으나, 항복 전압의 크기는 비휘발성 메모리 소자의 스펙에 따라서 변경될 수 있으며, 각 프로그램 전압간의 차이를 0.1V로 설정하였으나, 0.05V 내지 0.5V 사이인 경우에는 무난하게 프로그램이 가능함을 실험적으로 확인하였다.

[0035] 또한, 도 2에 도시된 예에서는 소오스 영역(200)을 플로팅시키고 기판(100)과 드레인 영역(300)에 프로그램 전압을 인가하여 전하 포획층(420) 중 드레인 영역(300)에 인접한 최우측에 프로그램을 수행하는 예를 도시하였어나, 드레인 영역(300)을 플로팅시키고 기판(100)과 소오스 영역(200)에 프로그램 전압을 인가하여 전하 포획층(420) 중 소오스 영역(200)에 인접한 최좌측에 프로그램을 수행할 수도 있음을 주의하여야 한다.

[0036] 도 4는 본 발명의 바람직한 실시예에 따라서 프로그램 전압과 문턱전압의 관계를 종래의 CHE 주입 방식과 비교하여 도시한 그래프이다. 도 4에 도시된 그래프에서 가로축은 프로그램 전안을 인가한 시간을 나타내고, 세로축은 프로그램된 레벨에서 문턱 전압을 나타낸다.

[0037] 도 4를 참조하면, 프로그램 전압으로 기판(100)에 -4V의 전압을 인가하고, 드레인영역에 각각 +2.7V, +2.8V, 및 +2.9V의 프로그램 전압을 인가하여 프로그램하면, 각 프로그램 레벨을 구별하기에 충분하게 문턱 전압의 차이가 발생함을 알 수 있다. 특히, 프로그램 펄스의 인가 시간이 길면 길수록 문턱전압의 크기가 커지고, 각 프로그램 레벨간의 문턱전압 크기의 차가 더 커짐을 알 수 있다.

[0038] 또한, 본 발명과 종래의 CHE 방식의 프로그램 시간을 비교한 결과, 본 발명의 경우 소정의 문턱 전압까지 프로그램하는데 걸리는 프로그램 시간이 종래 기술에 비하여 현저하게 단축되었음을 알 수 있다.

[0039] 도 5a 및 도 5b는 본 발명의 멀티비트 프로그램 효과를 설명하는 도면이다. 도 5a 및 도 5b를 참조하여 설명하면, 전하가 프로그램된 후 포워드 리드(Forward Read)시와 리버스 리드(reverse read)시의 문턱 접압의 차가 크면 클수록 전하가 더욱 국소적으로 주입되었다는 것은 일반적으로 익히 잘 알려진 사실이다.

[0040] 이러한 공지의 사실에 기초하여 본 발명의 효과를 살펴보면, 도 5a 에 도시된 바와 같이, 본 발명의 프로그램 방법 및 종래의 CHE 방식에 따라서 전자가 드레인 영역(300)에 인접한 전하 포획층(420)의 최우측에 국소 주입되어 포획된 경우에 포워드 리드시와 리버스 리드시의 문턱전압을 도 5b에 도시하였다.

[0041] 도 5b에 도시된 바와 같이, 본 발명은 기판(100)에 인가되는 프로그램 전압을 -4V로 설정하고, 드레인 영역(300)에 인가되는 프로그램 전압을 2.6V로 설정하였으며, 프로그램 시간을 1 us로 설정한 후, 판독 전압을 변화시키면서 측정하였고, 종래의 CHE 주입방법은 게이트 전압을 4V, 드레인 전압을 5V, 및 프로그램 시간을 10ms로 설정하였다.

[0042] 도 5b에 도시된 바와 같이, 동일한 읽기 드레인 전압에서, 본 발명의 포워드 리드 및 리버스 리드 전압차는, 종래의 CHE 주입방법의 포워드 리드 및 리버스 리드 전압차보다 훨씬 크다는 사실을 알 수 있다.

[0043] 예컨대, 리드(read) 드레인 전압이 2.5V인 경우에, 종래기술의 경우에는 0.7V의 전압차가 발생하는데 반하여 본 발명은 1.2V의 전압차가 발생하여, 종래기술에 비하여 0.5V 이상의 전압차가 더 발생하므로, 결론적으로 종래기술에 비하여 더욱 국소적인 전하 주입이 가능하고, 따라서, 멀티비트 프로그램이 가능함을 알 수 있다.

[0044] 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

## *도면의 간단한 설명*

[0045] 도 1은 일반적인 PN 접합에서의 전압 대 전류 특성을 도시하는 도면이다.

[0046] 도 2a 및 도 2b는 본 발명에서 프로그램될 수 있는 일반적인 비휘발성 메모리 소자의 구조와 프로그램 방식을 설명하는 도면이다.

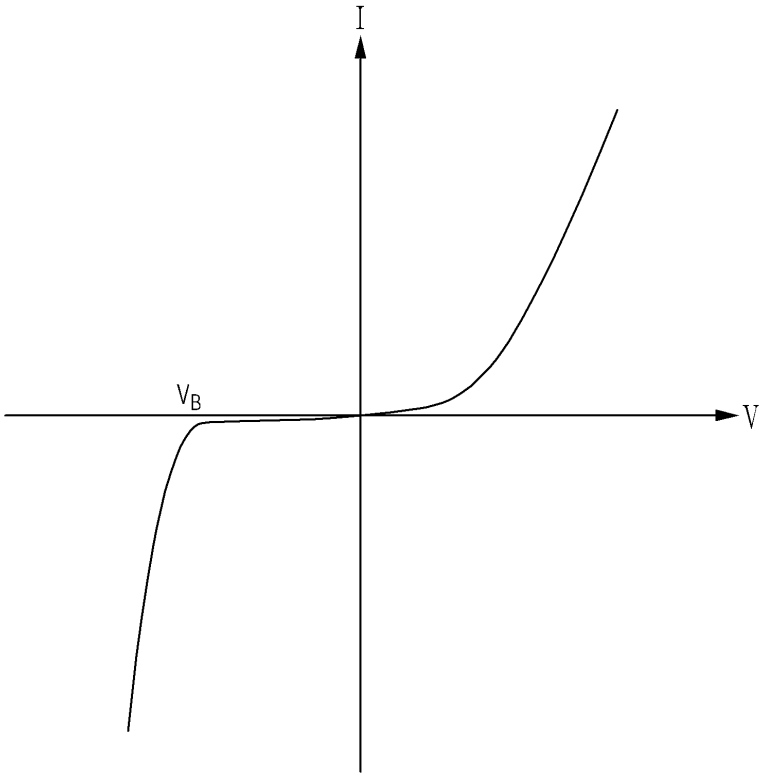
[0047] 도 3은 도 2a 및 도 2b에 도시된 예에서, 기판과 드레인 영역간의 역방향 바이어스 전압에 따른 드레인 전류의 크기를 도시한 그래프이다.

[0048] 도 4는 본 발명의 바람직한 실시예에 따라서 프로그램 전압과 문턱전압의 관계를 종래의 CHE 주입 방식과 비교하여 도시한 그래프이다.

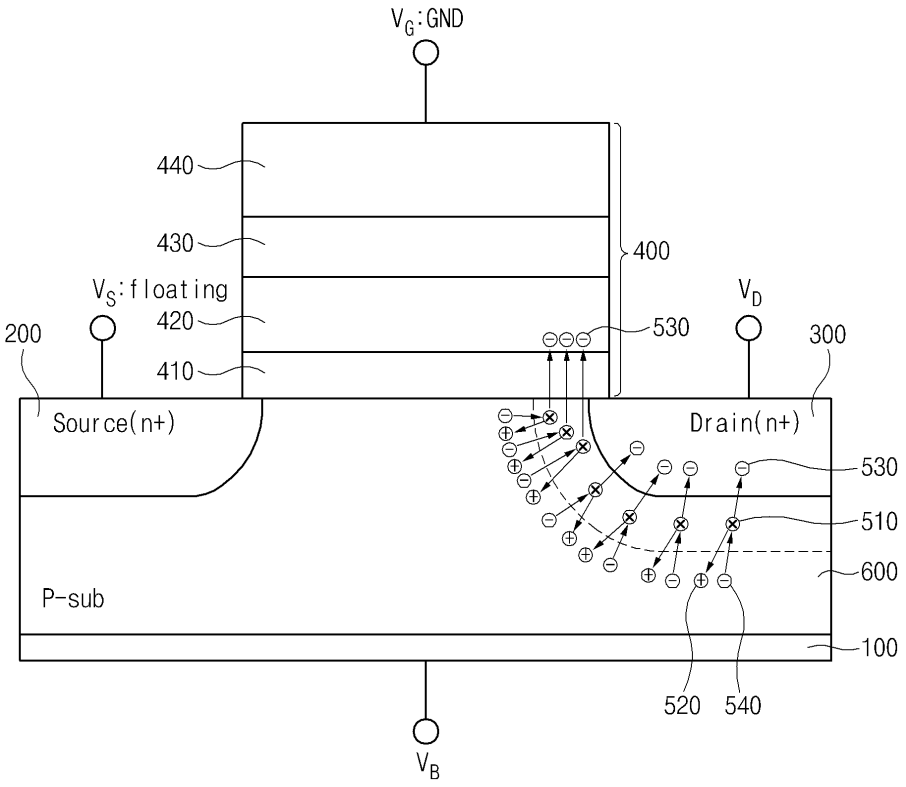
[0049] 도 5a 및 도 5b는 본 발명의 멀티비트 프로그램 효과를 설명하는 도면이다.

## 도면

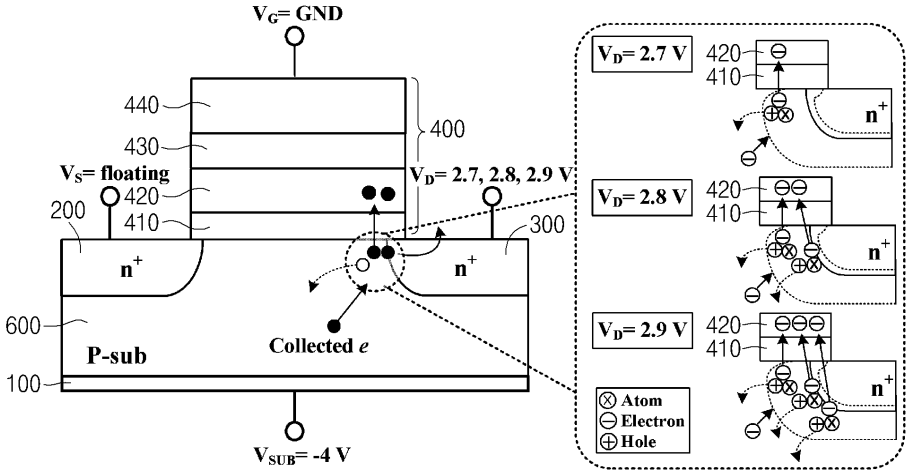
### 도면1


I
V
$V_B$

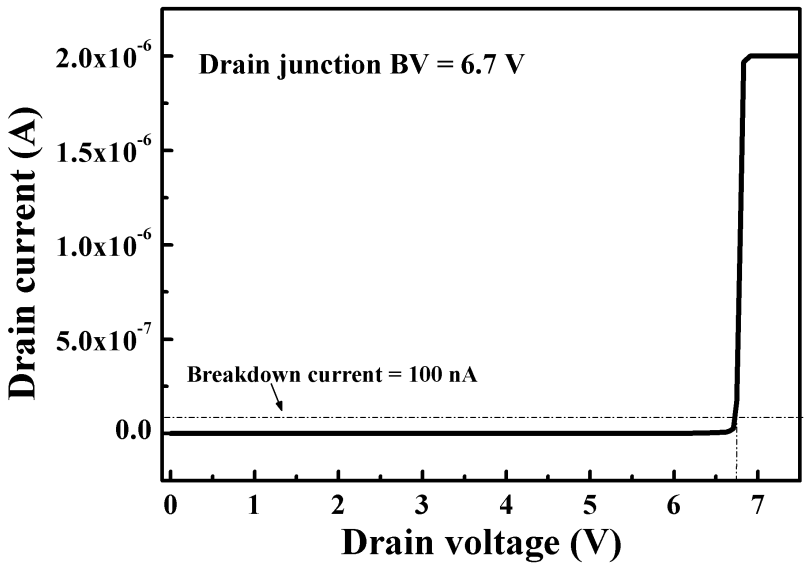
### 도면2a


$V_G$:GND
440
430
400
$V_S$:floating
420
530
$V_D$
200
410
300
Source(n+)
Drain(n+)
530
510
600
P-sub
100
520
540
$V_B$

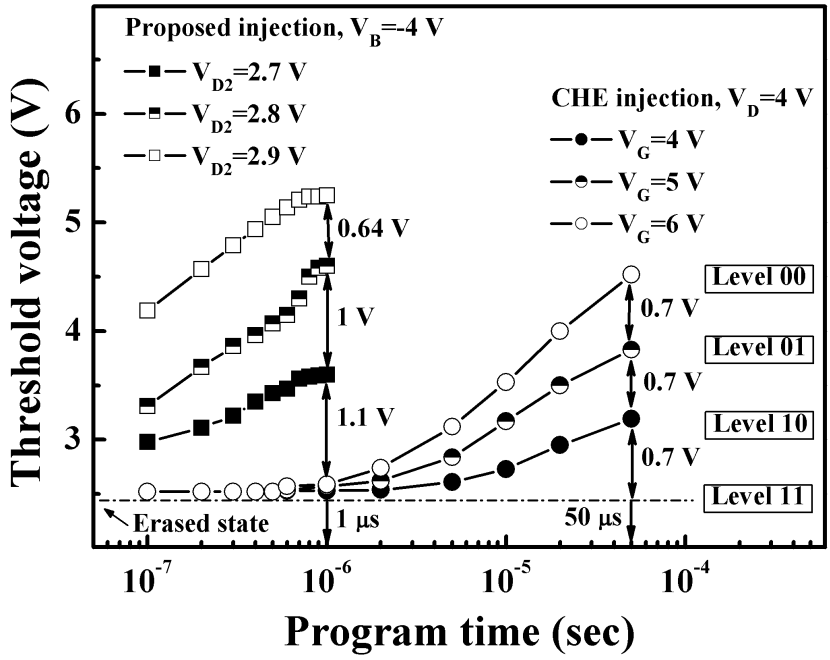
도면2b


$V_G$= GND
440
430
400
$V_S$= floating
420
410
200
$V_D$= 2.7, 2.8, 2.9 V
300
$n^+$
$n^+$
600
P-sub
Collected e
100
$V_{SUB}$= -4 V
$V_D$= 2.7 V
$V_D$= 2.8 V
$V_D$= 2.9 V
Atom
Electron
Hole

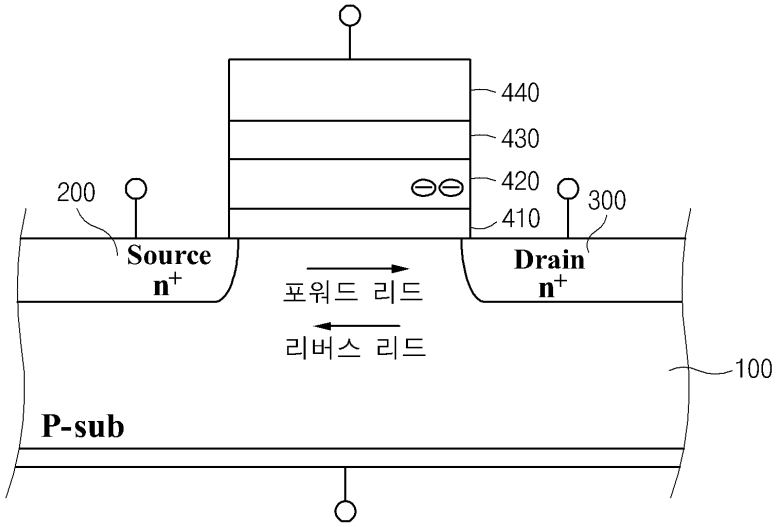
도면3


Drain junction BV = 6.7 V
Breakdown current = 100 nA
Drain current (A)
2.0x10$^{-6}$
1.5x10$^{-6}$
1.0x10$^{-6}$
5.0x10$^{-7}$
0.0
0
1
2
3
4
5
6
7
Drain voltage (V)

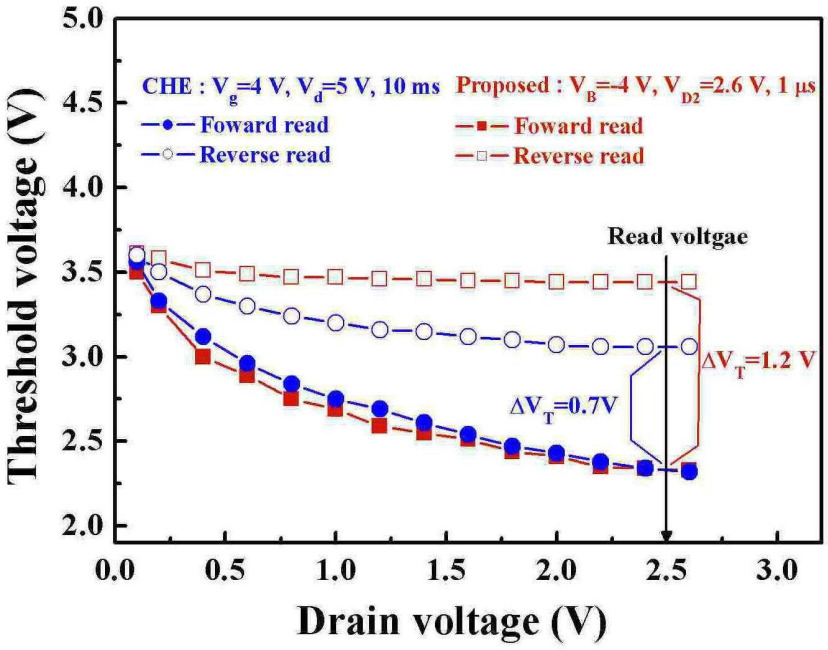
도면4


Proposed injection, $V_B$=-4 V
$V_{D2}$=2.7 V
$V_{D2}$=2.8 V
$V_{D2}$=2.9 V
CHE injection, $V_D$=4 V
$V_G$=4 V
$V_G$=5 V
$V_G$=6 V
Threshold voltage (V)
0.64 V
1 V
1.1 V
Level 00
Level 01
Level 10
Level 11
0.7 V
0.7 V
0.7 V
Erased state
1 μs
50 μs
$10^{-7}$
$10^{-6}$
$10^{-5}$
$10^{-4}$
Program time (sec)

도면5a


440
430
420
410
200
300
Source
$n^+$
Drain
$n^+$
포워드 리드
리버스 리드
100
P-sub

도면5b


CHE : Vg=4 V, Vd=5 V, 10 ms
Foward read
Reverse read
Proposed : VB=-4 V, VD2=2.6 V, 1 μs
Foward read
Reverse read
Read voltgae
ΔVT=1.2 V
ΔVT=0.7V
Threshold voltage (V)
Drain voltage (V)
5.0
4.5
4.0
3.5
3.0
2.5
2.0
0.0
0.5
1.0
1.5
2.0
2.5
3.0