



## (12) 发明专利

(10) 授权公告号 CN 101068020 B

(45) 授权公告日 2011. 01. 12

(21) 申请号 200710096024. 1

H01L 21/768 (2006. 01)

(22) 申请日 2007. 04. 10

(56) 对比文件

(30) 优先权数据

11/381, 948 2006. 05. 05 US

US 6486509 B1, 2002. 11. 26, 全文.

CN 1508874 A, 2004. 06. 30, 说明书第 3 页第

10 行至第 11 页第 29 行、图 1-9.

(73) 专利权人 西利康存储技术股份有限公司

地址 美国加利福尼亚州

审查员 罗崇举

(72) 发明人 陈邦明 普拉蒂普·滕塔苏德

范德慈

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 陶凤波

(51) Int. Cl.

H01L 27/115 (2006. 01)

H01L 23/522 (2006. 01)

H01L 21/8247 (2006. 01)

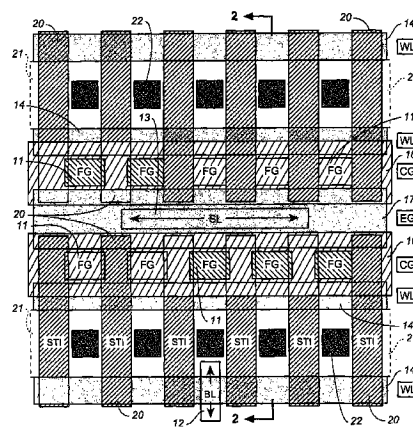
权利要求书 5 页 说明书 8 页 附图 17 页

(54) 发明名称

存储单元阵列及其制造方法

(57) 摘要

本发明提供了一种半导体存储单元阵列及其制造方法, 其中在基底上形成多个位线扩散, 并且在所述位线扩散之间形成存储单元, 各对单元具有相邻于所述位线扩散的第一和第二导体、在所述第一和第二导体旁边的浮置栅极、在所述浮置栅极之间的擦除栅极、和在所述擦除栅极下面的基底内的源极线扩散, 和电容耦合到所述浮置栅极的至少一个附加导体。在一些公开的实施例中, 相邻于所述位线扩散的导体是字线, 并且附加导体由耦合到浮置栅极对应之一的耦合栅极对或者耦合到两个浮置栅极的单耦合栅极组成。在另一实施例中, 相邻于所述位线扩散的导体是编程线, 并且第三导体是在垂直于所述编程线和所述扩散方向上延伸的字线。



1. 一种存储单元阵列,包括:基底、在所述基底中的第一和第二位线扩散、相邻于所述位线扩散的第一和第二字线、在所述位线扩散之间的中间的基底中的源极线扩散、在所述源极线扩散上方的擦除栅极、设置在所述字线和擦除栅极之间且具有高于所述字线和擦除栅极的高度的第一和第二浮置栅极、覆盖所述浮置栅极以及所述字线和擦除栅极的边缘部的耦合栅极、在垂直于所述字线的方向上延伸的位线、和互连所述位线扩散和所述位线的位线接触。

2. 根据权利要求1的存储单元阵列,其中所述耦合栅极比浮置栅极宽,并且所述耦合栅极的下部覆盖并且包围所述浮置栅极的上侧部从而提供所述耦合栅极和浮置栅极的上侧部之间以及所述耦合栅极和浮置栅极的顶面之间的电容耦合。

3. 根据权利要求1的存储单元阵列,其中正电压施加到所述擦除栅极并且负电压施加到所选择单元的耦合栅极从而产生从所述浮置栅极到擦除栅极的电子隧道效应。

4. 根据权利要求1的存储单元阵列,还包括所述擦除栅极和源极线扩散之间足够厚度的栅极氧化物,使得所述擦除栅极可以保持足够高的电压从而产生从浮置栅极之一至擦除栅极的电子隧道效不引起栅极氧化物的击穿。

5. 根据权利要求4的存储单元阵列,其中所述栅极氧化物具有 150 Å 至 250 Å 的量级的厚度,并且将 10-15V 量级的电压施加到所述擦除栅极上。

6. 一种存储单元阵列,包括:基底、在所述基底中的多个位线扩散、在所述位线上方的第一方向上延伸的位线、和按对在所述位线扩散之间形成的存储单元,所述各对单元具有相邻于所述位线扩散且垂直于所述位线的字线、字线旁的且具有高于所述字线的高度的浮置栅极、电容耦合到所述浮置栅极且覆盖部分的所述字线的至少一个耦合栅极、所述浮置栅极之间的擦除栅极、在所述擦除栅极下面的基底中的源极线扩散、和互连位线扩散和位线之一的位线接触。

7. 根据权利要求6的存储单元阵列,其中在每对中分离的耦合栅极在两个单元中耦合到所述浮置栅极。

8. 根据权利要求7的存储单元阵列,其中所述耦合栅极的下部覆盖并且包围所述浮置栅极的上侧部从而提供所述耦合栅极和浮置栅极的上侧部之间以及所述耦合栅极和浮置栅极的顶面之间的电容耦合。

9. 根据权利要求6的存储单元阵列,其中在每对中单耦合栅极在两个单元中耦合到所述浮置栅极。

10. 根据权利要求9的存储单元阵列,其中所述耦合栅极具有中心干线和多个从所述干线延伸并且覆盖所述浮置栅极的支线。

11. 根据权利要求9的存储单元阵列,其中所述耦合栅极的下部覆盖并且包围所述浮置栅极的上部从而提供所述耦合栅极和浮置栅极之间的延伸的电容耦合。

12. 一种存储单元阵列,包括:基底;在所述基底中的多个位线扩散;按对在所述位线扩散之间形成的存储单元,各对单元具有相邻于所述位线扩散的第一和第二导体、设置在所述第一和第二导体旁边且具有高于所述第一和第二导体的高度的浮置栅极、在所述浮置栅极之间的擦除栅极、和在所述擦除栅极下面的基底中的源极线扩散;和至少一个附加导体,覆盖并且包围所述浮置栅极的上侧部从而提供所述耦合栅极和浮置栅极的上侧部之间以及所述耦合栅极和浮置栅极的顶面之间的电容耦合。

13. 根据权利要求 12 的存储单元阵列,其中所述至少一个附加导体包括在平行于所述擦除栅极的方向上延伸并且在所述对中耦合到浮置栅极的对应之一的耦合栅极对。

14. 根据权利要求 12 的存储单元阵列,其中所述至少一个附加导体是在平行于所述擦除栅极方向上延伸并且在所述对中耦合到两个浮置栅极的单耦合栅极。

15. 根据权利要求 12 的存储单元阵列,其中所述至少一个附加导体是在垂直于所述第一和第二导体的方向上延伸并且在所述对中耦合到两个浮置栅极的字线。

16. 一种存储单元阵列,包括:第一导电类型的基底、在该基底中的第二导电类型的空间上隔离的第一和第二区、相邻于所述第一和第二区的第一和第二字线、在第一区和第二区之间的基底中的第二导电类型的第三区、在第三区上方的擦除栅极、设置在所述字线和擦除栅极之间且延伸至高于所述字线和擦除栅极的高度的第一和第二浮置栅极、覆盖所述浮置栅极的耦合栅极、在垂直于所述字线的方向上延伸的位线、和互连所述第一和第二区和所述位线的位线接触。

17. 一种存储单元阵列,包括:基底;在所述基底中的多个扩散;按对在所述扩散之间形成的存储单元,各对单元具有相邻于所述扩散的第一和第二导体、设置在所述第一和第二导体旁边且延伸至高于所述第一和第二导体的高度的浮置栅极、在所述浮置栅极之间的擦除栅极、和在所述擦除栅极下面的基底中的附加扩散;和至少一个附加导体,其与所述浮置栅极电容耦合。

18. 一种制造存储单元阵列的方法,包括的步骤是:

形成源极线扩散和擦除栅极,擦除栅极覆盖所述源极线扩散;

在所述擦除栅极的相对侧形成字线;

在所述字线和擦除栅极之间形成浮置栅极,所述浮置栅极具有高于所述字线和擦除栅极的高度;

形成电容耦合到所述浮置栅极的至少一个耦合栅极;

在所述字线旁边形成位线扩散;

形成在垂直于所述字线的方向上延伸的位线;并且

用位线接触互连所述位线扩散和位线。

19. 根据权利要求 18 的方法,其中对于各个所述浮置栅极形成分离的耦合栅极。

20. 根据权利要求 18 的方法,其中对于所述两个浮置栅极形成单耦合栅极。

21. 根据权利要求 19 或 20 的方法,其中形成所述耦合栅极,使得所述耦合栅极覆盖并且包围所述浮置栅极的上侧部从而提供所述耦合栅极和浮置栅极的上侧部之间以及所述耦合栅极和浮置栅极的顶面之间的电容耦合。

22. 一种制造存储单元阵列的方法,包括的步骤是:

形成源极线扩散和擦除栅极,所述擦除栅极覆盖所述源极线扩散;

在所述擦除栅极的相对侧形成编程栅极;

在所述编程栅极和擦除栅极之间形成浮置栅极,所述浮置栅极延伸至高于所述编程栅极和擦除栅极的高度;

形成电容耦合到所述浮置栅极的字线;以及

在所述编程栅极旁边形成位线扩散。

23. 根据权利要求 22 的方法,其中所述擦除栅极在所述源极线扩散形成之前形成。

24. 根据权利要求 22 的方法,其中所述编程栅极与所述擦除栅极同时形成。

25. 根据权利要求 22 的方法,其中所述第一和第二导体在所述位线扩散形成之前形成。

26. 一种制造存储单元阵列的方法,包括的步骤是:

在基底上形成第一氧化物层,所述氧化物的中心部比中心部的任一侧部都厚;

在所述第一氧化物层上方沉积第一导电层;

去除所述第一导电层的部分从而在氧化物的较厚部上形成擦除栅极,并且在所述较厚部的任一侧的氧化物的较薄部上形成字线;

从所述擦除栅极和字线之间的基底去除所述氧化物;

在所述擦除栅极和字线上方形成氧化物层或氮化物层;

在所述擦除栅极和所述字线之间的基底上和在所述擦除栅极和字线的侧壁上形成第二氧化物层;

从所述擦除栅极和字线之间的第二导电层形成浮置栅极,浮置栅极的部分在所述擦除栅极和字线上方的氧化物或氮化物上方延伸;

在所述擦除栅极下在基底中形成源极线扩散;

在氧化物或氮化物层上并且在所述氧化物或氮化物层上方延伸的浮置栅极部上形成介电层;

在所述介电层上形成第三导电层;以及

去除所述第三导电层的部分从而形成在所述浮置栅极上方居中的耦合栅极,所述耦合栅极的下部覆盖并且包围浮置栅极的上部从而提供所述耦合栅极和浮置栅极之间延伸的电容耦合。

27. 根据权利要求 26 的方法,其中所述第二氧化物层在所述擦除栅极的和字线的侧壁形成得比在所述基底上厚。

28. 根据权利要求 26 的方法,还包括的步骤是:在与所述浮置栅极相对的字线的侧部上的基底内形成位线扩散;形成在垂直于所述字线的方向上延伸的位线;并且用位线接触互连所述位线扩散和位线。

29. 一种制造存储单元阵列的方法,包括的步骤是:

在基底上形成第一氧化物层,所述氧化物的中心部比中心部的任一侧部都厚;

在所述第一氧化物层上沉积第一导电层;

去除所述第一导电层的部分从而在氧化物的较厚部上形成擦除栅极,并且在所述较厚部的任一侧的氧化物的较薄部上形成字线;

从所述擦除栅极和字线之间的基底去除所述氧化物;

在所述擦除栅极和字线上方形成氧化物层或氮化物层;

在所述擦除栅极和所述字线之间的基底上和在所述擦除栅极和字线的侧壁上形成第二氧化物层;

从所述擦除栅极和字线之间的第二导电层形成浮置栅极,浮置栅极的部分在所述擦除栅极和字线上方的氧化物或氮化物上方延伸;

在所述擦除栅极下在所述基底中形成源极线扩散;

在氧化物或氮化物层上并且在所述氧化物或氮化物层上方延伸的浮置栅极的部分上

形成介电层；

在所述介电层上形成第三导电层；以及

去除所述第三导电层的部分从而形成具有覆盖所述浮置栅极的支线的耦合栅极。

30. 根据权利要求 29 的方法，其中所述浮置栅极通过将第二导电层沉积到所述氧化物或氮化物层之上的水平、去除所述氧化物或氮化物层上方的第二导电层的部分从而留下所述擦除栅极和所述字线之间以及在所述擦除栅极和字线上的氧化物或氮化物层的部分之间的第二导电层，并且去除所述氧化物或氮化物层的上部从而暴露所述浮置栅极的上部而形成。

31. 根据权利要求 29 的方法，其中未在所述耦合栅极支线下的第二导电层的部分在其中去除第三导电层的部分从而形成支线的步骤中被去除。

32. 根据权利要求 29 的方法，还包括的步骤是：在与所述浮置栅极相对的字线的侧部上的基底内形成位线扩散；形成在垂直于所述字线的方向上延伸的位线；以及用位线接触互连所述位线扩散和位线。

33. 一种制造存储单元阵列的方法，包括的步骤是：

在基底上形成第一氧化物层，所述氧化物的中心部比中心部的任一侧部都厚；

在所述第一氧化物层上沉积第一导电层；

去除所述第一导电层的部分从而在氧化物的较厚部上形成擦除栅极，并且在所述较厚部的任一侧的氧化物的较薄部上形成编程栅极；

从所述擦除栅极和编程栅极之间的基底去除所述氧化物；

在所述擦除栅极和编程栅极上方形成氧化物层或氮化物层；

在所述擦除栅极和所述编程栅极之间的基底上和在所述擦除栅极和编程栅极的侧壁上形成第二氧化物层；

从所述擦除栅极和编程栅极之间的第二导电层形成浮置栅极，浮置栅极的部分在所述擦除栅极和编程栅极上方的氧化物或氮化物上方延伸；

在所述擦除栅极下在基底中形成源极线扩散；

在氧化物或氮化物层上并且在所述氧化物或氮化物层上方延伸的浮置栅极的部分上形成介电层；

在所述介电层上形成第三导电层；并且

去除所述第三导电层的部分从而形成覆盖并且耦合到所述浮置栅极上部的字线，所述字线的下部覆盖并且包围浮置栅极的上部从而提供所述字线和浮置栅极之间延伸的电容耦合。

34. 根据权利要求 33 的方法，其中所述不在字线下的第二导电层的部分在其中去除第三导电层部从而形成字线的步骤期间被去除。

35. 一种制造存储单元阵列的方法，包括的步骤是：

在基底上形成第一氧化物层；

在所述第一氧化物层上方沉积第一导电层；

去除所述第一导电层的部分从而形成在第一方向上延伸的第一和第二导电体对和在各对导电体之间的擦除栅极；

从所述擦除栅极和导体之间的基底去除所述氧化物；

在所述擦除栅极和导体上方形成氧化物层或氮化物层；

在所述擦除栅极和导体之间的基底上和在所述擦除栅极和编程栅极的侧壁上形成第二氧化物层；

从所述擦除栅极和导体之间的第二导电层形成浮置栅极，所述浮置栅极延伸至高于所述擦除栅极和导体的高度；

在所述擦除栅极下在基底中形成源极线扩散；

在氧化物或氮化物层上并且在所述浮置栅极的上部上形成介电层；

在所述介电层上形成第三导电层；以及

去除所述第三导电层的部分从而形成耦合到所述浮置栅极的第三导体。

36. 根据权利要求 35 的方法，其中所述第三导体在与第一和第二导体相同的方向上延伸。

37. 根据权利要求 35 的方法，其中所述第三导体垂直于所述第一和第二导体。

38. 根据权利要求 37 的方法，其中不在所述第三导体下面的第二导电层的部分在其中去除第三导电层的部分从而形成第三导体的步骤期间被去除。

## 存储单元阵列及其制造方法

### 技术领域

[0001] 本发明总体涉及半导体存储装置,更具体地涉及 NOR 闪存及其制造工艺。

### 背景技术

[0002] 当前可以获得几种形式的非易失性存储器,包括电可编程只读存储器 (EPROM)、电可擦除可编程只读存储器 (EEPROM)、和闪存 EEPROM。闪存已被广泛应用于例如存储卡、个人数字助理 (PDA)、蜂窝电话和 MP3 播放器的装置的高容量存储器中。

### 发明内容

[0003] 本发明的目的是提供一种新的改进了的半导体存储装置及其制造工艺。

[0004] 本发明的另一目的是提供可以克服现有技术的局限和缺点的具有上述特性的半导体存储装置及其工艺。

[0005] 根据本发明通过提供半导体存储阵列及其制造工艺可以实现这些和其它的目的,其中多个位线扩散形成于基底上,并且在位线扩散之间按对形成存储单元,各对单元具有相邻于位线扩散的第一和第二导体,在第一和第二导体侧部的浮置栅极、在浮置栅极之间的擦除栅极、和在擦除栅极下面的基底内的源极扩散,和电容耦合到浮置栅极的至少一个附加导体。

[0006] 在一些公开的实施例中,相邻于位线扩散的导体是字线,并且附加导体由或者耦合到各自的浮置栅极的耦合栅极对或者是耦合到两个浮置栅极的单耦合栅极组成。

[0007] 在另一实施例中,相邻于位线扩散的导体是编程线,并且第三导体是在垂直于编程线和扩散的方向上延伸的字线。

### 附图说明

[0008] 图 1 是根据本发明的 NOR 闪存单元阵列的一实施例的俯视平面图。

[0009] 图 2 是沿图 1 中 2-2 线所取的截面图。

[0010] 图 3 是图 1 的实施例的  $6 \times 4$  单元阵列的电路图。

[0011] 图 4A-4Q 是示出根据本发明的制造图 1 的存储单元阵列的工艺的一实施例中的步骤的截面图。

[0012] 图 5 是根据本发明的 NOR 闪存单元阵列的另一实施例的俯视平面图,耦合栅极以粗实线绘出以便更好地示出其轮廓。

[0013] 图 6 是沿图 5 的 6-6 线所取的截面图。

[0014] 图 7 是根据本发明的存储单元阵列的另一实施例的俯视平面图。

[0015] 图 8 是沿图 7 中 8-8 线所取的截面图。

[0016] 图 9-12 是沿图 8 中 9-9、10-10、11-11、12-12 线所取的截面图。

[0017] 图 13 是图 7 的实施例的  $6 \times 4$  单元阵列的电路图。

[0018] 图 14A-14N 是示出根据本发明的制造图 7 的存储单元阵列的工艺的一实施例中的

步骤的截面图。

### 具体实施方式

[0019] 如在图 1 中所示出的,存储器包括 NOR 型裂栅闪存单元,各个单元具有根据单元的状态 (“0”或“1”)或正或负充电的浮置栅极。阵列按行或按列布置,位线 21 垂直延伸并且源极线 13、字线 14、耦合栅极 16、和擦除栅极 17 都水平延伸并且垂直于位线。阵列形成于基底 19 上,基底可以是 P 型硅基底或其中形成了 P 阱的 N 型硅基底。

[0020] 如在图 2 中所示出的,在基底内的位线扩散 21 之间成对布置各列中的单元。除了浮置栅极 11 之外,各单元还包括字线 14 和耦合栅极 16,字线位于浮置栅极和位线扩散之一之间并且耦合栅极通常位于浮置栅极上方。两个单元成对共享位于浮置栅极之间的公共源极扩散 13 和公共擦除栅极 17。单元位于其中的列的位线 12 通过接触 22 连接到位线扩散。

[0021] 相邻列中的单元通过浅沟槽隔离区 20 而相互分开和隔离,浅沟槽隔离区 20 在相邻单元内的浮置栅极和位线扩散之间延伸并且将其分开,同时允许源极线扩散、擦除栅极、控制栅极、字线、和位线穿过。

[0022] 浮置栅极 11 由掺杂以剂量为  $10^{20}$  至  $10^{21}/\text{cm}^3$  的磷、砷或硼的多晶硅制造,并且具有 730Å 至 1900Å 的量级的厚度或高度,浮置栅极的外边部与源极线扩散 13 的外边部对齐。

[0023] 字线 14 和擦除栅极 17 也由掺杂以剂量为  $10^{20}$  至  $10^{21}/\text{cm}^3$  的磷、砷或硼的多晶硅制造,并且分别具有 300Å 至 1000Å 量级的厚度或高度。擦除栅极直接位于源极线扩散上方并且通过具有 150Å 至 250Å 量级的厚度的氧化层 23 而被绝缘。字线 14 通过具有 30Å 至 100Å 量级的厚度的氧化层 24 而与基底的上表面隔离。

[0024] 浮置栅极 11 通过具有 100Å 量级厚度的氧化物层 26 与基底的上表面绝缘并且通过具有 150Å 量级的厚度的氧化物层 27、28 与字线 14 和擦除栅极 17 的侧壁绝缘。通过化学气相沉积 (CVD) 形成并且具有 400Å 至 800Å 量级的厚度的氧化物或氮化物层 29 覆盖字线和擦除栅极。

[0025] 浮置栅极的上部在氧化物 / 氮化物层 29 上方延伸,并且耦合栅极 16 在浮置栅极上方居中。耦合栅极比浮置栅极宽,耦合栅极的外边部分沿浮置栅极的侧部向下延伸至氧化物 / 氮化物层,耦合栅极的下部因而覆盖并且包围浮置栅极的上部从而提供耦合栅极和浮置栅极之间的电容耦合的延伸区。耦合栅极 17 还可以由掺杂以剂量为  $10^{20}$  至  $10^{21}/\text{cm}^3$  的磷、砷或硼的多晶硅制造,并且具有在氧化物 / 氮化物层上 1000Å 至 2500Å 量级的厚度或高度。具有 100Å 至 200Å 量级的厚度的介电层 31 使各耦合栅极与浮置栅极的上部和氧化物 / 氮化物层相互隔离。介电层可以是纯氧化物膜、氮氧化物膜、或氧化物、氮化物和氧化物 (ONO) 层的组合,例如在两个氧化物层之间的氮化物层。

[0026] 例如磷硅酸盐玻璃 (PSG) 或硼磷硅酸盐玻璃 (BPSG) 的玻璃材料 32 在整个晶片上方延伸,位线 12 在玻璃材料顶部上且位线接触 22 通过开口 33 在其内延伸。位线扩散 21 由在列中相邻对的单元共享,且在相邻对中的单元的字线 14'、14'' 在图 2 中示出。

[0027] 图 3 示出了具有在图 1 中示出的 4 行和 6 列的 NOR 型裂栅单元阵列。每行具有一条字线并且每列具有一条位线。对于给定的应用,所述阵列可以具有任何希望数量的行和列,并且典型的块可以具有例如 64 行 (64 字线) 和 4k 列 (4096) 位线。对于块中所有 8 行

的源极线、擦除栅极、和耦合栅极可以被编组到一起并且各个组仅连接到一个端子从而简化阵列编码。通过寻址字线和位线而选择单独的单元，并且在图 3 的实施例中，例如通过寻址字线  $WL_x$ 、位线  $BL_y$  而选择单元 34。其它的字线和位线未被选择，而且在其它块内的源极线、擦除栅极和耦合栅极也是如此。

[0028] 通过对浮置栅极的热载流子注入，被选择的单元被编程或设置为逻辑 0，并且通过从浮置栅极至擦除栅极的电子隧道效应被擦除或回到逻辑 1 状态。

[0029] 在表 1 中概述了不同单元阵列操作的操作条件。

[0030] 表 1

[0031]

|       | 耦合栅极 |    | 字线   |    | 源极线    |    | 擦除栅极 |    | 位线  |     |
|-------|------|----|------|----|--------|----|------|----|-----|-----|
|       | Sel  | Un | Sel  | Un | Sel    | Un | Sel  | Un | Sel | Un  |
| 待机    | 0    | 0  | 0    | 0  | 0      | 0  | 0    | 0  | 0   | 0   |
| 读     | Vcc  | 0  | Vcc  | 0  | 0      | 0  | 0    | 0  | Vr  | 0   |
| 编程    | 9V   | 0  | 1.6V | 0  | 5.0V   | 0  | 5.0V | 0  | Ip  | Vcc |
| 擦除(1) | -10V | 0  | 0    | 0  | 0/5.0V | 0  | 5.0V | 0  | 0   | 0   |
| 擦除(2) | 0    | 0  | 0    | 0  | 0      | 0  | 10V  | 0  | 0   | 0   |

[0032] 可以按逐位方式进行编程，在热电子编程期间，9V 被施加到耦合栅极从而提供对浮置栅极的耦合，并且 5.0V 被施加到源极线和擦除栅极。大约 1.6V 的电压被施加到字线并且编程电流  $I_p$  被施加到位线。所述电流典型地为 1-10  $\mu A$  的量级，尽管在一些应用中可以低至 0.1  $\mu A$ 。

[0033] 可以以两种方式之一进行擦除。在第一种方式中，施加 -10V 到耦合栅极，施加 5.0V 到擦除栅极，并且源极线可以是 0V 或 5V。擦除时间在 1-10ms 的量级，电子从浮置栅极隧穿到擦除栅极。还可以通过对擦除栅极施加 10V 电压而不对耦合栅极施加任何电压来进行擦除。

[0034] 当负电压施加到耦合栅极时，耦合栅极耦合到浮置栅极，并且浮置栅极上的高负电势提高了电子耦合并且允许较低的电压施加到擦除栅极上。但是，如果擦除栅极和源极线之间的氧化物或介电层足够厚，则擦除栅极可以维持电压（例如 10-15V），该电压高到足以引起从浮置栅极至擦除栅极的电子隧道效应，而不对耦合栅极施加任何负电势并且不引起擦除栅极和源极线之间的氧化物击穿。对于 NOR 型裂栅单元，单元可以被过擦除，即擦除到负阈值电压。

[0035] 通过施加 Vcc 至编程栅极和字线，并且对于位线施加 Vr，被选择的单元就绪。

[0036] 图 1 的存储单元阵列可以通过在图 4A-4Q 中示出的工艺制造。在硅基底 19 内形成深度为 0.15  $\mu m$  至 0.30  $\mu m$  量级的浅沟槽并且填充以热生长氧化物和高密度等离子体沉积氧化物的组合，其被平坦化从而暴露硅的有源区。沟槽的走向平行于在图 4A-4Q 的页面的方向。

[0037] 具有 100Å 至 200Å 量级的厚度的氧化物层 41 热生长在基底上。在其中将要形成

擦除栅极的区内形成光刻掩膜 42。随后未被保护的氧化物通过湿或干蚀刻而被去除,留下在垂直于图 4B 的页面方向上延伸的氧化物条从而形成擦除栅极氧化物 23。

[0038] 在所述掩膜被剥离之后,如在图 4C 中所示出的,在基底和擦除栅极氧化物 23 上方热生长或沉积具有 $30\text{\AA}$ 至 $100\text{\AA}$ 厚度的另一氧化物层,将擦除栅极氧化物的厚度增加到大约 $150\text{\AA}$ 至 $250\text{\AA}$ 。

[0039] 多晶硅的导电层 44(poly-1) 以 $300\text{\AA}$ 至 $1000\text{\AA}$ 量级的厚度沉积在隔离区之间的氧化物上,如在图 4D 中所示出的。多晶硅被掺杂以  $10^{20}$  至  $10^{21}/\text{cm}^3$  量级的磷、砷或硼。具有 $600\text{\AA}$ 至 $1000\text{\AA}$ 量级的厚度的氧化物层或氮化物层 46 通过化学气相沉积 (CVD) 形成于 poly-1 层上并且用作在后续的干蚀刻期间避免 poly-1 材料被蚀刻的掩膜。

[0040] 如在图 4E 中所示出的,在 CVD 层上采用另一掩膜 47 从而界定字线和擦除栅极。CVD 层 46 和 poly-1 层 44 未被遮蔽的部分被各向异性地蚀刻掉,仅留下形成字线 14 和擦除栅极 17 的 poly-1 材料,如在图 4F 中所示出的。同时,氧化层 43 未被掩膜的部分也被蚀刻,仅留下形成擦除栅极氧化物 23 和在字线下面的氧化物层 24 的部分。

[0041] 接着,在基底被暴露的部分上方和沿字线 14、擦除栅极 17 的侧壁,和在其上的 CVD 层上方,热生长或者沉积另一氧化物层 48。氧化物层 48 在基底上具有量级为 $100\text{\AA}$ 的厚度并且在字线和擦除栅极的侧壁上具有大约 $100\text{\AA}$ 至 $150\text{\AA}$ 量级的厚度。厚度差可以通过提高多晶硅的氧化或通过使用牺牲氧化实现,牺牲氧化通过各向异性干蚀刻将其回蚀刻从而在层 48 形成之前在侧壁上留下具有大约 $50\text{\AA}$ 的厚度的初始层。

[0042] 多晶硅的第二导电层 (poly-2) 被沉积在氧化物层 48 上,如在图 4H 所示出的。Poly-2 层具有量级为 $1000\text{\AA}$ 至 $2000\text{\AA}$ 的厚度并且以  $10^{20}$  至  $10^{21}/\text{cm}^3$  的剂量被掺杂以磷、砷或硼。Poly-2 填充 CVD/poly-1 叠层之间的间隙并且被回蚀刻或稍微低于 CVD 层的顶部从而在字线 14 和擦除栅极 17 之间的存储沟道上方形成浮置栅极 11,如在图 4I 中所示出的。

[0043] 随后去除 CVD 层 46 的上部从而暴露浮置栅极的上部,如在图 4J 中所示出的。CVD 氧化物或氮化物可以通过干各向异性蚀刻而被回蚀刻,在字线和擦除栅极上方留下大约 $400\text{\AA}$ 至 $800\text{\AA}$ 的 CVD 材料。

[0044] 此时,浮置栅极是在行的方向即垂直于图 4J 中的页面方向上延伸的长条形式。为了对于单独的单元将浮置栅极形成为单独的岛,在浮置栅极所处的区上方形成另一掩膜 (未示出),并且条形的未被遮掩的部分被蚀刻掉,留下单独的浮置栅极。

[0045] 随后在基底内在擦除栅极 17 直接下面,使用另一光刻掩膜 51,通过高能注入磷或砷形成源极扩散 13,如在图 4K 中所示出的。

[0046] 具有量级为 $100\text{\AA}$ 至 $200\text{\AA}$ 的厚度的介电层 52 沉积在浮置栅极 11、擦除栅极 17 和氧化物或氮化物层 46 的被暴露的表面上,如在图 4L 中所示出的。所述介电材料可以是纯氧化物膜、氮氧化物膜,或氧化物、氮化物和氧化物 (ONO) 层的组合,例如在两个氧化物层之间的氮化物层。

[0047] 随后在介电层上方沉积多晶硅的第三导电层 53(poly-3),如在图 4M 中所示出的。Poly-3 层具有量级为 $1000\text{\AA}$ 至 $2500\text{\AA}$ 的厚度并且被掺杂以  $10^{20}$  至  $10^{21}/\text{cm}^3$  量级的磷、砷或硼。在 poly-3 层上形成掩膜 54 从而界定耦合栅极,如在图 4N 中所示出的,并且在另一干各向异性蚀刻步骤中,去除未被遮掩的 poly-3 材料的部分和在其下的介电层 52 的部分。CVD 层 46 保护字线和擦除栅极,但是字线之间的 poly-2 层 49 未被保护的部分和其下的氧化物

层 48 也在该步骤中被去除,留下在图 40 中示出的结构。

[0048] 随后在字线之间和在隔离区之间在基底中形成位线扩散 21,所述隔离区通过高能注入磷或砷而隔离相邻列中的单元,如在图 4P 中所示出的,并且例如磷硅酸盐玻璃 (PSG) 或硼磷硅酸盐玻璃 (BPSG) 被沉积在整个晶片上。在玻璃内形成位线接触开口 33,并且金属层沉积在玻璃上方并且被构图从而形成位线 12 和位线接触 22,如在图 4Q 中所示出的。

[0049] 图 5 中示出的实施例相似于图 1 的实施例,除了各对单元具有单耦合栅极而不是各单元具有其单独的耦合栅极之外。通过比较图 1 和 5 可以看出,耦合栅极 56 还具有与耦合栅极 16 不同的配置。各个单独耦合栅极 16 在平面图上具有矩形形状或配置,而耦合栅极 56 具有从中心矩形干线 58 以直角延伸的通常为矩形的臂或支链 (finger) 57。干线在行方向上延伸,而支链在列方向上延伸,各支链覆盖浮置栅极 11 之一。

[0050] 图 5 的实施例可以通过与图 1 的实施例相同的工艺形成,除了其中耦合栅极和浮置栅极形成的方式之外。替代使用矩形掩膜对以界定耦合栅极,如在图 4N 中示出的,构图耦合栅极的掩膜从而具有在图 5 中示出的支链配置。使用该掩膜,不必在 poly-2 材料的条上进行单独的掩膜和蚀刻步骤从而形成浮置栅极的单独的岛,因为当 poly-3 层被蚀刻从而形成耦合栅极时,未被支链覆盖的 poly-2 条的部分将被蚀刻。因而,浮置栅极与耦合栅极在相同的步骤中形成并且与耦合栅极的支链自对齐。

[0051] 在图 7 中示出的实施例 7 是具有浮置栅极 61 的裂栅闪存单元的无接触阵列。与其它的实施例相同,所述阵列按行和列排列,具有在相互平行的一方向上延伸的位线扩散 62 和源极线扩散 63。但是,在该实施例中,导体 64 在垂直于所述扩散的第二方向上延伸并且用作在其下的浮置栅极的耦合栅极。所述阵列在基底 66 上形成。

[0052] 各浮置栅极代表存储单元或单位,存储单元或单位根据其中所存储的逻辑状态 (“0”或“1”) 可以被充电为负或正。

[0053] 如在图 1 和图 5 中的实施例,存储单元在基底内在位线之间间接对排列,各对单元共享位于位线之间的中间的公共源极线扩散 63。浮置栅极 61 位于源极线扩散的两侧,虚拟浮置栅极 67 位于位线扩散上方,并且擦除栅极 68 位于源极线扩散上方。

[0054] 编程栅极 71、72 位于位线扩散的对侧并且在平行于位线扩散和源极线扩散的方向上延伸。位线左边的编程栅极 71 称为左侧编程栅极并且用 PGL 指示,而位线右边的编程栅极 72 称为右侧编程栅极并且用 PGR 指示。

[0055] 浮置栅极 61 由多晶硅制成,所述多晶硅被掺杂以  $10^{20}$  至  $10^{21}/\text{cm}^3$  量级的磷、砷或硼,并且具有 730Å 至 1900Å 量级的厚度或高度,浮置栅极的外边部与源极线扩散 63 的外边部对齐。

[0056] 擦除栅极和编程栅极 71、72 也由多晶硅制成,所述多晶硅被掺杂以  $10^{20}$  至  $10^{21}/\text{cm}^3$  量级的磷、砷或硼,并且分别具有 300Å 至 1000Å 量级的厚度或高度。擦除栅极直接位于源极线扩散上方并且通过具有量级为 150Å 至 250Å 的厚度的氧化物层 73 与其绝缘。编程栅极 71、72 通过具有量级为 30Å 至 100Å 厚度的氧化物层 74 而与基底的上表面隔离。

[0057] 浮置栅极 61 通过具有 100Å 量级厚度的氧化物层 76 与基底的上表面绝缘,通过具有 150Å 量级的厚度的氧化物层 77、78 与擦除栅极 68 和编程栅极 71、72 的侧壁绝缘。通过化学气相沉积 (CVD) 形成并且具有 400Å 至 800Å 厚度的氧化物或氮化物膜,覆盖擦除栅极和编程栅极。

[0058] 字线 64 横过浮置栅极和虚拟浮置栅极上方,并且通过介电层 80 与这些栅极和氧化物或氮化物层 79 隔离。介电层具有量级为 $100\text{\AA}$ 至 $200\text{\AA}$ 的厚度,并且可以是纯氧化物膜、氮氧化物膜,也可以是氧化物、氮化物和氧化物 (ONO) 层的组合,例如在两个氧化物层之间的氮化物层。

[0059] 字线的下部覆盖并且包围浮置栅极的上部从而提供字线和浮置栅极之间电容耦合的延伸区。

[0060] 在图 9-12 中可以看出,阵列的相邻行中的字线和浮置栅极相互隔离,并且硼或  $\text{BF}_2$  沟道阻挡扩散 81 被注入浮置栅极之间的基底内从而电隔离相邻行内存储单元之间的沟道。

[0061] 图 13 示出了具有在图 7 中示出的 4 行和 6 列的无接触单元阵列的存储块或阵列。对于给定的应用,所述阵列可以具有任何希望数量的行和列,并且典型的块可以,例如具有 64 行 (64 字线) 和 4k 列 (4096) 位线而在阵列内部无接触。源极线、擦除栅极、左编程栅极 (PGL) 和右编程栅极 (PGR) 可以被编组到一起并且各个组仅连接到一个端子从而简化阵列编码。通过寻址希望单元的字线、位线、和编程线而选择单独的单元,而对其它字线、位线和编程线则不选择。在图 13 的实施例中,例如,通过寻址字线  $\text{WL}_x$ 、位线  $\text{BL}_y$ 、和 PGR 线而选择单元 82。

[0062] 通过对浮置栅极的热载流子注入,被选择的单元被编程或设置为逻辑 0 状态,并且通过从浮置栅极至擦除栅极的电子隧道效应被擦除或回到逻辑 1 状态。

[0063] 在表 2 中概述了不同单元阵列工作的工作条件。

[0064] 表 2

[0065]

|       | 编程栅极 |    | 字线   |    | 源极线    |    | 擦除栅极 |    | 位线             |     |
|-------|------|----|------|----|--------|----|------|----|----------------|-----|
|       | Sel  | Un | Sel  | Un | Sel    | Un | Sel  | Un | Sel            | Un  |
| 待机    | 0    | 0  | 0    | 0  | 0      | 0  | 0    | 0  | 0              | 0   |
| 读     | Vcc  | 0  | 5V   | 0  | 0      | 0  | 0    | 0  | Vr             | 0   |
| 编程    | 1.6V | 0  | 9V   | 0  | 5.0V   | 0  | 5.0V | 0  | I <sub>p</sub> | Vcc |
| 擦除(1) | 0    | 0  | -10V | 0  | 0/5.0V | 0  | 5.0V | 0  | 0              | 0   |
| 擦除(2) | 0    | 0  | 0    | 0  | 0      | 0  | 10V  | 0  | 0              | 0   |

[0066] 可以按逐位方式进行编程,在热电子编程期间,9V 被施加到耦合栅极从而提供对浮置栅极的耦合,并且 5.0V 被施加到源极线和擦除栅极。大约 1.6V 的电压被施加到 PGR 线并且编程电流  $I_p$  被施加到位线。所述电流典型地为  $1\text{--}10\mu\text{A}$  的量级,尽管在一些应用中可以低至  $0.1\mu\text{A}$ 。

[0067] 擦除可以以两种方式之一进行。在第一种方式中,施加 -10V 到字线,施加 5.0V 到擦除栅极,并且源极线可以被施加 0V 或 5V。擦除时间在  $1\text{--}10\text{ms}$  的量级,电子从浮置栅极隧穿到擦除栅极。还可以通过对擦除栅极施加 10V 电压而不对字线施加任何电压来进行擦除。

[0068] 当负电压施加到字线时,字线被耦合到浮置栅极,并且浮置栅极上的高负电势提高了电子耦合并且允许较低的电压施加到擦除栅极上。但是,如果擦除栅极和源极线之间的氧化物或介电层足够厚,则擦除栅极可以维持电压(例如 10-15V),该电压高到足以引起从浮置栅极至擦除栅极的电子隧道效应,而不对耦合栅极施加任何负电势并且不引起擦除栅极和源极线之间的氧化物击穿。

[0069] 对于任何类型的擦除,擦除持续直到存储单元的阈值电压是大约 0.5V 为止,并且通过对字线施加 0V 可以被停止擦除。对于无接触的阵列,应当注意确保持存单元不被过擦除,即擦除到负阈值电压。

[0070] 当额外的 -10V 施加到字线时,根据 -10V 的电压是按列施加还是施加到整个阵列块,单元阵列可以或者按列擦除或者可以一次擦除掉整个阵列块。

[0071] 当在擦除栅极上仅用 10V 进行擦除时,擦除不可以列为基础进行,并且整个单元阵列一次被擦除,因为所有的擦除栅极连接到一个端子。

[0072] 通过施加  $V_{cc}$  至编程栅极、5V 至字线、 $V_r$  至位线,被选择的单元就绪。

[0073] 图 7 的存储单元阵列可以通过在图 14A-14M 中示出的工艺制造。在该工艺中,具有量级为  $100\text{\AA}$  至  $200\text{\AA}$  厚度的氧化物层 83 被热生长在 P 型硅基底 66 上。在其中擦除栅极将要形成的区内的氧化物层上形成光刻掩膜 84。随后通过湿或干蚀刻去除未被保护的氧化物,并且剥离掩膜,留下在垂直于图 14B 的页面方向的方向上延伸的氧化物条从而形成擦除栅极氧化物 73。

[0074] 如在图 14C 中所示出的,另一具有量级为  $30\text{\AA}$  至  $100\text{\AA}$  的厚度的氧化物层 86 被热生长或沉积在基底和擦除栅极 73 上方,将擦除栅极氧化物的厚度增加到大约  $150\text{\AA}$  至  $250\text{\AA}$ 。

[0075] 多晶硅的导电层 87 (poly-1) 以  $300\text{\AA}$  至  $1000\text{\AA}$  量级的厚度沉积在氧化物上方,如在图 14D 中所示出的。多晶硅被掺杂以量级为  $10^{20}$  至  $10^{21}/\text{cm}^3$  的磷、砷或硼。通过化学气相沉积 (CVD),具有量级为  $600\text{\AA}$  至  $1000\text{\AA}$  的氧化物或氮化物层 88 在 poly-1 层上形成并且用作在随后的干蚀刻步骤期间避免蚀刻 poly-1 材料的掩膜。

[0076] 如在图 14E 中所示出的,在 CVD 层上使用另一掩膜 89 从而界定编程栅极和擦除栅极。蚀刻 CVD 层 88 和 poly-1 层 87 的未被遮掩的部分,仅留下形成编程栅极 71、72 和擦除栅极 68 的 poly-1 材料的部分,如在图 14F 中所示出的。同时,氧化物层 86 的未被遮掩的部分也被蚀刻,仅留下在编程栅极下面的形成擦除栅极 73 和氧化物层 74 的部分。

[0077] 如在图 14G 中所示出的,随后在左和右编程栅极之间通过光刻掩膜注入磷或砷而形成位线扩散 62。注入剂量足以形成对于导电层具有低表面电阻的埋入的  $N^+$  扩散。

[0078] 接着,在基底被暴露的部分上方和沿编程栅极 71、72、擦除栅极 68 的侧壁,和在其上的 CVD 层上,热生长或者沉积另一氧化物层 92,如在图 14H 中所示出的。氧化物层 92 在基底上具有量级为  $100\text{\AA}$  的厚度并且在编程栅极和擦除栅极的侧壁上具有大约  $100\text{\AA}$  至  $150\text{\AA}$  量级的厚度。厚度差可以通过提高多晶硅的氧化,或通过使用牺牲氧化实现,牺牲氧化通过各向异性干蚀刻将其回蚀刻,从而在层 92 形成之前在侧壁上留下具有大约  $50\text{\AA}$  的厚度的初始层。

[0079] 多晶硅的第二导电层 93 (poly-2) 被沉积在氧化物层 92 上方,如在图 14I 中所示出的。Poly-2 层具有  $1000\text{\AA}$  至  $2000\text{\AA}$  量级的厚度,并且被掺杂以量级为  $10^{20}$  至  $10^{21}/\text{cm}^3$  的

磷、砷或硼。poly-2 填充 CVD/poly-1 叠层之间的间隙并且被回蚀刻或稍微低于 CVD 层的顶部从而形成在存储沟道上方的浮置栅极 61 和在位线上方的虚拟浮置栅极 67, 如在图 14J 中所示出的。在擦除栅极和编程栅极侧壁上的氧化物层 92 的部分形成氧化物层 77、78。

[0080] 去除 CVD 层 88 的上部, 从而暴露浮置栅极 61 和虚拟浮置栅极 67 的上部, 如在图 14K 中所示出的。通过干各向异性蚀刻, 可以蚀刻 CVD 氧化物或氮化物, 在编程栅极和擦除栅极上方留下大约 400Å 至 800Å 的 CVD 材料。

[0081] 此时, 浮置栅极和虚拟浮置栅极是与位线和编程线相同方向即垂直于图 14K 中的页面的方向上延伸的长条形式。在后面的步骤中, 它们将被蚀刻为单独的岛从而对于单个单元形成浮置栅极。

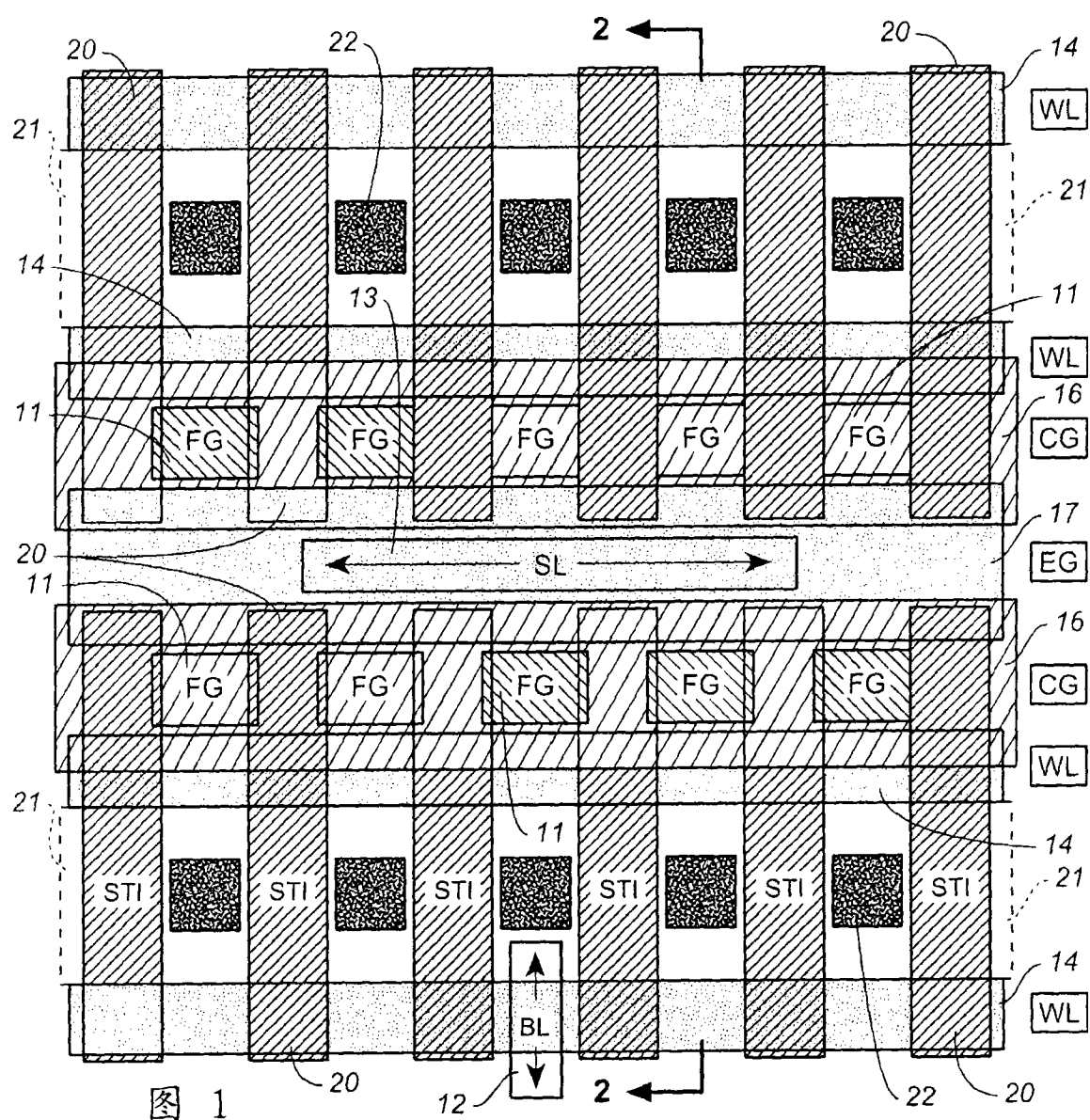
[0082] 如在图 14L 中所示出的, 现在使用另一光刻掩膜 94, 通过高能注入磷或砷直接在擦除栅极 68 下面形成源极线扩散 63。

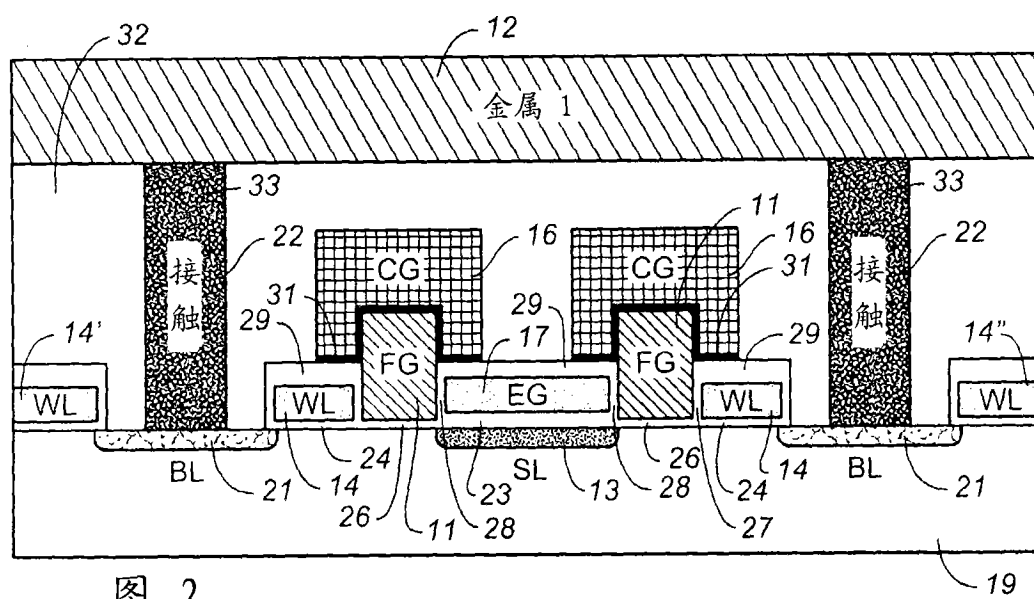
[0083] 随后, 在浮置栅极 61、虚拟浮置栅极 67、擦除栅极 68、和氧化物或氮化物层 88 的被暴露的表面上沉积具有厚度为 100Å 至 200Å 量级的介电层 96。介电材料可以是纯氧化膜、氮氧化膜、或者是例如在两个氧化物层之间的氮化物层的氧化物、氮化物和氧化物 (ONO) 的组合。

[0084] 随后在介电层上方沉积多晶硅的导电层 97 (poly-3), 如在图 14N 中所示出的。Poly-3 层具有 1000Å 至 2500Å 量级的厚度, 并且被掺杂以量级为  $10^{20}$  至  $10^{21}/\text{cm}^3$  的磷、砷或硼。在 poly-3 层上方形成掩膜 (未示出) 并且对其构图从而界定所述字线, 并且未被遮掩的 poly-3 材料、介电膜 96 的部分, 和未被保护的浮置栅极的部分和虚拟浮置栅极条通过干各向异性蚀刻而被蚀刻, 从而形成字线和浮置栅极和虚拟浮置栅极的单独的岛。在编程栅极和擦除栅极顶上的 CVD 氧化物或氮化物保护编程栅极和擦除栅极并且避免编程栅极和擦除栅极受到蚀刻的影响。

[0085] 在字线和浮置栅极形成之后, 通过注入硼或  $\text{BF}_2$  形成沟道阻挡扩散 81。注入剂量优选为在  $1\text{e}^{13}$ – $1\text{e}^{14}/\text{cm}^3$  的量级, 所述剂量足以电隔离相邻存储单元之间的沟道而不影响 N+ 位线和源极线扩散。

[0086] 从前述内容显见本发明提供了一种新的改进了的半导体存储装置及其制造工艺。尽管仅详细描述了某些优选实施例, 但是对于本领域的技术人员显见, 在不偏离由所附权力要求界定的本发明的范围的情形下, 可以进行某些变化和改良。





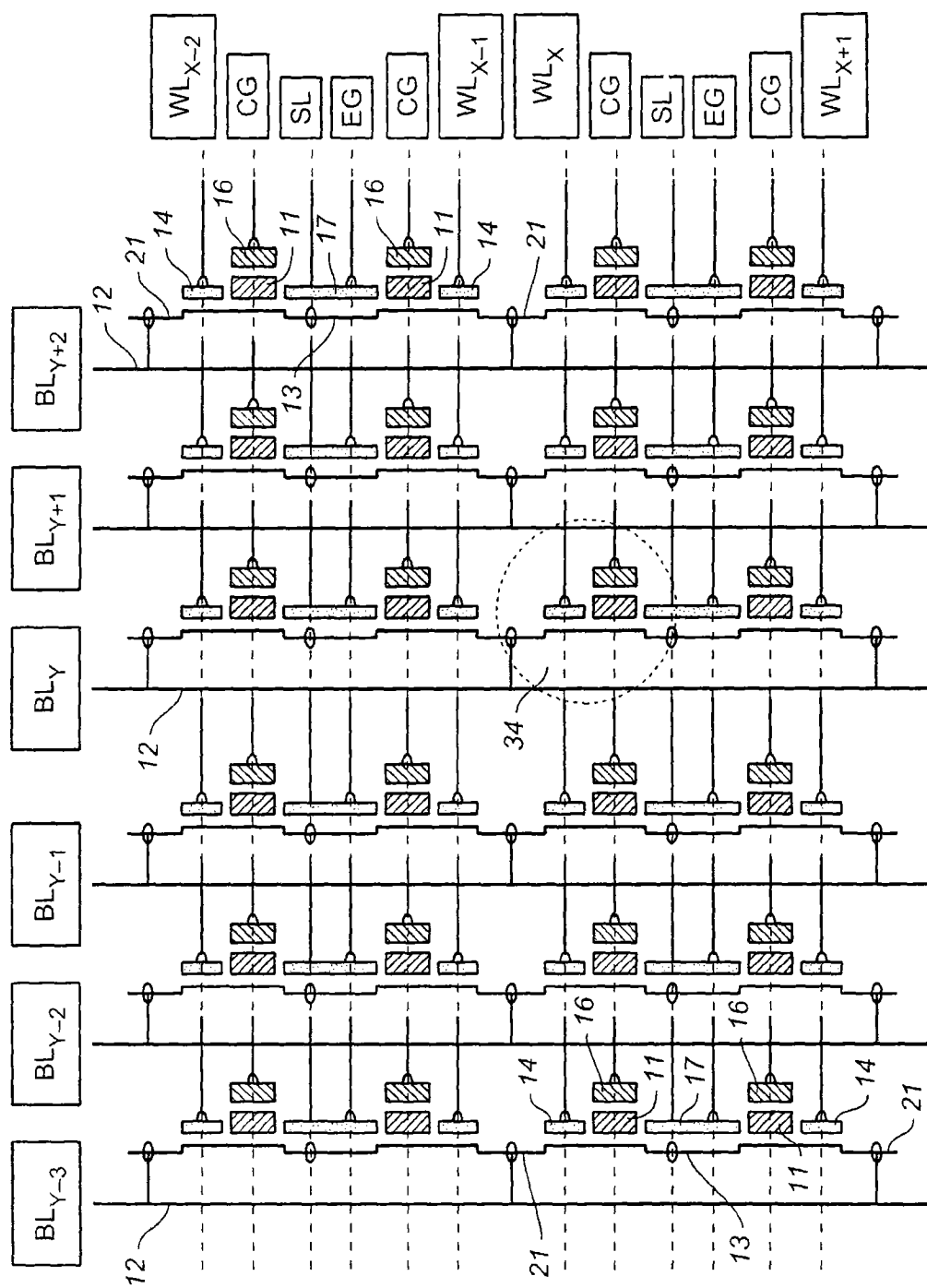


图 3

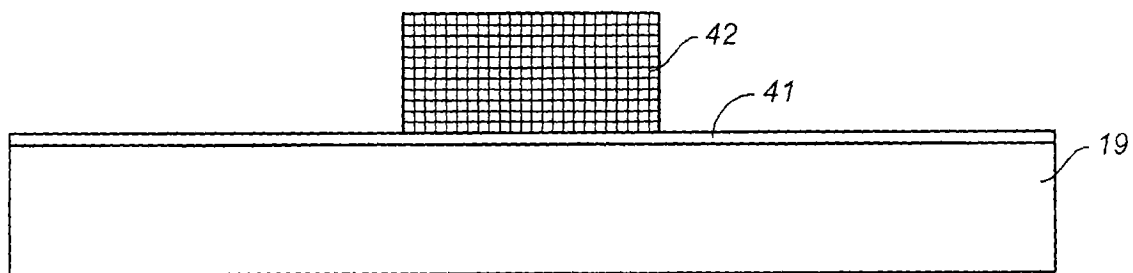


图 4A

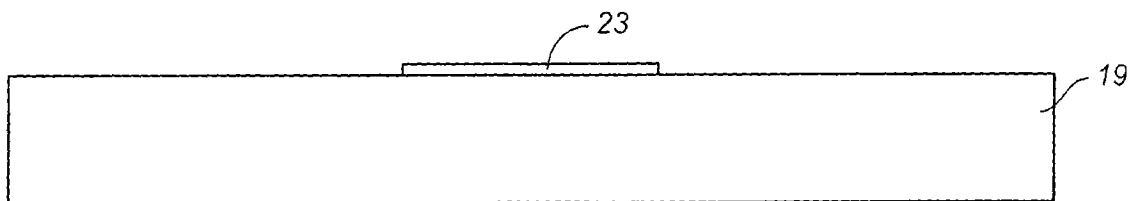


图 4B

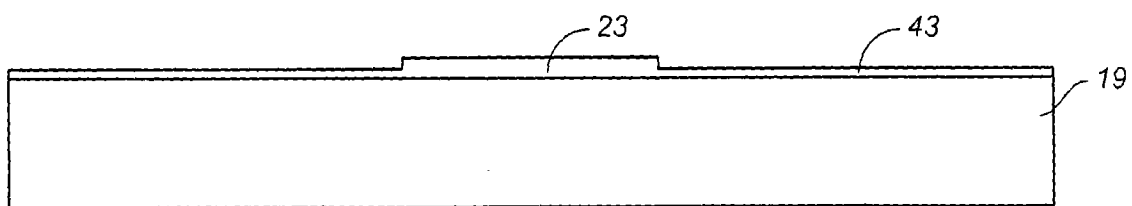


图 4C

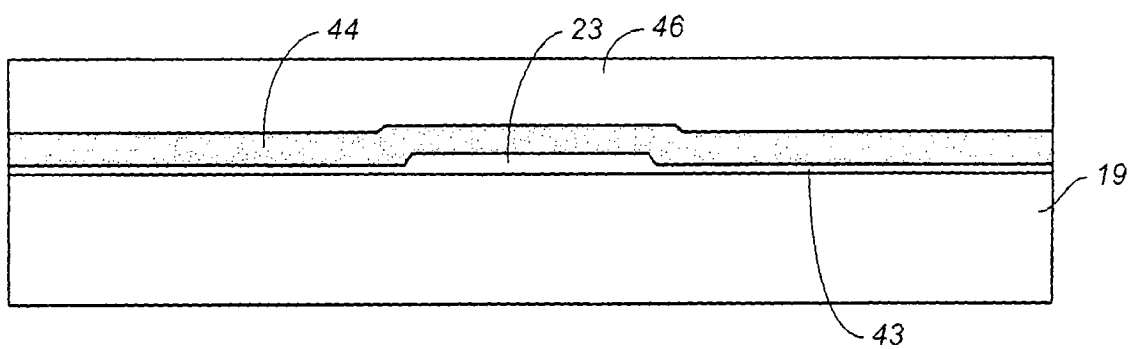


图 4D

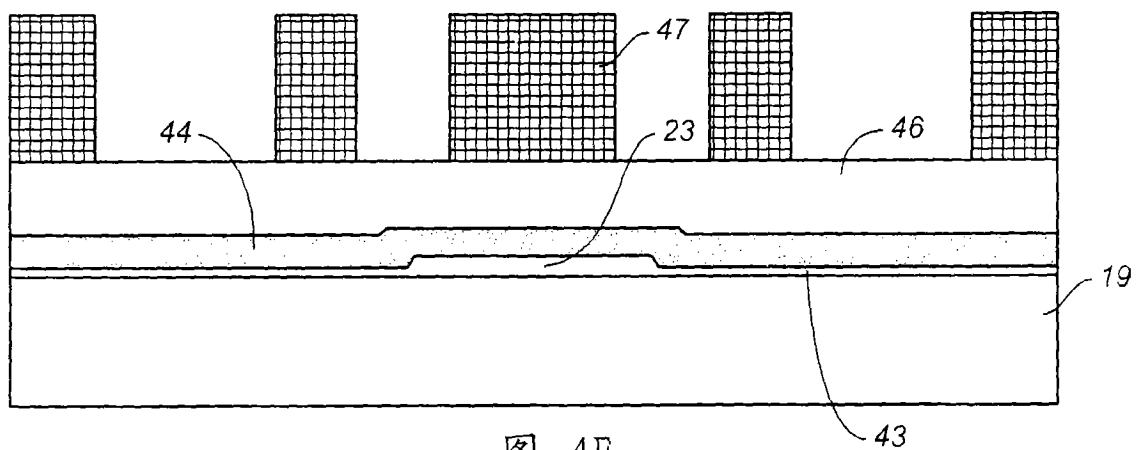


图 4E

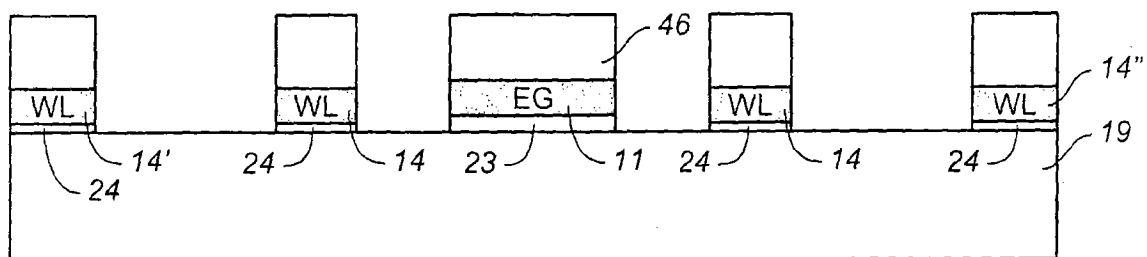


图 4F

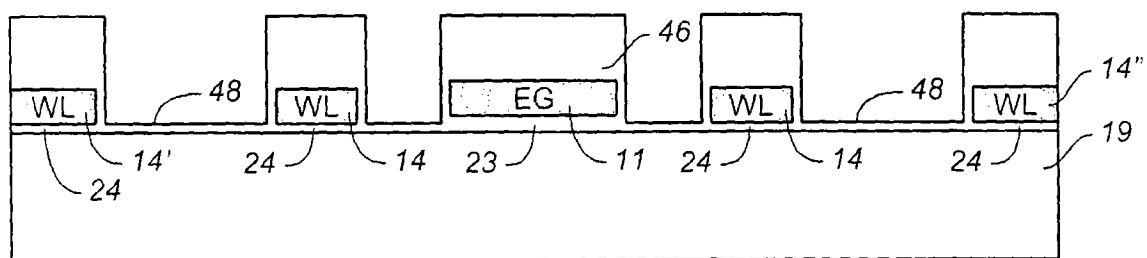


图 4G

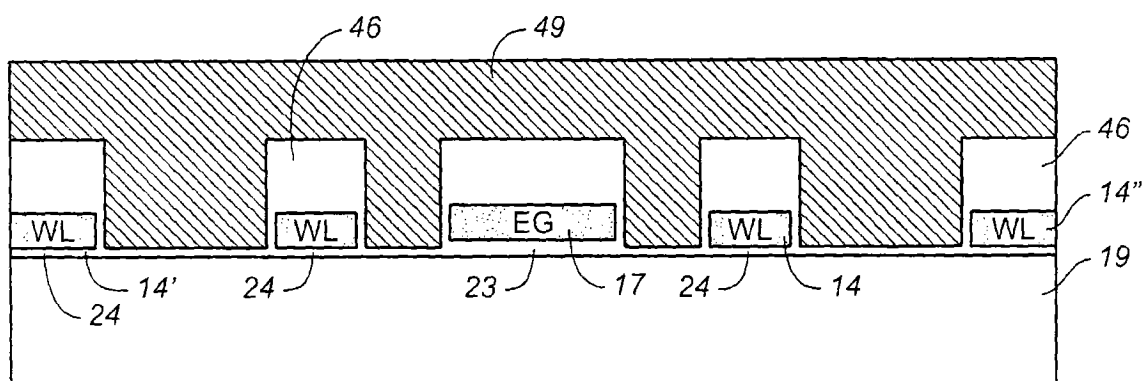


图 4H

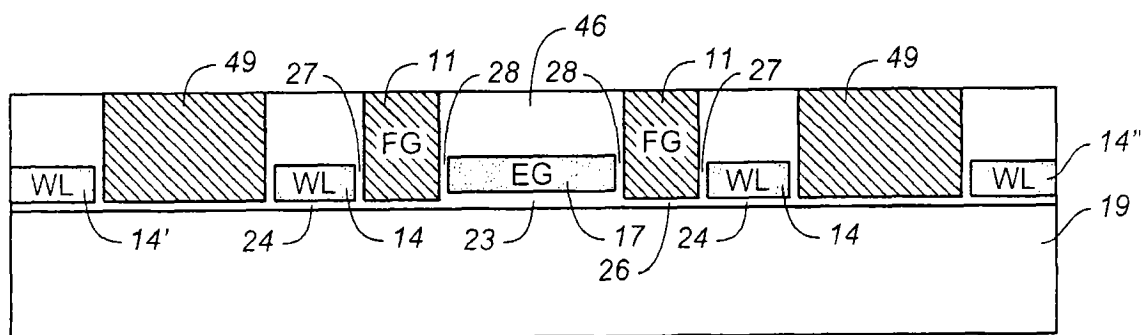


图 4I

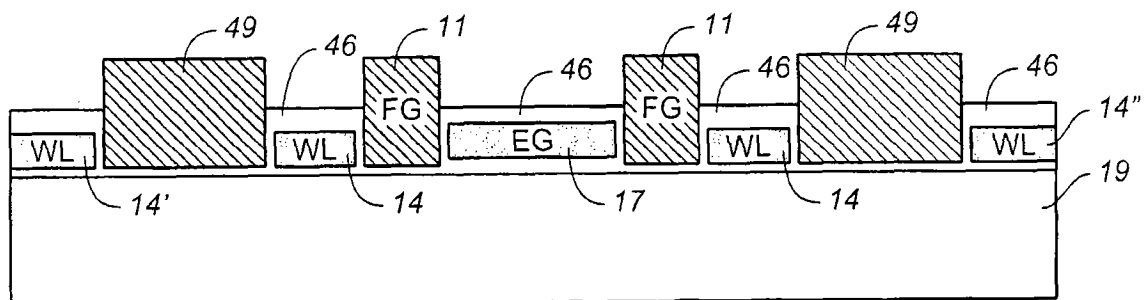


图 4J

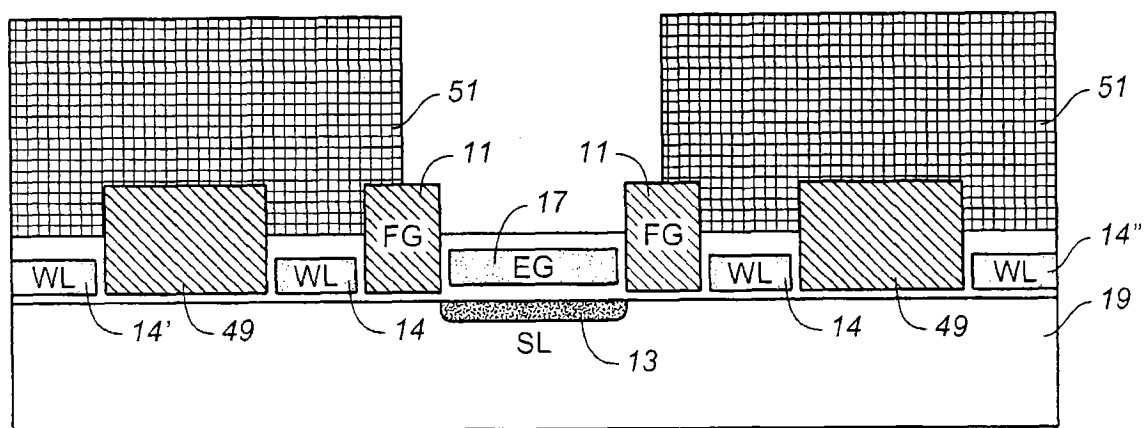


图 4K

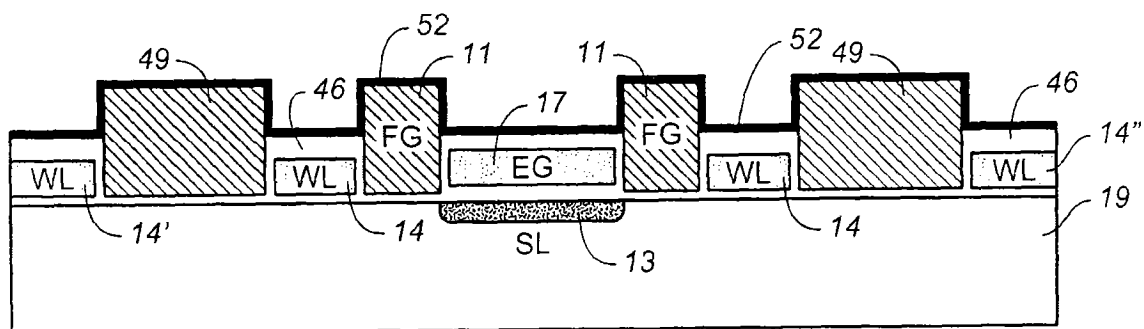


图 4L

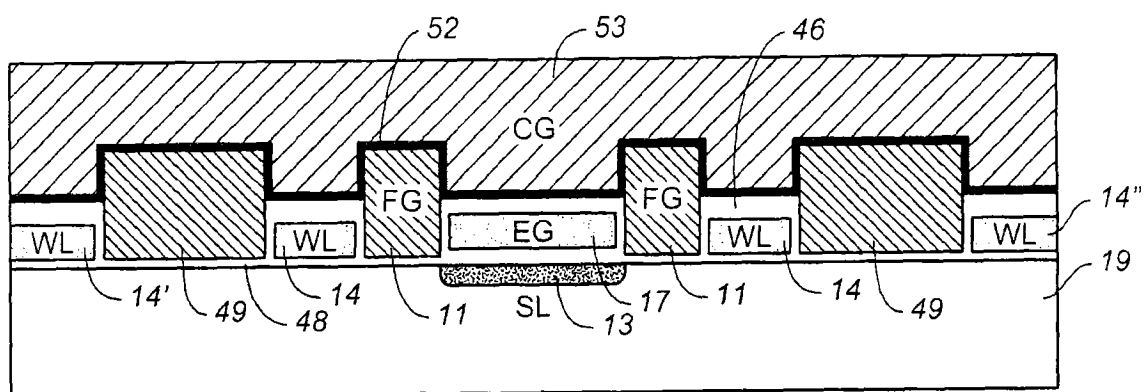


图 4M

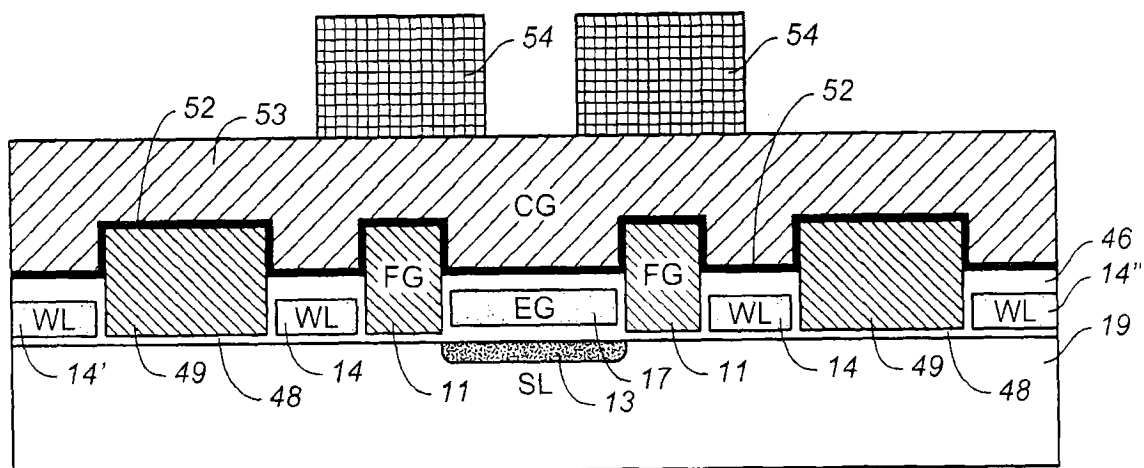


图 4N

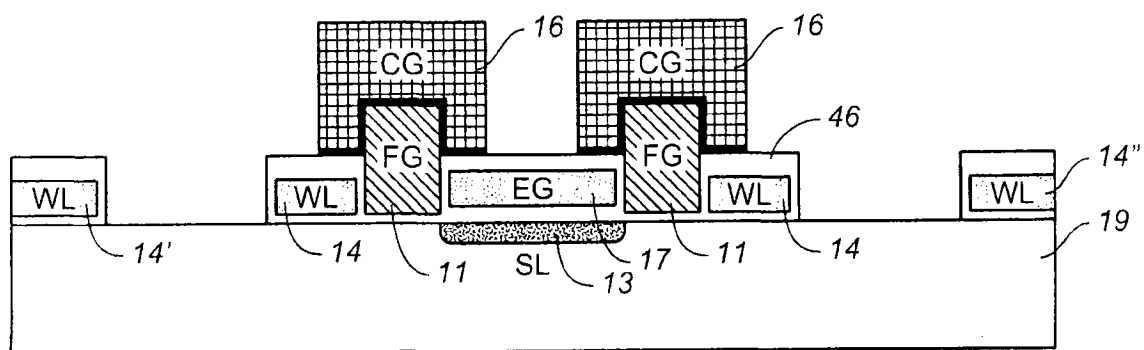


图 4O

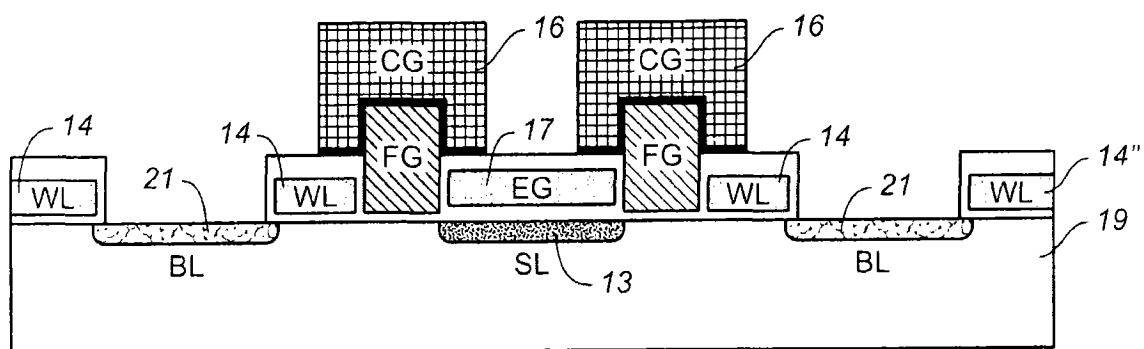


图 4P

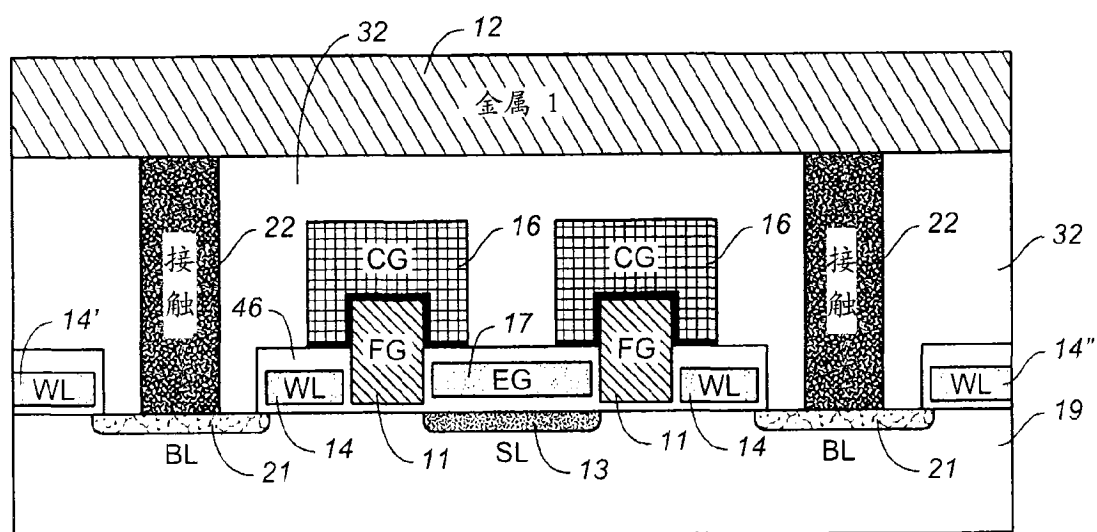


图 4Q

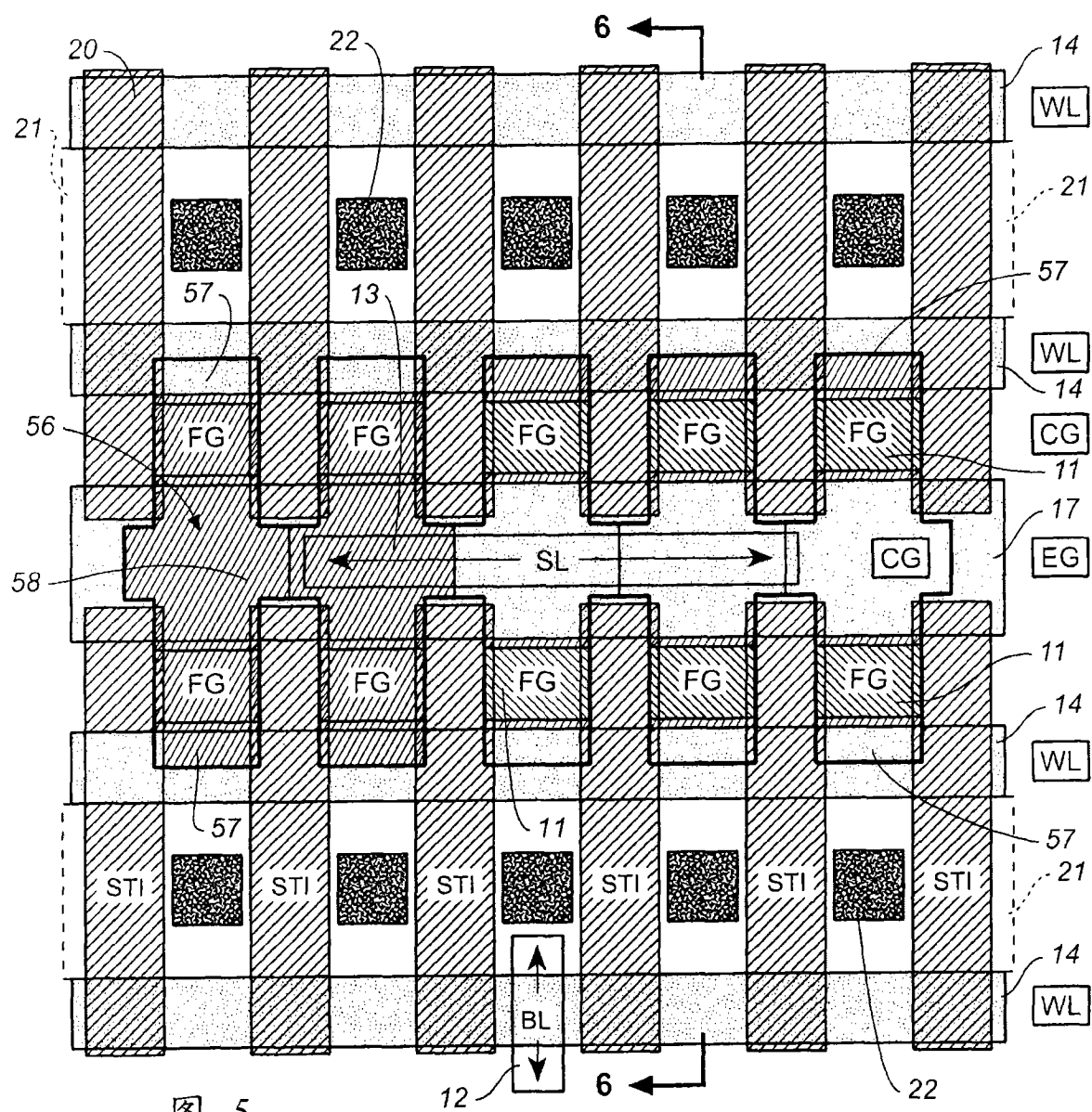


图 5

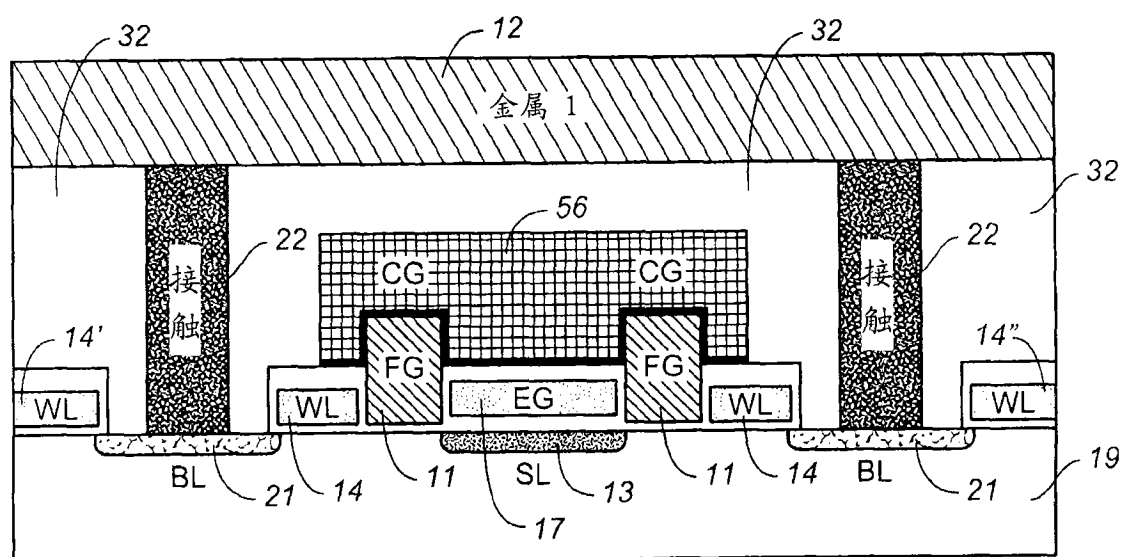


图 6

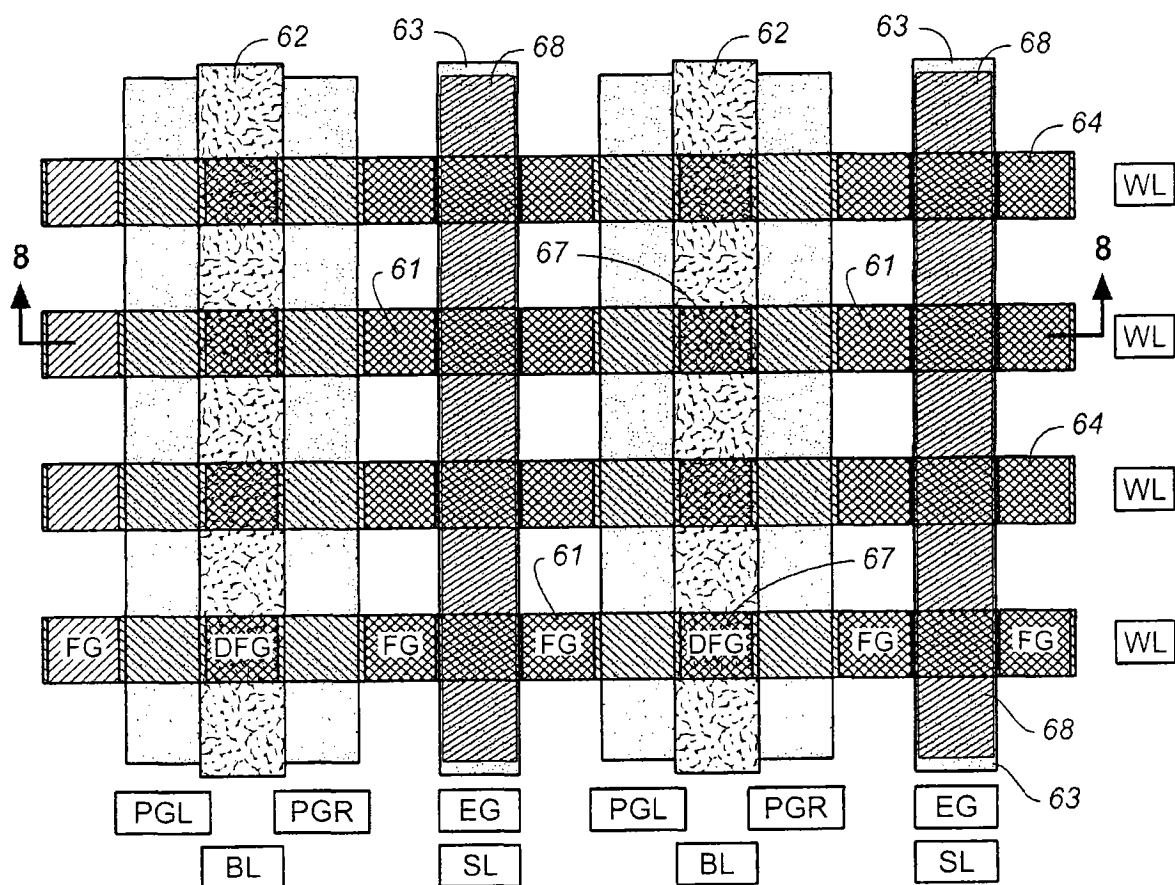


图 7

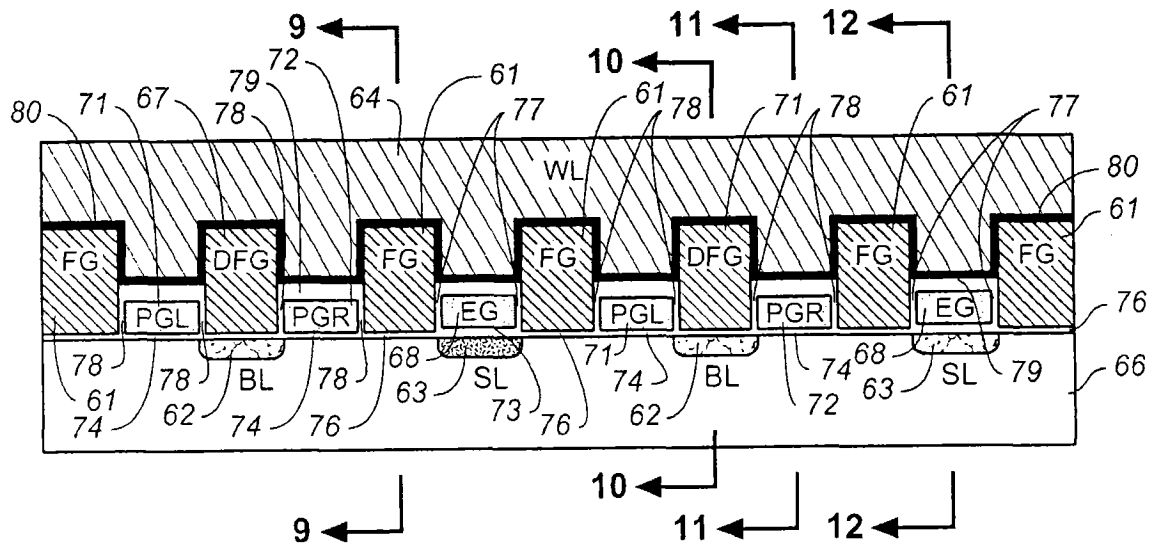


图 8

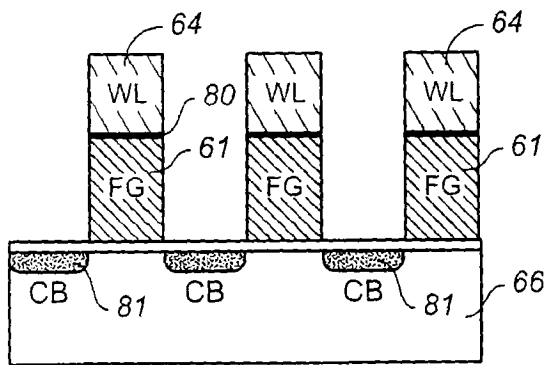


图 9

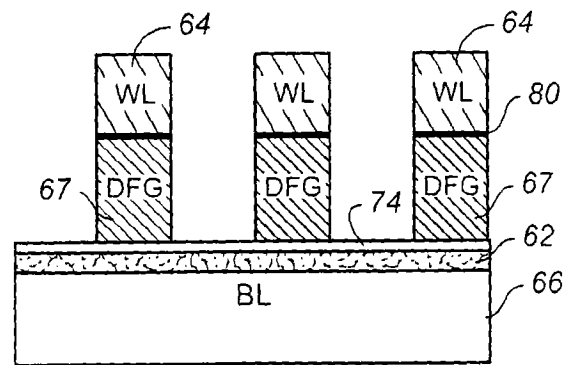


图 10

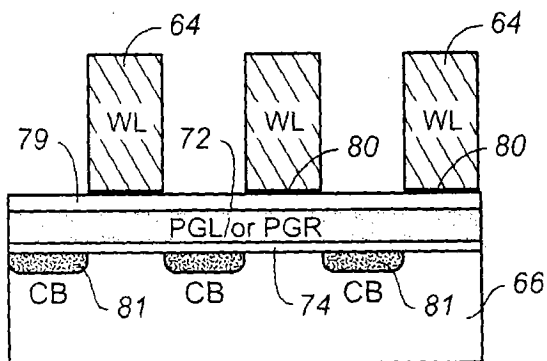


图 11

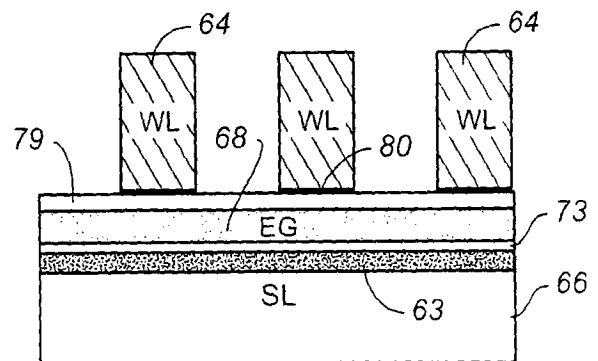


图 12

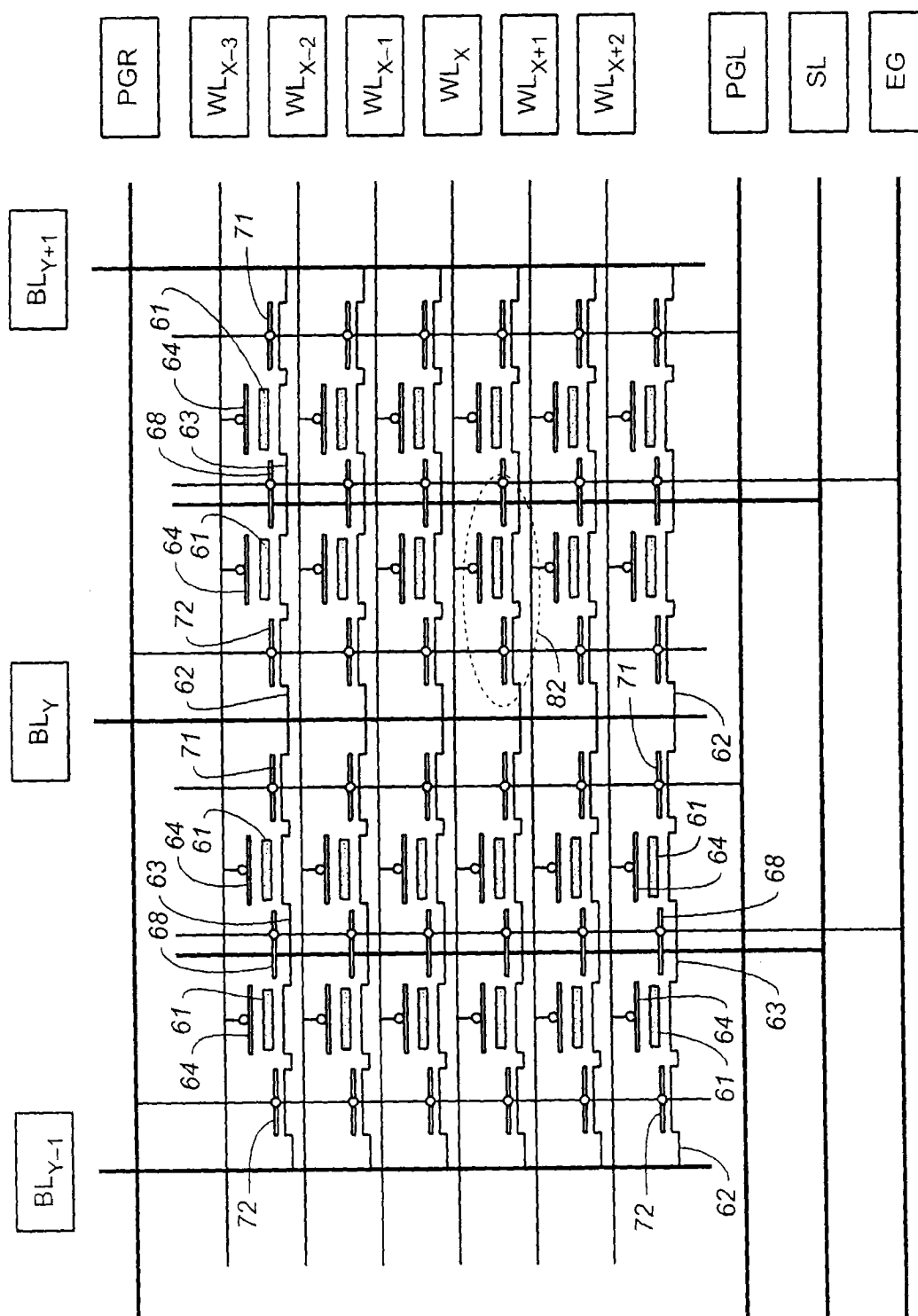


图 13

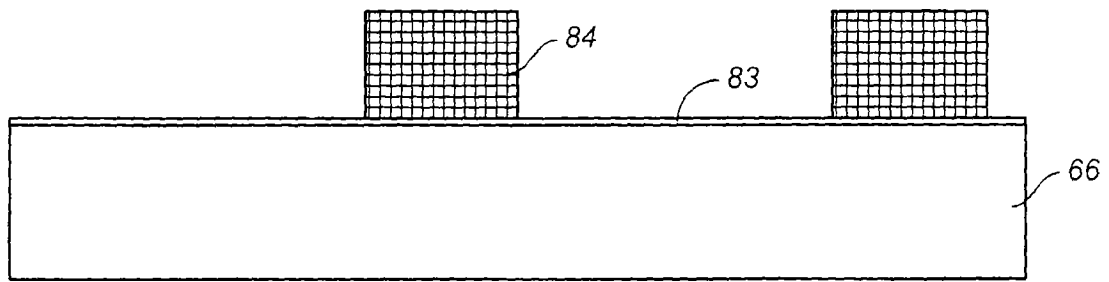


图 14A

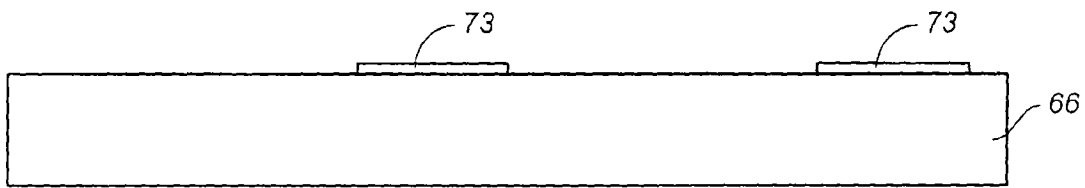


图 14B

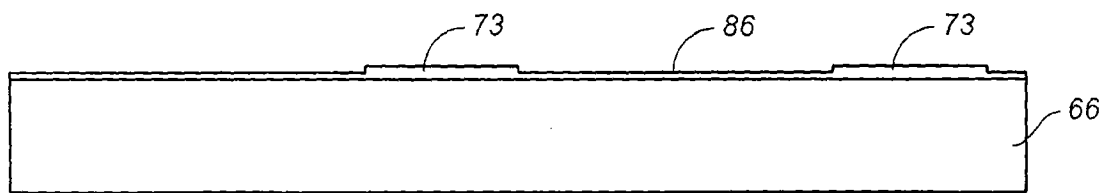


图 14C

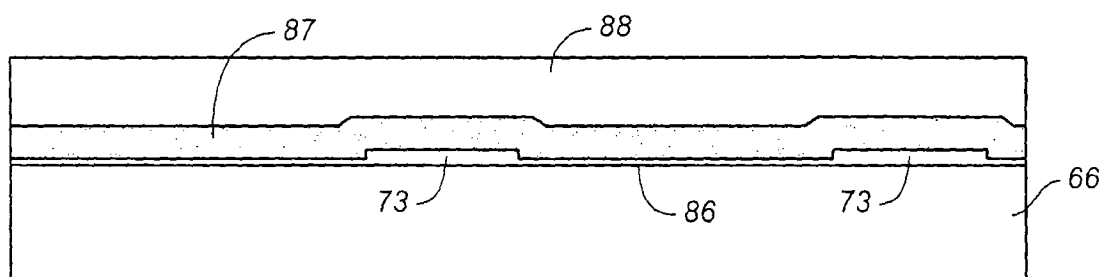


图 14D

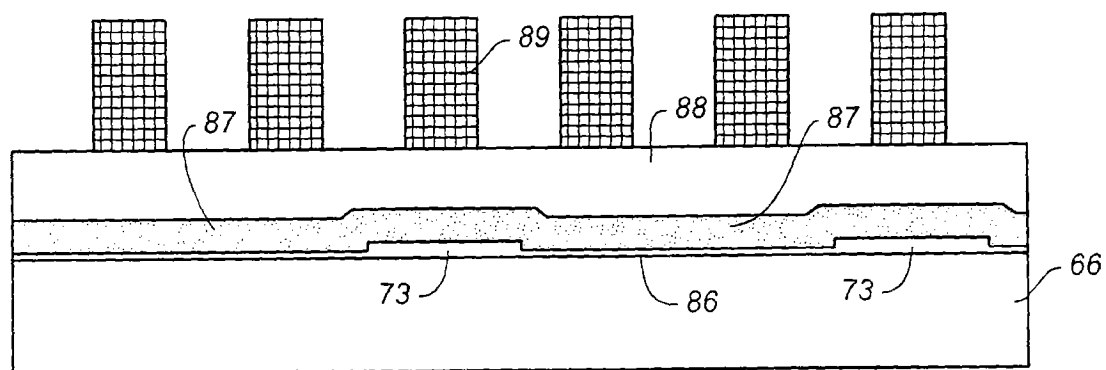


图 14E

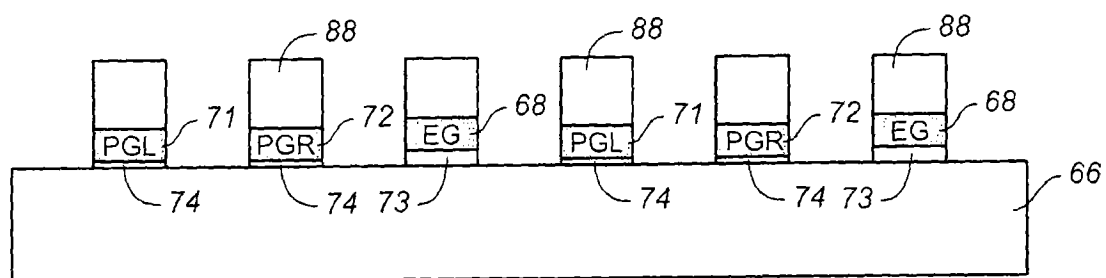


图 14F

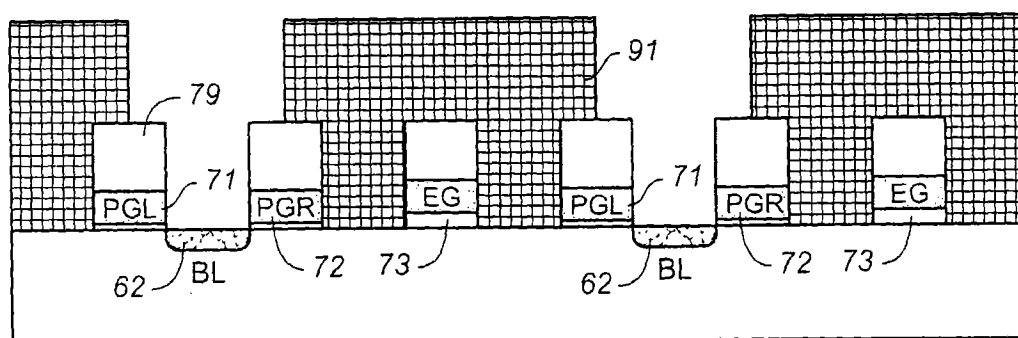


图 14G

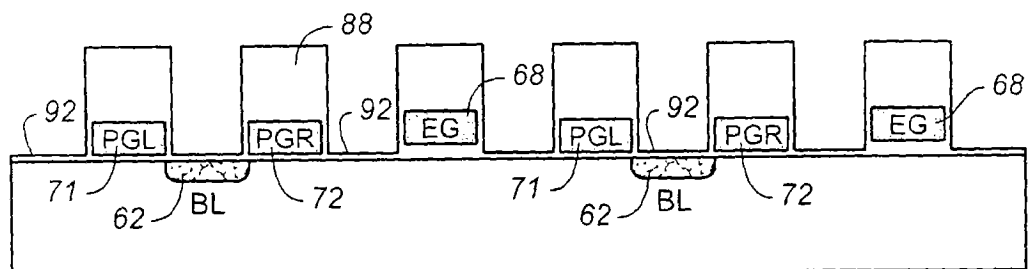


图 14H

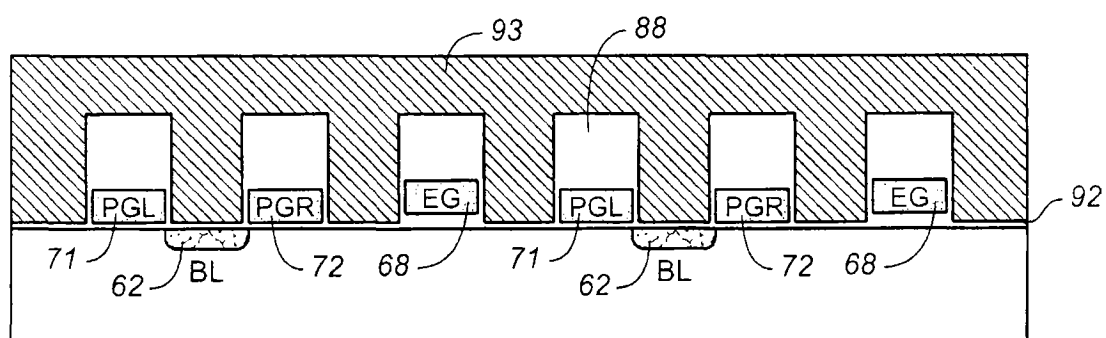


图 14I

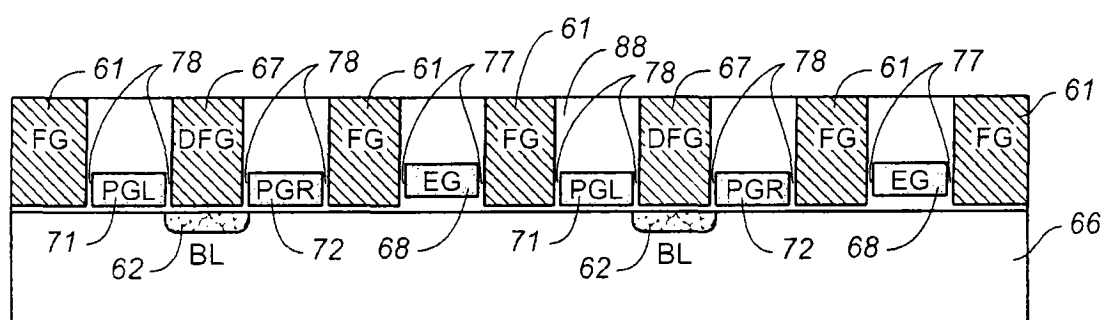


图 14J

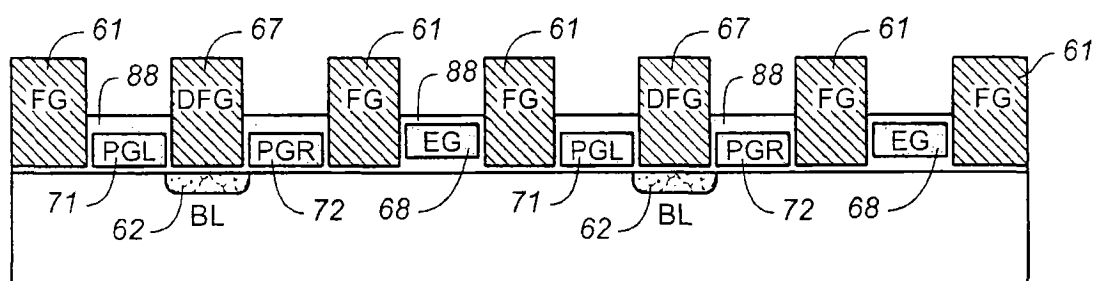


图 14K

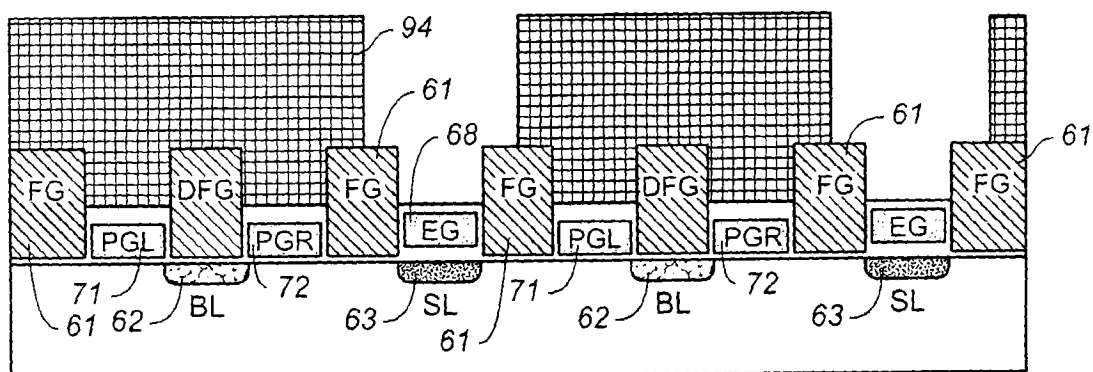


图 14L

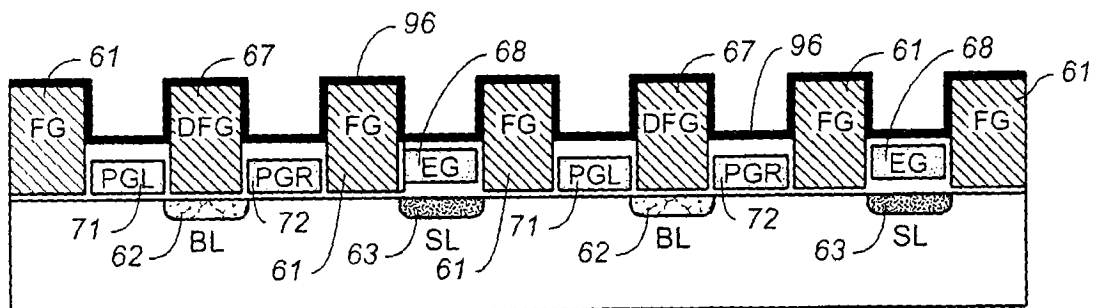


图 14M

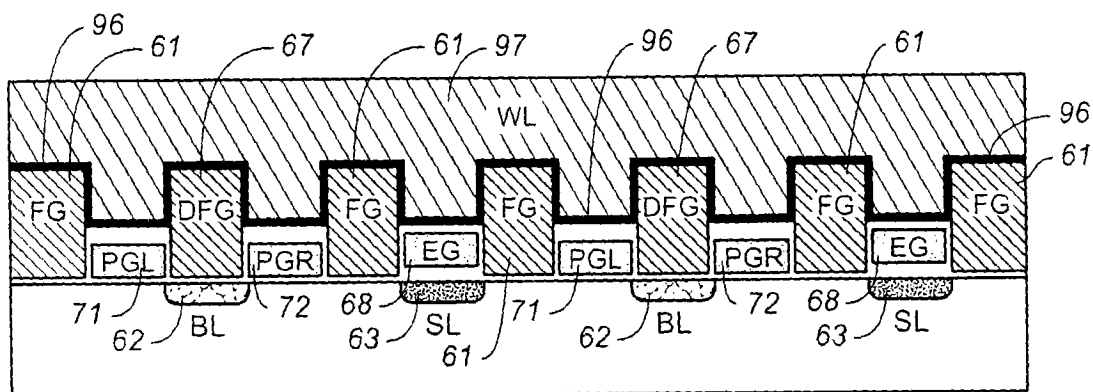


图 14N