(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3561285号
(P3561285)
(45)発行日　平成16年9月2日(2004.9.2)　(24)登録日　平成16年6月4日(2004.6.4)

(51)Int.Cl.[7]	F I		
G01R 13/20	G01R	13/20	N
G01R 13/34	G01R	13/34	A
G06F 3/05	G06F	3/05	311P
H03M 1/12	H03M	1/12	A

請求項の数 9　(全 13 頁)

(21)出願番号　特願平6-24292
(22)出願日　平成6年2月22日(1994.2.22)
(65)公開番号　特開平7-5203
(43)公開日　平成7年1月10日(1995.1.10)
審査請求日　平成13年2月21日(2001.2.21)
(31)優先権主張番号　020474
(32)優先日　平成5年2月22日(1993.2.22)
(33)優先権主張国　米国(US)

(73)特許権者　399117121
アジレント・テクノロジーズ・インク
AGILENT TECHNOLOGIES, INC.
アメリカ合衆国カリフォルニア州パロアルト ページ・ミル・ロード 395
395 Page Mill Road Palo Alto, California U.S.A.
(74)代理人　100063897
弁理士　古谷　馨
(74)代理人　100076680
弁理士　溝部　孝彦
(74)代理人　100087642
弁理士　古谷　聡

最終頁に続く

(54)【発明の名称】信号の擬似ランダム反復サンプリング

(57)【特許請求の範囲】

【請求項１】

入力信号のアナログデジタル変換を行うために用いられるサンプルクロック信号（124）を送出するための回路であって、

トリガ信号（122）の発生前にサンプルクロック信号（124）を送出する場合に値１にセットされ、前記トリガ信号の発生後にサンプルクロック信号（124）を送出する場合に値０にセットされる選択信号（246）を受け取るための手段と、

前記選択信号（246）が０の場合に前記トリガ信号の発生後に少なくとも１回サンプルクロック信号（124）を送出し、前記選択信号（246）が１の場合に前記トリガ信号（122）の発生前にランダム時間でサンプルクロック信号（124）を送出するための手段（204）と、及び

各サンプルクロック信号（124）の送出後に第１の所定量の時間で開始し、各サンプルクロック信号（124）の送出後に第２の所定量の時間で終了するトリガ認定信号（120）を生成するためのトリガ認定回路手段（218、220）とを含む、回路。

【請求項２】

前記トリガ信号（122）の各発生後に前記サンプルクロック信号（124）が送出された回数をカウントするためのプログラム可能なカウンタ手段（210）を更に含む、請求項１の回路。

【請求項３】

前記トリガ信号（122）の発生と前記サンプルクロック信号（124）の送出時間との間の時

間量を測定するための手段（206、216）を更に含む、請求項１の回路。
【請求項４】
前記選択信号（246）が１である場合に、プログラム可能な数のサンプルクロック信号（124）が送信されるまで前記トリガ信号（122）を遮断するための手段（208、254）を更に含む、請求項１の回路。
【請求項５】
前記トリガ認定回路手段（218、220）は、前記第１の所定量の時間を規定するための第１のプログラム可能手段（218）と、前記第２の所定量の時間を規定するための第２のプログラム可能手段（220）とを含む、請求項１の回路。
【請求項６】
デジタルオシロスコープ（102）へ入力される信号のアナログデジタル変換を行うために用いられるサンプルクロック信号（124）を前記デジタルオシロスコープ内で送出するための回路であって、
トリガ信号（122）の発生前にサンプルクロック信号（124）を送出する場合に値１にセットされ、前記トリガ信号の発生後にサンプルクロック信号（124）を送出する場合に値０にセットされる選択信号（246）を受け取るための手段と、
前記選択信号（246）が０の場合に前記トリガ信号の発生後に少なくとも１回サンプルクロック信号（124）を送出し、前記選択信号（246）が１の場合に前記トリガ信号（122）の発生前にランダム時間でサンプルクロック信号（124）を送出するための手段（204）と、及び
各サンプルクロック信号（124）の送出後に第１のプログラム可能な量の時間で開始し、各サンプルクロック信号（124）の送出後に第２のプログラム可能な量の時間で終了するトリガ認定信号（120）を生成するためのプログラム可能トリガ認定回路手段（218、220）とを含む、回路。
【請求項７】
前記トリガ信号（122）の各発生後に前記サンプルクロック信号（124）が送出された回数をカウントするためのプログラム可能なカウンタ手段（210）を更に含む、請求項６の回路。
【請求項８】
前記選択信号（246）が０である場合に、前記トリガ信号（122）の発生と前記サンプルクロック信号（124）の送出時間との間の時間量を測定するための手段（206、216）を更に含む、請求項６の回路。
【請求項９】
前記選択信号（246）が１である場合に、プログラム可能な数のサンプルクロック信号（124）が送信されるまで前記トリガ信号（122）を遮断するための手段（208、254）を更に含む、請求項６の回路。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、電子回路に関するものであり、特に、検査用機器に関し、詳細には、デジタルオシロスコープに表示するための入力信号のサンプリングを行う回路に関するものである。
【０００２】
【従来の技術】
デジタルオシロスコープにおいては、最初に、離散的時間間隔で信号をサンプリングすることにより、入力信号がデジタル化されて、各時間間隔毎における信号のデジタル値が得られる。次いで、これらの各サンプルが、オシロスコープのＣＲＴ上に表示される。信号のサンプリングに通常用いられる従来の方法には、リアルタイムサンプリングと、逐次反復サンプリングと、ランダム反復サンプリングとの３つの方法がある。
【０００３】

リアルタイムサンプリングの場合、信号は、リアルタイムでオンザフライ式にデジタル化される。サンプルとそのサンプルが抽出された時間とは、単純に１対１の対応関係がある。即ち、全てのサンプルは、単一の入力波形サイクル中に抽出される。リアルタイムサンプリングの利点は、１サイクルの入力に亘ってその測定値の全てを得ることができる点にあり、従って、高スループットのシングルショットパルスのサンプリングが可能である。また、リアルタイムサンプリングの欠点は、非常に高速の信号または広帯域幅の信号のサンプリングが不可能な点であり、これは、そのサンプルクロックが、入力信号の最高周波数成分に比較して少なくともその２倍速くなければならないからである。

【０００４】

また、逐次サンプリングの場合、１つ以上の信号サンプルが、入力波形の各サイクル毎にデジタル化される。従って、入力信号は、反復性を有するものでなければならず、オシロスコープは、その反復波形中のトリガポイントを位置付けることができなければならない。オシロスコープの連続的なトリガの各々について新しいサンプルが抽出される。新しいサンプルポイントの各々は、先行のサンプルよりもトリガポイントから一層遅延しており、各々のトリガ後の遅延は、先行のトリガの遅延から一定量だけ増大する。この方法は、各トリガ毎に少なくとも１つのサンプルが抽出されることを保証するものであり、それ故、ランダム反復サンプリングに比べて波形の捕捉が一層迅速になり、このため、スループットが一層高くなる。この逐次サンプリングの欠点は、正時間だけしかサンプリングを行うことができず、即ち、トリガ後のサンプルしか抽出することができないという点である。

【０００５】

ランダム反復サンプリングは、逐次サンプリングと同様のものであるが、信号が、入力信号によってではなくオシロスコープのサンプリングクロックによって決定される速度で常にサンプリングされてデジタル化される点では異なっている。各サンプルの抽出後、サンプルの時間と波形のトリガとの間の時間関係が確立される。多数のサンプルが抽出された後、信号が再構成されてオシロスコープのディスプレイに表示される。ランダム反復サンプリングの利点は、トリガ位置の前後で波形をサンプリングすることができるという点であるが、このサンプリング方法は、サンプルクロック周期よりも遥かに短い時間範囲に亘って信号を捕捉するのが遅いので、低スループットとなる。捕捉の時間範囲がサンプルクロック周期より短い場合、各トリガ事象毎に有効な（時間範囲内の）サンプルが保証されることはない。実際のところ、あらゆる所与のトリガ時にサンプルが捕捉時間範囲内に納まる確率は、次式の通りである。

【０００６】

（捕捉時間範囲）／（サンプルクロック周期）

従って、従来のサンプリング方法には欠点がある。リアルタイムサンプリングは、高スループットを有し、トリガ事象を基準とした負時間及び正時間でのサンプリングが可能であるが、回路の速度上の制限により、低帯域幅から中間帯域幅の信号にしか用いることができない。また、逐次サンプリングは、広帯域幅及び高スループットを有するが、トリガ事象の後の正時間だけしかサンプリングを行うことができない。ランダム反復サンプリングは、広帯域幅を有し、負時間及び正時間でのサンプリングが可能であるが、特に高掃引速度で、低スループットとなる。

【０００７】

従って、トリガ事象を基準とした負時間及び正時間の両方においてデータを捕捉し、及び、極めて速い信号を捕捉することができ、また表示する信号を迅速に捕捉して高スループットを提供することが可能な装置が、当業界で必要とされている。更に、当業界では、逐次サンプリングの高スループットとランダム反復サンプリングの負時間サンプリング能力とを備えたサンプリング装置が必要とされている。本発明は上述その他の必要性を満たすものである。

【０００８】

【発明が解決しようとする課題】

本発明の目的は、広帯域幅の入力信号のサンプリングを行うことにある。
【０００９】
本発明のもう１つの目的は、トリガ事象の前後の両方において入力信号のサンプリングを行うことにある。
【００１０】
本発明の更にもう１つの目的は、そのような信号のサンプリングを行うと共に高スループットを提供することにある。
【００１１】
【課題を解決するための手段】
上述その他の本発明の目的は、高速信号のサンプリングを行い、トリガ事象を基準とした負時間及び正時間でのサンプリングを行い、表示用の波形を迅速に形成することが可能な回路によって達成される。この回路は、２つの異なる方法で負時間及び正時間における捕捉を行うことにより上記作用を達成する。正時間での情報は、修正形態の逐次サンプリングを用いて捕捉される。これは、逐次サンプリングが、トリガ事象の後に生じるサンプルについての信号を迅速に形成することができるからである。
【００１２】
トリガ事象の前に生じるサンプルについては、本装置は、修正形態のランダム反復サンプリングを用いる。その修正は、トリガ事象を発生可能にする前に波形のサンプリングを行い、各トリガ事象に認定処理を行って、サンプル後にプログラマブル時間ウインドウ中でトリガ事象が生じた場合にのみそのトリガ事象が認識されるようにすることを含むものである。
【００１３】
本発明の上述その他の目的、特徴、及び利点は、図面に関連して進める以下の詳細な説明を参照することにより、一層良好に理解されよう。
【００１４】
【実施例】
以下の説明は、現在企図している本発明の最良の実施態様である。この説明は、制限の意味に解すべきではなく、本発明の一般的原理を明らかにすることだけを目的としたものである。本発明の範囲は、特許請求の範囲の記載に基づいて決定されるべきである。
【００１５】
図１は、本発明の擬似ランダム反復サンプリング回路を組み込んだデジタルオシロスコープのブロック図を示すものである。同図において、デジタルオシロスコープ１０２は、プロセッサと、プログラム及びデータを記憶するためのメモリとを組み込んだ中央処理装置（ＣＰＵ）１０４を備えている。このＣＰＵ１０４は、システムバス１０６を介して、サンプリング回路１０８及び本発明の擬似ランダム反復時間ベース回路１１０と通信を行う。ＣＰＵ１０４はまた、ディスプレイ１１２と通信を行って、システムのユーザに対する信号の表示を行う。
【００１６】
トリガ回路１１６は、入力信号１１４を受信して、信号中のトリガポイントを決定する。サンプリング回路１０８は、サンプルクロック信号１２４を受信して、入力信号１１４のサンプリングを行い、デジタル値を生成する。このデジタル値は、バス１０６を介してＣＰＵ１０４に送られ、そのＣＰＵ１０４で累算されて、入力信号１１４で受信した信号の表示が構成される。そのＣＰＵ１０４のメモリ中に構成された信号が、次いでディスプレイ１１２に送られる。
【００１７】
本発明の擬似ランダム反復時間ベース回路１１０は、トリガ事象を認識するか否かをトリガ回路１１６に伝えるトリガイネーブル信号１２０を生成する。トリガ事象が認識されている場合、トリガ回路１１６は、入力信号１１４で受信した信号を検査して、トリガ事象の発生時期を決定する。トリガ事象が生じると、トリガ回路１１６は、擬似ランダム反復時間ベース回路１１０にトリガ信号１２２を送る。擬似ランダム反復時間ベース回路１１

０はまた、サンプリング回路１０８にサンプルクロック信号１２４を送る。これは、入力信号１１４のサンプルを抽出すべき時期をサンプリング回路１０８に伝えるものである。ＣＰＵ１０４、ディスプレイ１１２、トリガ回路１１６、及びサンプリング回路１０８は、デジタルオシロスコープ関連業界では周知のものであり、これ以上の説明は省略することとする。

【００１８】

図２は、図１の擬似ランダム反復時間ベース回路１１０の詳細なブロック図を示すものである。同図において、回路１１０は、サンプルクロック信号１２４の生成に用いられるサンプルクロック生成器２０４を備えている。サンプルクロック生成器２０４は、システムバス１０６を介して並列ロード可能なＮ分割ダウンカウンタである。安定発振器からの時間ベース（ＴＢ）クロック信号２４０は、サンプルクロック生成器２０４のクロック入力並びに他の回路に接続される。サンプルクロック生成器２０４に初期数をロードすることによりサンプルが生成され、その数がゼロに達するまで時間ベースクロック信号２４０がサンプルクロック生成器のデクリメントを行うことが可能となり、ゼロに達した時点で、終端カウントが生成され、これにより、サンプルクロック１２４が形成される。次いで、サンプルクロック生成器２０４に上記と同じ数かあるいは新たな数が再ロードされて、上記プロセスが反復される。

【００１９】

別の回路要素を用いて再ロード操作を実施して、ＣＰＵ１０４（図１）から再ロードの負担を除去することが可能である。

【００２０】

補間回路を用いて、トリガの発生と次のサンプルクロックの発生との間の時間が測定される。この補間回路は、カウンタ回路である粗補間器２０６と、Ｄフリップフロップ２１２と、第２のＤフリップフロップ２１４と、ＡＮＤゲート回路２２８，２３０と、細密補間回路２１６とを備えている。細密補間回路２１６は、トリガ信号の発生と時間ベースクロック信号２４０の次のアップエッジとの間の時間を測定する。次いで、粗補間器２０６が、トリガ発生後の時間ベースクロック信号の最初のアップエッジと次のサンプルクロック信号１２４の発生との間における時間ベースクロック信号のサイクルをカウントする。

【００２１】

細密補間器２１６は、アナログ時間測定を行い、時間伸長（ｓｔｒｅｔｃｈｅｒ）回路を用いる。例えば、細密補間器２１６は、コンデンサを高速で充電し、次いで、そのコンデンサを低速で放電させる一方、クロックサイクルをカウントして、トリガの発生とそのトリガ後における時間ベースクロックの最初のアップエッジの発生との間にどれだけの時間が経過したかを決定することができる。他の周知の細密補間回路もまた使用可能である。

【００２２】

トリガ信号（ＴＲＩＧ）１２２が受信されると、その信号により、ＡＮＤゲート２２８の出力であるＦＩＣ信号２５２が高レベルになり、細密補間器２１６が始動される。ＡＮＤゲート２２８の反転された他方の入力がＤフリップフロップ２１２のＱ出力２４８に接続されており、その出力がトリガの受信前に低レベルになるので、ＡＮＤゲート２２８が活動状態になる。次いで、細密補間器２１６は、時間測定を開始し、ＦＩＣ信号２５２が低レベルになるまで時間測定を続行する。時間ベースクロック信号２４０の次のアップエッジで、Ｄフリップフロップ２１２がセットされる。これにより、ＡＮＤゲート２２８の出力が低レベルになって細密補間器２１６が停止する。従って、細密補間器２１６は、トリガ信号１２２の発生と時間ベースクロック信号２４０の最初のアップエッジとの間の時間を測定する。

【００２３】

ＳＹＮＣ　ＴＲＩＧ信号２４８であるＤフリップフロップ２１２のＱ出力が高レベルになると、ＡＮＤゲート２３０の出力即ちＣＩＣ信号２５０が高レベルになって、粗補間器２０６がイネーブルになる。次いで粗補間器２０６は、サンプルクロック１２４が発生するまで時間ベースクロック信号２４０のサイクルをカウントする。サンプルクロック１２４

が発生すると、それによりＤフリップフロップ２１４がセットされ、そのＤフリップフロップ２１４の出力によりＡＮＤゲート２３０の出力が低レベルになって、粗補間器２０６がディセーブルになる。ＣＰＵ１０４（図１）は、バス１０６を介して細密補間器２１６及び粗補間器２０６から値を読み出し、トリガ信号１２２とサンプルクロック１２４の発生との間に生じた時間量を決定する。

【００２４】

図２の残りの部分の動作については、以下の図３及び図４の解説に関連して説明する。図３は、回路がトリガ事象後即ち正時間中にサンプルを捕捉する間における図２の信号のタイミングチャートを示している。また、図４のタイミングチャートは、回路がトリガ前即ち負時間中にサンプルを捕捉する間における図２の信号を示している。

【００２５】

正時間中にサンプリングを行う場合、ＣＰＵ１０４は、ＮＥＧ／ＰＯＳ信号２４６を低レベルにセットして、ＡＮＤゲート２２４がサンプルクロック生成器２０４を起動させるのを防止する。従って、サンプルクロック生成器２０４は、トリガ信号１２２が受信されるまで起動されることはない。トリガ信号１２２が受信されると、それにより、ＯＲゲート２２６がサンプルクロック生成器２０４をイネーブルにする。イネーブルになると、サンプルクロック生成器２０４は、上述のようにサンプルクロック信号を生成する。各サンプルクロック信号が発生する毎に、トリガ後サンプルカウンタ２１０がデクリメントされる。トリガ後サンプルカウンタ２１０は、バス１０６を介してＣＰＵ１０４からロードされ、そのロードされた値によって、各トリガ事象毎に抽出すべきサンプルの数が決まる。従って、正時間中にサンプリングを行う場合、本回路は、１トリガ事象につき２つ以上のサンプルを抽出することが可能なものである。しかし、トリガ後サンプルカウンタ２１０を値１にセットして、１トリガ事象につき１サンプルしか抽出しないようにすることも可能である。所望数のサンプルが抽出された後、トリガ後サンプルカウンタ２１０の終端カウント出力２５８は、捕捉が終了したことを示す高レベルになる。

【００２６】

サンプルクロック生成器２０４の並列ロード入力に付加的な回路（図示せず）を追加して、トリガ後サンプル遅延値をサンプルクロック生成器にロードして、トリガ事象の発生後であって最初のサンプルクロック１２４の生成前にサンプルクロック生成器を一定時間だけ遅延させることも可能である。これにより、逐次サンプリングに用いられる各トリガ後に異なる遅延が生成される。その後、サンプルクロック生成器２０４に第２の値をロードして、逐次のサンプルクロック間の時間間隔を設定することができる。信号が低速である場合、これらの２つの異なる値はＣＰＵ１０４からロード可能なものであるが、信号が高速である場合には、追加回路を設けることが望ましい。上記の第１の値はＣＰＵ１０４から直接ロード可能なので、前記追加回路は、前記第２の値を保持するレジスタから構成される。

【００２７】

図３は、正時間捕捉に関する信号のタイミングチャートを示している。同図において、時間ベースクロック信号２４０は、連続して繰り返されるクロック信号である。トリガ１２２が発生すると、ＦＩＣ信号２５２が活動状態になって細密補間器２１６が始動される。トリガ事象後における時間ベースクロック信号２４０の次のアップエッジで、サンプルクロック生成器２０４がイネーブルになって、最初のサンプルクロック１２４が発生するまでカウントダウンを行う。これと同時に、ＦＩＣ信号２５２が低レベルになって、細密補間器２１６がディセーブルになる。

【００２８】

サンプルクロック生成器２０４は、トリガ後サンプルカウンタ２１０がデクリメントしてゼロになってＡＣＱ　ＤＯＮＥ信号２５８がセットされるまで、動作を続行する。

【００２９】

一方、負時間捕捉の場合には、本回路は異なる態様で動作する。ＣＰＵ１０４がＮＥＧ／ＰＯＳ信号２４６をセットして負時間捕捉を指示し、これにより、捕捉開始信号２４４が

高レベルになった際にＡＮＤゲート２２４の出力を高レベルにすることが可能になる。ＡＮＤゲート２２４の出力が高レベルになると、ＯＲゲート２２６がイネーブルになり、次いでサンプルクロック生成器２０４がイネーブルになる。その後、サンプルクロック生成器２０４は、上述のようにサンプルクロック１２４を発生する。

【００３０】

負時間捕捉では、トリガ事象を許容する前に幾つかのサンプルを抽出することが望ましい。これは、トリガ前サンプルカウンタ２０８に或る一定値をロードすることにより達成される。その一定値がトリガ前サンプルカウンタ２０８にロードされて、捕捉開始信号２４４が活動状態になると、トリガ前サンプルカウンタ２０８は、サンプルクロック１２４の各発生毎にデクリメントを行うことになる。トリガ前サンプルカウンタ２０８がゼロに達すると、終端カウント出力信号２５４がＡＮＤゲート２３２の一方の入力をイネーブルにする。次いで、ＡＮＤゲート２０９は、次の捕捉サイクルまで終端カウント出力信号２５４を高レベルに保持する。

【００３１】

ＡＮＤゲート２３２のもう一方の入力は、トリガ認定回路からのものである。トリガ認定回路は、トリガ開始認定カウンタ２１８、トリガ停止認定カウンタ２２０、及び、セット／リセットフリップフロップ２２２から構成される。このトリガ認定回路は、各サンプルクロックの前の所定時間に開始する固定時間ウインドウ内でトリガを生じさせることができるように設計されている。このトリガ認定ウインドウと次のサンプルクロックとの間の遅延は、トリガ開始認定カウンタ２１８に初期値をロードすることによりプログラムすることができる。ここで、前記初期値は、最初の認定ウインドウの開始前にＳＴＡＲＴ　ＡＣＱ２４４が高レベルになった後の遅延量を規定するものである。また、第２の値がトリガ停止認定カウンタ２２０にロードされる。ここで、前記第２の値は、最初のトリガ認定ウインドウが終了する前にＳＴＡＲＴ　ＡＣＱ２４４が高レベルになった後の時間量を規定するものである。これら２つの値は、ＣＰＵ１０４によりバス１０６を介してロードされる。それら値のロード後、ＳＴＡＲＴ　ＡＣＱ２４４の発生により、両カウンタともイネーブルになってデクリメントを開始する。トリガ前サンプルカウンタ２０８が高レベルになった後、トリガ開始認定カウンタ２１８がデクリメントを行ってゼロに達し、その終端カウント出力２６８によりセット／リセットフリップフロップ２２２がセットされ、これにより、ＡＮＤゲート２３２がイネーブルになり、またトリガイネーブル信号１２０が高レベルになる。トリガ停止認定カウンタ２２０にロードされる値は、トリガ開始認定カウンタ値より大きく、従って、トリガ停止認定カウンタがデクリメントし続けて、トリガイネーブルウインドウが形成されることになる。トリガ停止認定カウンタ２２０がゼロに達すると、その終端カウント出力２７０によりセット／リセットフリップフロップ２２２がリセットされ、これにより、トリガイネーブル信号１２０が低レベルになる。サンプルクロック生成器２０４とまさに同様に、各トリガ認定カウンタが終端カウントに達すると、サンプルクロック周期値がロードされる。これにより、サンプルクロックと同じ周期速度（ｐｅｒｉｏｄｉｃ　ｒａｔｅ）及び同じ位相関係でトリガ認定ウインドウが繰り返されることが保証される。

【００３２】

上述の補間回路は、正時間捕捉の場合と同様に動作する。

【００３３】

図４は、負時間捕捉のタイミングチャートを示すものである。同図において、時間ベースクロック信号240は、自由に繰り返されるクロックである。捕捉開始信号244が発生すると、サンプルクロック生成器204がイネーブルになり、サンプルクロック124が周期的信号の出力を開始する。また、トリガ開始認定カウンタ218がイネーブルになり、或る一定時間にわたってデクリメントを行う。図４の例の場合、トリガ開始認定カウンタ218は、或る一定値がロードされて、２つの時間ベースクロックサイクルにわたってデクリメントを行う。ゼロまでデクリメントした後、トリガ開始認定信号268が１にセットされる。図４の例の場合、トリガ停止認定カウンタ220は、或る一定値がロードされて、４つの時間ベー

スクロックサイクルの時間にわたってデクリメントを行う。従って、ゼロまでデクリメントした後にトリガ停止認定カウンタ220がゼロに達し、トリガ停止認定信号270が高レベルにセットされる。サンプルクロック生成器204、トリガ開始認定カウンタ218、及び、トリガ停止認定カウンタ220は、全て、最初に異なる値がロードされ、終端カウントに達する時間が異なることになる。しかし、それ以降は全て同じ値がロードされるので、それらは同じ周期速度で終端カウントに達することになる。

【００３４】

図４の例の場合、トリガ前サンプルカウンタ２０８は、値２がロードされるので、トリガ開始認定信号及びトリガ停止認定信号の最初の発生時には、まだゼロまではデクリメントしていない。従って、トリガイネーブル信号は、それらの最初のトリガ開始認定時間及びトリガ停止認定時間の間には活動状態にはない。トリガ前カウンタがゼロまでデクリメントした後、次の第２サンプルクロック１２４の発生により、その出力がイネーブルとなり、その後に、トリガ開始認定信号２６８の発生により、トリガイネーブル信号１２０が活動状態になる。

【００３５】

トリガイネーブル信号１２０が活動状態になると、本回路はトリガ事象を認識する。トリガイネーブル信号１２０が活動状態にある間にトリガ事象が発生した場合には、トリガ信号１２２の発生により補間回路が起動されることになる。このとき、ＦＩＣ信号２５２が活動状態になって細密補間器がイネーブルになり、次の時間ベースクロック信号２４０のアップエッジでＣＩＣ信号２５０が活動状態になって粗補間器２０６がイネーブルになる。このようにして、補間回路は、トリガ事象と次のサンプルクロックの発生との間の時間を測定することになる。これにより、ＣＰＵ１０４が、出力信号の形成にトリガ事象の発生を用いることが可能になる。

【００３６】

或る時間範囲では、単一のトリガ中に負時間データ及び正時間データの両方を収集することが可能である。この場合は、トリガ後サンプルカウンタも用いられるという点を除けば、負の場合と同様に行われる。

【００３７】

上述のように、本発明の擬似ランダム反復サンプリング回路は、修正形態の逐次サンプリングを用いて正時間中にサンプルを捕捉する。そのスループットは、ランダム反復サンプリングより高いものとなる。これは、捕捉時間範囲内にサンプルが納まる確率が、（捕捉時間範囲）／（時間ベースクロック周期）であり、その時間ベースクロック周期をサンプルクロック周期より遥かに短くすることができるからである。ここで、捕捉時間範囲は、図４において捕捉開始信号244が高レベルであり、捕捉終了信号258が高レベルになるまでの時間である。本回路はまた、或る形態のランダム反復サンプリングを用いて負時間中に信号を捕捉するが、トリガ認定回路及びトリガ前サンプルカウンタでランダム反復サンプリングの認定を行うので、捕捉スループットが向上する。

【００３８】

以上、本発明の現時点での好適実施例を説明してきたが、これより、本発明の目的が完全に達成されていることが理解されよう。また、本発明の思想及び範囲を逸脱することのない、構成及び回路要素における多くの変更、及び本発明の多種多様な異なる実施例及び用途が、当業者であれば自ずと明らかになるであろう。本明細書における開示及び解説は、例示を意図したものであり、決して本発明を制限するものではなく、その範囲は、特許請求の範囲に望ましい形で定義されている。

【００３９】

以下に、本発明の実施態様を列挙する。

【００４０】

１．入力信号のアナログデジタル変換を行うために用いられるサンプル信号を送出する回路であって、この回路が、

トリガ信号の発生前におけるサンプル信号の送出時に値１にセットされ、前記トリガ信号

の発生後におけるサンプル信号の送出時に値０にセットされる負時間信号を生成する手段と、
前記負時間信号が０の場合に前記トリガ信号の発生後に少なくとも１回だけサンプル信号を送出する手段と、
各サンプル信号の送出後に第１の所定量の時間で開始し、各サンプル信号の送出後に第２の所定量の時間で終了するトリガ認定信号を生成するトリガ認定回路手段と、
前記トリガ信号の発生前にランダム時間でサンプル信号を送出すると共に、前記負時間信号が１である場合に、更に、前記トリガ信号が前記トリガ認定信号と同時に発生した場合に、前記サンプル信号により生じたデジタル変換で得られたデータを保持する手段とを備え、更に、
前記トリガ信号の各発生後に前記サンプル信号が送出された回数をカウントするプログラム可能なカウンタ手段を備えることを特徴とする、前記サンプル信号送出回路。

【００４１】

２．入力信号のアナログデジタル変換を行うために用いられるサンプル信号を送出する回路であって、この回路が、
トリガ信号の発生前におけるサンプル信号の送出時に値１にセットされ、前記トリガ信号の発生後におけるサンプル信号の送出時に値０にセットされる負時間信号を生成する手段と、
前記負時間信号が０の場合に前記トリガ信号の発生後に少なくとも１回だけサンプル信号を送出する手段と、
各サンプル信号の送出後に第１の所定量の時間で開始し、各サンプル信号の送出後に第２の所定量の時間で終了するトリガ認定信号を生成するトリガ認定回路手段と、
前記トリガ信号の発生前にランダム時間でサンプル信号を送出すると共に、前記負時間信号が１である場合に、更に、前記トリガ信号が前記トリガ認定信号と同時に発生した場合に、前記サンプル信号により生じたデジタル変換で得られたデータを保持する手段とを備え、更に、
前記トリガ信号の発生と前記サンプル信号の送出時間との間の時間量を測定する手段を備えることを特徴とする、前記サンプル信号送出回路。

【００４２】

３．入力信号のアナログデジタル変換を行うために用いられるサンプル信号を送出する回路であって、この回路が、
トリガ信号の発生前におけるサンプル信号の送出時に値１にセットされ、前記トリガ信号の発生後におけるサンプル信号の送出時に値０にセットされる負時間信号を生成する手段と、
前記負時間信号が０の場合に前記トリガ信号の発生後に少なくとも１回だけサンプル信号を送出する手段と、
各サンプル信号の送出後に第１の所定量の時間で開始し、各サンプル信号の送出後に第２の所定量の時間で終了するトリガ認定信号を生成するトリガ認定回路手段と、
前記トリガ信号の発生前にランダム時間でサンプル信号を送出すると共に、前記負時間信号が１である場合に、更に、前記トリガ信号が前記トリガ認定信号と同時に発生した場合に、前記サンプル信号により生じたデジタル変換で得られたデータを保持する手段とを備え、更に、
前記負時間信号が１である場合に、プログラム可能な数のサンプル信号が送信されるまで前記トリガ信号を遮断する手段を備えることを特徴とする、前記サンプル信号送出回路。

【００４３】

４．入力信号のアナログデジタル変換を行うために用いられるサンプル信号を送出する回路であって、この回路が、
トリガ信号の発生前におけるサンプル信号の送出時に値１にセットされ、前記トリガ信号の発生後におけるサンプル信号の送出時に値０にセットされる負時間信号を生成する手段と、

前記負時間信号が０の場合に前記トリガ信号の発生後に少なくとも１回だけサンプル信号を送出する手段と、
各サンプル信号の送出後に第１の所定量の時間で開始し、各サンプル信号の送出後に第２の所定量の時間で終了するトリガ認定信号を生成するトリガ認定回路手段と、
前記トリガ信号の発生前にランダム時間でサンプル信号を送出すると共に、前記負時間信号が１である場合に、更に、前記トリガ信号が前記トリガ認定信号と同時に発生した場合に、前記サンプル信号により生じたデジタル変換で得られたデータを保持する手段とを備え、更に、
前記トリガ認定回路手段が、前記の第１の所定量の時間を規定する第１プログラム可能手段と、前記の第２の所定量の時間を規定する第２プログラム可能手段とを備えることを特徴とする、前記サンプル信号送出回路。

【００４４】

５．デジタルオシロスコープへ入力される信号のアナログデジタル変換を行うために用いられるサンプル信号を前記デジタルオシロスコープ内に送出する回路であって、この回路が、
トリガ信号の発生前におけるサンプル信号の送出時に値１にセットされ、前記トリガ信号の発生後におけるサンプル信号の送出時に値０にセットされる負時間信号を生成する手段と、
前記負時間信号が０の場合に前記トリガ信号の発生後に少なくとも１回だけサンプル信号を送出する手段と、
各サンプル信号の送出後に第１のプログラム可能な量の時間で開始し、各サンプル信号の送出後に第２のプログラム可能な量の時間で終了するトリガ認定信号を生成するプログラム可能トリガ認定回路手段と、
前記トリガ信号の発生前にランダム時間でサンプル信号を送出すると共に、前記負時間信号が１である場合に、更に、前記トリガ信号が前記トリガ認定信号と同時に発生した場合に、前記サンプル信号により生じたデジタル変換で得られたデータを保持する手段と
を備えることを特徴とする、前記サンプル信号送出回路。

【００４５】

６．前記トリガ信号の各発生後に前記サンプル信号が送出された回数をカウントするプログラム可能なカウンタ手段を更に備えることを特徴とする、前項５記載のサンプル信号送出回路。

【００４６】

７．前記負時間信号が０である場合に、前記トリガ信号の発生と前記サンプル信号の送出時間との間の時間量を測定する手段を更に備えることを特徴とする、前項５記載のサンプル信号送出回路。

【００４７】

８．前記負時間信号が１である場合に、プログラム可能な数のサンプル信号が送信されるまで前記トリガ信号を遮断する手段を更に備えることを特徴とする、前項５記載のサンプル信号送出回路。

【００４８】

９．デジタルオシロスコープへ入力される信号のアナログデジタル変換を行うために用いられるサンプル信号を前記デジタルオシロスコープ内に送出する回路であって、この回路が、
トリガ信号の発生前におけるサンプル信号の送出時に値１にセットされ、前記トリガ信号の発生後におけるサンプル信号の送出時に値０にセットされる負時間信号を生成する手段と、
前記負時間信号が０の場合に前記トリガ信号の発生後に少なくとも１回だけサンプル信号を送出する手段と、
前記負時間信号が０の場合に前記トリガ信号の各発生後に前記サンプル信号が送出された回数をカウントする手段と、

前記トリガ信号の発生と前記サンプル信号の送出時間との間の時間量を測定する手段と、
各サンプル信号の送出後に第１のプログラム可能な量の時間で開始し、各サンプル信号の送出後に第２のプログラム可能な量の時間で終了するトリガ認定信号を生成するプログラム可能トリガ認定回路手段と、
前記トリガ信号の発生前にランダム時間でサンプル信号を送出すると共に、前記負時間信号が１である場合に、更に、前記トリガ信号が前記トリガ認定信号と同時に発生した場合に、前記サンプル信号により生じたデジタル変換で得られたデータを保持する手段と、
前記ランダム時間と前記トリガ信号の受信時間との間の時間量を測定する手段と、
前記負時間信号が１である場合に、プログラム可能な数のサンプル信号が送信されるまで前記トリガ信号を遮断する手段と
を備えることを特徴とする、前記サンプル信号送出回路。

【００４９】

【発明の効果】

本発明は上述のように構成したので、広帯域幅の入力信号のサンプリング、及び、トリガ事象の前後の両方での入力信号のサンプリングが可能な高スループットの装置を提供することが可能となる。

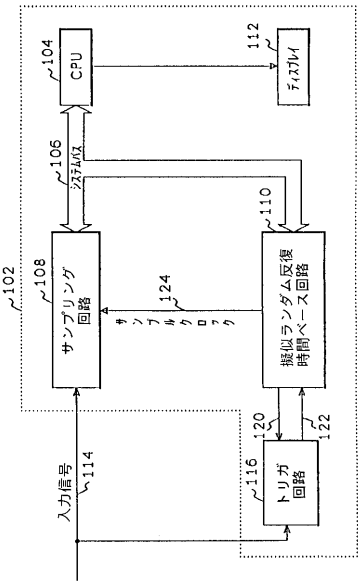
【図面の簡単な説明】

【図１】本発明を含むオシロスコープを示すブロック図である。
【図２】本発明の回路を示すブロック図である。
【図３】トリガ事象後のサンプリングを示すタイミングチャートである。
【図４】トリガ事象前のサンプリングを示すタイミングチャートである。

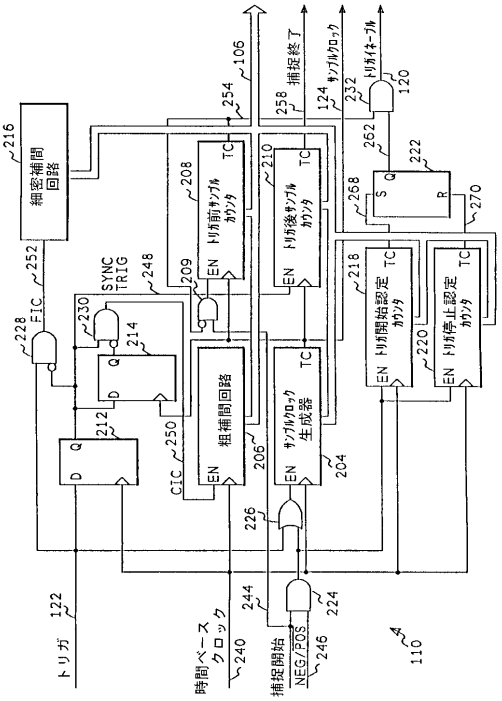
【符号の説明】

１０４　　ＣＰＵ
１０６　　システムバス
１０８　　サンプリング回路
１１０　　擬似ランダム反復時間ベース回路
１１６　　トリガ回路
１２４　　サンプルクロック信号
２０４　　サンプルクロック生成器
２０６　　粗補間器
２０８　　トリガ前サンプルカウンタ
２１０　　トリガ後サンプルカウンタ
２１２，２１４　　Ｄフリップフロップ
２１６　　細密補間回路
２１８　　トリガ開始認定カウンタ
２２０　　トリガ停止認定カウンタ
２２２　　セット／リセットフリップフロップ
２２４，２２８，２３０，２３２　　ＡＮＤゲート
２２６　　ＯＲゲート
２４０　　時間ベースクロック信号

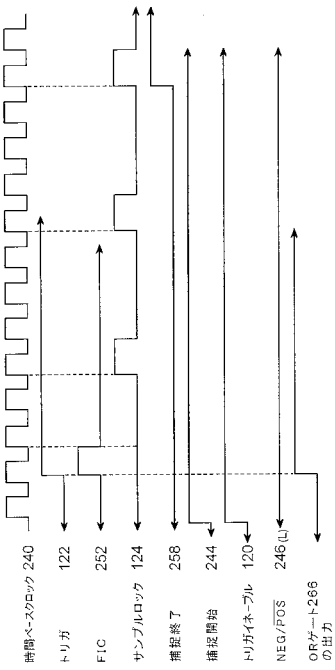
【図１】


CPU
ディスプレイ
システムバス
サンプリング回路
サンプルクロック
擬似ランダム反復時間ベース回路
トリガ回路
入力信号

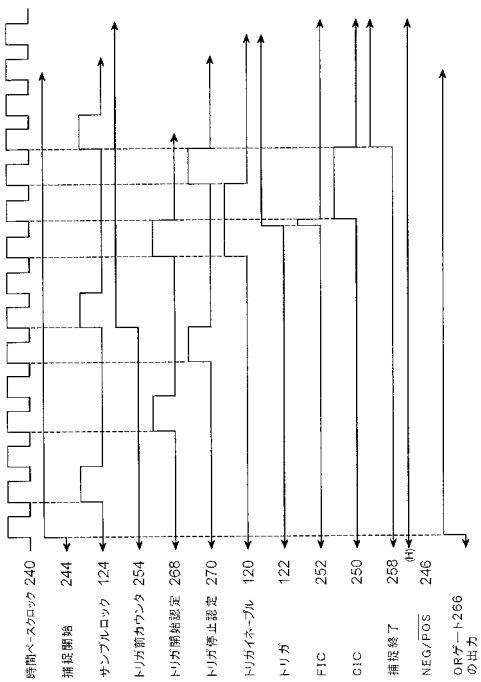
【図２】


細密補間回路
FIC
SYNC TRIG
CIC
トリガ前サンプルカウンタ
トリガ後サンプルカウンタ
粗補間回路
サンプルクロック生成器
トリガ開始認定カウンタ
トリガ停止認定カウンタ
捕捉終了
サンプルクロック
トリガイネーブル
トリガ
時間ベースクロック
捕捉開始
NEG/POS

【図３】


時間ベースクロック 240
トリガ 122
FIC 252
サンプルロック 124
捕捉終了 258
捕捉開始 244
トリガイネーブル 120
NEG/POS 246(L)
ORゲート266の出力

【図４】


時間ベースクロック 240
捕捉開始 244
サンプルロック 124
トリガ前カウンタ 254
トリガ開始認定 268
トリガ停止認定 270
トリガイネーブル 120
トリガ 122
FIC 252
CIC 250
捕捉終了 258(H)
NEG/POS 246
ORゲート266の出力

フロントページの続き

(72)発明者　スティーヴン・ディー・ドレイヴィング
アメリカ合衆国コロラド州８０９１９コロラド・スプリングス，フロント・ロイヤル・ドライヴ・２８６４

審査官　篠崎　正

(56)参考文献　特開昭６２－１９５５６４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G01R13/00-13/42
G06F3/05,311