



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

198 084

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 06 11 78
(21) (PV 7234-78)

(51) Int. Cl.³ G 06 G 7/16

(40) Zveřejněno 31 08 79

(45) Vydáno 01 6 82

(75)
Autor vynálezu

OUZKÝ FRANTIŠEK, PRAHA

(54) Zapojení pro zvětšení přesnosti analogové násobičky

1

Vynález se týká zapojení pro zvětšení přesnosti analogové násobičky.

V měřicí a regulační technice je často potřebné násobit, popřípadě dělit, analogové signály. Násobení analogových signálů se provádí pomocí analogových násobiček. Dělení analogových signálů se provádí pomocí analogových děliček.

Jedna z nevýhod analogových násobiček je, že jejich přesnost je závislá na velikosti vstupních signálů. Čím menší jsou vstupní signály, tím menší je i přesnost součinu vstupních signálů.

Tuto nevýhodu analogových násobiček odstraňuje zapojení pro zvětšení přesnosti analogové násobičky, sestávající z násobičky, vstupních zesilovačů, vyhodnocovacích bloků, řídicích bloků a výstupních zesilovačů, podle vynálezu, jehož podstata spočívá v tom, že první vstupní svorka je spojena se signálovým vstupem prvního vstupního zesilovače a se vstupem prvního vyhodnocovacího bloku. Výstup prvního vyhodnocovacího bloku je spojen se vstupem prvního řídicího bloku. První výstup prvního řídicího bloku je spojen s ovládacím vstupem prvního výstupního zesilovače. Druhý výstup prvního řídicího bloku je spojen s ovládacím vstupem prvního vstupního zesilovače. Výstup prvního vstupního zesilovače je spojen s prvním vstupem násobičky. Druhá vstupní svorka je spojena se signálovým vstupem druhého vstupního zesilovače a se vstupem druhého vyhodnocovacího bloku. Výstup druhého

198 084

vyhodnocovacího bloku je zapojen se vstupem druhého řídicího bloku. První výstup druhého řídicího bloku je spojen s ovládacím vstupem druhého vstupního zesilovače. Výstup druhého vstupního zesilovače je spojen se druhým vstupem násobičky. Výstup násobičky je spojen se vstupem prvního výstupního zesilovače. Výstup prvního výstupního zesilovače je zapojen na signálový vstup druhého výstupního zesilovače. Ovládací vstup druhého výstupního zesilovače je spojen se druhým výstupem druhého řídicího bloku. Výstup druhého výstupního zesilovače je spojen s výstupní svorkou.

Výhodou tohoto zapojení je, že je poměrně jednoduché a je možno jej použít u všech druhů analogových násobiček nebo děliček. Zapojení je možno realizovat z tuzemských součástek.

Příklad zapojení podle vynálezu je schematicky znázorněn na přiloženém výkrese.

Jednotlivé bloky tohoto zapojení je možno charakterizovat takto: Násobička 1 je blok, který provádí analogový součin dvou signálů. Jako násobička může být použit příslušný integrovaný obvod anebo je násobička sestavena z odporů, diod, tranzistorů a kondenzátorů. První vstupní zesilovač 2 a druhý vstupní zesilovač 3 jsou stejné bloky a slouží k zesílení vstupních signálů, přičemž velikost zesílení těchto vstupních zesilovačů 2, 3 je řízena přes jejich ovládací vstupy 8₂, 9₂ řídicími bloky 6, 7. Jako vstupní zesilovač 2, 3 může být použit analogový operační zesilovač, opatřený vhodnou zpětnou vazbou. Zesílení je možno řídit pomocí tranzistorů anebo kontaktně změnou vstupních odporů. První vyhodnocovací blok 4 je zapojen stejně jako druhý vyhodnocovací blok 5 a slouží k vyhodnocování vstupních signálů analogové násobičky 1. Vyhodnocovací bloky 4, 5 zjišťují, je-li vstupní signál násobičky 1 menší než předem nastavená úroveň, kdy nepřesnost násobičky 1 vzhledem k velikosti vstupního signálu je značná. Potom příslušný vyhodnocovací blok 4, 5 zadá povel příslušnému řídicímu bloku 6, 7, který změní zesílení příslušného vstupního zesilovače 2, 3 a výstupního zesilovače 8, 9. Každý vyhodnocovací blok 4, 5 může být zapojen z analogového zesilovače s kladnou odporovou zpětnou vazbou.

První řídicí blok 6 a druhý řídicí blok 7 jsou stejně zapojené bloky, které svými výstupy mění zesílení příslušných vstupních zesilovačů 2, 3 a výstupních zesilovačů 8, 9 tak, aby násobička 1 násobila dostatečně velké signály. Řídicí bloky 6, 7 mohou být složeny z tranzistorů, odporů a nebo relé a přepínačů. První výstupní zesilovač 8 a druhý výstupní zesilovač 9 jsou stejně zapojené analogové zesilovače s řízeným zesílením pomocí ovládacích vstupů 8₂, 9₂. Velikost zesílení nebo zeslabení těchto výstupních zesilovačů 8, 9 je řízeno řídicími bloky 6, 7 takovým způsobem, aby výsledek součinu násobičky 1 po zesílení vstupních signálů byl správný. Výstupní zesilovače 8, 9 mohou být zapojeny ze stejnosměrných operačních zesilovačů s odporovou zpětnou vazbou. Zesílení všech zesilovačů 2, 3, 8, 9 se řídí kontaktně nebo pomocí tranzistorů. První výstupní svorka 10 je spojena jednak se signálovým vstupem 2₁ prvního vstupního zesilovače 2 a jednak se vstupem 4₁ prvního vyhodnocovacího bloku 4, jehož výstup 4₂ je spojen se vstupem 6₁ prvního řídicího bloku 6. Druhý výstup 6₂ prvního řídicího bloku 6 je spojen s ovládacím vstupem 2₂

prvního vstupního zesilovače 2. Výstup 2₃ prvního vstupního zesilovače 2 je spojen s prvním vstupem 1₁ násobičky 1. Druhá vstupní svorka 1₁ je spojena se signálovým vstupem 3₁ druhého vstupního zesilovače 3 a se vstupem 5₁ druhého vyhodnocovacího bloku 5. Výstup 5₂ druhého vyhodnocovacího bloku 5 je spojen se vstupem 7₁ druhého řídicího bloku 7. První výstup 7₂ druhého řídicího bloku 7 je spojen s ovládacím vstupem 3₂ druhého vstupního zesilovače 3. Výstup 3₃ druhého vstupního zesilovače 3 je spojen se druhým vstupem 1₂ násobičky 1. Výstup 1₃ násobičky 1 je spojen se signálovým vstupem 8₁ prvního výstupního zesilovače 8. Ovládací vstup 8₂ prvního výstupního zesilovače 8 je spojen s prvním výstupem 6₂ prvního řídicího bloku 6. Výstup 8₃ prvního výstupního zesilovače 8 je spojen se signálovým vstupem 9₁ druhého výstupního zesilovače 9. Ovládací vstup 9₂ druhého výstupního zesilovače 9 je spojen se druhým výstupem 7₃ druhého řídicího bloku 7. Výstup 9₃ druhého výstupního zesilovače 9 je spojen s výstupní svorkou 12.

Každý ze signálů, jejichž součin provádí násobička 1, se vede na příslušný vstup 1₁ a 1₂ násobičky 1 přes odpovídající vstupní zesilovače 2 a 3, které mají proměnné zesílení, jež se řídí jím příslušnými řídicími bloky 6 a 7.

Výstupní napětí násobičky 1, tj. součin vstupních zesílených signálů, se vede přes dva výstupní zesilovače 8 a 9, které jsou zapojeny v sérii. Zesílení nebo zeslabení těchto výstupních zesilovačů 8, 9 je opět řízeno z jím přiřazených řídicích bloků 6, 7 v závislosti na zesílení přiřazených vstupních zesilovačů 2 a 3. To znamená, má-li první vstupní zesilovač 2 zesílení desetinásobné a má-li druhý vstupní zesilovač 3 zesílení pětinásobné, potom nastavuje první řídicí blok 6 u prvního výstupního zesilovače 8 zesílení 0,1x a druhý řídicí blok 7 nastavuje u druhého výstupního zesilovače 9 zesílení 0,2x tak, aby výsledek součinu zůstal správný.

Velikost zesílení obou vstupních zesilovačů 2, 3 a obou výstupních zesilovačů 8, 9 řídí jím přiřazené řídicí bloky 6 a 7 na základě informace z jím přiřazených vyhodnocovacích bloků 4 a 5, které kontrolují velikost vstupních signálů násobičky 1. Jsou-li vstupní násobené signály malé, je i přesnost součinu těchto signálů malá. Přesnost násobičky 1 je např. $\pm 0,1$ V. To znamená, že při výstupním signálu násobiček 10 V je přesnost 1 % a při výstupním signálu 1 V je přesnost součinu již jen 10 %. Tuto skutečnost vyhodnotí oba vyhodnocovací bloky 4 a 5, které zadají povel jím přiřazeným řídicím blokům 6 a 7, aby zvětšily zesílení odpovídajících vstupních zesilovačů 2 a 3 tak, aby součin takto zvětšených signálů byl kolem jmenovitého signálu násobičky 1, tj. kolem 10 V. Potom ovšem je nutno tento signál zeslabovat pomocí odpovídajících výstupních zesilovačů 8 a 9 ve stejném poměru jako se zesilují vstupní signály. Zesílení a zeslabení vstupních zesilovačů 2, 3 a výstupních zesilovačů 8, 9 je možno řídit kontaktně - pomocí relé nebo přepínačů, změnou vstupních odporů zesilovačů - i bezkontaktně - pomocí tranzistorů -.

Vynález se využije v měřicí a regulační technice, zejména u technologických regulátorů válcovacích procesů.

PŘEDMĚT VYNÁLEZU

Zapojení pro zvětšení přesnosti analogové násobičky, sestávající ze vstupních zesilovačů, vyhodnocovacích bloků, řídicích bloků a výstupních zesilovačů, vyznačující se tím, že první vstupní svorka (10) je spojena se signálovým vstupem (2_1) prvního vstupního zesilovače (2) a se vstupem (4_1) prvního vyhodnocovacího bloku (4), jehož výstup (4_2) je spojen se vstupem (6_1) prvního řídicího bloku (6), jehož první výstup (6_2) je spojen s ovládacím vstupem (8_2) prvního výstupního zesilovače (8) a druhý výstup (6_3) prvního řídicího bloku (6) je spojen s ovládacím vstupem (2_2) prvního vstupního zesilovače (2), jehož výstup (2_3) je spojen s prvním vstupem (1_1) násobičky (1), přičemž druhá vstupní svorka (11) je spojena se signálovým vstupem (3_1) druhého vstupního zesilovače (3) a se vstupem (5_1) druhého vyhodnocovacího bloku (5), jehož výstup (5_2) je spojen se vstupem (7_1) druhého řídicího bloku (7), jehož první výstup (7_2) je spojen s ovládacím vstupem (3_2) druhého vstupního zesilovače (3), jehož výstup (3_3) je spojen se druhým vstupem (1_2) násobičky (1), jejíž výstup (1_3) je spojen se vstupem (8_1) prvního výstupního zesilovače (8), jehož výstup (8_3) je spojen se signálovým vstupem (9_1) druhého výstupního zesilovače (9), jehož ovládací vstup (9_2) je spojen s druhým výstupem (7_3) druhého řídicího bloku (7) a výstup (9_3) druhého výstupního zesilovače (9) je spojen s výstupní svorkou (12).

1 výkres

