

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-91804
(P2018-91804A)

(43) 公開日 平成30年6月14日(2018.6.14)

(51) Int.Cl.	F I	テーマコード (参考)
GO 1 R 31/30 (2006.01)	GO 1 R 31/30	2 G 0 0 3
GO 1 R 31/28 (2006.01)	GO 1 R 31/28 V	2 G 1 3 2
GO 1 R 31/26 (2014.01)	GO 1 R 31/26 H	5 F 0 3 8
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 T	
HO 1 L 27/04 (2006.01)		

審査請求 未請求 請求項の数 20 O L (全 37 頁)

(21) 出願番号 特願2016-237421 (P2016-237421)
(22) 出願日 平成28年12月7日 (2016.12.7)

(71) 出願人 302062931
ルネサスエレクトロニクス株式会社
東京都江東区豊洲三丁目2番24号
(74) 代理人 110000350
ポレール特許業務法人
(72) 発明者 竹内 幹
東京都江東区豊洲三丁目2番24号 ルネ
サスエレクトロニクス株式会社内
(72) 発明者 土屋 文男
東京都江東区豊洲三丁目2番24号 ルネ
サスエレクトロニクス株式会社内
(72) 発明者 小西 信也
東京都江東区豊洲三丁目2番24号 ルネ
サスエレクトロニクス株式会社内
Fターム(参考) 2G003 AA07 AC01

最終頁に続く

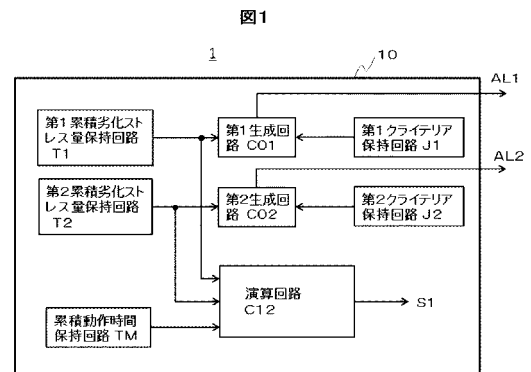
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】半導体装置が受けた電源電圧や環境温度の劣化ストレス累積値に基づいて摩耗故障を精度よく予測することが可能な半導体装置を提供することにある。

【解決手段】半導体装置は、第1累積劣化ストレスカウント値を保持する第1回路と、第2累積劣化ストレスカウント値を保持する第2回路と、累積動作時間のカウント値ないしはそれに相当する値を保持する第3回路と、前記第1累積劣化ストレスカウント値、前記第2累積劣化ストレスカウント値、および前記累積動作時間のカウント値ないしはそれに相当する値と、を受ける第4回路ないし演算手段と、を具備する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 累積劣化ストレスカウント値を保持する第 1 回路と、
第 2 累積劣化ストレスカウント値を保持する第 2 回路と、
累積動作時間のカウント値ないしはそれに相当する値を保持する第 3 回路と、
前記第 1 累積劣化ストレスカウント値、前記第 2 累積劣化ストレスカウント値、および
前記累積動作時間のカウント値ないしはそれに相当する値とを受け第 4 回路ないし演算
手段と、を具備する半導体装置。

【請求項 2】

請求項 1 の半導体装置において、
前記第 4 回路ないし演算手段は、前記第 1 累積劣化ストレスカウント値および前記第 2
累積劣化ストレスカウント値とは異なる第 3 累積劣化ストレスカウント値を計算する。

10

【請求項 3】

請求項 1 の半導体装置において、
前記第 4 回路ないし演算手段は、前記第 1 累積劣化ストレスカウント値および前記第 2
累積劣化ストレスカウント値の妥当性を判定する。

【請求項 4】

請求項 1 の半導体装置において、
前記第 1 回路は、第 1 リングオシレータと、前記第 1 リングオシレータの出力をカウン
トする第 1 累積ストレスカウンタと、を有し、
前記第 2 回路は、第 2 リングオシレータと、前記第 2 リングオシレータの出力をカウン
トする第 2 累積ストレスカウンタと、を有する。

20

【請求項 5】

請求項 4 の半導体装置において、
前記第 3 回路は、タイマと、前記タイマの出力を受け累積時間保持回路とを、有する
。

【請求項 6】

請求項 4 の半導体装置において、
前記第 3 回路は、間欠動作を制御する間欠動作制御回路と、前記間欠動作制御回路の出
力をカウントして保持する累積カウント時間保持回路とを、有する。

30

【請求項 7】

請求項 1 の半導体装置において、
退避制御回路と、不揮発性メモリとを、さらに、含み、
前記退避制御回路は、前記第 1 累積劣化ストレスカウント値、前記第 2 累積劣化ストレ
スカウント値、および前記累積動作時間のカウント値ないしはそれに相当する値を、前記
不揮発性メモリへ退避する制御を行う。

【請求項 8】

請求項 1 の半導体装置において、
前記第 1 累積劣化ストレスカウント値は、第 1 温度依存性の第 1 劣化因子に関し、
前記第 2 累積劣化ストレスカウント値は、前記第 1 温度依存性と異なる第 2 温度依存性
の第 2 劣化因子に関する。

40

【請求項 9】

請求項 1 の半導体装置において、
前記第 1 累積劣化ストレスカウント値は、第 1 温度依存性の第 1 劣化因子に関し、
前記第 2 累積劣化ストレスカウント値は、第 2 温度依存性および電圧依存性の第 2 劣化
因子に関する。

【請求項 10】

請求項 1 の半導体装置において、
前記第 1 累積劣化ストレスカウント値は、第 1 温度依存性および第 1 電圧依存性の第 1 劣
化因子に関し、

50

前記第 2 累積劣化ストレスカウント値は、第 2 温度依存性および第 2 電圧依存性の第 2 劣化因子に関する。

【請求項 1 1】

請求項 1 の半導体装置において、さらに、
リングオシレータと、

前記リングオシレータの出力に接続された処理回路と、を具備し、

前記処理回路は、

前記第 1 回路へ前記リングオシレータの周波数に比例した値を供給する回路と、

前記第 2 回路へ前記リングオシレータの周波数の q 乗の周波数に比例した値を供給する回路と、を含む。

10

【請求項 1 2】

第 1 累積劣化ストレスカウント値を保持する第 1 回路と、

累積動作時間のカウント値ないしはそれに相当する値を保持する第 2 回路と、

前記第 1 累積劣化ストレスカウント値および前記累積動作時間のカウント値ないしはそれに相当する値と、を受ける第 3 回路ないし演算手段と、具備し、

前記第 3 回路ないし演算手段は、前記第 1 累積劣化ストレスカウント値とは異なる第 2 累積劣化ストレスカウント値を計算する、半導体装置。

【請求項 1 3】

請求項 1 2 の半導体装置において、

前記第 1 累積劣化ストレスカウント値は、第 1 温度依存性の第 1 劣化因子に関し、

前記第 2 累積劣化ストレスカウント値は、前記第 1 温度依存性とは異なる第 2 温度依存性の第 2 劣化因子に関する。

20

【請求項 1 4】

請求項 1 2 の半導体装置において、さらに、

クライテリアを保持する第 4 回路と、

前記第 1 累積劣化ストレスカウント値と前記クライテリアとを比較し、アラーム信号を生成する回路と、を具備し、

前記第 1 回路は、リングオシレータと、前記リングオシレータの出力に接続され、前記第 1 累積劣化ストレスカウント値を保持する累積ストレスカウンタと、を含む。

【請求項 1 5】

半導体装置において、

第 1 の累積劣化ストレスカウント値を保持する第 1 累積劣化ストレス量保持回路と、

第 1 のクライテリアのカウント値を保持する第 1 クライテリア保持回路と、

前記第 1 の累積劣化ストレスカウント値と前記第 1 のクライテリアのカウント値とを比較して、第 1 アラーム信号を生成する第 1 生成回路と、

第 2 の累積劣化ストレスカウント値を保持する第 2 累積劣化ストレス量保持回路と、

第 2 のクライテリアのカウント値を保持する第 2 クライテリア保持回路と、

前記第 2 の累積劣化ストレスカウント値と前記第 2 のクライテリアのカウント値とを比較して、第 2 アラーム信号を生成する第 2 生成回路と、

前記半導体装置の累積動作時間のカウント値ないしはそれに相当する値を保持する累積動作時間保持回路と、

前記第 1 および第 2 の累積劣化ストレスカウント値と前記累積動作時間のカウント値ないしはそれに相当する値とを受ける回路と、を具備する半導体装置。

40

【請求項 1 6】

請求項 1 5 の半導体装置において、

前記第 1 累積劣化ストレス量保持回路と前記第 2 累積劣化ストレス量保持回路とのそれぞれは、

リングオシレータと、

前記リングオシレータの出力をカウントする累積ストレスカウンタと、を含む。

【請求項 1 7】

50

請求項 16 の半導体装置において、
前記リングオシレータは、温度依存性を有する周波数で発振する。

【請求項 18】

請求項 16 の半導体装置において、
前記リングオシレータは、電圧依存性を有する周波数で発振する。

【請求項 19】

請求項 16 の半導体装置において、
前記第 1 累積劣化ストレス量保持回路の前記リングオシレータは、指数的な温度依存性を有する周波数で発振し、

前記第 2 累積劣化ストレス量保持回路の前記リングオシレータは、指数的な温度依存性及び電圧依存性を有する周波数で発振する。

10

【請求項 20】

請求項 16 の半導体装置において、
前記第 1 累積劣化ストレス量保持回路の前記リングオシレータと、前記第 2 累積劣化ストレス量保持回路の前記リングオシレータとは、近接して配置される。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は半導体装置に関し、例えば、劣化ストレス検出機能を備える半導体装置に適用可能である。

20

【背景技術】

【0002】

特開 2011 - 227756 号公報（特許文献 1）には、「端末装置は、装置温度を検出し、検出した温度に応じて重み付けしたストレス加速時間をストレスカウント値として積算し、ストレスカウント値が設定された値以上になったときに割り込み信号を出力する高温検出カウンタ回路と、装置の動作を制御する CPU とを備え、CPU が高温検出カウンタ回路からの割り込み信号を累積カウントした累積ストレス加速時間と、タイマ回路からのシステム時間との合計値が、設定されたストレス管理時間を超えた場合に不揮発性メモリに再書き込みを行う。」ことが開示されている。

【先行技術文献】

30

【特許文献】

【0003】

【特許文献 1】特開 2011 - 227756 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本開示の課題は、半導体装置が受けた電源電圧や環境温度の劣化ストレス累積値に基づいて摩耗故障を精度よく予測することが可能な半導体装置を提供することにある。

【0005】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

40

【課題を解決するための手段】

【0006】

本開示のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0007】

すなわち、半導体装置は、第 1 累積劣化ストレスカウント値を保持する第 1 回路と、第 2 累積劣化ストレスカウント値を保持する第 2 回路と、累積動作時間のカウント値ないしはそれに相当する値を保持する第 3 回路と、前記第 1 累積劣化ストレスカウント値、前記第 2 累積劣化ストレスカウント値、および前記累積動作時間のカウント値ないしはそれに相当する値とを受け第 4 回路ないし演算手段と、を具備する。

50

【発明の効果】

【0008】

上記半導体装置によれば、複数の累積劣化ストレスカウント値に基づいて摩耗故障を精度よく予測することが可能である。

【図面の簡単な説明】

【0009】

【図1】実施例1に係る半導体装置を説明するための図である。

【図2】図1の演算回路C12の構成例を示す図である。

【図3】図1の演算回路C12の他の構成例を示す図である。

【図4A】図1の第1累積劣化ストレス量保持回路T1の構成例を示す図である。

10

【図4B】図1の第2累積劣化ストレス量保持回路T2の構成例を示す図である。

【図4C】図1の累積動作時間保持回路TMの構成例を示す図である。

【図5】図1の第1累積劣化ストレス量保持回路T1、第2累積劣化ストレス量保持回路T2および累積動作時間保持回路TMの他の構成例を示す図である。

【図6】図5の第1累積劣化ストレス量保持回路T1、第2累積劣化ストレス量保持回路T2および累積動作時間保持回路TMの他の構成例を示す図である。

【図7】リングオシレータの構成を示す回路図である。

【図8】図1の半導体装置を利用したシステムの全体構成の概略図である。

【図9A】累積期間での半導体装置の温度の第1の確率分布を示す図である。

【図9B】図9Aにおける相互関係指標と値qとの関係を示す図である。

20

【図9C】累積期間での半導体装置の温度の第2の確率分布を示す図である。

【図9D】図9Cにおける相互関係指標と値qとの関係を示す図である。

【図9E】累積期間での半導体装置の温度の第3の確率分布を示す図である。

【図9F】図9Eにおける相互関係指標と値qとの関係を示す図である。

【図10A】相互関係指標の精度を説明するための図である。

【図10B】値qを大きくした場合の相互関係指標の精度を説明するための図である。

【図11A】累積期間での半導体装置の温度の第1の確率分布を示す図である。

【図11B】図9Bに示す図の横軸を、 $(q-1)^* (q)$ とした場合の相互関係指標 K_q を説明する図である。

【図11C】累積期間での半導体装置の温度の第2の確率分布を示す図である。

30

【図11D】図9Dに示す図の横軸を、 $(q-1)^* (q)$ とした場合の相互関係指標 K_q を説明する図である。

【図11E】累積期間での半導体装置の温度の第3の確率分布を示す図である。

【図11F】図9Fに示す図の横軸を、 $(q-1)^* (q)$ とした場合の相互関係指標 K_q を説明する図である。

【図12A】実施例1の実施の形態1の全体的な実施フローである。

【図12B】図12AのステップS6の詳細な算出フローを示す図である。

【図13A】実施例1の実施の形態2の全体的な実施フローである。

【図13B】図13AのステップS13の詳細な判定フローを示す図である。

【図14】実施例2に係る半導体装置を説明するための図である。

40

【図15A】第2累積劣化ストレス量保持回路VT2の構成例を示す図である。

【図15B】演算回路C12Cの構成例を示す図である。

【図16A】図15Aのリングオシレータの構成を示す回路図である。

【図16B】図16Aの電流源制御回路の構成例を示す図である。

【図17】半導体装置の電圧変動範囲を説明する図である。

【図18】相互関係指標の変動を説明する図である。

【図19】実施例2の全体的な実施フローである。

【図20】図19のステップS23の詳細な判定フローを示す図である。

【図21】図14の変形例を説明するための図である。

【図22】実施例3の半導体装置を説明するための図である。

50

【図 2 3 A】実施例 3 の全体的な実施フローである。

【図 2 3 B】図 2 3 A のステップ S 4 3 の詳細な算出フローを示す図である。

【図 2 4】実施例 4 の半導体装置を説明するための図である。

【図 2 5】図 2 4 の処理回路の具体的構成例を示す図である。

【図 2 6】図 2 5 の 2 乗処理回路 P 1 2 の動作波形を示す図である。

【発明を実施するための形態】

【0010】

半導体装置は長年に渡って使用を続けると摩耗故障に至る。使用期間に継続的に劣化ストレスを受け、その累積量が一定値に達すると所定の確率で故障が発生する。故障に至るまでの寿命は電源電圧や環境温度に依存する。発明者らは摩耗故障現象を直接捉えるのではなく、半導体装置が受けた電源電圧や環境温度の劣化ストレス累積値に基づいて摩耗故障を予測することを検討した。

10

【0011】

参考文献に記載されるように、デバイスのゲート酸化物の時間依存誘電破壊 (Time-Dependent Dielectric Breakdown、以下、gate - T D D B または T D D B という。) や負バイアス温度不安定性 (Negative Bias Temperature Instability、以下、N B T I という。) などの摩耗故障因子では、寿命が、例えば、電圧の $-n$ 乗 (V^{-n}) (power-law model)、または指数の逆数 ($\exp(-B * V)$) (V model) に依存し、同時に温度の逆数の指数 ($\exp(E a / k T)$) に依存する。エレクトロマイグレーション (E M) やストレスマイグレーション (S M) の摩耗故障因子では、寿命が温度の逆数の指数 ($\exp(E a / k T)$) に依存し、電圧依存性は小さい。ここで、 n 、 B 、 $E a$ は摩耗故障因子特有の係数、 k はボルツマン定数である。参考文献はその内容を参照することにより本出願に取り込む。

20

[参考文献] “Failure Mechanisms and Models for Semiconductor Devices” JEDEC publication No. 122E, <http://web.cecs.pdx.edu/~cgshirl/Documents/jep122E.pdf>

ストレス量は、下記式 (1) (2) に示すように、寿命の逆数で表現できる。

【0012】

gate - T D D B、N B T I の場合：

$$1 / (T, V) = 1 / (V^{-n} \times \exp(E a / k T)) = V^n \times \exp(-E a / k T) \quad (1)$$

30

ここで、 (T, V) は温度 (T)、電圧 (V) の関数で、 T および V に依存する摩耗故障寿命である。

【0013】

エレクトロマイグレーション、ストレスマイグレーションの場合：

$$1 / (T) = 1 / (\exp(E a / k T)) = \exp(-E a / k T) \quad (2)$$

ここで、 (T) は温度 (T) の関数で、 T に依存する摩耗故障寿命である。

【0014】

125 での単位時間のストレス量を 1 とした場合、温度依存性係数 ($E a$) を例えば 1 e V とすると、ストレス量は 140 では約 3 倍 (寿命は 1 / 3)、150 では約 5.5 倍 (寿命は 1 / 5.5) となる。ストレス量は 125 より低い温度、例えば、110 では約 0.3 倍 (寿命は 3.3 倍)、100 では約 0.15 倍 (寿命は 6.7) に減少する。

40

【0015】

本発明者らは、半導体装置に、摩耗故障予測のため累積劣化ストレスカウンタを内蔵させることを検討し、次の課題があることに気づいた。

【0016】

半導体装置の設計時にある特定の劣化因子に対して摩耗故障予測のため累積劣化ストレスカウンタを設けた場合、設計時に想定していなかった他の劣化因子が後に懸念される場合も考えられる。したがって、設計時に想定していなかった他の劣化因子をも予め考慮および想定する必要がある。

50

【0017】

また、累積劣化ストレスカウンタの累積劣化ストレスカウント値が信頼に足ることを証明ないし確認する方法をも考慮する必要がある。

【0018】

以下、実施例について、図面を用いて説明する。ただし、以下の説明において、同一構成要素には同一符号を付し繰り返しの説明を省略することがある。なお、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、同じ記号（例えば、Cnt）を、全角（例えば、Cnt）と半角（例えば、Cnt）とで記載する場合がある。

10

【実施例1】

【0019】

図1は、実施例1に係る半導体装置を説明するための図である。半導体装置1は累積劣化ストレス検出回路10を備える。累積劣化ストレス検出回路10は、第1の累積劣化ストレスカウント値を保持する回路（第1回路、第1累積劣化ストレス量保持回路）T1と、第1のクライテリア（判定基準）のカウント値を保持する回路（第1クライテリア保持回路）J1と、累積ストレスアラーム信号AL1を生成する回路（第1生成回路）C01と、を有する。累積ストレスアラーム信号AL1を生成する回路C01は、第1の累積劣化ストレスカウント値と第1のクライテリアのカウント値とを比較して、累積ストレスアラーム信号AL1を生成する。累積劣化ストレス検出回路10は、さらに、第2の累積劣化ストレスカウント値を保持する回路（第2回路、第2累積劣化ストレス量保持回路）T2と、第2のクライテリア（判定基準）のカウント値を保持する回路（第2クライテリア保持回路）J2と、累積ストレスアラーム信号AL2を生成する回路（第2生成回路）C02と、を有する。累積ストレスアラーム信号AL2を生成する回路C02は、第2の累積劣化ストレスカウント値と第2のクライテリアのカウント値とを比較して、累積ストレスアラーム信号AL2を生成する。

20

【0020】

累積劣化ストレス検出回路10は、さらに、半導体装置1の累積動作時間のカウント値ないしはそれに相当する値を保持する回路（第3回路、累積動作時間保持回路）TMと、第1および第2の累積劣化ストレスカウント値と累積動作時間のカウント値ないしはそれに相当する値とを受け取る回路（第4回路ないし演算手段、演算回路）C12と、を有する。演算回路C12は、第1および第2の累積劣化ストレスカウント値および累積動作時間のカウント値に基づいて、所望の演算を行い、演算結果として信号S1を生成する。

30

【0021】

第1および第2累積劣化ストレス量保持回路T1、T2のカウント値が所定値以上に達したら第1および第2生成回路C01、C02はアラーム信号AL1、AL2を出力する。半導体装置1は一つの半導体チップ（半導体基板）で形成されるが、それに限定されるものではない。第1および第2生成回路（C01、C02）、第1および第2クライテリア保持回路（J1、J2）、および、演算回路C12は、半導体装置1にハードウェア回路として構成されても良いし、半導体装置1に設けられた、例えば、中央処理装置CPUによりソフトウェアにより構成されても良い。あるいは、半導体装置1に接続された外部のデータ処理装置またはサーバ等で実現しても良い。

40

【0022】

第1累積劣化ストレス量保持回路T1は、温度依存性Ea1の第1の劣化因子（摩耗故障因子）の摩耗故障度評価を行うために設けられており、温度Tがほぼ一定とみなせる所定期間のカウント数Cnt1が $\exp(-Ea1/kT)$ に比例するように構成される。カウント数Cnt1は、 $Cnt1=C1*\exp(-Ea1/kT)$ で表される。ここで、C1はカウント数の温度依存性に係わる定数である。

【0023】

第2累積劣化ストレス量保持回路T2は、温度依存性Ea2の第2の劣化因子（摩耗故障

50

因子)の摩耗故障度評価を行うために設けられており、温度Tがほぼ一定とみなせる所定期間のカウント数Cnt2が $\exp(-Ea2/kT)$ に比例するように構成される。カウント数Cnt2は、 $Cnt2=C2*\exp(-Ea2/kT)$ で表される。ここで、C2はカウント数の温度依存性に係わる定数である。また、温度依存性Ea2は、 $Ea2=q2*Ea1$ と表現できる。

【0024】

累積動作時間保持回路TMは、第1および第2累積劣化ストレス量保持回路T1、T2の累積カウント時間、あるいは相当値を保持する。相当値とは、たとえば、カウント動作を単位カウント動作(温度がほぼ一定とみなせる所定期間の期間のカウント動作)に区切った場合の累積実施回数の値Nである。以下では、値Nを用いて説明を行うが、累積カウント時間ならば、 $N*$ 「一回の単位カウント動作時間」で表現できる。あるいは、間欠的に、第1および第2累積劣化ストレス量保持回路T1、T2に設けられた累積ストレスカウンタによりカウント値Cnt1、Cnt2を取得する構成において、間欠的なカウント動作の累積実施回数の値Nである。なお、間欠動作の場合には、累積カウント時間が累積ストレス時間に等しくない点も留意する必要があるが、この比は設計時に判明しているので補正可能である。本開示の趣旨に沿って、値Nと同等の別の値を用いても良い。

10

【0025】

<実施例1の実施の形態1>

図2は、図1の演算回路C12の構成例を示す。演算回路C12Aは第3累積劣化ストレス量保持回路(仮想)T3を有する。この場合、半導体装置1には、さらに、第3生成回路C03と第3クライテリア保持回路J3とが設けられる。

20

【0026】

第3累積劣化ストレス量保持回路(仮想)T3は、温度依存性Ea1、温度依存性Ea2とは異なる温度依存性Ea3($Ea3=q*Ea1$)の第3の摩耗故障因子(劣化因子)の仮想累積劣化ストレスカウント値を計算する。この仮想累積劣化ストレスカウント値は、第1累積劣化ストレス量保持回路T1の累積値(累積劣化ストレスカウント値)であるカウント数Cnt1の累積値、第2累積劣化ストレス量保持回路T2の累積値(累積劣化ストレスカウント値)であるカウント数Cnt2の累積値、および、累積動作時間保持回路TMの値Nの実測値に基づいて計算される。具体的な計算方法の例は、後述する図9A-図9F、図10A、図10B、図11A-図11Fにより説明される。

【0027】

第3クライテリア保持回路J3は、温度依存性Ea3の第3の劣化因子(摩耗故障因子)の摩耗故障クライテリア(判定基準)のカウント値を保持する回路である。第3生成回路C03は、第3の仮想累積劣化ストレスカウント値と第3のクライテリアのカウント値とを比較し、累積ストレスアラーム信号AL3を生成する。第3累積劣化ストレス量保持回路T3のカウント値が所定値以上に達したら第3生成回路C03はアラーム信号AL3を出力する。図2では、第3生成回路C03および第3クライテリア保持回路J3は、演算回路C12Aの外に設けているが、演算回路C12Aの内部に設けられても良い。また、本発明の主旨に鑑みれば、T3を含むCA12、C03、J3は同等の機能をソフトウェアで実現するのが好適である。

30

【0028】

図2によれば、実測した温度依存性Ea1の第1劣化因子と実測した温度依存性Ea2の第2劣化因子とは異なる温度依存性Ea3を持つ第3の劣化因子の累積劣化ストレスカウント値を計算し、第3の劣化因子が摩耗故障クライテリアに達したことを判定することができる。したがって、設計時に想定していた第1及び第2の劣化因子と異なる、第3の劣化因子が後で懸念された場合でも、第3の劣化因子に対する摩耗故障危険度を判定できる半導体装置が得られる。

40

【0029】

<実施例1の実施の形態2>

図3は、図1の演算回路C12の他の構成例を示す。演算回路C12Bは、妥当性を判断するための回路(妥当性判定回路)AJ1を有する。妥当性判定回路AJ1は、第1累

50

積劣化ストレス量保持回路 T 1 の累積値（累積劣化ストレスカウント値）であるカウント数Cnt1の累積値と第 2 累積劣化ストレス量保持回路 T 2 の累積値（累積劣化ストレスカウント値）であるカウント数Cnt2の累積値との相互関係指標 K_{q_2} を算出する。以下では、カウント数Cnt1の累積値をCnt1累積値と表し、カウント数Cnt2の累積値をCnt2累積値と表すものとする。相互関係指標 K_{q_2} は、第 1 累積劣化ストレス量保持回路 T 1 のCnt1累積値、第 2 累積劣化ストレス量保持回路 T 2 のCnt2累積値、および、累積動作時間保持回路 T M の値Nの実測値に基づいて計算される。相互関係指標 K_{q_2} が所定範囲内にあるか否かに基づいて、Cnt1累積値及びCnt2累積値が妥当な実測値であるかを判定する。判定結果は、信号 S 1 として出力される。ここで、 $q_2 = Ea_2 / Ea_1$ である。

【 0 0 3 0 】

相互関係指標 K_{q_2} は、たとえば、以下の式（ 3 ）で与えられる。

【 0 0 3 1 】

$$K_{q_2} = (\text{Cnt2累積値}) / \{(\text{Cnt1累積値})^{q_2} / N^{q_2-1}\} \quad (3)$$

ここで、Nは単位カウント動作（温度がほぼ一定とみなせる所定周期の期間のカウント動作）の累積実施回数であって、T M の実測値である。

【 0 0 3 2 】

相互関係指標 K_{q_2} の妥当性は、たとえば、以下の式（ 4 ）で判定される。

【 0 0 3 3 】

$$(C_2 / C_1^{q_2}) \quad K_{q_2} \quad A_{q_2} * (C_2 / C_1^{q_2}) \quad (4)$$

ここで、C1、C2はカウント数の温度依存性に係わる定数であって、 $\text{Cnt1} = C_1 * \exp(-Ea_1 / kT)$ 、 $\text{Cnt2} = C_2 * \exp(-Ea_2 / kT)$ である。 A_{q_2} は、半導体装置に想定される温度プロファイルの範囲で最も温度変動が激しい状態に基づいて、 $q_2 = Ea_2 / Ea_1$ に対してあらかじめ定めることが可能な定数である。この時、Cnt2とCnt1との間には、以下の式（ 5 ）の関係がある。

【 0 0 3 4 】

$$\text{Cnt2} = C_2 * \exp(-Ea_2 / kT) = C_2 * \{\exp(-Ea_1 / kT)\}^{q_2} = (C_2 / C_1^{q_2}) * (\text{Cnt1})^{q_2} \quad (5)$$

上記式（ 3 ）の相互関係指標 K_{q_2} 及び上記式（ 4 ）の判定式は、カウント値Cnt1を累積後に q_2 乗した値と、カウント値Cnt1を q_2 乗した値を累積した値との関係に関わり、後述する検討から導かれたものである。たとえば、 $q_2 = 2$ の場合、式（ 4 ）の定数 A_{q_2} を4とするなど、 q_2 の値に応じた定数 A_{q_2} をあらかじめ設定しておくことができる。この事は、後に示される。

【 0 0 3 5 】

図 3 によれば、実測した第 1 累積劣化ストレス量保持回路 T 1 及び第 2 累積劣化ストレス量保持回路 T 2 のカウント値のいずれかに異常が発生した場合、上記式（ 4 ）に基づき異常を検知できる。そのため、たとえば、その単位カウント動作の特定回数 n_i で得られたカウント値を破棄して、累積値に異常値が加算されないようにすることで、信頼性の高い累積劣化ストレスカウント値が得られる。あるいは、摩耗故障クライテリアに第 1 累積劣化ストレス量保持回路 T 1 または第 2 累積劣化ストレス量保持回路 T 2 のいずれかが達した時点で、上記式（ 4 ）に基づき第 1 累積劣化ストレス量保持回路 T 1 及び第 2 累積劣化ストレス量保持回路 T 2 の累積ストレスカウント値がいずれも妥当であることを判定し、確信をもって摩耗故障の危険が高まっていることを認識できる。

【 0 0 3 6 】

次に、図 1 の第 1 累積劣化ストレス量保持回路 T 1、第 2 累積劣化ストレス量保持回路 T 2 および累積動作時間保持回路 T M を実現するためのより具体的な構成例を、図 4 A、図 4 B、図 4 C、図 5、図 6 に示す。

【 0 0 3 7 】

< 実施例 1 の具体的な構成例 1 >

図 4 A は、図 1 の第 1 累積劣化ストレス量保持回路 T 1 の構成例を示す。第 1 累積劣化ストレス量保持回路 T 1 は、リングオシレータ R O 1 と累積ストレスカウンタ A C C _ C N T 1 とを有する。 $\exp(-Ea_1 / kT)$ に比例した周波数特性を有するリングオシレータ R O 1 の発振が累積ストレスカウンタ A C C _ C N T 1 によりカウントされる。リングオシレー

10

20

30

40

50

タ R O 1 の発振周波数は 1 秒間の発振カウントである。累積ストレスカウンタ A C C _ C N T 1 の出力は、第 1 生成回路 C 0 1 および演算回路 (C 1 2 、 C 1 2 A 、 C 1 2 B) の入力に接続される。

【 0 0 3 8 】

図 4 B は、図 1 の第 2 累積劣化ストレス量保持回路 T 2 の構成例を示す。第 2 累積劣化ストレス量保持回路 T 2 は、リングオシレータ R O 2 と累積ストレスカウンタ A C C _ C N T 2 とを有する。exp(-Ea2/kT) に比例した周波数特性を有するリングオシレータ R O 2 の発振が累積ストレスカウンタ A C C _ C N T 2 によりカウントされる。リングオシレータ R O 2 の発振周波数は 1 秒間の発振カウントである。累積ストレスカウンタ A C C _ C N T 2 の出力は、第 1 生成回路 C 0 2 および演算回路 (C 1 2 、 C 1 2 A 、 C 1 2 B) の入力に接続される。

10

【 0 0 3 9 】

図 4 C は、図 1 の累積動作時間保持回路 T M の構成例を示す。累積動作時間保持回路 T M はタイマ T M 1 と累積時間保持回路 H L 1 とを有する。累積時間保持回路 H L 1 は、タイマ T M 1 の出力を入力とし、それを保持する。累積時間保持回路 H L 1 は、第 1 および第 2 累積劣化ストレス量保持回路 T 1 、 T 2 に設けられた累積ストレスカウンタ A C C _ C N T 1 , A C C _ C N T 2 の累積カウント時間、あるいは、その相当値を保持する。累積時間保持回路 H L 1 の出力は、演算回路 (C 1 2 、 C 1 2 A 、 C 1 2 B) の入力に接続される。

【 0 0 4 0 】

20

< 実施例 1 の具体的な構成例 2 >

図 5 は、図 1 の第 1 累積劣化ストレス量保持回路 T 1 、第 2 累積劣化ストレス量保持回路 T 2 および累積動作時間保持回路 T M の他の構成例を示す。なお、図 5 のリングオシレータ (R O 1 、 R O 2) 、累積ストレスカウンタ (A C C _ C N T 1 、 A C C _ C N T 2) は、図 4 A 、図 4 B およびその説明で示されたものと同じである。図 4 A 、図 4 B , 図 4 C と異なる部分が以下に説明される。

【 0 0 4 1 】

図 5 において、累積動作時間保持回路 T M は、間欠動作制御回路 I O C 1 と累積カウント時間保持回路 H L 1 1 とを有する。間欠動作制御回路 I O C 1 から出力される動作信号 A O のハイレベルに基づき、間欠カウント動作期間においてのみ、リングオシレータ (R O 1 、 R O 2) は発振動作を行う。動作信号 A O のハイレベルは累積劣化ストレス検出回路 1 0 の間欠動作または間欠動作期間を指示し、動作信号 A O のロウレベルは累積劣化ストレス検出回路 1 0 の非動作または非動作期間を示す。累積ストレスカウンタ (A C C _ C N T 1 、 A C C _ C N T 2) は、動作信号により制御されるアンド回路 A N 1 , A N 2 により、その間欠カウント動作期間においてリングオシレータ (R O 1 、 R O 2) の発振を入力され、それをカウントする。累積カウント時間保持回路 H L 1 1 は間欠カウント動作の回数をカウントし、カウント値として累積実施回数 N を保持する。劣化の累積量の観点から、適当な時間間隔でリングオシレータ (R O 1 、 R O 2) の発振をモニタリングしても、温度変化に対して十分な精度が得られる。そのため、間欠動作制御回路 I O C 1 により、累積劣化ストレス検出回路 1 0 の摩耗故障の予測精度を損なうことなく、累積劣化ストレス検出回路 1 0 の消費電力および半導体装置 1 の全体としての消費電力を低減することができる。

30

40

【 0 0 4 2 】

< 実施例 1 の具体的な構成例 3 >

図 6 は、図 5 の第 1 累積劣化ストレス量保持回路 T 1 、第 2 累積劣化ストレス量保持回路 T 2 および累積動作時間保持回路 T M の他の構成例を示す。図 5 と異なる部分が以下に説明される。

【 0 0 4 3 】

累積ストレスカウンタ (A C C _ C N T 1 、 A C C _ C N T 2) および累積カウント時間保持回路 H L 1 1 の保持するカウント値を不揮発メモリ N V M に退避する退避制御回路

50

SCTを、さらに、有する。不揮発メモリNVMは、フラッシュメモリを利用することが出来る。フラッシュメモリは、半導体装置1の電源電圧の切断ないし遮断や半導体装置1のリセット動作によっても、その記憶データは保持される。劣化の累積量(累積されたカウント値)を保持するためには、累積ストレスカウンタ(ACC_CNT1、ACC_CNT2)および累積カウント時間保持回路HL11の保持するカウント値が半導体装置1の電源電圧の切断ないし遮断や半導体装置1のリセット動作により失われてはならない。半導体装置1が市場に出荷されてから製品寿命を終えるまで、累積劣化ストレス検出回路10は累積し続ける必要がある。累積ストレスカウンタ(ACC_CNT1、ACC_CNT2)および累積カウント時間保持回路HL11を電池によりバックアップされた常時電源電位の印加された半導体領域に形成しても良い。図6の様に、不揮発メモリNVMへの退避を制御する回路(退避制御回路)SCTを半導体装置1に付加すれば、累積ストレスカウンタ(ACC_CNT1、ACC_CNT2)および累積カウント時間保持回路HL11を通常のロジック領域に形成することができる。通常のロジック領域とは、ロジック回路や論理回路が形成される半導体領域であり、半導体装置1の電源電位の切断ないし遮断や半導体装置1のリセット動作により、電源電位の供給が切断ないし遮断される半導体領域を示している。カウンタアレイCNTAは、ロジック領域内における累積ストレスカウンタ(ACC_CNT1、ACC_CNT2)および累積カウント時間保持回路HL11の形成領域を表している。

10

【0044】

<リングオシレータ>

20

図7は、リングオシレータの構成を示す回路図である。図7のリングオシレータROSは、図4A、図4B、図5、図6に示されるリングオシレータRO1、RO2に利用可能である。リングオシレータROSは、摩耗故障因子の寿命(T)の逆数($\exp(-Ea/kT)$)に比例した周波数特性を有する。リングオシレータROSは、電圧依存性が小さく、温度依存性が大きい、例えば、エレクトロマイグレーションやストレスマイグレーションの摩耗故障因子の累積劣化ストレス量を、リングオシレータROSの発振周波数から得ることができる。リングオシレータROSではPMOSトランジスタ(QP21)のオフ電流に比例した発振周波数を実現している。

【0045】

リングオシレータROSは、遅延回路DLと、安定化回路STと、インバータ遅延段INV20と、を備える。遅延回路DLはPMOSトランジスタQP21とNMOSトランジスタQN21、QN22とを有する。安定化回路STは、基準電圧(Vref)を生成するNMOSトランジスタQN23、QN24と、比較器CMPと、を備える。インバータ遅延段INV20はインバータINV21、INV22、INV23、INV24を備える。

30

【0046】

動作を以下に説明する。リセット信号(reset)がハイレベルになるとノードN21はロウレベルにリセットされる。Vrefはハイレベル(Vd)とロウレベル(Vs)との中間電位であり、比較器(差動アンプ)CMPの出力のノードN22はロウレベルとなる。その結果、ノードN23はロウレベルとなり、ノードN21はresetがロウレベルに戻った後にはロウレベルのフローティング状態となる。NMOSトランジスタQN21及びQN22のしきい値電圧絶対値はPMOSトランジスタQP21のしきい値電圧絶対値より大きく設定すると、PMOSトランジスタQP21のオフリーク電流が支配的であり、ノードN21の電位はロウレベルからハイレベルに向かって徐々に上昇する。PMOSトランジスタQP21はリーク型プルアップ素子である。ノードN21の電位がVref以上になると、AMP比較器CMPの出力のノードN22はロウレベルからハイレベルに変化して、インバータ遅延段INV20(4段のインバータINV21~INV24)の遅延の後、ノードN23はハイレベルとなる。この結果、ノードN21はロウレベルに戻る。これを繰り返して発振する。

40

【0047】

50

ノードN21がロウレベルになってからハイレベルに遷移して再びロウレベルに戻るまでの時間は、PMOSトランジスタQP21のオフリーク電流でノードN21の電位がロウレベルからVrefまで上昇する時間(t1)と、ノードN22がハイレベルとなりインバータ遅延段INV20の遅延によりノードN21がハイレベルとなるまでの時間(t2)との和にほぼ等しい。さらに言えば、 $t1 \gg t2$ なので、発振周波数はPMOSトランジスタQP21のオフリーク電流にほぼ比例する。オフリーク電流は温度の逆数の指数($\exp(-1/T)$)に依存するので、摩耗故障因子と同様な大きな温度依存性を有するリングオシレータを実現できる。

【0048】

なお、図7に示すように、ノードN21を通常の論理回路ではなく比較器CMPで受けることにより安定して発振動作する効果が得られる。すなわち、ノードN21のロウレベルからハイレベルへの変化は非常に緩やかであるため、論理回路で受けた場合、その論理しきい値前後の変化がフル振幅することなく伝搬し、十分フル振幅することなく論理しきい値付近に安定してしまう場合がある。比較器CMPの出力は、その入力しきい値前後で大きくロウレベルからハイレベルへ変化するので、安定してフル振幅で発振するリングオシレータが得られる。なお、インバータIV22の出力と入力との間に耐ノイズフィードバック素子ANFが挿入されている。耐ノイズフィードバック素子ANFはPMOSトランジスタQP22、QP23、NMOSトランジスタQN25、QN26で構成されるインバータである。

【0049】

<システムの全体構成の概略図>

図8は、図1の半導体装置を利用したシステムの全体構成の概略図である。半導体装置1は半導体チップCHIPに形成される。半導体チップCHIPには、インターフェース回路(interface)、アナログ回路(Analog)、中央処理装置CPU、スタティックランダムアクセスメモリ(SRAM)、ロジック回路(logic)、不揮発メモリ(フラッシュメモリ)NVMなどが形成される。

【0050】

累積劣化ストレス検出回路10Aは、図1、図4A、図4B、図5、図6の累積劣化ストレス検出回路10の構成に、さらに、複数セットの累積劣化ストレス量保持回路、累積動作時間保持回路、クライテリア保持回路、生成回路、およびリングオシレータ(RO)を搭載させたものである。

【0051】

累積劣化ストレス検出回路10A内の累積劣化ストレス量保持回路(T1、T2等)、累積動作時間保持回路(TM等)はロジック回路(logic)の形成されるロジック領域に形成される。累積劣化ストレス検出回路10A内の演算回路(C12)、クライテリア保持回路(J1、J2等)、および生成回路(C01、C02等)は同じロジック領域にハードウェア回路で実現しても良いし、CPUによるソフトウェアで実現しても良い。あるいは、半導体装置1に接続された外部のデータ処理装置またはサーバ等で実現しても良い。リングオシレータ(RO1、RO2、RO)は、図8に示されるように、異なる領域に複数設けられている。すなわち、リングオシレータ(RO1、RO2、RO)は、インターフェース回路(interface)の形成領域、アナログ回路(Analog)の形成領域、中央処理装置CPUの形成領域、スタティックランダムアクセスメモリ(SRAM)の形成領域、ロジック回路(logic)の形成領域、不揮発メモリNVMの形成領域にそれぞれ設けられる。温度上昇による摩耗劣化が懸念されるCPUの形成領域には、リングオシレータ(RO1、RO2)を近接して配置するのが良い。これにより、リングオシレータ(RO1、RO2)の温度プロファイルがほぼ同じになるようにできるので、図3で説明した相互関係指標による妥当性判定の信憑性をより高めることができる。

【0052】

半導体チップCHIPはパッケージPKGに封止され、システム基板PCB上に実装される。システム基板PCB上には、抵抗素子や容量素子等の受動素子1、2も設けられる

。

【0053】

図8に示す半導体装置1が摩耗故障の予測対象とする劣化因子としては、以下がある。

(1) 参考文献に説明されている半導体チップ信頼性に関わるデバイス素子信頼性(TDD B、NBTIなど)や配線素子信頼性(EM、SMなど)。

(2) 不揮発メモリNVMの情報保持保全性。

(3) パッケージPKGの信頼性に関わる半導体チップCHIPとの接続性(ワイヤボンディング、はんだボールなど)やインターポーザ劣化、封止材レジソ劣化。

(4) システム基板PCBの信頼性に関わるパッケージPKGとの接続性(はんだボールなど)や半導体チップCHIP近辺の受動素子1, 2の劣化。

10

【0054】

累積劣化ストレス検出回路10Aに、図2に示した演算回路C12Aを適用することにより、上記の様な多様な劣化因子に対する摩耗故障の予測を行うことができる。

【0055】

<実施例1の実施の形態1の計算例>

次に、図2の演算回路C12Aにおける仮想累積劣化ストレスカウント値(Cnt3累積値)の計算例が示される。

【0056】

これは、温度依存性Ea3の第3の劣化因子の仮想累積劣化ストレスカウント値(Cnt3累積値)を、実測値から計算するための具体的な方法である。この実測値は、第1累積劣化ストレス量保持回路T1の累積劣化ストレスカウント値のカウント数Cnt1累積値、第2累積劣化ストレス量保持回路T2の累積劣化ストレスカウント値のカウント数Cnt2累積値、および累積動作時間保持回路TMの値Nである。温度依存性Ea3は、温度依存性Ea1、Ea2とは異なるものであり、 $Ea3=q \cdot Ea1$ と表されるものとし、値qは定数である。以下、図9A - 図9F, 図10A、図10B、図11A - 図11Fを用いて説明する。

20

【0057】

図9Aは、累積期間での半導体装置の温度の第1の確率分布を示す図である。図9Cは、累積期間での半導体装置の温度の第2の確率分布を示す図である。図9Eは、累積期間での半導体装置の温度の第3の確率分布を示す図である。横軸は温度T()を示す。縦軸は、累積期間を、単位カウント動作の累積実施回数Nとし、 $N=5000$ 回の場合における各温度への到達した回数で示している。図9Bは、図9Aにおける下記式(6)に定義する相互関係指標と値qとの関係を示す図である。図9Dは、図9Cにおける相互関係指標と値qとの関係を示す図である。図9Fは、図9Eにおける相互関係指標と値qとの関係を示す図である。

30

【0058】

図9A - 図9Fにおいて、1回の単位カウント動作期間中、温度はほぼ一定であり、第1累積劣化ストレスカウント値は、 $Cnt1 = C1 \cdot \exp(-Ea1/kT)$ であり、仮想累積劣化ストレスカウント値は、 $Cnt3 = (Cnt1)^q = C1^q \cdot \exp(-Ea3/kT)$ である。また、 $Ea1=0.5eV$ とし、 $q=Ea3/Ea1$ とする。単位カウント動作の累積実施回数 $N=5000$ 回において、単位カウント動作ごとに温度が図9A、図9C、図9Eの確率分布で温度が変動する場合を検討する。この時、以下の式(6)で、Cnt1累積値とCnt3累積値との相互関係指標を定義する。

40

【0059】

$$K_q = (Cnt3 \text{累積値}) / \{(Cnt1 \text{累積値})^q / N^{q-1}\} \quad (6)$$

相互関係指標 K_q は図9A、図9C、図9Eの分布毎に異なり、それぞれ図9B、図9D、図9Fの様な相互関係指標 K_q のシミュレーション結果になる。図9B、図9D、図9Fでは、値qの0から5までの相互関係指標 K_q が示されており、値q=1の場合のCnt1累積値、および値qがq=2の場合のCnt2累積値が取得されている場合である。値qが $q < 1$ の複数点、1.5、2.5、3.5、4、4.5に対応する相互関係指標 K_q の値はシミュレーション値である。

【0060】

50

図9 A、図9 Bは、累積期間において温度変動がそれほど無い場合であり、相互関係指標 K_q は、ほぼ1となる。なぜなら、一定のカウント値がN回あるとすると、 $(\text{Cnt3累積値}) / \{(\text{Cnt1累積値})^q / N^{q-1}\}$ が1となるからである。すなわち、相互関係指標 K_q は、カウント動作の期間に温度変動が無い場合、すなわち、累積期間に渡って温度変動が無い場合に下記の式(7)(8)となる。

【0061】

$$\text{Cnt3累積値} = (\text{Cnt1})^q \text{累積値} = \text{Cnt1}T^q \times N \quad (7)$$

$$(\text{Cnt1累積値})^q = (\text{Cnt1}T \times N)^q = \text{Cnt1}T^q \times N^q \quad (8)$$

ここで、Cnt1Tはすべての単位カウント動作で同じとなるCnt1の値である。式(6)に代入すると、 $K_q=1$ である。

図9 C、図9 D、図9 E、図9 Fは、累積期間の温度変動がある場合であり、相互関係指標 K_q は1以上($K_q > 1$)となる。相互関係指標 K_q は、 $0 < q < 1$ では $K_q=1$ が良い近似となる。

また、図9 E、図9 Fの様に、累積期間において温度変動が大きいほど、相互関係指標 K_q は大きくなる。すなわち、Cnt1累積値からCnt3累積値を正確に計算することは難しい。

【0062】

しかしながら、温度依存性 Ea_1 とは異なる温度依存性 $Ea_2=q_2 \cdot Ea_1$ の温度依存性の第2の劣化因子の累積劣化ストレスカウント値(Cnt2累積値)が取得されている場合、値 q が1以上 q_2 以下の範囲(たとえば $q_2=2$ で $q=1.5$)であれば、相互関係指標 $K_{q_1}=1$ と相互関係指標 $K_{q_2} = (\text{Cnt2累積値}) / \{(\text{Cnt1累積値})^{q_2} / N^{q_2-1}\}$ との内挿から高い精度で相互関係指標 K_q を見積もることができる。すなわち、Cnt3累積値を精度よく見積もることができる。なお、図9では $\text{Cnt2} = (\text{Cnt1})^{q_2} = C1^{q_2} \cdot \exp(-Ea_2/kT)$ ($q_2=2$)としてプロットしているが、式(5)のように $\text{Cnt2} = (C2/C1^{q_2}) \cdot (\text{Cnt1})^{q_2}$ が一般形であるので、実際にはCnt2累積値を $(C2/C1^{q_2})$ で除したCnt2_nrm累積値を相互関係指標 K_{q_2} の算出に用いる必要がある。

【0063】

図10 Aは、相互関係指標の精度を説明するための図である。図10 Bは、値 q_2 を2より大きくした場合の相互関係指標の精度を説明するための図である。

【0064】

図10 Aは図9 Fと同等であり、値 q が1と2との間は精度よく相互関係指標 K_q を見積もることができることを示している。値 q が2以上の場合は、精度が悪くなる。したがって、値 q として $q = 1 \sim 2$ ($Ea=0.5\text{eV} \sim 1\text{eV}$)の領域の精度を重視する場合に効果がある。一方、図10 Bは、図9 Fにおいて、取得されているCnt2累積値を、値 q が4($q_2=4$)の場合のカウント値とした場合を示す。図10 Bでは、内挿で見積もることが可能な値 q の範囲を拡大した。Cnt2累積値の q_2 を大きくすると、内挿の精度は低下するが、相互関係指標 K_q の見積もれる値 q の範囲が拡大する効果がある。

【0065】

図11 A、図11 C、図11 Eは、図9 A、図9 C、図9 Eと同じものである。図11 Bは、図9 Bに示す図の横軸を、値 q ではなく、 $(q-1) \cdot (q)$ とした場合の相互関係指標 K_q を説明する図である。図11 Dは、図9 Dに示す図の横軸を、値 q ではなく、 $(q-1) \cdot (q)$ とした場合の相互関係指標 K_q を説明する図である。図11 Fは、図9 Fに示す図の横軸を、値 q ではなく、 $(q-1) \cdot (q)$ とした場合の相互関係指標 K_q を説明する図である。図11 B、図11 D、図11 Fのそれぞれに示されるように、横軸を $(q-1) \cdot (q)$ として相互関係指標 K_q をプロットすると、第1累積劣化ストレスカウント値のCnt1累積値($q=1$)、第2累積劣化ストレスカウント値のCnt2累積値($q=2$)の2点から、その内挿領域だけでなく、その外挿領域についても、相互関係指標 K_q 、すなわち仮想累積劣化ストレスカウント値Cnt3累積値を見積もることが可能であることが示される。また、図11 B、図11 D、図11 Fから、図11 A、図11 C、図11 Eに示されるような異なる温度変動の確率分布の状態に対しても、 $q=1$ のCnt1累積値の実測値と $q=2$ のCnt2累積値の実測値との外挿から、任意の値 q の仮想累積劣化ストレスカウント値Cnt3累積値を精度よく見積もれることがわかる。

【0066】

10

20

30

40

50

< 実施例 1 の実施の形態 1 に係る実施フロー >

次に、図 2 に示される演算回路 C 1 2 A を用いた場合の実施フローを示す。図 1 2 A は、実施例 1 の実施の形態 1 の全体的な実施フローである。図 1 2 B は、図 1 2 A のステップ S 6 の詳細な算出フローを示す。まず、前提を説明する。図 9 A - 図 9 F, 図 1 0 A、図 1 0 B、図 1 1 A - 図 1 1 F の説明では、第 2 累積劣化ストレス量保持回路 T 2 の累積劣化ストレスカウント値のカウント数 Cnt2 累積値は、 $Cnt2 = (Cnt1)^{q2} = C1^{q2} \cdot \exp(-Ea2/kT)$ 、 $q2 = Ea2/Ea1$ を前提としたものであった。しかし、実際の半導体装置 1 において設計される第 2 累積劣化ストレス量保持回路 T 2 の累積劣化ストレスカウント値は、 $Cnt2 = C2 \cdot \exp(Ea2/kT)$ であり、係数は $C1^{q2}$ とは異なる。その比 $B = C2 / C1^{q2}$ を図 1 2 A および図 1 2 B では考慮した。B 値は半導体装置 1 の出荷前テストで取得できる。また、1 回の単位カ
10
10

【 0 0 6 7 】

ステップ S 1 および S 2 は、半導体装置 1 の出荷前テスト時に実施される。ステップ S 1 では、1 5 0、testtime の第 1 累積劣化ストレス量保持回路 T 1 のカウント値 Cnt1 を取得し、CntH_T1 として記憶させる。ステップ S 2 では、1 5 0、testtime の第 2 累積劣化
20

【 0 0 6 8 】

ステップ S 3 ~ S 6 は、半導体装置 1 の出荷後において半導体装置 1 の動作時に行われる。ステップ S 3 では、testtime x N の第 1 累積劣化ストレス量保持回路 T 1 の累積劣化
30

【 0 0 6 9 】

ステップ S 6 の詳細な算出フローは、図 1 2 B に示される。

【 0 0 7 0 】

ステップ S 6 1 において、test 結果から、比 B を求める。比 B は、 $B = (CntH_T2) / (CntH_T1)^{q2} = C2 / C1^{q2}$ である。なお、 $Cnt1 = C1 \cdot \exp(-Ea1/kT)$ 、 $Cnt2 = C2 \cdot \exp(-Ea2/kT) = C2 \cdot \{\exp(-Ea1/kT)\}^{q2}$ 、 $q2 = Ea2/Ea1$ である。

【 0 0 7 1 】

ステップ S 6 2 では、規格化した第 2 累積劣化ストレス量保持回路 T 2 の累積劣化
40

【 0 0 7 2 】

ステップ S 6 3 では、規格化した Acc_Cnt_T2_nrm の相互関係指標 K_{q2} を Y 軸に、 $(q-1) \cdot (q)$ を X 軸に打点し、(0,1) と直線で結ぶ。Y 軸は対数軸である。すなわち、図 1 1 B、図 1 1 D、図 1 1 F の相互関係指標 K_{q2} と $(q-1) \cdot (q)$ との関係を求める。相互関係指標 K_{q2} は、 $K_{q2} = (Acc_Cnt_T2_nrm) / \{(Acc_Cnt_T1)^{q2} / N^{q2-1}\}$ である。

【 0 0 7 3 】

ステップ S 6 4 では、ステップ S 6 3 で求めた上記直線上で、 $q = Ea3/Ea1$ 相当の相互
50

Cnt1)^qである。

【 0 0 7 4 】

ステップS65では、ステップ64で求めた相互関係指標 K_q 、及びAcc_Cnt_T1、NとからAcc_Cnt_T3_nrmを逆算する。

【 0 0 7 5 】

ステップS66では、ステップS64で定義したCnt3_nrmの150、testtimeでの仮想累積劣化ストレスカウント値CntH_T3_nrmを算出する。CntH_T3_nrmは、 $CntH_T3_nrm = (CntH_T1)^q$ である。

ステップS67では、得られたAcc_Cnt_T3_nrmとCntH_T3_nrmとの比が、Ea3温度依存性の劣化因子に対して、150相当でtesttimeの何倍の累積劣化ストレス時間に達しているかを示す。

10

【 0 0 7 6 】

図12Aおよび図12Bによれば、温度依存性Ea1の第1の劣化因子の累積劣化ストレスカウント値(Cnt1累積値)、温度依存性Ea2の第2の劣化因子の累積劣化ストレスカウント値(Cnt2累積値)、及び単位カウント動作の累積実施回数Nとから、温度依存性Ea3の第3の劣化因子の仮想累積ストレスカウント値(Cnt3累積値)を見積もることができる。すなわち、図8で説明された様な様々な劣化因子の摩耗故障を精度よく予測できる半導体装置1が得られる。なお、図12では図11相当で第3の劣化因子の摩耗故障を予測するフロー例を示したが、図9相当など、他のプロットでCnt1累積値及びCnt2累積値の実測からステップS64の K_q を得ても良い。

20

【 0 0 7 7 】

<実施例1の実施の形態2の具体的な説明>

図3で示された妥当性判定回路AJ1に関し、さらに、具体的に説明する。

【 0 0 7 8 】

第1累積劣化ストレス量保持回路T1の累積値(累積劣化ストレスカウント値)Cnt1累積値と第2累積劣化ストレス量保持回路T2の累積値(累積劣化ストレスカウント値)Cnt2累積値のあるべき相互関係を以下に示す。単位カウント動作期間"i"に取得されるカウント値は、その期間が短く温度Tがほぼ一定とした場合、以下である。

【 0 0 7 9 】

$$Cnt1[i] = C1 * \exp(-Ea1/kT)$$

30

$$Cnt2[i] = C2 * \exp(-Ea2/kT) = C2 * \exp(-q2 * Ea1/kT) = (C2/C1^{q2}) * (Cnt1[i])^{q2}$$

ここで、 $q2 = Ea2 / Ea1$ である。

【 0 0 8 0 】

もっとも単純なケースとして、N回のカウント累積期間に渡っても温度Tが一定なら、Cnt1[i]は"i"によらず同じ値Cnt1Tとなる。

【 0 0 8 1 】

$$Cnt1[i] = Cnt1T \times N$$

$$Cnt2[i] = (C2/C1^{q2}) * (Cnt1[i])^{q2} = (C2/C1^{q2}) * (Cnt1T \times N)^{q2}$$

この時、実施例1の実施の形態1で定義したのと同じ相互関係指標 K_{q2} は、下記である。

40

【 0 0 8 2 】

$$K_{q2} = (Cnt2 \text{累積値}) / \{(Cnt1 \text{累積値})^{q2} / N^{q2-1}\} = (C2/C1^{q2})$$

実施例1の実施の形態1では、仮想累積劣化ストレスカウント値Cnt3の係数C3を、 $C1^q$ と定義したので、温度変動が無い場合、 $K_q=1$ であった。実施例1の実施の形態2では、Cnt2は温度依存性Ea2の別の累積劣化ストレスカウンタの実測値なので、独立した係数C2を有し、その結果、温度Tが一定の場合、 $K_{q2} = (C2/C1^{q2})$ となる。

【 0 0 8 3 】

N回のカウント累積期間に渡って温度Tが変動する通常の場合では、図9A - 図9F、図10A、図10B、図11A - 図11Fに示した結果から分かるように、 $K_{q2} = A_{q2} * (C2/C1^{q2})$ 、($A_{q2} > 1$)となり、温度依存性が大きいほど A_{q2} は大きい。なお、図9A -

50

図9F, 図10A、図10B、図11A - 図11Fでは、 $C2/C1^{q2}=1$ の例を示しているの
で、これらのグラフの縦軸 K_{q2} は前記 A_{q2} に等しい。温度依存性が大きいほど A_{q2} が大きい
ことは、 $q2 = 2$ の場合を例に、簡単な数式で理解することができる。xを変動する任意の
変数、mをxの平均値とすると、以下となる。

【0084】

$$\langle x^2 \rangle = m^2 + \langle (x - m)^2 \rangle$$

ここで、 $\langle \rangle$ は囲まれた値の平均を示す。

【0085】

この一般式を、今回の実施例1の実施の形態2の場合にあてはめると、以下となる。

【0086】

$$\text{Cnt1累積値} = m * N$$

$$\text{Cnt2累積値} = (C2/C1^2) * (\text{Cnt1の2乗の累積値}) = (C2/C1^{q2}) * \langle x^2 \rangle * N$$

したがって、相互関係指標 K_2 は、以下となる。

【0087】

$$\begin{aligned} K_2 &= (\text{Cnt2累積値}) / \{(\text{Cnt1累積値})^2 / N\} \\ &= (C2/C1^2) * \langle x^2 \rangle / m^2 \\ &= (C2/C1^2) * (1 + \langle (x - m)^2 \rangle / m^2) \end{aligned}$$

ここで、 $\langle (x - m)^2 \rangle / m^2 > 0$ である。すなわち、カウント累積期間中に温度Tが変動
する場合、その変動が大きいほど、相互関係指標 K_2 は $(C2/C1^2)$ より大きくなる。言い換え
れば、定数 A_2 は1より大きくなる。

【0088】

図9A - 図9Fを再び参照する。たとえば、相互関係指標 K_2 ($q=2$ での K_q) は、図9B
で約1.0、図9Dで約1.5、図9Fで約2.7である。現実的に半導体装置1が経験する温度
プロファイルを考えた時、相互関係指標 K_2 は最大でも4を超えないという解析結果を得た
。図9A - 図9Fは $C2/C1^2=1$ に規格化した場合であり、 K_2 は A_2 に等しく、以下の範囲にあ
れば、Cnt1累積値、Cnt2累積値共に妥当であると判断できる。

【0089】

$$(C2/C1^2) \quad K_2 \quad A_2 * (C2/C1^2), \quad A_2 = 4$$

ここでは、 $q2 = 2$ の場合について示したが、 $q2$ が2以外の場合でも、Cnt1累積値とCnt2累
積値と単位カウント動作の累積実施回数Nとで計算される相互関係指標 K_{q2} があるべき範囲
を同様に定義でき、以下となる。

【0090】

$$(C2/C1^{q2}) \quad K_{q2} \quad A_{q2} * (C2/C1^{q2})$$

ここで、 A_{q2} は、半導体装置に想定される温度プロファイルの範囲で最も温度変動が激し
い状態に基づいて、 $q2 = Ea2 / Ea1$ に対してあらかじめ定めることが可能な定数である。

【0091】

<実施例1の実施の形態2に係る実施フロー>

次に、図3に示される演算回路C12Bを用いた場合の実施フローを示す。図13Aは
、実施例1の実施の形態2の全体的な実施フローである。図13Bは、図13Aのステッ
プS13の詳細な判定フローを示す。まず、前提を説明する。1回の単位カウント動作時
間の代わりに、出荷前テスト時のテスト時間testtimeを時間単位とした。testtimeはその
期間の温度がほぼ一定の短い期間である。出荷前テストでは、温度Tを150としてテ
ストを行うものとする。

【0092】

ステップS10およびS11は、半導体装置1の出荷前テスト時に実施される。ステッ
プS10では、150、testtimeの第1累積劣化ストレス量保持回路T1の累積劣化ス
トレスカウント値Cnt1を取得し、CntH_T1として記憶させる。ステップS11では、15
0、testtimeの第2累積劣化ストレス量保持回路T2の累積劣化ストレスカウント値Cn
t2を取得し、CntH_T2として記憶させる。

【0093】

10

20

30

40

50

ステップ S 1 2 ~ S 1 4 は、半導体装置 1 の出荷後において半導体装置 1 の動作時に行われる。

【 0 0 9 4 】

ステップ S 1 2 では、所定期間 $testtime \times ni$ の第 1 累積劣化ストレス量保持回路 T 1 の累積劣化ストレスカウント値 (Cnt1累積値) 及び第 2 累積劣化ストレス量保持回路 T 2 の累積劣化ストレスカウント値 (Cnt2累積値) を取得し、Cnt_T1tmp および Cnt_T2tmp として記憶させる。また、累積動作時間保持回路 T M の単位カウント動作の累積実施回数 ni を取得し、TMtmp として記憶させる。

【 0 0 9 5 】

ステップ S 1 3 では、ステップ S 1 2 で得られた Cnt_T1tmp および Cnt_T2tmp が相互比較判定から妥当な値か否かを判定する。妥当な場合 (YES)、ステップ 1 4 に遷移する。妥当でない場合 (NO)、Cnt_T1tmp, Cnt_T2tmp, TMtmp を破棄し、ステップ 1 2 に遷移する。

10

【 0 0 9 6 】

ステップ S 1 4 では、ステップ S 1 2 で得られた Cnt_T1tmp、Cnt_T2tmp、および TMtmp を、これまでの生涯期間 $testtime \times N$ の累積劣化ストレスカウント値 Acc_Cnt_T1、累積劣化ストレスカウント値 Acc_Cnt_T2、及び累積実施回数 Acc_Cnt_TM に、それぞれ加算して記憶させる。累積劣化ストレスカウント値 Acc_Cnt_T1 は、第 1 累積劣化ストレス量保持回路 T 1 の累積劣化ストレスカウント値である。累積劣化ストレスカウント値 Acc_Cnt_T2 は、第 2 累積劣化ストレス量保持回路 T 2 の累積劣化ストレスカウント値である。累積実施回数 Acc_Cnt_TM は、累積動作時間保持回路 T M の単位カウント動作の累積実施回数である。その後、ステップ S 1 2 へ遷移する。ここで、 $N = ni$ である。

20

【 0 0 9 7 】

ステップ S 1 3 の詳細な判定フローが、図 1 3 B に示される。

【 0 0 9 8 】

ステップ S 1 3 1 では、test 結果から、比 B を得る。比 B は、 $B = (CntH_T2) / (CntH_T1)^{q2} = C2 / C1^{q2}$ である。なお、 $Cnt1 = C1 \cdot \exp(-Ea1/kT)$ 、 $Cnt2 = C2 \cdot \exp(-Ea2/kT) = C2 \cdot \{\exp(-Ea1/kT)\}^{q2}$ 、 $q2 = Ea2/Ea1$ である。

【 0 0 9 9 】

ステップ 1 3 2 では、温度 T の時間変動を考慮したワースト値を考慮し、 $B \cdot A_{q2}$ を算出する。ここで、 A_{q2} は温度 T の時間変動を考慮したワースト値であり、予め設定した既定値である。詳細は「実施例 1 の実施の形態 2 の具体的な説明」で述べたとおりである。

30

【 0 1 0 0 】

ステップ S 1 3 3 では、実測値から相互関係指標 K_{q2_tmp} を算出する。相互関係指標 K_{q2_tmp} は、 $K_{q2_tmp} = Cnt_T2tmp / \{(Cnt_T1tmp)^{q2} / (TMtmp)^{q2-1}\}$ である。

【 0 1 0 1 】

ステップ S 1 3 4 では、相互関係指標 K_{q2_tmp} が、以下の範囲にあるか否かが判断れる。

【 0 1 0 2 】

$$B \cdot K_{q2_tmp} \leq B \cdot A_{q2}$$

相互関係指標 K_{q2_tmp} が、範囲内にあれば、ステップ S 1 2 で得られた Cnt_T1tmp および Cnt_T2tmp が妥当 (YES) であると判断する (ステップ S 1 3 5)。そうでなければ、Cnt_T1tmp および Cnt_T2tmp が妥当でない (NO) で判断する (ステップ S 1 3 6)。

40

【 0 1 0 3 】

なお、図 1 3 A、図 1 3 B では、所定期間 $testtime \times ni$ に取得された累積劣化ストレスカウント値についてその値の妥当性判断を行ったものである。累積期間 $testtime \times N$ での累積カウント Acc_Cnt_T1、Acc_Cnt_T2 に対して、相互関係指標を算出してカウント値の妥当性判断を行っても良い。妥当でないと判断された場合は、1 サイクル古い Acc_Cnt_T1、Acc_Cnt_T2、Acc_Cnt_TM に値を戻す。たとえば、最新の Acc_Cnt_T1、Acc_Cnt_T2、Acc_Cnt_TM を不揮発メモリ NVM の記憶領域に書き戻す前に、妥当性判断を行えば、不揮発

50

メモリNVMの記憶領域には1サイクル古い値が残っているので、最新値を破棄して、不揮発メモリNVMの記憶領域の値を信用できる最新値とすればよい。累積ストレスカウンタ値の累積は年オーダの長期に渡り行われるので、1サイクル分の異常値を破棄しても、摩耗故障の評価に対する誤差は小さい。ここで、1サイクルとは、たとえば、本開示の半導体装置1をリセットしてから、次にリセットするまでの期間である。あるいは、1サイクルとは、本開示の半導体装置1の電源をオンしてから、電源を一旦オフするまでの期間である。

【0104】

累積ストレスカウンタ値の妥当性判断は、摩耗故障クライテリアにAcc_Cnt_T1またはAcc_Cnt_T2のいずれかが達した時点で、相互関係指標 $K_{q2} = (\text{Acc_Cnt_T2}) / \{(\text{Acc_Cnt_T1})^{q2} / N^{q2-1}\}$ がB以上、 $B \cdot A_{q2}$ 以下であることを検証することで行っても良い。Nは、Acc_Cnt_TMである。妥当性が検証されれば、摩耗故障の危険が高まっていることを、確信をもって認識できる。

【0105】

実施例1の実施の形態2に係る実施フローによれば、異なる温度依存性の劣化因子に対応する累積ストレスカウンタ値が2つ以上実測されることを利用して、両者の関係が妥当であるかを判定することにより、累積ストレスカウンタ値の信憑性を高め、摩耗故障を高い信頼性で予測できる半導体装置が得られる。

【実施例2】

【0106】

図14は、実施例2に係る半導体装置を説明するための図である。半導体装置1Aは、図1に示される累積劣化ストレス検出回路10の一部を変更したものである。異なる部分を主に説明する。図1の累積劣化ストレス検出回路10は、第2累積劣化ストレス量保持回路T2、第2クライテリア保持回路J2、第2生成回路C02、および演算回路C12と、を有する。図14の累積劣化ストレス検出回路10Aは、第2の累積劣化ストレスカウンタ値を保持する回路(第2累積劣化ストレス量保持回路)VT2と、第2のクライテリア(判定基準)のカウント値を保持する回路(第2クライテリア保持回路)J2Cと、を有する。累積劣化ストレス検出回路10Aは、さらに、累積ストレスアラーム信号AL2Cを生成する回路(第2生成回路)C02Cと、演算回路C12Cと、を有する。

【0107】

第2累積劣化ストレス量保持回路VT2は、温度依存性Ea2および電圧依存性f(V)の第2の劣化因子(摩耗故障因子)の摩耗故障度評価を行うために設けられている。第2の累積劣化ストレスカウンタ値Cnt2は、 $\text{Cnt2} = f(V) \cdot C2 \cdot \exp(-Ea2/kT)$ で表される。ここで、C2はカウンタ数の温度依存性に係わる定数である。第2累積劣化ストレス量保持回路VT2は、温度だけではなく電圧感度も大きい劣化因子、たとえば、TDDBのための累積劣化ストレスカウンタとして利用できる。電圧Vは、半導体装置1Aに供給される電源電位(Vd)と接地電位(Vs)との電位差である。

【0108】

第2クライテリア保持回路J2Cは、温度依存性Ea2および電圧依存性f(V)の第2の劣化因子(摩耗故障因子)のクライテリアを保持する。第2生成回路C02Cは、第2累積劣化ストレス量保持回路VT2の第2の累積劣化ストレスカウンタ値(Cnt2累積値)が第2クライテリア保持回路J2Cの保持する第2のクライテリア(判定基準)に達したら、累積ストレスアラーム信号AL2Cを生成する。

【0109】

演算回路C12Cは、第1および第2累積劣化ストレス量保持回路T1、VT2の累積劣化ストレスカウンタ値(Cnt1累積値、Cnt2累積値)と、累積動作時間保持回路TMの累積動作時間のカウンタ値Nに基づいて、所望の演算を行い、演算結果として信号S1Cを生成する。

【0110】

10

20

30

40

50

なお、温度依存性Ea2は必ずしも温度依存性Ea1と異なる値でなくともよい。電圧感度の小さい第一の劣化因子と電圧感度の大きい第二の劣化因子とが、温度依存性Eaについては偶然ほぼ等しくなることはありえる。

【0111】

図15Aは、第2累積劣化ストレス量保持回路VT2の構成例を示す。第2累積劣化ストレス量保持回路VT2は、リングオシレータRO3と累積ストレスカウンタACC_CNT3とを有する。温度依存性Ea2および電圧依存性f(V)に比例した周波数特性を有するリングオシレータRO3の発振が累積ストレスカウンタACC_CNT3によりカウントされる。リングオシレータRO3の発振周波数は1秒間の発振カウントである。累積ストレスカウンタACC_CNT3の出力は、第2生成回路C02Cおよび演算回路C12Cの10 10の入力に接続される。

【0112】

図15Bは、演算回路C12Cの構成例を示す。演算回路C12Cは、妥当性判定回路AJ2を有する。妥当性判定回路AJ2は、第1累積劣化ストレス量保持回路T1の累積値(累積劣化ストレスカウント値)であるCnt1累積値と第2累積劣化ストレス量保持回路VT2の累積値(累積劣化ストレスカウント値)であるCnt2累積値との相互関係指標K_{q2}を算出する。相互関係指標K_{q2}は、第1累積劣化ストレス量保持回路T1のCnt1累積値、第2累積劣化ストレス量保持回路VT2のCnt2累積値、および、累積動作時間保持回路TMの値Nの実測値に基づいて計算される。

【0113】

Cnt1累積値とCnt2累積値との相互関係指標K_{q2}は、図3の説明と同じであるが、温度T、電圧Vがほぼ一定とみなせる所定期間のカウント数Cnt2は、 $Cnt2 = f(V) * C2 * \exp(-Ea2/kT)$ であり、以下となる。

【0114】

$$K_{q2} = (Cnt2 \text{累積値}) / \{(Cnt1 \text{累積値})^{q2} / N^{q2-1}\}$$

ここで、Cnt2累積値、Cnt1累積値は実測値であり、 $q2 = Ea2/Ea1$ である。

【0115】

相互関係指標K_{q2}の妥当性判定基準は、図3のC2をf(V)*C2に置き換えたものとなる。さらに、電圧Vは変動する。電圧Vの変動範囲がVchipmin~Vchipmaxである場合、図3の(4)は、実施例2では下記の式(9)となる。

【0116】

$$f(V_{chipmin}) * (C2/C1^{q2}) \leq K_{q2} \leq f(V_{chipmax}) * A_{q2} * (C2/C1^{q2}) \quad (9)$$

たとえば、 $q2 = 2$ なら、 $A_2 = 4$ である。

【0117】

図16Aは、図15Aのリングオシレータの構成を示す回路図である。リングオシレータRO3は、温度依存性Ea2および電圧依存性f(V)に比例した周波数特性を有するこの構成例では、電流源で駆動される6個のインバータINV1~INV6と1つのNANDゲートNAとのループ経路が、NANDゲートNAの1つの入力端子に印加される信号(enable)をHighとすることで発振する。電流源駆動のインバータINV1~INV6は、それぞれ電流源PMOSトランジスタAPと電流源NMOSトランジスタANとPMOSトランジスタMPとNMOSトランジスタMNとを備える。電流源PMOSトランジスタAPのソースは電源電位(Vd)が供給される電源線111に接続され、電流源NMOSトランジスタANのソースは基準電位(Vs)が供給される基準線112に接続される。ここで、Vs = 0Vとすると、電源線111と基準線との間の電位差(電圧)はVdとなる。以下、電圧と表記する場合は基準線112の電位(Vs = 0V)との電位差である。電流源駆動のインバータINV1~INV6は、次段をLowからHighに駆動する場合には、電流源PMOSトランジスタAPの駆動電流にほぼ比例して信号遷移時間が決まる。次段をHighからLowに駆動する場合は、電流源NMOSトランジスタANの駆動電流にほぼ比例して信号遷移時間が決まる。電流源PMOSトランジスタAPと電流源NMOSトランジスタANとに挟まれ、そのゲートが共通なPMOSトランジスタMPとNMOSトラン 40 50

ジスタMNは、電流源PMOSトランジスタAPと電流源NMOSトランジスタANのいずれかを、発振過渡状態に応じて選択するスイッチの働きをする。電流源PMOSトランジスタAPのゲート電圧(Vp)と電流源NMOSトランジスタANのゲート電圧(Vn)は、出力Foutの発振周波数が温度Tおよび電圧Vの依存性を有するように、電流源制御回路CNAで、それぞれ制御される。

【0118】

図16Bは、図16Aの電流源制御回路の構成例を示す図である。図16Bに示すように、電流源制御回路CNA1は電圧生成回路CC1を備える。電圧生成回路CC1は、ソースが電源線111に接続されダイオード接続されるPMOSトランジスタQP1と、PMOSトランジスタQP1のドレイン(ノードN1)と基準線112との間に接続される抵抗R1と、を備える。また、電圧生成回路CC1は、ソースが基準線112に接続されダイオード接続されるNMOSトランジスタQN1と、NMOSトランジスタQN1のドレイン(ノードN2)と電源線111との間に接続される抵抗R2と、を備える。ノードN1は出力線114に接続され、電流源制御回路CNA1は電流源NMOSトランジスタANのゲートにゲート電圧(Vn)を供給する。ノードN2は出力線113に接続され、電流源制御回路CNA1は電流源PMOSトランジスタAPのゲートにゲート電圧(Vp)を供給する。

【0119】

図17は、半導体装置の電圧変動範囲を説明する図である。図17には、半導体装置1Aの製品規格での電源電圧(Vd)の最小値Vminと最大値Vmaxとの電圧範囲Vmin~Vmaxと、個々の半導体装置1A毎の電源電圧(Vd)の変動の最小値Vchipminと最大値Vchipmaxとの変動範囲Vchipmin~Vchipmaxとの関係を示すものである。電圧範囲Vmin~Vmaxは、半導体装置1Aごとに異なる平均的な電圧値によるオフセット変動分を、変動範囲Vchipmin~Vchipmaxに対してさらに含んでいるため、変動範囲Vchipmin~Vchipmaxよりも広い幅である。オフセット変動は、たとえば、半導体装置1Aが実装されたシステムの電源制御半導体装置の特性差などで生じる。この結果、たとえば、ある半導体装置1A(Chip1)では変動範囲Vchipmin1~Vchipmax1、他の半導体装置1A(Chip2)ではVchipmin2~Vchipmax2、のように半導体装置1Aごとに異なる。しかし、その変動幅を比で表現したVchipmax1/Vchipmin1とVchipmax2/Vchipmin2とは、ほぼ等しくなる。

【0120】

図18は、相互関係指標の変動を説明する図である。図18は、累積期間ごとの相互関係指標Kq2の変動の様子をある半導体装置1A(Chip1)と他の半導体装置1A(Chip2)との関係で模式的に示した。この図は、第1累積劣化ストレス量保持回路T1のカウント数(Cnt1累積値)、第2累積劣化ストレス量保持回路VT2のカウント数(Cnt2累積値)がともに正常な場合に予想される相互関係指標Kq2の変動範囲である。一回の累積カウント期間とは、たとえば、半導体装置1Aの電源電圧をONしてからOFFするまでである。半導体装置1A(Chip1,Chip2)ごとのVchipmin、Vchipmaxにより、相互関係指標Kq2は半導体装置1A(Chip1,Chip2)ごとにオフセット(OF1,OF2)を示す。しかし、それぞれの相互関係指標Kq2の変動幅は、相互関係指標Kq2の最大値maxと最小値minとの比max/minで評価すると、下記の様に、半導体装置1A(Chip1,Chip2)によらずほぼ同じ変動幅Varとなる。たとえば、 $f(V) = V^n$ の場合、以下となる。なお、 V^n は、Vのn乗を示す。

【0121】

$$\begin{aligned} K_{q2_tmp_max} / K_{q2_tmp_min} &< A_{q2} * \{f(V_{chipmax}) / f(V_{chipmin})\} \\ &= A_{q2} * (V_{chipmax} / V_{chipmin})^n \end{aligned}$$

<実施例2の実施フロー>

図19は、実施例2の全体的な実施フローである。図20は、図19のステップS23の詳細な判定フローを示す。図19および図20のフローは、累積期間ごとのKq2履歴をチップごとに追跡し、その変動幅(最大の最小に対する比)が $f(V_{chipmax} / V_{chipmin}) * A_{q2}$ 以内であることを検証することにより、T1及びVT2のカウント値がともに妥当であることを確認するものである。まず、前提を説明する。1回の単位カウント動作時間の代わ

りに、出荷前テスト時のテスト時間testtimeを時間単位とした。testtimeはその期間の温度、電圧がほぼ一定の短い期間である。出荷前テストでは、温度Tを150としてテストを行うものとする。

【0122】

ステップS20では、150、testtimeの第1累積劣化ストレス量保持回路T1のカウント値Cnt1を取得して、CntH_T1として記憶する。

【0123】

ステップS21では、150、testtimeのおよび第2累積劣化ストレス量保持回路VT2のカウント値Cnt2を取得して、CntH_VT2として記憶する。

【0124】

ステップS22では、所定期間testtime x niの第1および第2累積劣化ストレス量保持回路T1、VT2の累積劣化ストレスカウント値(Cnt1累積値、Cnt2累積値)を取得し、Cnt_T1tmp、Cnt_VT2tmpとして記憶する。また、この期間の累積動作時間保持回路TMの単位カウント動作の累積実施回数niを取得し、TMtmpとして記憶する。

【0125】

ステップS23では、ステップS22で得られたCnt_T1tmpおよびCnt_VTtmpが相互比較判定から妥当な値か否かを判定する。妥当な場合(YES)、ステップS24に遷移する。妥当でない場合(NO)、Cnt_T1tmp、Cnt_VT2tmp、TMtmpを破棄し、ステップS22に遷移する。

【0126】

ステップS24では、ステップS22で得られたCnt_T1tmp、Cnt_VT2tmp、TMtmpを、これまでの生涯期間testtime x Nの累積劣化ストレスカウント値Acc_Cnt_T1及び累積劣化ストレスカウント値Acc_Cnt_VT2、および累積実施回数Acc_Cnt_TMに、それぞれ加算して記憶させる。累積劣化ストレスカウント値Acc_Cnt_T1は第1累積劣化ストレス量保持回路T1の累積劣化ストレスカウント値である。累積劣化ストレスカウント値Acc_Cnt_VT2は第2累積劣化ストレス量保持回路VT2の累積劣化ストレスカウント値である。累積実施回数Acc_Cnt_TMは累積動作時間保持回路TMの単位カウント動作の累積実施回数である。その後、ステップS22へ遷移する。ここで、N = niである。

【0127】

ステップS23の詳細な判定フローが、図20に示される。

【0128】

ステップS231では、電圧依存性f(V)の変動を考慮した相互関係指標 K_{q_2} の変動範囲が検討される。なお、 $Cnt1=C1 \cdot \exp(-Ea1/kT)$ 、 $Cnt2=f(V) \cdot C2 \cdot \{\exp(-Ea1/kT)\}^{q_2}$ 、 $q_2=Ea2/Ea1$ であり、相互関係指標 K_{q_2} は以下である。

【0129】

$$K_{q_2} = (Cnt2 \text{累積値}) / \{(Cnt1 \text{累積値})^{q_2} / N^{q_2-1}\} \\ = B(V) \cdot \{\{\exp(-Ea1/kT)\}^{q_2} \text{累積値}\} / [\{\exp(-Ea1/kT) \text{累積値}\}^{q_2} / N^{q_2-1}] \\ f(V_{chipmin}) \cdot (C2 / C1^{q_2}) \quad B(V) \quad f(V_{chipmax}) \cdot (C2 / C1^{q_2})$$

ここで、B(V)は累積期間中の電圧変動履歴に依存した、ある不明な値である。

【0130】

ステップS232では、ステップS231で求めた相互関係指標 K_{q_2} の変動範囲に対して、さらに、温度Tの変動分を考慮した相互関係指標 K_{q_2} の変動範囲を求める。

【0131】

ここで、上記式中の $\{\{\exp(-Ea1/kT)\}^{q_2} \text{累積値}\} / [\{\exp(-Ea1/kT) \text{累積値}\}^{q_2} / N^{q_2-1}]$ は、1以上 A_{q_2} 以下である。なお、 A_{q_2} は温度Tの変動のワーストを考慮した場合の予め設定した既定値である。これは、「実施例1の実施の形態2の具体的な説明」で述べたのと同様な、 q_2 乗の累積値と累積値の q_2 乗との関係に基づく。以上から、温度Tの変動分を考慮した相互関係指標 K_{q_2} の変動範囲は、以下となる。

【0132】

$$f(V_{chipmin}) \cdot (C2 / C1^{q_2}) \quad K_{q_2} \quad f(V_{chipmax}) \cdot A_{q_2} \cdot (C2 / C1^{q_2})$$

10

20

30

40

50

ステップ S 2 3 3 では、ステップ S 2 2 で取得した Cnt_T1tmp, Cnt_VT2tmp および TMtmp に基づいて、実測値により計算される相互関係指標 K_{q2_tmp} を算出する。相互関係指標 K_{q2_tmp} は以下である。

【 0 1 3 3 】

$$K_{q2_tmp} = \text{Cnt_VT2tmp} / \{ (\text{Cnt_T1tmp})^{q2} / (\text{TMtmp})^{q2-1} \}$$

ステップ S 2 3 4 では、ステップ S 2 3 3 で求めた相互関係指標 K_{q2_tmp} がこれまでの相互関係指標 $K_{q2_tmp_MIN}$ の最小値より小さいか否かが判定される。判定の結果、YES の場合ステップ S 2 3 5 へ遷移し、NO の場合ステップ S 2 3 6 へ遷移する。なお、相互関係指標 $K_{q2_tmp_MIN}$ の最小値の初期値は有意に大きな仮値である。

【 0 1 3 4 】

ステップ S 2 3 5 では、相互関係指標 $K_{q2_tmp_MIN}$ の最小値を相互関係指標 K_{q2_tmp} として不揮発メモリ N V M の記憶領域に記憶させる。

【 0 1 3 5 】

ステップ S 2 3 6 では、相互関係指標 K_{q2_tmp} が相互関係指標 $K_{q2_tmp_MAX}$ の最大値より大きいかが判定される。判定の結果、YES の場合ステップ S 2 3 7 へ遷移し、NO の場合ステップ S 2 3 8 へ遷移する。なお、相互関係指標 $K_{q2_tmp_MAX}$ の最大値の初期値は、0 (ゼロ) の仮値である。

【 0 1 3 6 】

ステップ S 2 3 7 では、相互関係指標 $K_{q2_tmp_MAX}$ の最大値を相互関係指標 K_{q2_tmp} として不揮発メモリ N V M の記憶領域に記憶させる。

【 0 1 3 7 】

ステップ S 2 3 8 では、下記か否かが判断される。判定の結果、YES の場合ステップ S 2 3 9 へ遷移し、NO の場合ステップ S 2 4 0 へ遷移する。

【 0 1 3 8 】

$$K_{q2_tmp_MAX} / K_{q2_tmp_MIN} < A_{q2} * f(\text{Vchipmax}) / f(\text{Vchipmin})$$

ステップ S 2 3 9 では、所定期間の第 1 および第 2 累積劣化ストレス量保持回路 T 1、V T 2 の累積劣化ストレスカウント値 Cnt_T1tmp, Cnt_VT2tmp は妥当であるとされる。ステップ S 2 4 0 では、所定期間の第 1 および第 2 累積劣化ストレス量保持回路 T 1、V T 2 の累積劣化ストレスカウント値 Cnt_T1tmp, Cnt_VT2tmp は妥当でないとされる。

【 0 1 3 9 】

実施例 2 によれば、温度依存性のみと温度・電圧依存性の両方が顕著な、2 つの異質な累積ストレスカウンタの値を比較することで、いずれかの累積値に異常があることを検知できる。すなわち、簡単な方法で信頼性の高い摩耗故障劣化度を知ることが可能な半導体装置が得られる効果がある。

【 0 1 4 0 】

< 変形例 >

図 2 1 は、図 1 4 の変形例を説明するための図である。半導体装置 1 B は、図 1 4 に示される累積劣化ストレス検出回路 1 0 A の一部分を変更したものである。異なる部分を主に説明する。図 1 4 の累積劣化ストレス検出回路 1 0 A は、第 1 累積劣化ストレス量保持回路 T 1、第 1 クライテリア保持回路 J 1、第 1 生成回路 C 0 1、を有する。図 2 1 の累積劣化ストレス検出回路 1 0 B は、第 1 の累積劣化ストレスカウント値を保持する回路 (第 1 累積劣化ストレス量保持回路) V T 1 と、第 1 のクライテリア (判定基準) のカウント値を保持する回路 (第 1 クライテリア保持回路) J 1 C と、を有する。累積劣化ストレス検出回路 1 0 B は、さらに、累積ストレスアラーム信号 A L 2 C を生成する回路 (第 1 生成回路) C 0 1 C と、を有する。

【 0 1 4 1 】

第 1 累積劣化ストレス量保持回路 V T 1 は、温度依存性 $Ea1$ および電圧依存性 $g(V)$ の第 1 の劣化因子 (摩耗故障因子) の実測を行うために設けられている。第 1 の累積劣化ストレスカウント値 Cnt1 は、 $\text{Cnt1} = g(V) * C1 * \exp(-Ea1/kT)$ で表される。ここで、C1 はカウント数の温度依存性に係わる定数である。第 1 累積劣化ストレス量保持回路 V T 1 は、温度だけで

10

20

30

40

50

はなく電圧感度も大きい劣化因子、たとえば、T D D Bのための累積劣化ストレスカウンタとして利用できる。

【 0 1 4 2 】

また、第1累積劣化ストレス量保持回路 V T 1の具体的な回路構成は、図 1 5 Aの構成を利用できる。すなわち、第1累積劣化ストレス量保持回路 V T 1は、リングオシレータ (R O 3)と累積ストレスカウンタ (A C C _ C N T 3)とを有する。温度依存性Ea1および電圧依存性g(V)に比例した周波数特性を有するリングオシレータ (R O 3)の発振が累積ストレスカウンタ (A C C _ C N T 3)によりカウントされる。累積ストレスカウンタ (A C C _ C N T 3)の出力は、第1生成回路 C 0 1 Cおよび演算回路 C 1 2 Cの入力に接続される。

10

【 0 1 4 3 】

第1クライテリア保持回路 J 1 Cは、温度依存性Ea1および電圧依存性g(V)の第1の劣化因子 (摩耗故障因子)のクライテリアを保持する。第1生成回路 C 0 1 Cは、第1累積劣化ストレス量保持回路 V T 1の第1の累積劣化ストレスカウント値 (Cnt1累積値)が第1クライテリア保持回路 J 2 Cの保持する第1のクライテリア (判定基準)に達したら、累積ストレスアラーム信号 A L 1 Cを生成する。

【 0 1 4 4 】

演算回路 C 1 2 Cは、第1および第2累積劣化ストレス量保持回路 V T 1、V T 2の累積劣化ストレスカウント値 (Cnt1累積値及びCnt2累積値)と、累積動作時間保持回路 T Mの累積動作時間のカウント値Nに基づいて、所望の演算を行い、演算結果として信号 S 1 Cを生成する。

20

【 0 1 4 5 】

すなわち、図 2 1では、第1および第2累積劣化ストレス量保持回路 V T 1、V T 2ともに、それぞれの温度依存性および電圧依存性を有する劣化因子 (摩耗故障因子)の累積ストレスを評価するために設けられている。

【 0 1 4 6 】

図 2 1の変形例では、図 1 4 ~ 図 2 0と同様な議論により、相互関係指標 K_{q_2} に対する電圧影響は、最小で $f(V_{chipmin}) / g(V_{chipmax})$ 、最大で $f(V_{chipmax}) / g(V_{chipmin})$ となる。すなわち、妥当性判定基準は、以下となる。

【 0 1 4 7 】

$$f(V_{chipmin})/g(V_{chipmax}) * (C2/C1^{q^2}) \leq K_{q_2} \leq f(V_{chipmax})/g(V_{chipmin}) * A_{q_2} * (C2/C1^{q^2})$$

30

その結果、図 2 0のフローの妥当性判定は、図 2 1の変形例の場合、以下となる。

【 0 1 4 8 】

$$K_{q_2_tmp_max} / K_{q_2_tmp_min} < A_{q_2} * \{f(V_{chipmax})/g(V_{chipmin})\} / \{f(V_{chipmin})/g(V_{chipmax})\}$$

この比も、チップによらずほぼ一定である。たとえば、 $g(V) = V^{n1}$ 、 $f(V) = V^{n2}$ の場合、以下である。

【 0 1 4 9 】

$$\{f(V_{chipmax})/g(V_{chipmin})\} / \{f(V_{chipmin})/g(V_{chipmax})\} = (V_{chipmax} / V_{chipmin})^{(n1+n2)}$$

40

【 実施例 3 】

【 0 1 5 0 】

図 2 2は、実施例 3の半導体装置を説明するための図である。半導体装置 1 Cは、累積劣化ストレス検出回路 1 0 Cを備える。累積劣化ストレス検出回路 1 0 Cは、第1の累積劣化ストレスカウント値を保持する回路 (第1累積劣化ストレス量保持回路) T 1と、第1のクライテリア (判定基準)のカウント値を保持する回路 (第1クライテリア保持回路) J 1と、累積ストレスアラーム信号 A L 1を生成する回路 (第1生成回路) C 0 1と、を有する。累積ストレスアラーム信号 A L 1を生成する回路 C 0 1は、第1の累積劣化ストレスカウント値と第1のクライテリアのカウント値とを比較して、累積ストレスアラーム

50

△信号 A L 1 を生成する。

【 0 1 5 1 】

累積劣化ストレス検出回路 1 0 C は、さらに、半導体装置 1 C の累積動作時間のカウン
ト値ないしはそれに相当する値を保持する回路（累積動作時間保持回路）T M と、第 1 累
積劣化ストレスカウント値と累積動作時間のカウン
ト値ないしはそれに相当する値とを受け
る回路（演算回路、演算手段）C 1 2 D と、を有する。演算回路 C 1 2 D は、第 1 累積
劣化ストレスカウント値および累積動作時間のカウン
ト値に基づいて、所望の演算を行い
、演算結果として信号 S 1 C を生成する。演算回路 C 1 2 D は、半導体装置 1 C の中央処
理装置 C P U によりソフトウェアにより構成されても良い。あるいは、半導体装置 1 C に
接続された外部のデータ処理装置またはサーバ等
で実現しても良い。

10

【 0 1 5 2 】

第 1 累積劣化ストレス量保持回路 T 1 のカウン
ト値が所定値以上に達したら第 1 生成回
路 C 0 1 はアラーム信号 A L 1 を出力する。半導体装置 1 C は一つの半導体チップ（半導
体基板）で形成されるが、それに限定されるものではない。第 1 生成回路（C 0 1）、第
1 クライテリア保持回路（J 1）、および、演算回路 C 1 2 D は、半導体装置 1 C にハー
ドウェア回路として構成されても良いし、半導体装置 1 に設けられた、例えば、中央処理
装置 C P U によりソフトウェアにより構成されても良い。第 1 累積劣化ストレス量保持回
路 T 1 は、図 4 A のリングオシレータ R O 1 と累積ストレスカウンタ A C C _ C N T 1 お
よび図 7 のリングオシレータを、利用することが出来る。

20

【 0 1 5 3 】

第 1 累積劣化ストレス量保持回路 T 1 は、温度依存性 E a 1 の第 1 の劣化因子（摩耗故障
因子）の摩耗故障度評価を行うために設けられており、温度 T がほぼ一定とみなせる所定
期間のカウント数 C n t 1 が $\exp(-Ea1/kT)$ に比例するように構成される。カウント数 C n t 1 は、
 $Cnt1=C1*\exp(-Ea1/kT)$ で表される。ここで、C1 は定数である。

【 0 1 5 4 】

累積動作時間保持回路 T M は、第 1 累積劣化ストレス量保持回路 T 1 の累積カウン
ト時間、あるいは相当値を保持する。相当値とは、たとえば、カウント動作を単位カウン
ト動作（温度がほぼ一定とみなせる所定周期の期間のカウント動作）に区切った場合の累積実
施回数
の値 N である。以下では、値 N を用いて説明を行うが、累積カウン
ト時間ならば、N *
「一回の単位カウン
ト動作時間」で表現できる。あるいは、間欠的に、第 1 累積劣化スト
レス量保持回路 T 1 に設けられた累積
ストレスカウンタによりカウン
ト値 C n t 1 を取得する
構成において、間欠的なカウン
ト動作の累積実施回数
の値 N である。なお、間欠動作の場
合には、累積カウン
ト時間が累積
ストレス時間に等しくない点も留意する必要があるが、
この比は設計時に判明している
ので補正可能である。本開示の趣旨に沿って、値 N と同等
の別の値を用いても良い。

30

【 0 1 5 5 】

すなわち、図 2 2 の構成では、図 1 から、第 2 の累積劣化ストレス
カウント値を保持する回路 T 2 と、第 2 の
クライテリアのカ
ウント値を保持する回路 J 2 と、累積
ストレスアラーム信号 A L 2 を生成する回路 C 0 2 と、が除かれているものである。

【 0 1 5 6 】

演算回路 C 1 2 D は、温度依存性 E a 3（ $Ea3=q*Ea1$ ）相当の仮想累積劣化
ストレスカ
ウント値（C n t 3 累積値）を、第 1 累
積劣化ストレス量保持回路 T 1 の
カウン
ト値 C n t 1 累積
値と累積動作時間保持回路 T M の
累積
カウン
ト時間である値 N の実測値から推定する。図
2 の実施例 1 の実施の形態 1 では、第 1 および第 2 累
積劣化
ストレス量保持回路 T 1、T
2 の
カウン
ト値 C n t 1、C n t 2 の 2 つから精度よく
仮想累積劣化
ストレスカ
ウント値（C n t 3 累
積値）を見積もることができた。図 2 2 の実施例 3 では、仮想累積劣化
ストレスカ
ウント
値（仮想 C n t 3 累
積値）をワースト値として見積もることを検討する。この方法は、図 3 の
実施例 1 の実施の形態 2 の考え方が利用される。

40

【 0 1 5 7 】

すなわち、 $Cnt3 = C1^q*\exp(-Ea3/kT)$ で温度依存性 E a 3 の仮想累積
ストレスカ
ウント値を

50

定義すると、Cnt1累積値とCnt3累積値との相互関係指標 $K_q = (\text{Cnt3累積値}) / \{(\text{Cnt1累積値})^q / N^{q-1}\}$ は、1以上 A_q 以下の範囲となる。 A_q は温度T変動ワーストを考慮した既定値である。相互関係指標ワースト $K_{q_wst} = A_q$ とCnt1累積値及びNの実測値からCnt3累積値のワーストを逆算して見積もることができる。なお、仮想累積ストレスカウント値Cnt3の係数は $C1^q$ に設定されており、たとえば、図3の $C2/C1^q$ に相当する値は1に規格化される。図6, 8の右側のグラフでは、たとえば、 $q=1.5$ のとき $K_{q_wst}=A_q=2$ 、 $q=2$ のとき $K_{q_wst}=A_q=4$ 程度とみればよい。この値は、想定される温度T変動のワーストで変わり得るが、実際の製品で想定される温度プロファイルから見積もった結果は、これと同程度であり、以下である。

【0158】

$$(\text{Cnt3累積値ワースト}) = K_{q_wst} * \{(\text{Cnt1累積値})^q / N^{q-1}\}$$

図23A、図23Bは、図22に示される演算回路C12Dを用いた場合の実施フローを示す。図23Aは、実施例3の全体的な実施フローである。図23Bは、図23AのステップS43の詳細な算出フローを示す。まず、前提を説明する。1回の単位カウント動作時間の代わりに、出荷前テスト時のテスト時間testtimeを時間単位とした。testtimeはその期間の温度がほぼ一定の短い期間である。出荷前テストでは、温度Tを150としてテストを行うものとする。

【0159】

ステップS40は、半導体装置1Cの出荷前テスト時に実施される。ステップS40では、150、testtimeの第1累積劣化ストレス量保持回路T1のカウント値Cnt1を取得し、CntH_T1として記憶させる。

【0160】

ステップS41～S43は、半導体装置1Cの出荷後において半導体装置1Cの動作時に行われる。ステップS41では、testtime x Nの第1累積劣化ストレス量保持回路T1の累積劣化ストレスカウント値(Cnt1累積値)を取得し、Acc_Cnt_T1として記憶させる。ステップS42では、累積動作時間保持回路TMの単位カウント動作の累積実施回数Nを取得し、Acc_Cnt_TMとして記憶させる。ステップS43では、温度依存性Ea3相当の仮想累積劣化ストレスカウント値(Cnt3累積値)を算出し、ワーストの見積りを行う。なお、ステップ43は毎回実施されなくても良い。

【0161】

図23Bでは、温度依存性Ea3相当の仮想累積ストレスカウント値のワースト見積りが行われる。すなわち、ステップ431において、温度依存性Ea3相当の劣化ストレスカウント値Cnt3を以下として定義する。

【0162】

$$\text{Cnt3} = C1^q * \exp(-Ea3 / kT) = (\text{Cnt1})^q$$

ここで、 $\text{Cnt1} = C1 * \exp(-Ea1/kT)$ である。

【0163】

そして、testtimeでの仮想累積劣化ストレスカウント値CntH_T3を算出する。仮想累積劣化ストレスカウント値CntH_T3は、以下である。

【0164】

$$\text{CntH_T3} = (\text{CntH_T1})^q$$

ここで、 $q = Ea3/Ea1$ である。

【0165】

ステップS432では、下記に定義される相互関係指標 K_q の予め設定したワースト値 $K_{q_wst}=A_q$ を得る。相互関係指標 K_q は以下である。

【0166】

$$\begin{aligned} K_q &= (\text{Cnt3累積値}) / \{(\text{Cnt1累積値})^q / N^{q-1}\} \\ &= \{(\text{Cnt1})^q \text{累積値}\} / \{(\text{Cnt1累積値})^q / N^{q-1}\} \end{aligned}$$

ステップS433では、testtime x Nの仮想累積ストレスカウント値(Cnt3累積値)のワースト値 Acc_Cnt_T3_wstを下記で見積る。

10

20

30

40

50

【 0 1 6 7 】

$$\text{Acc_Cnt_T3_wst} = K_{q_wst} * \{ (\text{Acc_Cnt_T1})^q / (\text{Acc_Cnt_TM})^{q-1} \}$$

ステップ S 4 3 4 では、得られた Acc_Cnt_T3_wst の CntH_T3 に対する比が、温度依存性 E a3 の劣化因子に対して、ワーストで考えて 1 5 0 相当で testtime の何倍の累積ストレス時間に達しているかを示す。

【 実施例 4 】

【 0 1 6 8 】

図 2 4 は、実施例 4 の半導体装置を説明するための図である。半導体装置 1 D は、実施例 1 に利用可能であり、特に、図 4 A ~ 図 4 C , 図 5 または、図 6 に適用可能な構成である。この構成では、第 1 累積劣化ストレス量保持回路 T 1 の累積ストレスカウンタ A C C _ C N T 1 および第 2 累積劣化ストレス量保持回路 T 2 の累積ストレスカウンタ A C C _ C N T 2 のカウント動作を、1 つのリングオシレータ (R O 1) により制御する。リングオシレータ R O 1 は、図 7 のリングオシレータ R O S の構成が利用できる。実施例 1 と異なる部分が説明される。

【 0 1 6 9 】

半導体装置 1 D は、リングオシレータ R O 1 と処理回路 P 1 が設けられる。処理回路 P 1 は、1 乗処理回路 P 1 1、q 2 乗処理回路 P 1 2、および累積カウント制御回路 P 1 3 を有する。第 1 累積劣化ストレス量保持回路 T 1 は、リングオシレータ R O 1 の出力を 1 乗処理回路 P 1 1 を通して受け取る。第 2 累積劣化ストレス量保持回路 T 2 は、リングオシレータ R O 1 の出力を q 2 乗処理回路 P 1 2 を通して受け取る。第 1 累積劣化ストレス量保持回路 T 1 は温度依存性 E a 1 の劣化因子の累積劣化ストレスカウンタである。第 2 累積劣化ストレス量保持回路 T 2 は温度依存性 E a 2 (= q 2 * E a 1) の劣化因子の累積劣化ストレスカウンタである。累積カウント制御回路 P 1 3 は、累積動作時間保持回路 T M が累積カウント時間または相当値を得られるように制御する。累積カウント制御回路 P 1 3 は、また、1 乗処理回路 P 1 1、および q 2 乗処理回路 P 1 2 を制御する。

【 0 1 7 0 】

図 2 5 は、図 2 4 の処理回路の具体的構成例を示す図である。q 2 = 2 の場合、すなわち、q 2 乗処理回路 P 1 2 が 2 乗処理回路の場合を示している。累積カウント制御回路 P 1 3 では、基準クロック発生回路 C P G の m 分周を累積動作時間保持回路 T M に入力することができる。基準クロック発生回路 C P G は半導体装置 1 D 全体のクロック発生回路を流用することができる。累積動作時間保持回路 T M は m 分周のクロックの立ち上がりエッジの回数 (r i s e 回数) をカウントすることで、累積カウント時間を計測する。1 乗処理回路 P 1 1 は、固定時間 S のタイマ T M S 1 でリングオシレータ R O 1 の出力の第 1 累積劣化ストレス量保持回路 T 1 への入力をゲーティングするアンド回路 A N 3 を有する。すなわち、m 分周のクロックの立ち上がりエッジ (r i s e - e d g e) から固定時間 S の間だけ、リングオシレータ R O 1 の出力が第 1 累積劣化ストレス量保持回路 T 1 に到達する。2 乗処理回路 P 1 2 は、固定時間 S のタイマ T M S 2 でリングオシレータ R O 1 の出力の第 2 累積劣化ストレス量保持回路 T 2 への入力をゲーティングするアンド回路 A N 4 を有する。1 乗処理回路 P 1 1 と異なり、リングオシレータ R O 1 の n 分周のクロックの立ち上がりエッジ (r i s e - e d g e) から、固定時間 S の間だけ、リングオシレータ R O 1 の出力が第 2 累積劣化ストレス量保持回路 T 2 に到達する。なお、タイマ T M S 1、T M S 2 は、基準クロック発生回路 C P G の発振クロックを基準時間として固定時間 S をカウントする。

【 0 1 7 1 】

図 2 6 は、図 2 5 の 2 乗処理回路 P 1 2 の動作波形を示す。2 乗処理回路 P 1 2 において、リングオシレータ R O 1 発振の n 分周の立ち上がりエッジ (r i s e - e d g e) をトリガとして、そこから、固定時間 S の間、第 2 累積劣化ストレス量保持回路 T 2 はリングオシレータ R O 1 の発振をカウントアップする。この結果、第 2 累積劣化ストレス量保持回路 T 2 が 1 秒間に取得するカウント数は、リングオシレータ R O 1 の周波数を f として、固定時間 S の間に (f x S) 回、それが 1 秒間に (f / n) 回行われるので、(f x S) x (f / n) = f² x (S / n) 回となる。

10

20

30

40

50

【 0 1 7 2 】

すなわち、第 2 累積劣化ストレス量保持回路 T 2 が 1 秒間に取得するカウント数は、 f^2 に比例する。リングオシレータ R O 1 は、 $f \exp(-Ea1/kT)$ の特性を有するように設計される。その結果、第 2 累積劣化ストレス量保持回路 T 2 が 1 秒間に取得するカウント数は、 $\exp(-2*Ea1/kT)$ に比例する。すなわち、温度依存性 $E a 2 (= 2 * E a 1)$ の劣化因子に対する累積劣化ストレスカウンタが得られる。1 乗処理回路 P 1 1 の動作波形は示していないが、固定時間 S の間に $(f \times S)$ 回、それが、1 秒間に (F_b / m) 回行われるので、 $(f \times S) \times (F_b / m) = f \times (S \times F_b / m)$ 回となる。ここで、 F_b は基準クロック発生回路 C P G の発生する基準クロックの周波数である。すなわち、第 1 累積劣化ストレス量保持回路 T 1 が 1 秒間に取得するカウント数は、 f に比例する。温度依存性 $E a 1$ の劣化因子に対する累積劣化ストレスカウンタが得られる。

10

【 0 1 7 3 】

実施例 4 によれば、一つのリングオシレータから 2 つの異なる温度依存性の劣化因子に対する累積劣化ストレスカウンタが得られるので、さらに、任意の温度依存性 $Ea3$ の劣化因子の摩耗故障予測を図 2 などで述べた方法で行うことができる半導体装置が得られる。

【 0 1 7 4 】

以上、本発明者によってなされた発明を実施例、および変形例に基づき具体的に説明したが、本発明は、上記実施例および変形例限定されるものではなく、種々変更可能であることはいうまでもない。

【 0 1 7 5 】

たとえば、半導体装置の累積劣化ストレス検出回路に、累積劣化ストレス量保持回路として、3 つの累積劣化ストレス量保持回路を設けても良い。すなわち、図 1 ~ 図 6 の第 1 累積劣化ストレス量保持回路 T 1 (温度依存性 $E a 1$ の劣化因子 (摩耗故障因子))、第 2 累積劣化ストレス量保持回路 T 2 (温度依存性 $E a 2$ の劣化因子 (摩耗故障因子)) に、図 1 4 の累積劣化ストレス量保持回路 V T 1 (温度依存性 $E a 2$ および電圧依存性 $f (V)$ の劣化因子 (摩耗故障因子)) を設けても良い。

20

【符号の説明】

【 0 1 7 6 】

1 . . . 半導体装置

1 0 . . . 累積劣化ストレス検出回路

T 1 . . . 第 1 累積劣化ストレス量保持回路

T 2 . . . 第 2 累積劣化ストレス量保持回路

T 3 . . . 第 3 累積劣化ストレス量保持回路

J 1 . . . 第 1 クライテリア保持回路

J 2 . . . 第 2 クライテリア保持回路

J 3 . . . 第 2 クライテリア保持回路

C O 1 . . . 第 1 アラーム生成回路

C O 2 . . . 第 2 アラーム生成回路

C O 3 . . . 第 3 アラーム生成回路

T M . . . 累積動作時間保持回路

C 1 2、C 1 2 A、C 1 2 B . . . 演算回路

A J 1 . . . 妥当性判定回路

R O 1、R O 2、R O 3、R O S . . . リングオシレータ

A C C _ _ C N T 1、A C C _ _ C N T 2、A C C _ _ C N T 3 . . . 累積ストレスカウンタ

T M 1 . . . タイマ

H L 1 . . . 累積時間保持回路

O C 1 . . . 間欠動作制御回路

H L 1 1 累積カウント時間保持回路

S C T . . . 退避制御回路

N V M . . . 不揮発メモリ

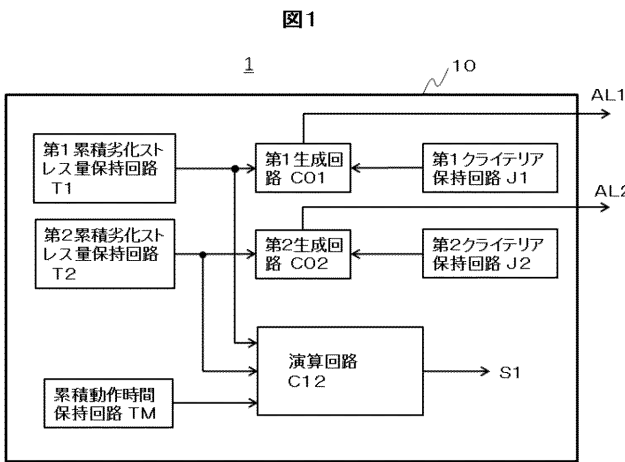
30

40

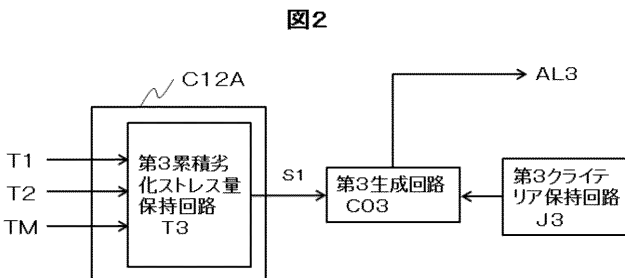
50

R O 3 . . . リングオシレータ
C N A . . . 電流源制御回路

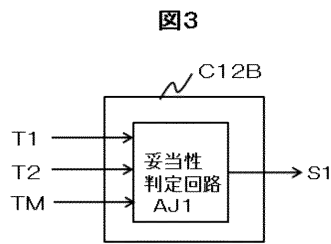
【 図 1 】



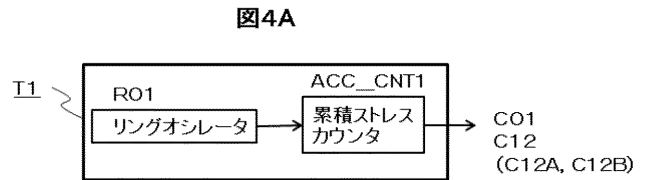
【 図 2 】



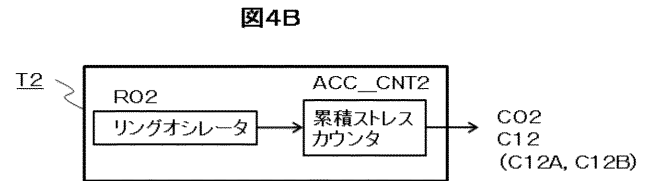
【 図 3 】



【 図 4 A 】

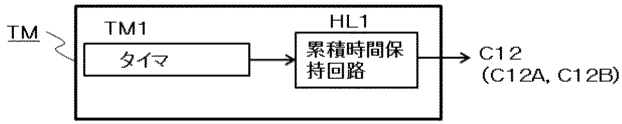


【 図 4 B 】



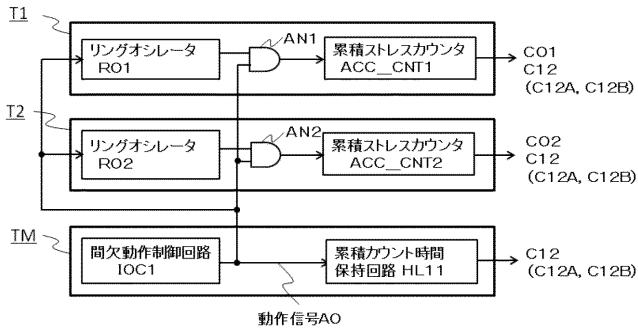
【 図 4 C 】

図4C



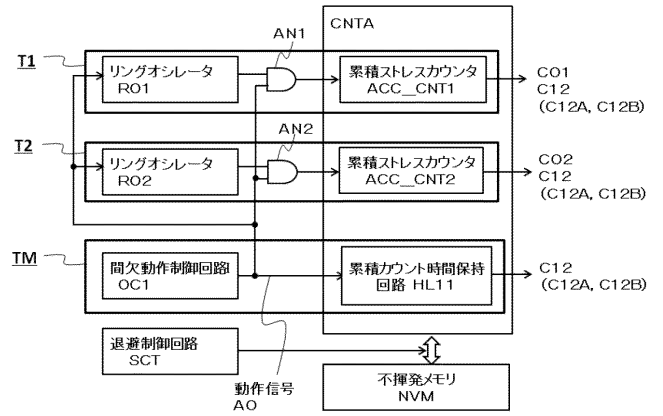
【 図 5 】

図5



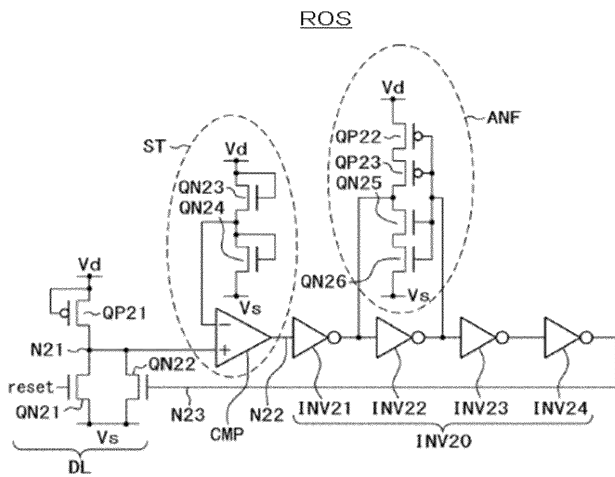
【 図 6 】

図6



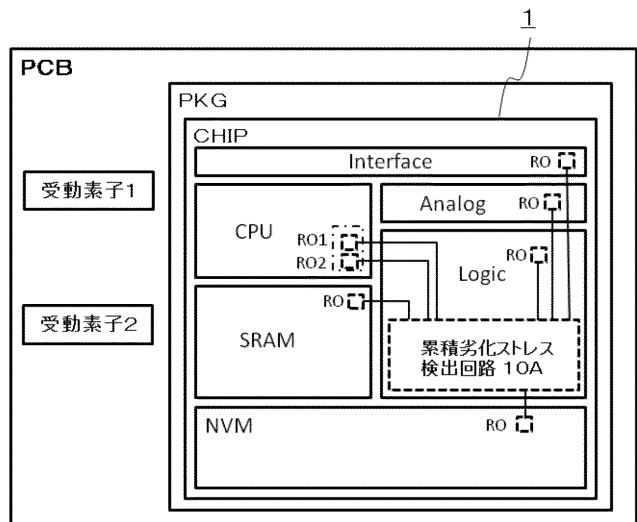
【 図 7 】

図7



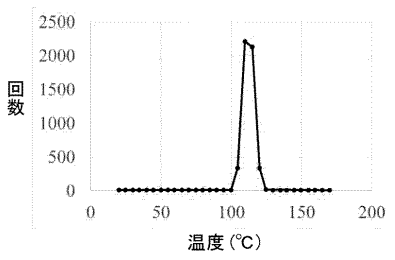
【 図 8 】

図8



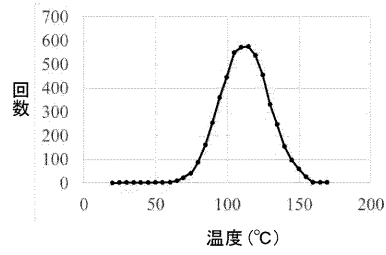
【 図 9 A 】

図9A



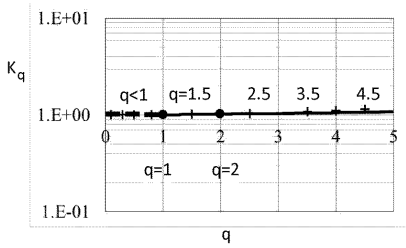
【 図 9 C 】

図9C



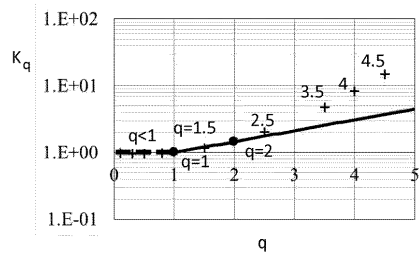
【 図 9 B 】

図9B



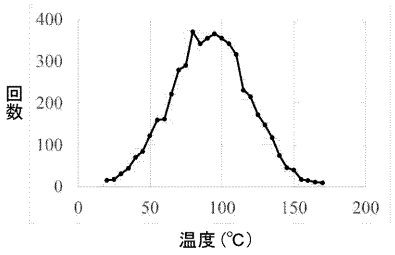
【 図 9 D 】

図9D



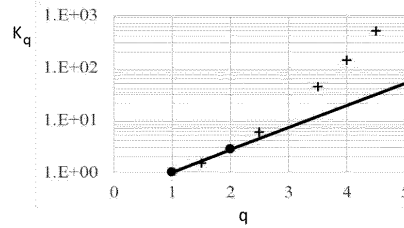
【 図 9 E 】

図9E



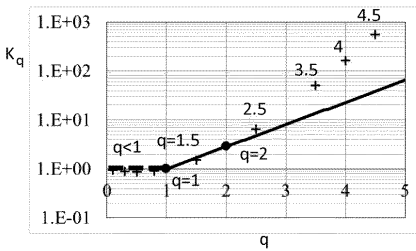
【 図 1 0 A 】

図10A



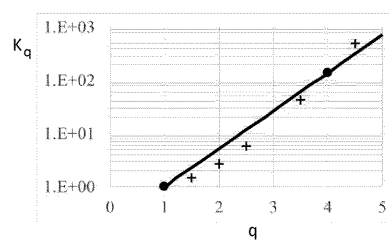
【 図 9 F 】

図9F



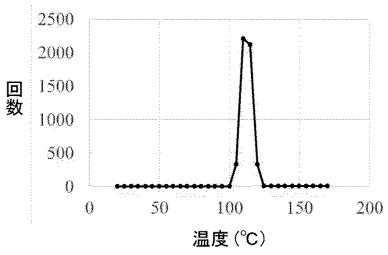
【 図 1 0 B 】

図10B



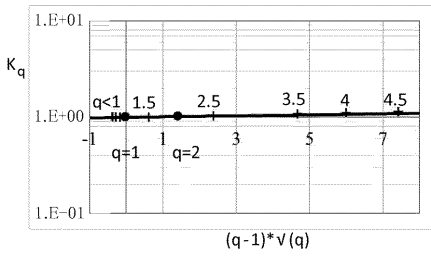
【図11A】

図11A



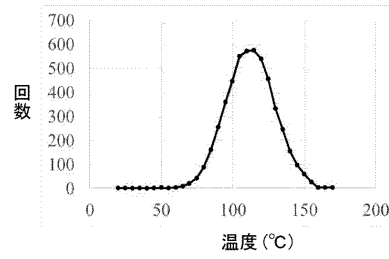
【図11B】

図11B



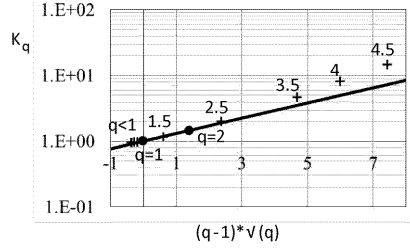
【図11C】

図11C



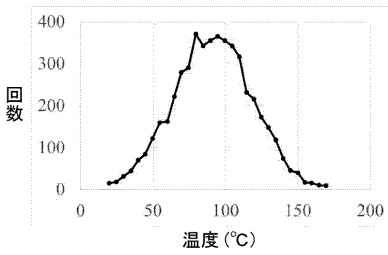
【図11D】

図11D



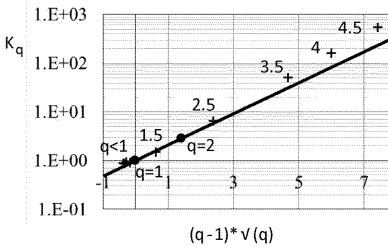
【図11E】

図11E



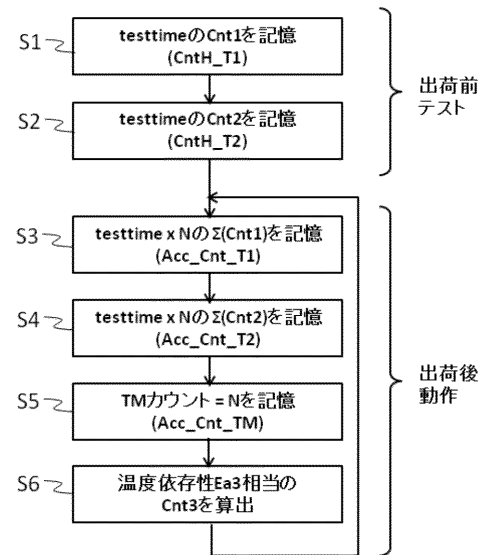
【図11F】

図11F



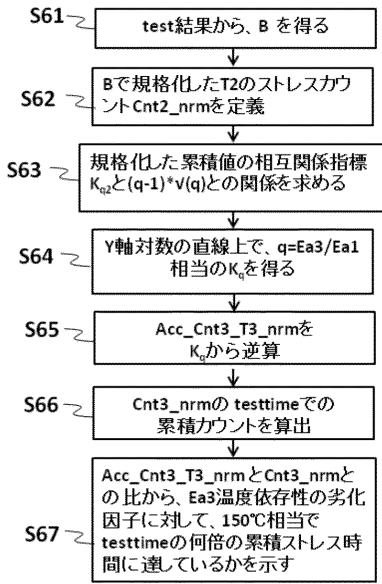
【図12A】

図12A



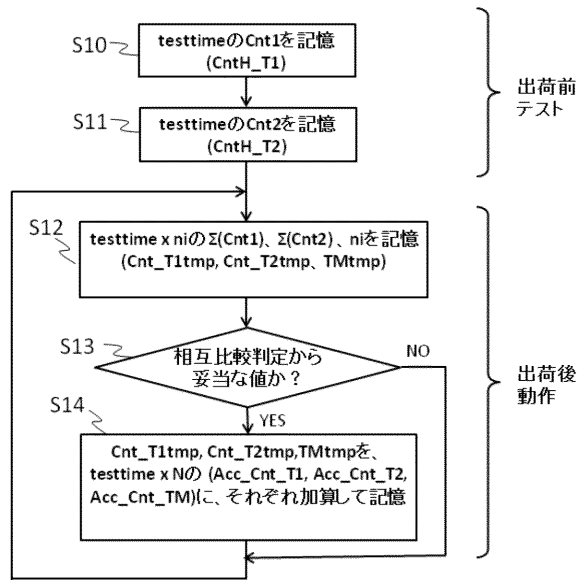
【 図 1 2 B 】

図12B



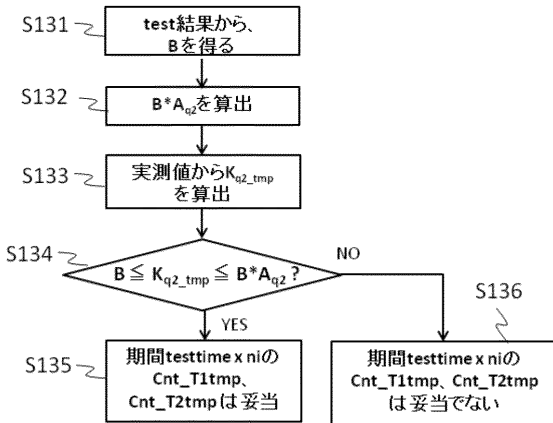
【 図 1 3 A 】

図13A



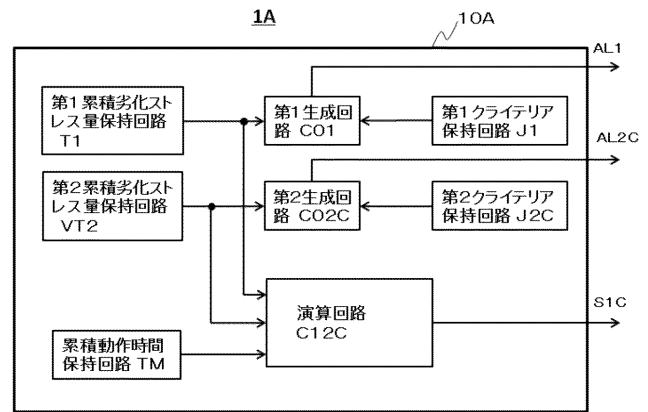
【 図 1 3 B 】

図13B



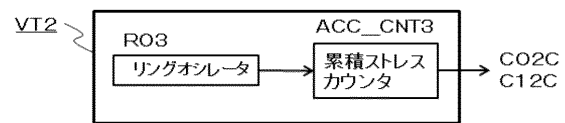
【 図 1 4 】

図14



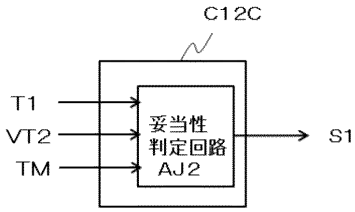
【 図 1 5 A 】

図15A



【図15B】

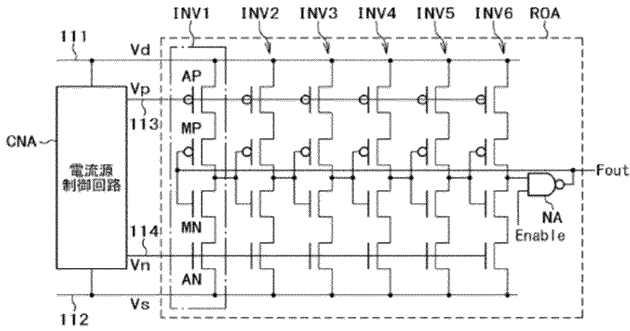
図15B



【図16A】

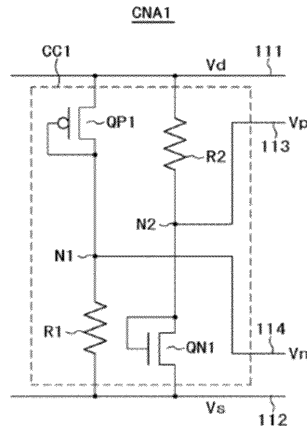
図16A

RO3



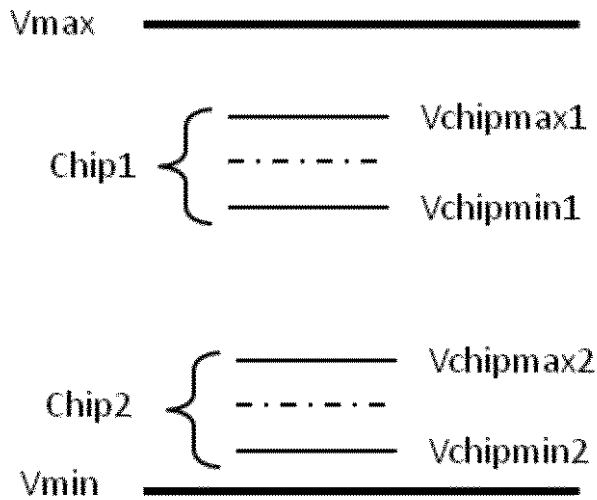
【図16B】

図16B



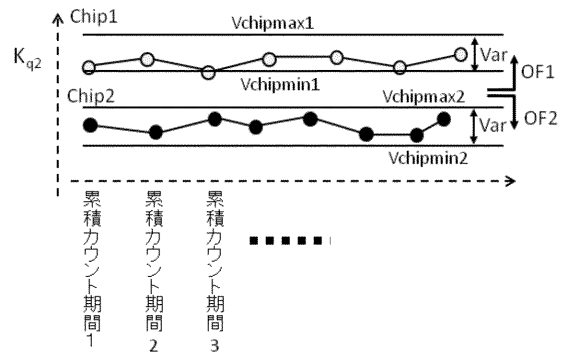
【図17】

図17

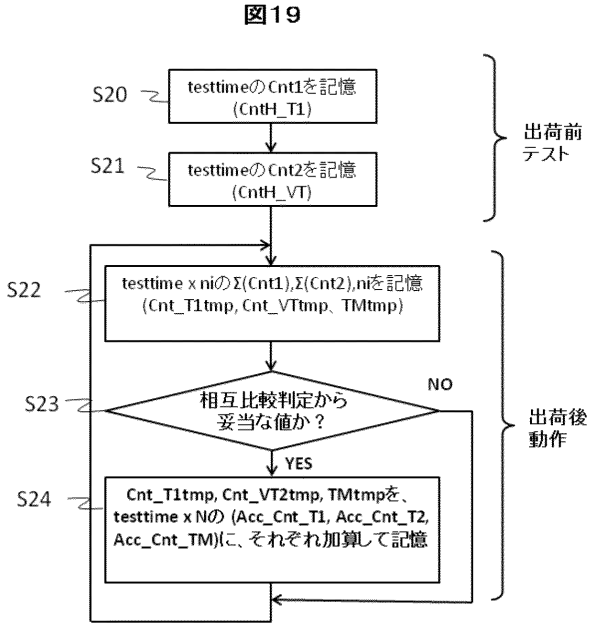


【図18】

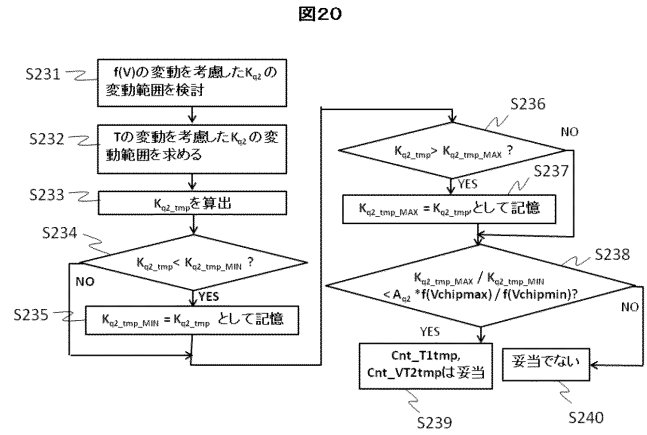
図18



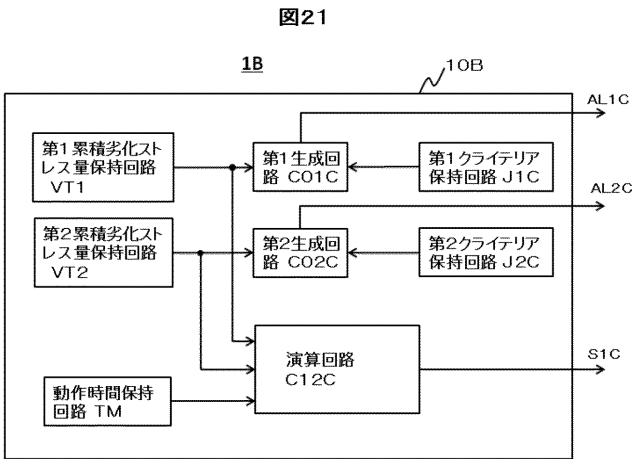
【 図 1 9 】



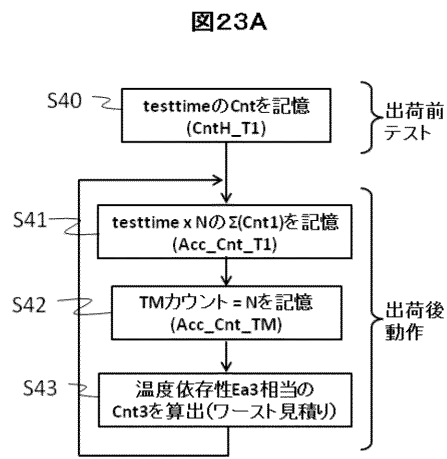
【 図 2 0 】



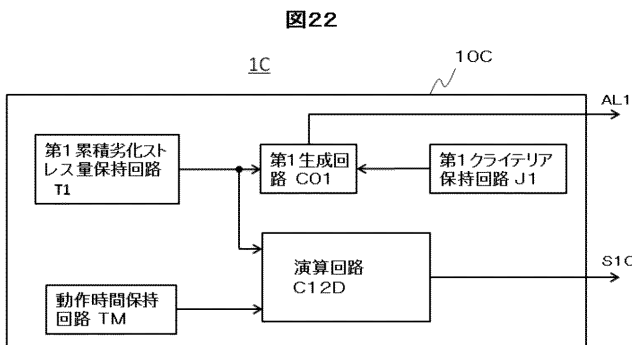
【 図 2 1 】



【 図 2 3 A 】

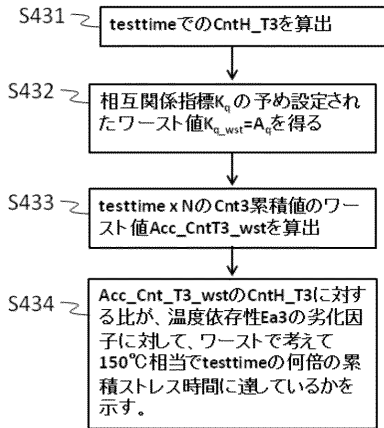


【 図 2 2 】



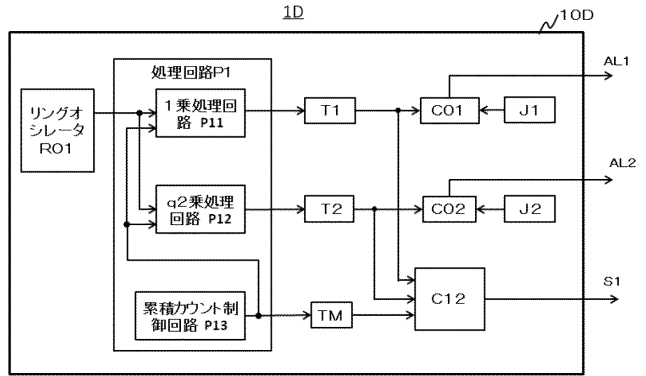
【 図 2 3 B 】

図23B



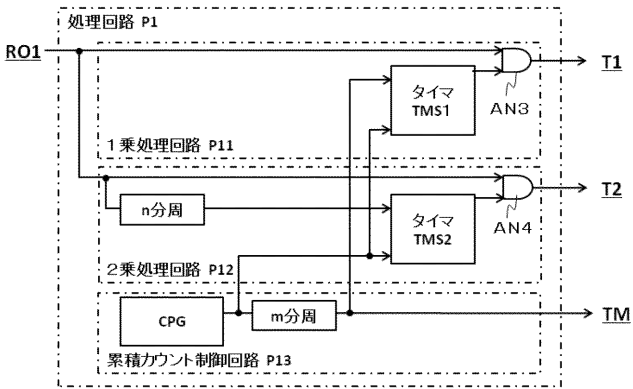
【 図 2 4 】

図24



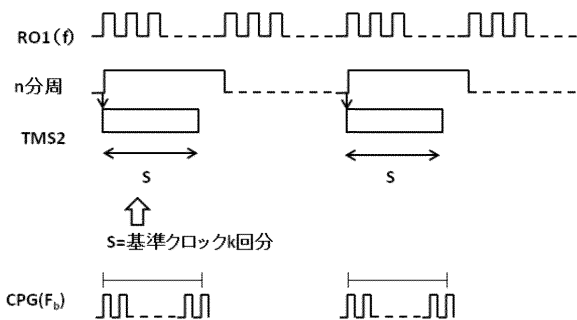
【 図 2 5 】

図25



【 図 2 6 】

図26



フロントページの続き

Fターム(参考) 2G132 AA03 AA11 AB06 AB14 AB20 AD08 AK07 AL11
5F038 AZ08 CA03 CA08 CD09 DF04 DF05 DF12 DT08 DT12 DT17
DT19 EZ10 EZ20