

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成28年1月14日(2016.1.14)

【公表番号】特表2014-501950(P2014-501950A)

【公表日】平成26年1月23日(2014.1.23)

【年通号数】公開・登録公報2014-004

【出願番号】特願2013-530377(P2013-530377)

【国際特許分類】

G 06 F 13/16 (2006.01)

G 06 F 3/08 (2006.01)

G 06 F 13/36 (2006.01)

G 06 F 12/00 (2006.01)

【F I】

G 06 F 13/16 510 A

G 06 F 3/08 H

G 06 F 13/36 530 A

G 06 F 12/00 597 U

【誤訳訂正書】

【提出日】平成27年11月19日(2015.11.19)

【誤訳訂正1】

【訂正対象書類名】特許請求の範囲

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【特許請求の範囲】

【請求項1】

高速シリアル通信を有するフラッシュ・ベースのメモリ・システムであって：

複数の入出力モジュールであり、それぞれの入出力モジュールは1つ以上の外部通信リンクを通じて、外部デバイスと通信するように構成されている複数の入出力モジュール；複数のフラッシュ・ベースのメモリ・カードであって、それぞれのフラッシュ・ベースのメモリ・カードは複数のフラッシュ・メモリ素子を含み、それぞれのフラッシュ・メモリ素子は、ロックに分割された物理メモリ・スペースを有し、それぞれのロックは更にページに分割されており、それぞれのページは、その上でメモリ操作が遂行される、個別にアドレス可能なメモリロケーションを表し、多数のそのようなメモリロケーションは、1ロックのグルーピング内で、同時に消去可能である、それぞれの複数のフラッシュ・ベースのメモリ・カード；並びに

複数のクロスバー・スイッチング素子であって、それぞれのクロスバー・スイッチング素子は、フラッシュ・ベースのメモリ・カードのそれぞれの1つと接続され、及び前記入出力モジュールのそれぞれの1つが、フラッシュ・ベースのメモリ・カードのそれぞれの1つと通信することが可能なように構成されている、複数のクロスバー・スイッチング素子とを含み、

それぞれの入出力モジュールは、それぞれのクロスバー・スイッチング素子と、高速シリアル通信リンクにより接続され、それぞれの高速シリアル通信リンクは、それぞれの入出力モジュールが、それぞれのクロスバー・スイッチング素子への、及びクロスバー・スイッチング素子からのコマンド、命令、及び/又はデータを表すビットを送受信することを可能にし、並びにそれぞれのクロスバー・スイッチング素子は、フラッシュ・ベースのメモリ・カードのそれぞれの1つに、複数の並列通信リンクにより接続され、それぞれの並列通信リンクは、1つのクロスバー・スイッチング素子を、フラッシュ・ベースのメモリ

- ・カードのそれぞれの1つのフラッシュ・メモリ素子の1つと接続している、フラッシュ
- ・ベースのメモリ・システム。

#### 【請求項2】

入出力モジュールから送信されるコマンド、命令、及び／又はデータを表す前記ビットが、読み出し・修正・書き込みを含むDMA要求を含む直接メモリ・アクセス(DMA)要求の一部である、請求項1に記載のフラッシュ・ベースのメモリ・システム。

#### 【請求項3】

前記入出力モジュールが、以下のプロトコル：ファイバー・チャンネル(Fibre Channel)、インフィニバンド(InfiniBand)、イーサーネット(Ethernet)、及び前面パネル・データ・ポート(Front Panel Data Port)のうちの1つを含む高速通信プロトコルを用いる1つ以上の外部通信リンクを通じて、外部デバイスと通信するために構成されている請求項1に記載のフラッシュ・ベースのメモリ・システム。

#### 【請求項4】

それぞれの前記入出力モジュールが、高速通信プロトコルを用いる1つ以上の外部通信リンクを通じて、前記入出力モジュールが外部デバイスと通信可能とするために構成された高速インターフェースを含む、請求項3に記載のフラッシュ・ベースのメモリ・システム。

#### 【請求項5】

それぞれの前記入出力モジュールが、更に複数のマルチ・ギガビット・トランシーバーを有する高速制御装置を含み、1つの前記マルチ・ギガビット・トランシーバーは前記入出力モジュールに接続されたそれぞれの高速シリアル通信リンクのためであり、それぞれの前記入出力モジュールは、前記マルチ・ギガビット・トランシーバーを用いて、それぞれの前記クロスバー・スイッチング素子との間のコマンド、命令及び／又はデータを表すビットを送受信するために構成される、請求項4に記載のフラッシュ・ベースのメモリ・システム。

#### 【請求項6】

それぞれの前記入出力モジュールが、更にCPU及び共有スイッチング素子を含み、この共有スイッチング素子は、CPU、1つ以上の外部通信リンクを介する外部デバイス、及び前記マルチ・ギガビット・トランシーバーの間の通信を規制するために構成されている、請求項5に記載のフラッシュ・ベースのメモリ・システム。

#### 【請求項7】

それぞれの前記クロスバー・スイッチング素子が、複数のマルチ・ギガビット・トランシーバーを有する高速制御装置を含み、それぞれの高速シリアル通信リンクのための1つの前記マルチ・ギガビット・トランシーバーは前記クロスバー・スイッチング素子に接続され、それぞれの前記クロスバー・スイッチング素子は、前記マルチ・ギガビット・トランシーバーを用いて、それぞれの前記入出力モジュールとの間のコマンド、命令及び／又はデータを表すビットを送受信するために構成される、請求項1に記載のフラッシュ・ベースのメモリ・システム。

#### 【誤訳訂正2】

【訂正対象書類名】明細書

【訂正対象項目名】0037

【訂正方法】変更

【訂正の内容】

【0037】

図2を参照すると、例示的な入出力モジュール200が図示されている。この例では、入出力モジュール200は、2つの別個のファイバー・チャンネル(FC)ポート(201及び203)を有するインターフェースを提供し、それぞれが、特定の入出力モジュール200がファイバー・チャンネル・ホスト・バス・アダプター(図示されていない)と接続することを可能にし、それによって、外部ホストがSCSI装置としてのシステム1

00にアクセスすることを可能にする。それぞれのポート(201又は203)は、単独のトランスミット・リンク及び単独のレシーブ・リンクを含み、それぞれのリンクは2.125ギガビット/秒(Gb/sec)、又は4.25Gb/secのいずれかで作動する。それぞれのポートは、ポイントツーポイント及び競合制御型ループ・ファイバー・チャンネル・プロトコルをサポートできる。この物理インターフェース、及び前記SCSI、及びファイバー・チャンネル(FC)プロトコルは、例示的であって、他の物理インターフェース及びプロトコルを用い得ることが理解されるであろう。

【誤訳訂正3】

【訂正対象書類名】明細書

【訂正対象項目名】0040

【訂正方法】変更

【訂正の内容】

【0040】

見られるように、前記制御装置204は4つの高速シリアル・システム通信チャンネル210、212、214及び216を提供する。前記プロセッサ206及び制御装置204は、前記外部ファイバー・チャンネル・ポート(201及び203)及び前記4つのシリアル・システム通信チャンネル210、212、214及び216の間でのプロトコル変換機能とともに遂行する。図示された例においては、シリアル・システム通信チャンネルのそれぞれは、トランスミット(TX)サブチャンネル及びレシーブ(RX)サブチャンネルの両方を含む全二重物理層を含む。それぞれのサブチャンネルは、ともに結合されて、10Gb/sデータのデータ移転速度の能力がある単独のサブチャンネルを形成する、2つの個別の5Gb/sシリアル通信リンクを更に含む。この例では、データは、シリアル・システム通信チャンネルを通じて伝送される前に、8B/10Bで符号化され、8Gb/sec(又は毎秒あたり1Gバイト(GB/sec))のデータ転送速度をもたらす。代替的な符号化のスキーム(例えば、64B/66B符号化)も用い得るであろう。図2の例では、それぞれのシリアル通信チャンネルは、Xilinx Virtex-4 FPGA装置内で利用可能なマルチ・ギガビット・トランシーバー(MGT)モジュールを用いて実行されるが、他の同様な実行方法が、本開示の教示を逸脱することなく使用できることが理解されるであろう。FPGA装置のXilinx Virtex-4ファミリーにより可能になるような通信リンクを結合するために利用可能な手順を、前記通信チャンネルを形成するために用いることができる。代替的に、他のシリアル化/脱シリアル化(SerDes)プロトコルに関連付けられた結合スキームも用い得る。

【誤訳訂正4】

【訂正対象書類名】明細書

【訂正対象項目名】0070

【訂正方法】変更

【訂正の内容】

【0070】

図5を参照するが、このフラッシュ・メモリ・カード500は、システム制御装置をクロスバー・モジュール(図5には図示されていない)の1つと連結させている、並列バス504を通じて情報を受け取るシステム制御装置502を含む。上述したように、並列バス504は、16ビット長のデータ・バス及び5ビット長の制御バスを含む。クロスバー・モジュールから提供されるDMA要求は、システム制御装置502により受け取られて、及び処理される。システム制御装置502は、メモリ・カード及びクロスバー・モジュールの間の通信プロトコルを取り扱い、及びバス・エラー管理のためのエラー修正などの機能を実行できる。加えて、システム制御装置502は、メモリ・カード上のどの特定のメモリ素子が、TARGET ADDRESSと関連付けられているかを決定するために、受け取られたTARGET ADDRESSアドレスを部分的に処理することもできる。

【誤訳訂正5】

【訂正対象書類名】明細書

【訂正対象項目名】0 1 2 4

【訂正方法】変更

【訂正の内容】

【0 1 2 4】

メモリ制御装置 8 0 2 の操作に関する追加的な詳細は、図 1 7 に見出すことができる。図 1 7 は、2 つの基本メモリ周期（ここでは第二の基本メモリ周期は未完成として示されている）を通じた前記制御装置 8 0 2 の操作を図示している。一般にそれぞれのメモリ周期は 3 2 個の 2 8 8 ビットのワードの D D R メモリへの（又は、D D R メモリからの）移転を含む。この特定の実施例では、この移転は、1 6 の実際のクロック周期を通じて起きる。3 3 3 M H z では、これは、それぞれのメモリ・カードに対して、4 8 n s ごとに 1 K バイト のデータ、又は 2 0 . 8 3 G バイト / 秒（データ単独）の移転速度を提供する。図 7 に反映されているシステムが、多数のメモリ・カードを持つことができることを考慮すると、システムの合計の帯域幅は 2 0 . 8 3 G バイト / 秒よりも顕著に高くなることができ、及び 5 個以上のメモリ・カードが用いられる場合には、1 0 0 G バイト / 秒を超えることができる。