



(12) 发明专利

(10) 授权公告号 CN 101320702 B

(45) 授权公告日 2010.07.21

(21) 申请号 200810110005.4

(22) 申请日 2008.06.02

(30) 优先权数据

2007-150289 2007.06.06 JP

(73) 专利权人 株式会社瑞萨科技

地址 日本东京

(72) 发明人 川下道宏 吉村保广 田中直敬

内藤孝洋 赤沢隆

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 郭放

(51) Int. Cl.

H01L 21/60 (2006.01)

H01L 23/485 (2006.01)

(56) 对比文件

US 2005/0263869 A1, 2005.12.01, 说明书第 0068、0069 段及附图 3.

JP 特开 2005-93486 A, 2005.04.07, 说明书第 0027-0041 段及附图 1、3-8.

审查员 张思秘

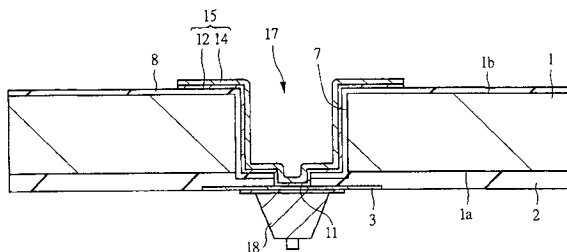
权利要求书 4 页 说明书 21 页 附图 20 页

(54) 发明名称

半导体器件及其制造方法

(57) 摘要

本发明提供一种半导体器件及其制造方法，可以提高具有三维地层叠的多个半导体芯片的半导体器件的制造成品率。形成有从半导体基板 (1) 的第 2 面 (1b) 到达焊盘 (3) 的贯通电极 (17)。贯通电极 (17) 的内部的贯通空间是由第 1 孔 (7) 以及孔径小于第 1 孔 (7) 的第 2 孔 (11) 构成的。从半导体基板 (1) 的第 2 面 (1b) 贯通半导体基板 (1) 直到层间绝缘膜 (2) 的途中地形成有第 1 孔 (7)。另外，形成有从第 1 孔 (7) 的底部贯通层间绝缘膜 (2) 到达焊盘 (3) 的第 2 孔 (11)。此时，形成在半导体基板 (1) 的第 1 面 (1a) 上的层间绝缘膜 (2) 反映第 1 孔 (7) 的底面与半导体基板 (1) 的第 1 面 (1a) 造成的台阶而成为台阶形状。即，存在于第 1 孔 (7) 的底面与焊盘 (3) 间的层间绝缘膜 (2) 的膜厚比其他位置的层间绝缘膜 (2) 的膜厚薄。



1. 一种半导体器件的制造方法,其特征在于,具备如下步骤:

a. 在形成于半导体基板的第1面上的半导体元件上形成层间绝缘膜,在上述层间绝缘膜的表面形成经由形成于上述层间绝缘膜的内部的布线与上述半导体元件电连接的焊盘;

b. 在上述半导体基板的与上述第1面相反一侧的第2面上形成第1抗蚀剂膜;

c. 对上述第1抗蚀剂膜进行图案化,以在与上述焊盘对置的位置处具有第1开口部;

d. 以形成有上述第1开口部的上述第1抗蚀剂膜作为掩模对上述半导体基板进行蚀刻,从而在上述半导体基板上形成在底面上使上述层间绝缘膜露出的第1孔;

e. 去除上述第1抗蚀剂膜;

f. 对在上述第1孔的底面上露出的上述层间绝缘膜进行蚀刻,从而在上述层间绝缘膜上且比上述半导体基板和上述层间绝缘膜的边界更接近于上述焊盘的位置处形成上述第1孔的底面;

g. 在包括上述第1孔的内壁的上述半导体基板的上述第2面上形成绝缘膜;

h. 在上述绝缘膜上形成第2抗蚀剂膜;

i. 对上述第2抗蚀剂膜进行图案化,以在上述第1孔的底面上具有直径比上述第1孔的直径小的第2开口部;

j. 以形成有上述第2开口部的上述第2抗蚀剂膜作为掩模对上述绝缘膜以及上述层间绝缘膜进行蚀刻,从而形成在底面上使上述焊盘露出的第2孔;以及

k. 在包括上述第1孔的内壁以及上述第2孔的内壁的上述半导体基板的上述第2面上形成导体膜,并对上述导体膜进行图案化,从而形成从上述半导体基板的上述第2面达到上述第1面、并且与上述焊盘电连接的贯通电极,

其中,上述层间绝缘膜在上述半导体基板一侧的面反映由上述第1孔的底面与上述半导体基板的上述第1面造成的台阶而成为台阶形状,

上述导体膜的表面反映由上述半导体基板的上述第2面与上述第1孔的底面造成的台阶而成为台阶形状。

2. 根据权利要求1所述的半导体器件的制造方法,其特征在于,

上述导体膜的表面反映由上述半导体基板的上述第2面与上述第1孔的底面造成的台阶以及由上述第1孔的底面与上述第2孔的底面造成的台阶而成为台阶形状。

3. 根据权利要求1所述的半导体器件的制造方法,其特征在于,

在上述步骤f中,以形成在上述半导体基板上的上述第1孔作为掩模对在上述第1孔的底面上露出的上述层间绝缘膜进行蚀刻。

4. 根据权利要求3所述的半导体器件的制造方法,其特征在于,

在上述步骤f中,不使用基于新的抗蚀剂膜的掩模;上述步骤d中的蚀刻中使用的蚀刻气体与上述步骤f中的蚀刻中使用的蚀刻气体不同。

5. 根据权利要求1所述的半导体器件的制造方法,其特征在于,

上述步骤d后的上述第1孔的底面的直径与上述步骤f后的上述第1孔的底面的直径相等。

6. 根据权利要求1所述的半导体器件的制造方法,其特征在于,

在上述步骤g后,将残存于上述第1孔的底面与上述焊盘之间的上述层间绝缘膜和形

成于上述第 1 孔的底面上的上述绝缘膜合起来的膜厚是在上述步骤 j 中作为掩模使用的上述第 2 抗蚀剂膜消失之前形成上述第 2 孔的膜厚。

7. 根据权利要求 1 所述的半导体器件的制造方法,其特征在于,

在上述步骤 c 中,使用红外显微镜对上述第 1 抗蚀剂膜进行图案化,以在与上述焊盘对置的位置处具有上述第 1 开口部。

8. 根据权利要求 1 所述的半导体器件的制造方法,其特征在于,还具备如下步骤:

1. 在与上述贯通电极连接的一侧相反的一侧的上述焊盘上形成凸起电极。

9. 根据权利要求 1 所述的半导体器件的制造方法,其特征在于,

上述贯通电极的内部为空洞。

10. 根据权利要求 1 所述的半导体器件的制造方法,其特征在于,具备如下的步骤:

m. 在对第 1 半导体晶片上的各个芯片区域实施从上述步骤 a 到上述步骤 k 的处理来形成了与形成于上述第 1 半导体晶片的各个芯片区域上的第 1 焊盘电连接的第 1 贯通电极之后,在与上述第 1 贯通电极连接的一侧相反的一侧的上述第 1 焊盘上形成第 1 凸起电极;

n. 在对第 2 半导体晶片上的各个芯片区域实施从上述步骤 a 到上述步骤 k 的处理来形成了与形成于上述第 2 半导体晶片的各个芯片区域上的第 2 焊盘电连接的第 2 贯通电极之后,在与上述第 2 贯通电极连接的一侧相反的一侧的上述第 2 焊盘上形成第 2 凸起电极;以及

o. 在上述第 1 半导体晶片上层叠上述第 2 半导体晶片并电连接,

其中,在上述步骤 o 中,将形成在上述第 2 半导体晶片上的上述第 2 凸起电极压接在形成在上述第 1 半导体晶片上的上述第 1 贯通电极来进行变形注入,从而将上述第 1 半导体晶片与上述第 2 半导体晶片电连接。

11. 根据权利要求 1 所述的半导体器件的制造方法,其特征在于,具备如下的步骤:

p. 使用第 1 半导体晶片作为上述半导体基板,在对上述第 1 半导体晶片上的各个芯片区域实施从上述步骤 a 到上述步骤 k 的处理来形成了与形成于上述第 1 半导体晶片的各个芯片区域上的第 1 焊盘电连接的第 1 贯通电极之后,使上述第 1 半导体晶片个体化成多个半导体芯片来得到第 1 半导体芯片;

q. 在上述第 1 半导体芯片中,在与上述第 1 贯通电极连接的一侧相反的一侧的上述第 1 焊盘上形成第 1 凸起电极;

r. 使用第 2 半导体晶片作为上述半导体基板,在对上述第 2 半导体晶片上的各个芯片区域实施从上述步骤 a 到上述步骤 k 的处理来形成了与形成于上述第 2 半导体晶片的各个芯片区域上的第 2 焊盘电连接的第 2 贯通电极之后,使上述第 2 半导体晶片个体化成多个半导体芯片来得到第 2 半导体芯片;

s. 在上述第 2 半导体芯片中,在与上述第 2 贯通电极连接的一侧相反的一侧的上述第 2 焊盘上形成第 2 凸起电极;以及

t. 在上述第 1 半导体芯片上层叠上述第 2 半导体芯片并电连接,

其中,在上述步骤 t 中,将形成在上述第 2 半导体芯片上的上述第 2 凸起电极压接在形成在上述第 1 半导体芯片上的上述第 1 贯通电极上来进行变形注入,从而将上述第 1 半导体芯片与上述第 2 半导体芯片电连接。

12. 一种半导体器件的制造方法,其特征在于,具备如下的步骤:

a. 在形成于半导体基板的第 1 面上的半导体元件上形成层间绝缘膜,在上述层间绝缘膜的表面形成经由形成于上述层间绝缘膜内部的布线与上述半导体元件电连接的焊盘;

b. 在上述半导体基板的与上述第 1 面相反的一侧的第 2 面上形成第 1 抗蚀剂膜;

c. 对上述第 1 抗蚀剂膜进行图案化,以在与上述焊盘对置的位置具有第 1 开口部;

d. 以形成有上述第 1 开口部的上述第 1 抗蚀剂膜作为掩模对上述半导体基板进行蚀刻,从而在上述半导体基板上形成在底面使上述层间绝缘膜露出的第 1 孔;

e. 去除上述第 1 抗蚀剂膜;

f. 对在上述第 1 孔的底面上露出的上述层间绝缘膜进行蚀刻,从而在上述层间绝缘膜上且比上述半导体基板与上述层间绝缘膜的边界更接近于上述焊盘的位置上形成上述第 1 孔的底面;

g. 在包括上述第 1 孔的内壁的上述半导体基板的上述第 2 面上形成感光性绝缘膜;

h. 对上述感光性绝缘膜进行图案化,以在上述第 1 孔的底面上具有直径比上述第 1 孔的直径小的第 2 开口部;

i. 以形成有上述第 2 开口部的感光性绝缘膜作为掩模对上述层间绝缘膜进行蚀刻,从而形成在底面上使上述焊盘露出的第 2 孔;以及

j. 在包括上述第 1 孔的内壁以及上述第 2 孔的内壁的上述半导体基板的上述第 2 面上形成导体膜,并对上述导体膜进行图案化,从而形成从上述半导体基板的上述第 2 面达到上述第 1 面、并且与上述焊盘电连接的贯通电极,

其中,上述层间绝缘膜的上述半导体基板侧的面反映由上述第 1 孔的底面与上述半导体基板的上述第 1 面造成的台阶而成为台阶形状,

上述导体膜的表面反映由上述半导体基板的上述第 2 面与上述第 1 孔的底面造成的台阶而成为台阶形状。

13. 根据权利要求 12 所述的半导体器件的制造方法,其特征在于,

上述导体膜的表面反映由上述半导体基板的上述第 2 面与上述第 1 孔的底面造成的台阶以及由上述第 1 孔的底面与上述第 2 孔的底面造成的台阶而成为台阶形状。

14. 根据权利要求 12 所述的半导体器件的制造方法,其特征在于,

在上述步骤 f 后,残存于上述第 1 孔的底面与上述焊盘之间的上述层间绝缘膜的膜厚是在上述步骤 i 中作为掩模使用的上述感光性绝缘膜消失之前形成上述第 2 孔的膜厚。

15. 根据权利要求 12 所述的半导体器件的制造方法,其特征在于,

上述贯通电极的内部为空洞。

16. 一种半导体器件,其特征在于,具备:

a. 半导体基板;

b. 形成在上述半导体基板的第 1 面上的半导体元件;

c. 形成在上述半导体基板的上述第 1 面上的层间绝缘膜;

d. 形成在上述层间绝缘膜上的焊盘;

e. 形成在上述焊盘上的凸起电极;以及

f. 从上述半导体基板的与上述第 1 面相反的一侧的第 2 面到达上述焊盘的贯通电极,其中,上述贯通电极具有:

f1. 从上述半导体基板的与上述第 1 面相反的一侧的上述第 2 面到达上述层间绝缘膜

的第 1 孔,上述第 1 孔的底面形成得直到比上述层间绝缘膜与上述半导体基板的边界更接近于上述焊盘的位置处;

f2. 从上述第 1 孔的底面到达上述焊盘的第 2 孔,该第 2 孔的直径被形成得小于上述第 1 孔的直径;

f3. 形成在上述第 1 孔的底面以及侧面和上述半导体基板的上述第 2 面上的绝缘膜;以及

f4. 形成在上述第 2 孔的底面以及侧面上和隔着上述绝缘膜形成在上述第 1 孔的底面以及侧面和上述半导体基板的上述第 2 面上且与上述焊盘电连接的导体膜,

其中,上述层间绝缘膜的在上述半导体基板一侧的面反映由上述第 1 孔的底面与上述半导体基板的上述第 1 面造成的台阶而成为台阶形状,

上述导体膜的表面反映由上述半导体基板的上述第 2 面与上述第 1 孔的底面造成的台阶以及由上述第 1 孔的底面与上述第 2 孔的底面造成的台阶而成为台阶形状,

设作为第 2 孔的底面的、在上述焊盘上形成的上述导电膜的膜厚为 a ,设形成在上述第 1 孔的底面与上述焊盘之间的上述层间绝缘膜的膜厚以及形成在上述第 1 孔的底面上的上述绝缘膜的膜厚合起来的膜厚为 b ,则 $a/(a+b)$ 的值大于等于 0.11。

17. 根据权利要求 16 所述的半导体器件,其特征在于,
上述贯通电极的内部为空洞。

18. 根据权利要求 16 所述的半导体器件,其特征在于,

当从上述半导体基板的上述第 2 面一侧观察上述贯通电极时,则在俯视图上,由上述第 1 孔形成的环和由比上述第 1 孔小的上述第 2 孔形成的环成为 2 重环。

半导体器件及其制造方法

技术领域

[0001] 本发明涉及一种半导体器件及其制造技术,特别涉及适用于具有三维地层叠了的多个半导体芯片的半导体器件及其制造技术的有效技术。

背景技术

[0002] 在日本特开平 11-204720 号公报(专利文献 1)中,记载有在三维层叠型的 SiP(System in Package,系统级封装)中,使用引线键合(Wire Bonding)来实施所层叠的半导体芯片间的电连接的技术。

[0003] 在日本特开 2000-260934 号公报(专利文献 2)中,记载有在所层叠的上下半导体芯片上形成利用电解镀法或非电解镀法对形成于半导体芯片内的贯通电极埋入了焊锡或低熔点金属的电极的技术。在加热后,通过利用熔融接合来连接埋入到上下半导体芯片的贯通孔中的电极,从而进行所层叠的上下半导体芯片间的电连接。

[0004] 在日本特开 2005-340389 号公报(专利文献 3)中,记载有在所层叠的半导体芯片中的配置于上侧的半导体芯片上形成短柱型凸起电极,并在配置于下侧的半导体芯片上形成贯通电极的技术。将形成在上侧的半导体芯片上的短柱型凸起电极压接在形成在下侧的半导体芯片上的贯通电极上进行变形注入,将短柱型凸起电极和贯通电极在几何学上铆接来进行上下半导体芯片间的电连接。

[0005] 在日本特开 2005-93486 号公报(专利文献 4)中,记载有形成从在硅基板的表面隔着层间绝缘膜形成的焊盘电极向硅基板的背面引出的电极的技术。在该技术中,从硅基板的背面以硬质掩模作为掩模对硅基板进行蚀刻,从而形成以层间绝缘膜为底面的开口部(专利文献 4 的图 4(C))。然后,在去除了硬质掩模之后(专利文献 4 的图 5(A)),在包括开口部内的硅基板的背面整体形成绝缘膜(专利文献 4 的图 5(B))。之后,以覆盖开口部的侧壁和开口部以外的抗蚀剂膜(专利文献 4 的图 5(C))为掩模对层间绝缘膜进行蚀刻,从而在开口部的底面上使焊盘电极露出(专利文献 4 的图 6(A))。由此,可以形成从硅基板的背面到达焊盘电极的贯通孔。然后,通过向贯通孔埋入金属材料,从而可以形成与焊盘电极电连接、并且到达硅基板的背面的电极。此处,当去除在对硅基板进行蚀刻时使用的硬质掩模时,从开口部的底面露出的层间绝缘膜也多少会被蚀刻一些而产生被减薄。

[0006] 在日本特开 2006-32699 号公报中,记载有以下所示的半导体器件的制造技术。即,在半导体基板的表面上形成第 1 绝缘膜,将从半导体基板的表面一侧开始的第 1 绝缘膜的一部分的部位选择性地蚀刻直到其厚度的途中为止来薄膜化。利用该蚀刻,形成具有第 1 绝缘膜被薄膜化而成的底面的凹部。之后,在包括凹部内的第 1 绝缘膜上形成焊盘电极(专利文献 5 的图 16)。接下来,在半导体基板的背面形成了第 2 绝缘膜之后,进行蚀刻以使与第 1 绝缘膜的凹部对应的位置上的第 2 绝缘膜以及半导体基板开口得比凹部大。利用该蚀刻,形成具有开口直径大于凹部的直径且贯通第 2 绝缘膜以及半导体基板的通孔(via hole)(专利文献 5 的图 17)。接下来,在包括通孔内的第 2 绝缘膜上形成了第 3 绝缘膜之后(专利文献 5 的图 18),从半导体基板的背面进行蚀刻。利用该蚀刻,去除形成在第

2 绝缘膜上的第 3 绝缘膜、形成在通孔的底面上的第 3 绝缘膜和被薄膜化的第 1 绝缘膜。由此,将焊盘电极在通孔的底面露出(专利文献 5 的图 19)。然后,通过向贯通孔埋入金属材料,从而可以形成与焊盘电连接、并且到达硅基板的背面的电极。

[0007] 在日本特开 2007-53149 号公报(专利文献 6)中,记载有在层叠多个半导体芯片的情况下,从半导体基板的背面对与焊盘连接的接触电极(贯通电极)进行加工的技术。具体而言,在从半导体基板的背面形成了开口部为研钵状的贯通孔之后,在包括贯通孔的内部的半导体基板的背面形成绝缘膜。然后,在去除了贯通孔的底面的绝缘膜之后,在贯通孔的壁面上形成导体膜并进行图案化,从而形成接触电极。

[0008] 在日本特开 2006-222138 号公报(专利文献 7 中),记载有以下所示的半导体器件的制造技术。具体而言,记载有沿着半导体基板的厚度方向贯通的贯通电极的形成方法。在该技术中,在半导体基板的表面上形成第 1 绝缘膜,并在半导体基板的背面形成第 2 绝缘膜(专利文献 7 的图 1(a))。然后,在第 2 绝缘膜上形成由蚀刻速率与半导体基板不同的导电性部件构成的第 1 蚀刻停止层(专利文献 7 的图 1(b))。接下来,对于贯通电极的形成部位,贯通第 1 绝缘膜、半导体基板以及第 2 绝缘膜来形成到达第 1 蚀刻停止层的凹部(专利文献 7 的图 1(c))。之后,利用以第 1 蚀刻停止层为晶种层的电镀法来向凹部内埋入导电材料,从而形成贯通电极(专利文献 7 的图 1(d)~图 1(f))。

[0009] 专利文献 1:日本特开平 11-204720 号公报

[0010] 专利文献 2:日本特开 2000-260934 号公报

[0011] 专利文献 3:日本特开 2005-340389 号公报

[0012] 专利文献 4:日本特开 2005-93486 号公报

[0013] 专利文献 5:日本特开 2006-32699 号公报

[0014] 专利文献 6:日本特开 2007-53149 号公报

[0015] 专利文献 7:日本特开 2006-222138 号公报

[0016] 近年来,进行着高密地安装多个半导体芯片来以短时间实现高功能的系统的 SiP(System in Package)的开发,各公司提出了多种安装结构。特别是三维地层叠多个芯片的 SiP 在安装面积方面是优良的。

[0017] 如日本特开平 11-204720 号公报(专利文献 1)所示,在三维层叠型的 SiP 中,一般是利用引线键合的半导体芯片间连接。但是,利用引线键合的半导体芯片间连接需要使布线落在安装基板上并进行重新布线。其结果,半导体芯片间的布线变长,安装基板的布线密度变高。由此,布线间的电感增加而难以实现高速传输,并且由于形成在安装基板上的布线的高密度化而使成品率恶化,存在引起半导体器件的成本上升的问题点。

[0018] 针对这些引线键合的课题,提出了形成贯通半导体芯片内部的电极来层叠多个芯片的方法。例如,在日本特开 2000-260934 号公报(专利文献 2)中,记载有在所层叠的上下半导体芯片上形成利用电解电镀法或非电解电镀法对形成于半导体芯片内的贯通孔埋入了焊锡或低熔点金属的电极的技术。在加热后,利用熔融接合来连接埋入到上下半导体芯片的贯通孔中的电极,从而进行所层叠的上下半导体芯片间的电连接。

[0019] 另外,在日本特开 2005-340389 号公报(专利文献 3)中,记载有在所层叠的半导体芯片中的配置于上侧的半导体芯片上形成短柱型凸起电极,并在配置于下侧的半导体芯片上形成贯通电极的技术。将形成在上侧的半导体芯片上的短柱型凸起电极压接在形成在

下侧的半导体芯片上的贯通电极上进行变形注入,将短柱型凸起电极和贯通电极在几何学上铆接来进行上下半导体芯片间的电连接。

[0020] 例如,在日本特开 2005-340389 号公报(专利文献 3)所示的技术中,形成从半导体晶片背面到达形成在半导体晶片的表面上的焊盘的贯通电极。在微控制器那样的搭载有大规模集成电路的半导体晶片中,由于布线层是跨多层形成的,所以在半导体晶片的表面存在厚的层间绝缘膜。因此,在形成从半导体晶片的背面到达形成在半导体晶片的表面上的焊盘的电极时,必须使孔通过厚的层间绝缘膜来进行加工。如果如在日本特开 2005-340389 号公报(专利文献 3)中提出的工艺那样以与贯通电极同径的直径来形成到达焊盘的孔,则焊盘的大部分将丧失所邻接的层间绝缘膜的支持,发生焊盘强度降低的问题。

[0021] 因此,为了抑制焊盘强度降低,考虑了在孔的加工途中变更孔径,而在与焊盘邻接的层间绝缘膜中形成小口径的孔(第 2 孔)的技术。在该技术中,通过直到层间绝缘膜露出为止对半导体基板进行蚀刻,从而形成大口径的孔(第 1 孔),接下来对层间绝缘膜进行加工来形成小口径的孔(第 2 孔)。此时,需要在大口径的孔(第 1 孔)的内部形成抗蚀剂掩模。此时,以所形成的抗蚀剂掩模作为掩模掩模对层间绝缘膜进行蚀刻,但在层间绝缘膜的蚀刻中,抗蚀剂掩模掩模也易于被蚀刻。即,造成抗蚀剂掩模与层间绝缘膜相比被选择性地加工,造成抗蚀剂掩模在层间绝缘膜的加工完成之前消失。其结果,在层间绝缘膜中最终形成小口径的孔(第 2 孔)之前需要多次进行抗蚀剂掩模的形成。

[0022] 但是,由于孔(第 2 孔)的直径为小,所以无法利用洗净来完全地去除孔(第 2 孔)内部的抗蚀剂掩模,进而由于多次抗蚀剂掩模的对准偏差而使孔(第 2 孔)的底面在层间绝缘膜的加工中变得粗糙而无法顺利地进行光刻工序的曝光,难以在大口径的孔(第 1 孔)的内部形成第 2 次以后的抗蚀剂掩模。其结果,在小口径的孔(第 2 孔)中层间绝缘膜的加工状态变得不均匀,发生半导体器件的制造成品率降低的问题。

发明内容

[0023] 本发明的目的在于提供一种可以提高具有三维地层叠的多个半导体芯片的半导体器件的制造成品率的技术。

[0024] 根据本说明书的记述以及附图,本发明的上述以及其他目的和新的特征将更加明确。

[0025] 本申请中公开的发明中的代表性的发明的概要进行简单说明如下。

[0026] 本发明提供一种半导体器件的制造方法,其特征在于,具备如下步骤:a. 在形成于半导体基板的第 1 面上的半导体元件上形成层间绝缘膜,在上述层间绝缘膜的表面形成经由形成于上述层间绝缘膜的内部的布线与上述半导体元件电连接的焊盘;b. 在上述半导体基板的与上述第 1 面相反一侧的第 2 面上形成第 1 抗蚀剂膜;c. 对上述第 1 抗蚀剂膜进行图案化,以在与上述焊盘对置的位置处具有第 1 开口部;d. 以形成有上述第 1 开口部的上述第 1 抗蚀剂膜作为掩模对上述半导体基板进行蚀刻,从而在上述半导体基板上形成在底面上使上述层间绝缘膜露出的第 1 孔;e. 去除上述第 1 抗蚀剂膜;f. 对在上述第 1 孔的底面上露出的上述层间绝缘膜进行蚀刻,从而在上述层间绝缘膜上且比上述半导体基板和上述层间绝缘膜的边界更接近于上述焊盘的位置处形成上述第 1 孔的底面;g. 在包括上述第 1 孔的内壁的上述半导体基板的上述第 2 面上形成绝缘膜;h. 在上述绝缘膜上形成

第 2 抗蚀剂膜 ;i. 对上述第 2 抗蚀剂膜进行图案化,以在上述第 1 孔的底面上具有直径比上述第 1 孔的直径小的第 2 开口部 ;j. 以形成有上述第 2 开口部的上述第 2 抗蚀剂膜作为掩模对上述绝缘膜以及上述层间绝缘膜进行蚀刻,从而形成在底面上使上述焊盘露出的第 2 孔 ;以及 k. 在包括上述第 1 孔的内壁以及上述第 2 孔的内壁的上述半导体基板的上述第 2 面上形成导体膜,并对上述导体膜进行图案化,从而形成从上述半导体基板的上述第 2 面达到上述第 1 面、并且与上述焊盘电连接的贯通电极,其中,上述层间绝缘膜在上述半导体基板一侧的面反映由上述第 1 孔的底面与上述半导体基板的上述第 1 面造成的台阶而成为台阶形状,上述导体膜的表面反映由上述半导体基板的上述第 2 面与上述第 1 孔的底面造成的台阶而成为台阶形状。

[0027] 另外,本发明提供一种半导体器件,其特征在于,具备 :a. 半导体基板 ;

[0028] b. 形成在上述半导体基板的第 1 面上的半导体元件 ;c. 形成在上述半导体基板的上述第 1 面上的层间绝缘膜 ;d. 形成在上述层间绝缘膜上的焊盘 ;e. 形成在上述焊盘上的凸起电极 ;以及 f. 从上述半导体基板的与上述第 1 面相反的一侧的第 2 面到达上述焊盘的贯通电极,其中,上述贯通电极具有 :f1. 从上述半导体基板的与上述第 1 面相反的一侧的上述第 2 面到达上述层间绝缘膜的第 1 孔,上述第 1 孔的底面形成得直到比上述层间绝缘膜与上述半导体基板的边界更接近于上述焊盘的位置处 ;f2. 从上述第 1 孔的底面到达上述焊盘的第 2 孔,该第 2 孔的直径被形成得小于上述第 1 孔的直径 ;f3. 形成在上述第 1 孔的底面以及侧面和上述半导体基板的上述第 2 面上的绝缘膜 ;以及 f4. 形成在上述第 2 孔的底面以及侧面上、和隔着上述绝缘膜形成在上述第 1 孔的底面以及侧面和上述半导体基板的上述第 2 面上、且与上述焊盘电连接的导体膜,其中,上述层间绝缘膜的在上述半导体基板一侧的面反映由上述第 1 孔的底面与上述半导体基板的上述第 1 面造成的台阶而成为台阶形状,上述导体膜的表面反映由上述半导体基板的上述第 2 面与上述第 1 孔的底面造成的台阶而成为台阶形状。

[0029] 对利用本申请中公开的发明中的代表性的发明取得的效果简单说明如下。

[0030] 可以提高具有三维地层叠的多个半导体芯片的半导体器件的制造成品率。

附图说明

[0031] 图 1 是示出本发明的实施方式 1 中的半导体芯片的一部分的俯视图。

[0032] 图 2 是示出在图 1 的 A-A 线处切断的剖面的剖面图。

[0033] 图 3 是示出实施方式 1 中的半导体器件的制造工序的剖面图。

[0034] 图 4 是示出接着图 3 的半导体器件的制造工序的剖面图。

[0035] 图 5 是示出接着图 4 的半导体器件的制造工序的剖面图。

[0036] 图 6 是示出接着图 5 的半导体器件的制造工序的剖面图。

[0037] 图 7 是示出接着图 6 的半导体器件的制造工序的剖面图。

[0038] 图 8 是示出接着图 7 的半导体器件的制造工序的剖面图。

[0039] 图 9 是示出接着图 8 的半导体器件的制造工序的剖面图。

[0040] 图 10 是示出接着图 9 的半导体器件的制造工序的剖面图。

[0041] 图 11 是示出接着图 10 的半导体器件的制造工序的剖面图。

[0042] 图 12 是示出接着图 11 的半导体器件的制造工序的剖面图。

- [0043] 图 13 是示出接着图 12 的半导体器件的制造工序的剖面图。
- [0044] 图 14 是示出接着图 13 的半导体器件的制造工序的剖面图。
- [0045] 图 15 是示出接着图 14 的半导体器件的制造工序的剖面图。
- [0046] 图 16 是示出接着图 15 的半导体器件的制造工序的剖面图。
- [0047] 图 17 是示出接着图 16 的半导体器件的制造工序的剖面图。
- [0048] 图 18 是示出接着图 17 的半导体器件的制造工序的剖面图。
- [0049] 图 19 是示出接着图 18 的半导体器件的制造工序的剖面图。
- [0050] 图 20 是示出接着图 19 的半导体器件的制造工序的剖面图。
- [0051] 图 21 是示出接着图 20 的半导体器件的制造工序的剖面图。
- [0052] 图 22 是示出接着图 21 的半导体器件的制造工序的剖面图。
- [0053] 图 23 是示出接着图 22 的半导体器件的制造工序的剖面图。
- [0054] 图 24 是示出接着图 23 的半导体器件的制造工序的剖面图。
- [0055] 图 25 是示出接着图 24 的半导体器件的制造工序的剖面图。
- [0056] 图 26 是示出实施方式 1 中的半导体芯片的剖面图,是将预定部位的尺寸作为变量而表示的图。
- [0057] 图 27 是使用了图 26 所示的尺寸的预定关系的曲线图。
- [0058] 图 28 是示出包含在图 27 所示的区域 I 中时的半导体芯片的结构的剖面图。
- [0059] 图 29 是示出包含在图 27 所示的区域 II 中时的半导体芯片的结构的剖面图。
- [0060] 图 30 是示出包含在图 27 所示的区域 III 中时的半导体芯片的结构的剖面图。
- [0061] 图 31 是示出包含在图 27 所示的区域 IV 中时的半导体芯片的结构的剖面图。
- [0062] 图 32 是示出实施方式 1 的变形例中的半导体器件的剖面图。
- [0063] 图 33 是示出实施方式 2 中的半导体芯片的一部分的俯视图。
- [0064] 图 34 是示出在图 33 的 A-A 线处切断的剖面的剖面图。
- [0065] 图 35 是示出实施方式 2 中的半导体器件的制造工序的剖面图。
- [0066] 图 36 是示出接着图 35 的半导体器件的制造工序的剖面图。
- [0067] 图 37 是示出实施方式 2 的变形例中的半导体器件的制造工序的剖面图。
- [0068] 图 38 是示出实施方式 3 中的半导体器件的制造工序的剖面图。
- [0069] 图 39 是示出接着图 38 的半导体器件的制造工序的剖面图。
- [0070] 图 40 是示出接着图 39 的半导体器件的制造工序的剖面图。
- [0071] 图 41 是示出接着图 40 的半导体器件的制造工序的剖面图。
- [0072] 图 42 是示出实施方式 4 中的半导体器件的剖面图。
- [0073] (附图标记说明)
- [0074] 1:半导体基板 1a:第 1 面 1b:第 2 面 2:层间绝缘膜
- [0075] 3:焊盘 4:粘接层 5:支撑基板 6:抗蚀剂膜
- [0076] 6a:开口部 7:第 1 孔 8:绝缘膜 8a:感光性绝缘膜
- [0077] 9:铝膜 10:抗蚀剂膜 10a:开口部 11:第 2 孔
- [0078] 12:晶种层 13:抗蚀剂膜 14:镀敷层 15:导体膜
- [0079] 16:抗蚀剂膜 17:贯通电极 17a:贯通电极
- [0080] 17b:贯通电极 17c:贯通电极 18:短柱型凸起电极

- [0081] 18a :短柱型凸起电极 18b :短柱型凸起电极
[0082] 18c :短柱型凸起电极 19 :裂缝 20a :半导体芯片
[0083] 20b :半导体芯片 20c 半导体芯片 21 :布线基板
[0084] 22 :电极 23 :焊锡凸起电极 24 :密封用粘接材料

具体实施方式

[0085] 在以下的实施方式中,为便于说明,分割成多个部分或实施方式来进行了说明,但除了特别明示的情况以外,这些并非相互无关系,而一方处于另一方的一部分或全部的变形例、详细、补充说明等有关系。

[0086] 另外,在以下的实施方式中,在言及要素的数量等(包括个数、数值、量、范围等)的情况下,除了特别明示的情况以及原理上明显地限定于特定的数量的情况等之外,不限于该特定的数量,也可以是特定的数量以上或以下。

[0087] 另外,在以下的实施方式中,其结构要素(还包括要素步骤等)除了特别明示的情况以及考虑为原理上明显地必须的情况等之外,当然并非一定是必须的。

[0088] 同样地,在以下的实施方式中,当言及结构要素等的形状、位置关系等时,除了特别明示的情况以及考虑为原理上并非明显地成立的情况等之外,包括实质上近似或类似于该形状等的参数等。该情况对于上述数值以及范围也相同。

[0089] 另外,在用于说明实施方式的所有图中,作为原则对相同部件附加相同附图标记,省略其重复的说明。另外,为了易于理解附图,即使是平面图有时也附加影线。

[0090] (实施方式 1)

[0091] 在本实施方式 1 中,参照附图,以像微控制器芯片那样搭载有大规模集成电路的半导体器件为例进行说明。

[0092] 图 1 是示出本实施方式 1 中的半导体芯片的俯视图。该图 1 是从半导体基板 1 的第 2 面(背面)1b 一侧的上方观察半导体芯片的一部分的图。如图 1 所示,半导体芯片由矩形形状的半导体基板 1 构成,在半导体基板 1 的第 2 面 1b 上形成有多个贯通电极 17。多个贯通电极 17 分别与由导体膜 15 构成的布线连接,利用这些布线在半导体基板 1 的第 2 面 1b 上形成了布线图案。如上所述,在本实施方式 1 中,在半导体芯片上形成有多个贯通电极 17,但如图 1 所示,该贯通电极 17 是以平面地形成 2 重环的方式构成的。其原因为,如后所述,利用大口径的第 1 孔和比第 1 孔的直径小的第 2 孔来形成基于贯通电极 17 的贯通空间。

[0093] 图 2 是示出在图 1 的 A-A 线处切断的剖面的剖面图。如图 2 所示,半导体基板 1 呈现平板形状,具有第 1 面(表面)1a 和第 2 面(背面)1b。在半导体基板 1 的第 1 面 1a 上形成有构成大规模集成电路的半导体元件(MISFET(MetalInsulator Semiconductor Field Effect Transistor,金属绝缘体半导体场效应晶体管)等)(未图示),在形成有该半导体元件的半导体基板 1 的第 1 面 1a 上形成有层间绝缘膜 2。在层间绝缘膜 2 上,跨多层形成有连接多个半导体元件间的布线,利用形成在半导体基板 1 的第 1 面 1a 上的多个半导体元件和连接这些半导体元件的布线,在半导体基板 1 的第 1 面 1a 上形成了大规模集成电路。此处,在本实施方式 1 中,作为半导体芯片以如微控制器芯片那样的形成有大规模集成电路的部件为对象,但其特征在于布线层变多这一点。因此,存在形成跨多层的布线层的层间绝

缘膜 2 的膜厚变厚的倾向。这样,在本实施方式 1 中,以层间绝缘膜 2 的膜厚变得比较厚的半导体器件为对象。

[0094] 接下来,在作为层间绝缘膜 2 的最上层的表面上形成有焊盘(电极)3。该焊盘 3 经由形成在层间绝缘膜 2 内的布线与半导体元件电连接,焊盘 3 起到外部端子的作用以用于取得形成在半导体基板 1 上的大规模集成电路与半导体芯片的外部的接口。在焊盘 3 上形成有短柱型凸起电极 18。

[0095] 另一方面,以从半导体基板 1 的第 2 面 1b 向半导体基板 1 的第 1 面 1a 贯通、进而贯通层间绝缘膜 2 而与焊盘 3 电连接的方式形成了贯通电极 17。该贯通电极 17 是在三维地层叠多个半导体芯片来进行封装化时所需的电极。即,在本实施方式 1 中,以层叠半导体芯片来进行封装化的 SiP 结构为前提,是为了在层叠半导体芯片时电连接上下配置的半导体芯片间而使用的。这样在各个半导体芯片上,在焊盘 3 的一侧形成有短柱型凸起电极 18,在焊盘 3 的另一侧形成有贯通电极 17。在层叠多个半导体芯片时,向,将另一方的半导体芯片的短柱型凸起电极 18 压接在一方的半导体芯片的贯通电极 17 上来进行变形注入以在几何学上铆接,从而将两方的半导体芯片上下层叠并电连接起来。这样在本实施方式 1 中,以使用贯通电极 17 和短柱型凸起电极 18 来层叠半导体芯片为前提。另外,在形成有贯通电极 17 的区域,没有形成构成大规模集成电路的半导体元件。即,在半导体基板 1 的第 1 面 1a 上形成有半导体元件,但在与形成有贯通电极 17 的区域分离的区域上没有形成半导体元件。

[0096] 接下来,对贯通电极 17 的结构进行说明。如图 2 所示,贯通电极 17 的贯通空间由第 1 孔 7 和第 2 孔 11 形成。即,从半导体基板 1 的第 2 面 1b 形成第 1 孔 7,在该第 1 孔 7 的底面形成有孔径小于第 1 孔 7 的第 2 孔 11。焊盘 3 在第 2 孔 11 的底面露出。在第 1 孔 7 的底面以及侧面和半导体基板 1 的第 2 面 1b 上形成有绝缘膜 8,进而在第 2 孔 11 的底面以及侧面、隔着绝缘膜 8 的第 1 孔 7 的底面以及侧面、以及隔着绝缘膜 8 的半导体基板 1 的第 2 面 1b 上,层叠并形成有晶种层 12 和镀敷层 14。将该晶种层 12 和镀敷层 14 合起来称为导体膜 15。形成在半导体基板 1 的第 2 面 1b 上的导体膜 15 形成图 1 所示的布线图案。这样构成了贯通电极 17,但为了向贯通电极 17 中插入在所层叠的其他半导体芯片上形成的短柱型凸起电极 18,贯通电极 17 内部成为空洞而形成了贯通空间。因此,构成贯通电极 17 的导体膜 15 反映由半导体基板 1 的第 2 面 1b 与第 1 孔 7 的底面造成的台阶以及由第 1 孔 7 的底面与第 2 孔 11 的底面造成的台阶而成为台阶形状。换言之,根据本实施方式 1 的贯通电极 17,没有构成为用导体膜 15 完全埋入第 1 孔 7 以及第 2 孔 11 内部的结构,而构成为在内部形成有贯通空间的结构。即,如果用导体膜 15 完全填充贯通电极 17 的内部,则导体膜 15 的表面与半导体基板 1 的第 2 面 1b 一致而不产生台阶。相反,采取在贯通电极 17 的内部存在空洞的结构的结果是,构成贯通电极 17 的导体膜 15 反映由半导体基板 1 的第 2 面 1b 与第 1 孔 7 的底面造成的台阶以及由第 1 孔 7 的底面与第 2 孔 11 的底面造成的台阶而成为台阶形状。

[0097] 接下来,对利用第 1 孔 7 和孔径小于该第 1 孔 7 的第 2 孔 11 来形成贯通电极 17 的理由进行说明。例如,与插入到内部的短柱型凸起电极 18 的大小对应地形成了第 1 孔 7 的孔径,但如果仅由孔径大的第 1 孔 7 来构成贯通电极 17,则产生以下所示的不合适的情况。贯通电极 17 是以从半导体基板 1 的第 2 面 1b 贯通到焊盘 3 的方式构成的,但在使用第 1

孔 7 来形成从半导体基板 1 的第 2 面 1b 贯通到焊盘 3 的贯通空间的情况下,由于形成第 1 孔而去除的半导体基板 1 以及层间绝缘膜 2 变多。焊盘 3 形成在层间绝缘膜 2 的表面,但在该情况下,焊盘 3 的大部分所接触的层间绝缘膜 2 被去除,其结果,焊盘 3 失掉了由层间绝缘膜 2 的支持而使焊盘 3 的强度降低的问题变得显著化。因此,并非仅使用孔径大的第 1 孔 7 来构成贯通电极 17,而是在第 1 孔 7 与焊盘 3 之间形成有孔径小于第 1 孔 7 的第 2 孔 11。即,通过在层间绝缘膜 2 中形成孔径小于第 1 孔 7 的第 2 孔 11,可以减少由于形成贯通电极 17 而被去除的层间绝缘膜 2。由此,可以确保支持焊盘 3 的层间绝缘膜 2,可以抑制焊盘 3 的强度降低。这样,通过由第 1 孔 7 和孔径小于第 1 孔 7 的第 2 孔 11 来构成贯通电极 17,可以抑制焊盘 3 的强度降低。此时,由于形成贯通电极 17 而造成的焊盘 3 的强度降低是特别在贯通电极 17 的内部存在空洞的情况下产生的问题。例如,在用导体膜 15 埋入贯通电极 17 的内部的情况下,利用在贯通电极 17 的内部埋入的导体膜 15 来支持焊盘 3,所以无需利用孔径不同的孔来形成贯通电极 17。即,可知利用孔径大的第 1 孔和孔径小于该第 1 孔 7 的第 2 孔 11 来构成贯通电极 17、且在第 2 孔 11 的底面使焊盘 3 露出的结构在贯通电极 17 的内部成为空洞的结构时是有用的。换言之,在使用导体膜 15 来埋入贯通电极 17 的内部的结构的的情况下,可以说不存在利用孔径大的第 1 孔 7 和孔径小于该第 1 孔 7 的第 2 孔 11 来构成贯通电极 17 的有用性。

[0098] 使贯通电极 17 的内部成为空洞,并且使用第 1 孔 7 和孔径小于第 1 孔 7 的第 2 孔 11 来形成贯通电极 17 的结构是成为本发明的前提的结构。

[0099] 此处,在哪个区域上切换构成贯通电极 17 的第 1 孔 7 和第 2 孔 11 成为问题。实际上,半导体基板 1 由硅形成,层间绝缘膜 2 由氧化硅膜形成。因此,一般考虑从半导体基板 1 的第 2 面 1b 直到作为半导体基板 1 与层间绝缘膜 2 的边界的半导体基板 1 的第 1 面 1a 为止,对硅进行蚀刻来形成第 1 孔 7,之后,从作为半导体基板 1 与层间绝缘膜 2 的边界的半导体基板 1 的第 1 面 1a 直到焊盘 3 露出为止,对由氧化硅膜形成的层间绝缘膜 2 进行蚀刻来形成第 2 孔 11。另外,向第 1 孔 7 中插入在另一个半导体芯片上形成的短柱型凸起电极 18。但是,通常,半导体基板 1 的厚度比短柱型凸起电极 18 的高度厚,所以在从半导体基板 1 的第 2 面 1b 直到作为半导体基板 1 与层间绝缘膜 2 的边界的半导体基板 1 的第 1 面 1a 为止形成第 1 孔 7 的情况下,不存在问题。

[0100] 这样,在从半导体基板 1 的第 2 面 1b 直到作为半导体基板 1 与层间绝缘膜 2 的边界的半导体基板 1 的第 1 面 1a 为止,对硅进行蚀刻来形成第 1 孔 7,之后,从作为半导体基板 1 与层间绝缘膜 2 的边界的半导体基板 1 的第 1 面 1a 直到焊盘 3 露出为止,对由氧化硅膜形成的层间绝缘膜 2 进行蚀刻来形成第 2 孔 11 的情况下,产生以下所示的不合适的情况。在本实施方式 1 中,作为半导体芯片以微控制器芯片那样的形成有大规模集成电路的芯片为对象,但其特征在于布线层变多这一点。因此,存在形成跨多层的布线层的层间绝缘膜 2 的膜厚变厚的倾向。这样难以在膜厚厚的层间绝缘膜 2 中形成第 2 孔 11。对该理由进行说明。

[0101] 在形成第 2 孔 11 时,首先,在对由硅构成的半导体基板 1 进行蚀刻来形成了第 1 孔之后,在包括该第 1 孔 7 的底面的半导体基板 1 的第 2 面 1b 上形成绝缘膜 8。之后,隔着绝缘膜 8 在包括第 1 孔 7 的底面的半导体基板 1 的第 2 面 1b 上形成抗蚀剂膜。然后,对抗蚀剂膜进行图案化而在第 1 孔 7 的底面形成孔径小于第 1 孔 7 的开口部。然后,以图案化

后的抗蚀剂膜作为掩模对绝缘膜 8 以及由氧化硅膜构成的层间绝缘膜 2 进行蚀刻而形成第 2 孔 11。此处,在对绝缘膜 8 以及由氧化硅膜构成的层间绝缘膜 2 进行蚀刻时,作为掩模使用的抗蚀剂膜也易于被蚀刻。因此,如果层间绝缘膜 2 的膜厚厚,则会造成抗蚀剂膜在形成于层间绝缘膜 2 上的第 2 孔 11 贯通层间绝缘膜 2 而到达焊盘 3 之前消失。因此,需要在再次进行了新的抗蚀剂膜的形成以及图案化之后,进行由氧化硅膜构成的层间绝缘膜 2 的蚀刻。即,由于抗蚀剂膜也在第 2 孔 11 的形成时被蚀刻,所以在层间绝缘膜 2 的膜厚厚的情况下,在第 2 孔 11 贯通层间绝缘膜 2 而达到焊盘 3 之前,需要多次形成基于抗蚀剂膜的掩模。

[0102] 此时,由于第 2 孔 11 的孔径小而无法利用洗净来完全去除第 2 孔 11 内部的抗蚀剂膜、进而由于多次的掩模的对准偏差而使第 2 孔 11 的底面在层间绝缘膜 2 的加工中变得粗糙而成为无法顺利地进行光刻工序的曝光的原因,难以在第 1 孔的底面上形成第 2 次以后的掩模。其结果,在第 2 孔 11 中层间绝缘膜 2 的加工状态变得不均匀,产生焊盘 3 不能在第 2 孔 11 的底面上正常地露出的情况。由此,发生无法正常地形成贯通电极 7 而造成半导体器件的制造成品率降低的问题。

[0103] 因此,在本实施方式 1 中,如图 2 所示,直到比作为半导体基板 1 与层间绝缘膜 2 的边界的半导体基板 1 的第 1 面 1a 深的位置为止形成第 1 孔。即,不仅在由硅构成的半导体基板 1 中、而且是直到层间绝缘膜 2 的途中为止形成第 1 孔 7。由此,处于第 1 孔 7 的底面与焊盘 3 之间的层间绝缘膜 2 的膜厚变薄。另外,在膜厚变薄了的层间绝缘膜 2 中形成第 2 孔 11。即,本实施方式 1 的特征之一在于,在形成第 1 孔 7 时,不仅对由硅构成的半导体基板 1、而且还对层间绝缘膜 2 进行蚀刻,从而在层间绝缘膜 2 上且直到比半导体基板 1 与层间绝缘膜 2 的边界(半导体基板 1 的第 1 面 1a)更接近于焊盘 3 的位置为止形成第 1 孔。由此,例如,即使是形成有大规模集成电路的微控制器芯片那样层间绝缘膜 2 的膜厚厚的半导体器件,也可以使为了形成第 2 孔 11 而蚀刻的层间绝缘膜 2 的膜厚变薄。

[0104] 通过直到层间绝缘膜 2 的途中为止形成第 1 孔 7,可以使处于第 1 孔 7 的底面与焊盘 3 之间的层间绝缘膜 2 的膜厚变薄,所以在形成从该第 1 孔 7 的底面达到焊盘 3 的第 2 孔 11 时,可以仅通过使用 1 次抗蚀剂膜的掩模来形成达到焊盘 3 的第 2 孔 11。即,可以使将残存于第 1 孔 7 的底面与焊盘 3 之间的层间绝缘膜 2 和第 1 孔 7 的底面上形成的绝缘膜 8 合起来的膜厚作为当形成第 2 孔 11 时在作为掩模使用的第 1 个抗蚀剂膜消失之前形成第 2 孔 11 的膜厚。由此,可以改善由于第 2 孔 11 的底面因多次的掩模的对准偏差而在层间绝缘膜 2 的加工中变得粗糙而无法顺利地进行光刻工序的曝光而造成的第 2 孔 11 的加工不良。因此,可以提高贯通电极 17 的可靠性,可以提高半导体器件的制造成品率。另外,可以抑制由于层间绝缘膜 2 的加工不良引起的第 2 孔 11 与焊盘 3 的连接偏差,所以可以抑制贯通电极 17 与焊盘 3 的连接电阻的偏差。

[0105] 本实施方式 1 的特征之一在于,通过直到层间绝缘膜 2 的途中为止形成第 1 孔 7,可以使处于第 1 孔 7 的底面与焊盘 3 之间的层间绝缘膜 2 的膜厚变薄,作为本实施方式 1 中的半导体器件的结构,成为层间绝缘膜 2 的与半导体基板 1 相接触的面反映由第 1 孔 7 的底面与半导体基板 1 的第 1 面 1a 造成的台阶而成为台阶形状的结构而显著化。即,在没有形成第 1 孔 7 的区域中,半导体基板 1 的第 1 面 1a 成为半导体基板 1 与层间绝缘膜 2 的边界,在形成有第 1 孔 7 的区域中,第 1 孔 7 的底面成为与层间绝缘膜 2 的边界。在当前的情

况下,由于第1孔7的底面跨半导体基板1的第1面1a而直到层间绝缘膜2的途中为止形成,所以层间绝缘膜2的与半导体基板1相接触的面成为台阶形状。

[0106] 本实施方式1中的半导体芯片如上述那样构成,以下,参照附图对其制造方法进行说明。

[0107] 首先,准备半导体基板1。此时,半导体基板1成为大致圆盘状的半导体晶片的状态,在该半导体晶片中形成有多个芯片区域。在以下所示的工序中,以半导体晶片的状态对半导体基板1进行加工。

[0108] 如图3所示,在半导体基板1的第1面1a上使用通常的MISFET形成技术来形成多个半导体元件(未图示),在形成有半导体元件的该半导体基板1的第1面1a上形成层间绝缘膜2。层间绝缘膜2例如由氧化硅膜形成。在该层间绝缘膜2中跨多层形成布线(未图示)并使用布线连接多个半导体元件间。然后,在层间绝缘膜2的表面形成经由形成于层间绝缘膜2的内部的布线与半导体元件电连接的焊盘3。焊盘3例如由铝膜形成。

[0109] 如果将半导体基板1减薄到例如 $10\mu\text{m}\sim 50\mu\text{m}$ 左右,则在后述的工序中形成的贯通电极的深度变浅而加工难易度降低,但会产生由于伴随半导体基板1的薄型化的半导体基板1的强度降低以及半导体基板1的弯曲而引起的成品率降低。

[0110] 因此,在本实施方式1中,如图4所示,在形成有焊盘3的层间绝缘膜2的表面涂敷粘接层4,例如将由石英或玻璃、硅基板等构成的支撑基板5与半导体基板1相贴合。通过将支撑基板5贴合到半导体基板1上,可以抑制由于半导体基板1的薄型化引起的强度降低以及半导体基板1的弯曲。另外,粘接层4具有粘接支撑基板5和半导体基板1的功能,并且具有保护形成在半导体基板1上的集成电路的功能。

[0111] 接下来,如图5所示,对半导体基板1的第2面1b实施背面磨削(back-grind)处理,使半导体基板1的厚度变薄。背面磨削处理可以利用磨削或抛光来实施。由于背面磨削处理后的平坦性对形成在半导体基板1的第2面1b上的贯通电极的精度产生影响,所以优选在实施了背面磨削处理之后,实施基于干法抛光(dry polish)、蚀刻或CMP(Chemical Mechanical Polishing,化学机械抛光)法的抛光来使半导体基板1的第2面1b平坦化。

[0112] 接下来,如图6所示,在半导体基板1的第2面1b上涂敷抗蚀剂膜6。然后,使用光刻技术,对抗蚀剂膜6进行图案化。以在抗蚀剂膜6上的与焊盘3相对置的位置形成开口部6a的方式进行图案化。作为在半导体基板1的第2面1b上涂敷抗蚀剂膜6的方法,例如可以使用旋转涂敷法。另外,利用红外显微镜确认形成在半导体基板1的第1面1a上的半导体元件的图案(器件图案),从而确定在抗蚀剂膜6的图案化时形成开口部6a的位置。然后,以图案化后的抗蚀剂膜6为掩模对由硅构成的半导体基板1进行蚀刻。

[0113] 即,如图7所示,形成从由硅构成的半导体基板1的第2面1b到达层间绝缘膜2的第1孔7。该蚀刻是各向异性蚀刻,例如利用ICP-RIE(Inductively coupled plasma Reactive ion etching,感应耦合等离子体反应性离子蚀刻)来进行。作为蚀刻气体,使用 SF_6 和 C_4H_8 。通常,在硅的干法蚀刻中,氧化硅膜成为蚀刻停止层(Etchingstopper)。因此,在基于 SF_6 和 C_4H_8 的蚀刻中,蚀刻在以氧化硅膜为主成分的层间绝缘膜2处停止。此时的第1孔7的深度根据半导体基板1的厚度来确定。

[0114] 接下来,如图8所示,在去除了图案化了的抗蚀剂膜6之后,不形成基于新的抗蚀剂膜的掩模而将蚀刻气体从 SF_6 和 C_4H_8 改为使用 C_3F_8 、Ar、 CHF_4 的混合气体以对在第1孔7

的底面露出的层间绝缘膜 2 直到途中为止进行蚀刻。即,以由硅构成的半导体基板 1 以及形成在半导体基板 1 上的第 1 孔 7 为掩模对在第 1 孔 7 的底面露出的层间绝缘膜 2 进行蚀刻。由此,可以使存在于第 1 孔 7 的底面与焊盘 3 间的层间绝缘膜 2 的膜厚薄膜化。即,有意图地实施以由硅构成的半导体基板 1 以及形成在半导体基板 1 上的孔 7 为掩模对在第 1 孔 7 的底面露出的层间绝缘膜 2 进行蚀刻的工序是本实施方式 1 的特征之一。通过以第 1 孔 7 为掩模对层间绝缘膜 2 有意图地进行蚀刻,以与形成在由硅构成的半导体基板 1 上的第 1 孔 7 的底面中的孔径(参照图 7)相等的孔径进行层间绝缘膜 2 的蚀刻。因此,如图 8 所示,对层间绝缘膜 2 进行蚀刻而形成的第 1 孔的底面成为与图 7 所示的对硅进行蚀刻而形成的第 1 孔 7 的底面大致相等的孔径。另外,通过实施该工序,在没有形成第 1 孔 7 的区域中,半导体基板 1 的第 1 面 1a 成为半导体基板 1 与层间绝缘膜 2 的边界,在形成有第 1 孔 7 的区域中,第 1 孔 7 的底面成为与层间绝缘膜 2 的边界。在当前的情况下,由于第 1 孔 7 的底面跨半导体基板 1 的底面 1a 而直到层间绝缘膜 2 的途中为止地形成,所以层间绝缘膜 2 的与半导体基板 1 上相接处的面成为台阶形状。

[0115] 通过对从第 1 孔 7 露出的层间绝缘膜 2 有意图地直到途中为止进行蚀刻,取得了可以使存在于第 1 孔 7 的底面与焊盘 3 间的层间绝缘膜 2 的膜厚薄膜化的效果,并且还取得了以下所示的效果。

[0116] 在对由硅构成的半导体基板 1 进行蚀刻来形成第 1 孔 7 的工序中,为了使第 1 孔 7 的底面完全地露出,进行了过蚀刻(over etching)。即,在半导体基板 1 上形成多个第 1 孔 7,但此时,有时根据形成第 1 孔 7 的场所地不同而会产生蚀刻速率上的差异。例如,在形成于某个区域上的第 1 孔 7 中蚀刻充分地进行而使层间绝缘膜 2 在第 1 孔 7 的底面露出,但在形成于其他区域的第 1 孔 7 中发生蚀刻不充分且层间绝缘膜 2 没有露出的状况。在该情况下,如果不进行过蚀刻,则造成在硅的蚀刻不充分的第 1 孔 7 的底面上残存硅。于是,之后,有可能无法形成正常的贯通电极。因此,通过进行过蚀刻,即使在蚀刻不充分的区域的第 1 孔 7 的底面也完全地去除硅而使层间绝缘膜 2 在第 1 孔 7 的底面露出。

[0117] 但是,如果进行过蚀刻,则发生在充分地进行了蚀刻的第 1 孔 7 中发生凹口(notch)的问题点。即,如果在充分地进行了蚀刻的第 1 孔 7 中进一步进行硅的蚀刻,则在第 1 孔 7 的底面中成为蚀刻停止层的层间绝缘膜 2 露出,所以无法在深度方向上进行蚀刻。但是,硅从第 1 孔 7 的底面沿着横向(侧向)被侵蚀而发生凹口。如果发生凹口,则导致半导体器件的不良。

[0118] 此处,在本实施方式 1 中,在对由硅构成的半导体基板 1 进行蚀刻来形成了第 1 孔 7 之后,以该第 1 孔作为掩模进行层间绝缘膜 2 的蚀刻,从而形成同口径的第 1 孔 7。因此,即使没有进行由硅构成的半导体基板 1 的过蚀刻,也可以利用以第 1 孔 7 为掩模的层间绝缘膜 2 的蚀刻,来去除在硅的蚀刻不充分的第 1 孔 7 的底面上残存的硅。即,在以氧化硅膜为主成分的层间绝缘膜 2 的蚀刻时,在第 1 孔 7 的底面上少量残存的硅也被去除。因此,可以抑制在对由硅构成的半导体基板 1 进行蚀刻来形成第 1 孔 7 的工序中的过蚀刻。这样根据本实施方式 1,可以抑制过蚀刻,所以可以抑制在充分地进行了蚀刻的第 1 孔 7 中发生凹口的情况。

[0119] 另外,根据本实施方式 1,还可以取得其他的效果。例如,如果对半导体基板 1 进行加工,则易于发生在半导体 1 上发生应力而在半导体基板 1 上发生弯曲等问题。但是,在本

实施方式 1 中,有意图地实施不将抗蚀剂膜使用为掩模而以在硅中形成的第 1 孔 7 作为掩模对在第 1 孔 7 的底面上露出的层间绝缘膜 2 进行蚀刻的工序。如果这样不使用抗蚀剂膜而以硅露出的状态进行干法蚀刻,则可以缓和在半导体基板 1 上发生的应力(应力缓和效果)。

[0120] 接下来,如图 9 所示,在包括第 1 孔 7 内的半导体基板 1 的第 2 面 1b 上,例如利用 CVD(Chemical Vapor Deposition,化学气相沉积)法,形成绝缘膜 8。该绝缘膜 8 以沿着第 1 孔 7 的底面以及侧面和半导体基板 1 的第 2 面 1b 并覆盖这些面的方式形成。绝缘膜 8 具有后述的将贯通电极与半导体基板 1 绝缘的功能。作为绝缘膜 8,例如使用氧化硅膜、氮化硅膜或聚酰亚胺树脂等。

[0121] 接下来,如图 10 所示,在形成于包括第 1 孔 7 内的半导体基板 1 的第 2 面 1b 上的绝缘膜 8 上形成铝膜 9。该铝膜 9 是为了保护绝缘膜 8 而设置的膜,例如可以利用溅射法或蒸镀法来形成。

[0122] 接下来,如图 11 所示,在形成于包括第 1 孔 7 内的半导体基板 1 的第 2 面 1b 上的铝膜 9 上涂敷抗蚀剂膜 10。例如,作为抗蚀剂膜的涂敷方法,有利用旋涂机的涂敷法和利用喷涂的涂敷法。在利用旋涂机的涂敷法的情况下,为了沿着第 1 孔 7 的底面以及侧面涂敷抗蚀剂膜 10,优选使用可以涂敷成 $5\mu\text{m} \sim 30\mu\text{m}$ 的膜厚的抗蚀剂膜 10。另外,如果在抗蚀剂膜 10 中残留气泡,则难以进行光刻技术中的曝光处理而发生图案化不良。因此,优选利用真空脱泡来去除存在于抗蚀剂膜 10 中的气泡。在利用喷涂的涂敷法的情况下,与利用旋涂机的涂敷法不同,沿着第 1 孔 7 涂敷抗蚀剂膜 10。

[0123] 之后,如图 12 所示,使用光刻技术来进行抗蚀剂膜 10 的图案化;抗蚀剂膜 10 的图案化是以在第 1 孔 7 的底面形成开口部 10a 的方式进行的。该开口部 10a 的直径形成小于第 1 孔 7 的孔径。另外,铝膜 9 从开口部 10a 露出。

[0124] 接下来,如图 13 所示,利用蚀刻来去除从形成在抗蚀剂膜 10 上的开口部 10a 露出的铝膜 9。由此,形成于铝膜 9 的下层的绝缘膜 8 在开口部 10a 中露出。在铝膜 9 的蚀刻中,例如可以使用以磷酸为主成分的蚀刻液或稀氢氟酸等。

[0125] 接下来,如图 14 所示,利用蚀刻来去除所有从开口部 10a 露出的绝缘膜 8 以及形成在绝缘膜 8 的下层的层间绝缘膜 2。由此,可以在第 1 孔 7 的底面上形成具有比第 1 孔 7 的孔径小的直径的第 2 孔 11。焊盘 3 在该第 2 孔 11 的底面露出。在绝缘膜 8 以及层间绝缘膜 2 的蚀刻中,作为蚀刻气体使用以 CHF_3 、 C_4H_8 为主成分的混合气体。在该蚀刻工序中,抗蚀剂膜 10 也多少被蚀刻。

[0126] 此处,在本实施方式 1 中,通过如图 8 所示那样直到层间绝缘膜 8 的途中为止形成第 1 孔 7,使处于第 1 孔 7 的底面与焊盘 3 之间的层间绝缘膜 2 的膜厚变薄。因此,在形成从该第 1 孔 7 的底面到达焊盘 3 的第 2 孔 11 时,可以仅使用 1 次抗蚀剂膜 10 的掩模来形成到达焊盘 3 的第 2 孔 11。即,可以使将残存于第 1 孔 7 的底部与焊盘 3 之间的层间绝缘膜 2 和在第 1 孔 7 的底面上形成的绝缘膜 8 合起来的膜厚作为当形成第 2 孔 11 时在作为掩模使用的第 1 个抗蚀剂膜 10 消失之前形成第 2 孔 11 的膜厚。由此,可以改善由于第 2 孔 11 的底面因多次的掩模的对准偏差在层间绝缘膜 2 的加工中变得粗糙而无法顺利地进行光刻工序的曝光造成的第 2 孔 11 的加工不良。

[0127] 接下来,如图 15 所示,去除图案化了的抗蚀剂膜 10。抗蚀剂膜 10 的去除例如通过

利用有机溶剂或氧灰化来进行。然后,如图 16 所示,去除形成在抗蚀剂膜 10 的下层的绝缘膜保护用的铝膜 9。此时,在第 2 孔 11 的底部形成有由铝膜构成的焊盘 3,但在焊盘 3 的表面通常形成有钛 / 氮化钛膜等阻挡 (barrier) 导体膜,所以焊盘 3 不会被蚀刻。

[0128] 接下来,如图 17 所示,在第 2 孔 11 的底面以及侧面上、隔着绝缘膜 8 的第 1 孔 7 的底面以及侧面上、进而在隔着绝缘膜 8 的半导体基板 1 的第 2 面 1b 上形成晶种层 12。晶种层 12 例如可以通过使用溅射法来形成。作为晶种层 12,例如考虑由钛膜 (Ti 膜) 和金膜 (Au 膜) 构成的层叠膜。此时,为了确保绝缘膜 8 和金膜的密接性,以 $0.02\mu\text{m} \sim 0.3\mu\text{m}$ 左右的厚度形成钛膜,金膜作为镀敷膜的基底膜 (电极膜) 厚度是 $0.3\mu\text{m} \sim 2\mu\text{m}$ 左右即可。作为晶种层 12,除了钛膜和金膜的层叠膜之外,例如还可以使用铬膜 (Cr 膜) 和金膜的层叠膜。

[0129] 接下来,如图 18 所示,在涂敷了抗蚀剂膜 13 之后,使用光刻技术,对抗蚀剂膜 13 进行图案化。以使第 1 孔 7 以及第 2 孔 11 内、进而半导体基板 1 的第 2 面 1b 上的布线形成区域露出的方式进行图案化。

[0130] 接下来,如图 19 所示,在从图案化了的抗蚀剂膜 13 露出的晶种层 12 上形成镀敷膜 14。镀敷膜 14 例如可以利用电解镀法来形成。由此,可以在第 1 孔 7 以及第 2 孔 11 内、进而在半导体基板 1 的第 2 面 1b 上的布线形成区域形成由晶种层 12 和镀敷膜 14 构成的导体膜 15。镀敷膜 14 的膜厚考虑电阻而优选设为 $1\mu\text{m}$ 以上,但由于贯通电极的内径由镀敷膜 14 的膜厚所确定,所以以使贯通电极的内径成为预定的直径的方式来调整镀敷膜 14 的膜厚。镀敷膜 14 例如由金膜形成,除了电解镀法之外还可以利用非电解镀法或溅射法来形成。另外,作为镀敷膜 14 除了金膜之外还考虑金膜和铜膜 (Cu 膜) 的层叠膜,但从层叠半导体芯片的 SiP 结构的观点来看,镀敷膜 14 的表面优选为金膜。

[0131] 之后,如图 20 所示,通过利用有机溶剂或氧灰化来去除抗蚀剂膜 13。然后,如图 21 所示,在半导体基板 1 的第 2 面 1b 上涂敷了抗蚀剂膜 16 之后,利用光刻技术来对抗蚀剂膜 16 进行图案化。抗蚀剂膜 16 的图案化以覆盖第 1 孔 7、第 2 孔 11 以及半导体基板 1 的第 2 面 1b 上形成的布线形成区域的方式而被实施。

[0132] 接下来,如图 22 所示,去除从图案化了的抗蚀剂膜 16 露出的晶种层 12。晶种层 12 由于是由钛膜和金膜的层叠膜构成的,所以使用钛膜用的蚀刻溶液和金膜用的蚀刻溶液来分别去除各个膜。作为金膜用的蚀刻溶液,例如考虑碘和碘化铵的混合液,作为钛膜用的蚀刻溶液,例如考虑氢氟酸,但只要可以进行蚀刻,则也可以是其他蚀刻溶液。

[0133] 接下来,如图 23 所示,通过去除图案化了的抗蚀剂膜 16,完成以半导体基板 1 在半导体晶片状态下的加工。由此,可以形成与焊盘 3 连接的贯通电极 17。然后,如图 24 所示,剥离支撑半导体基板 1 的支撑基板 5。例如,如果粘接半导体基板 1 和支撑基板 5 的粘接层 4 具有热塑性的性质,则通过对半导体 1 进行加热来剥离半导体基板 1 和支撑基板 5。在从支撑基板 5 剥离了半导体基板 1 之后,利用切割使处于半导体晶片状态的半导体基板 1 个体化成半导体芯片。个体化为半导体芯片还可以以将半导体基板 1 贴附到支撑基板 5 上的状态进行,但将造成每个支撑基板 5 切断,由此无法实现支撑基板 5 的再利用。因此,虽然从支撑基板 5 剥离半导体基板 1 会因半导体基板 1 较薄而难以操作 (搬运),但通过剥去支撑基板 5 并进行切割,可以实现支撑基板 5 的再利用。

[0134] 最后,如图 25 所示,在个体化了的半导体芯片的层间绝缘膜 2 的表面上形成的焊

盘 3 上,例如利用短柱型凸起法来形成短柱型凸起电极 18。作为凸起电极 18 的形成方法,还可以使用焊料膏 (solderpaste) 凸起法、镀敷法或蒸镀法等。

[0135] 这样,可以形成本实施方式 1 中的半导体芯片。根据本实施方式 1,通过跨由硅构成的半导体基板 1 直到层间绝缘膜 2 的途中为止地形成第 1 孔 7,使处于第 1 孔 7 的底面与焊盘 3 之间的层间绝缘膜 2 的膜厚变薄。因此,在形成从第 1 孔 7 的底面到达焊盘 3 的第 2 孔 11 时,层间绝缘膜 2 的膜厚变薄,所以加工工序变得容易。具体而言,在层间绝缘膜 2 中形成从第 1 孔 7 的底面到达焊盘 3 的第 2 孔 11 时,可以降低对层间绝缘膜 2 进行开口的抗蚀剂掩模的形成次数。因此,可以降低由于多次的掩模的对准偏差引起的层间绝缘膜 2 的加工不良,在使第 1 孔 7 以及第 2 孔 11 成为贯通空间的多个贯通电极 17 中,可以利用层间绝缘膜 2 的薄膜化实现贯通电极 17 的均匀加工。

[0136] 据此,可以提高贯通电极 17 的可靠性,可以提高半导体器件的制造成品率。另外,可以抑制由于层间绝缘膜 2 的加工不良引起的第 2 孔 11 与焊盘 3 的连接偏差,所以可以抑制贯通电极 17 与焊盘 3 的连接电阻发生偏差的情况。

[0137] 另外,在贯通电极 17 的形成工序中,可以降低加工偏差,所以工艺裕度 (process margin) 增加,半导体器件的制造成品率提高。

[0138] 另外,由于不是形成使大口径的第 1 孔 7 到达焊盘 3 而是形成孔径小于第 1 孔 7 的第 2 孔 11 并与焊盘 3 连接,所以还可以使支持焊盘 3 的层间绝缘膜 2 残留得较多,可以抑制焊盘 3 的强度降低。即,可以提高向焊盘 3 上形成短柱型凸起电极 18 时的可靠性。

[0139] 在本实施方式 1 中,在形成从第 1 孔 7 的底面达到焊盘 3 的第 2 孔 11 时,使层间绝缘膜 2 的膜厚变薄,所以加工工序变得容易。因此,取得了在第 2 孔 11 的形成工序中可以提高制造成品率的优点。另一方面,由于使存在于第 1 孔 7 与焊盘 3 间的层间绝缘膜 2 的膜厚变薄,所以有支撑焊盘 3 的层间绝缘膜 2 的强度降低的疑虑。但是,即使如本实施方式 1 那样使层间绝缘膜 2 的膜厚变薄,通过使在第 2 孔 11 的底面以及侧面上形成的导体膜 15 的膜厚、层间绝缘膜 2 与在第 1 孔 7 的底部上形成的绝缘膜 8 合起来的膜厚、第 2 孔 11 的孔径满足预定的关系,可以抑制焊盘 3 的强度降低,可以在焊盘 3 上正常地形成短柱型凸起电极 18,以下对该情况进行说明。

[0140] 图 26 是示出本实施方式 1 中的半导体芯片的剖面图,将预定的部位的尺寸作为变量来表示。具体而言,设形成在第 2 孔 11 的底面以及侧面上的导体膜 15 (将镀敷膜 14 和晶种层 12 合起来的膜) 的膜厚为 a , 设存在于第 1 孔 7 与焊盘 3 间的层间绝缘膜 2 的膜厚和形成在第 1 孔 7 的底面上的绝缘膜 8 的膜厚合起来的膜 (称为底部绝缘膜) 的膜厚为 b 。另外,设第 2 孔 11 的孔径为 c 。

[0141] 图 27 是示出图 26 所示的变量 a 、 b 、 c 的关系的曲线图。在图 27 中,横轴表示相对于全部膜厚 ($a+b$) 的导体膜 15 的膜厚 (a)。另外,纵轴 (左侧) 表示相对于全部膜厚 ($a+b$) 的底部绝缘膜 (层间绝缘膜 2 和绝缘膜 8) 的膜厚 (b),纵轴 (右侧) 表示相对于全部膜厚 ($a+b$) 的第 2 孔 11 的孔径 (c)。如图 27 所示,可知可以利用变量 a 、 b 、 c 来分类成包括可以在焊盘 3 上正常地形成短柱型凸起电极 18 的区域和无法在焊盘 3 上正常地形成短柱型凸起电极 18 的区域在内的 4 个区域 (区域 I ~ IV)。另外,在图 27 中焊盘 3 的膜厚是由设计规则决定的,所以可以考虑为固定的膜厚。

[0142] 首先,对区域 I 进行说明。图 28 是示出变量 a 、 b 、 c 的关系包含在区域 I 时的半导

体芯片的结构图。图 28 示出相对于第 2 孔 11 的孔径 c 使导体膜 15 的膜厚 a 充分地变厚,并且底部绝缘膜的膜厚 b 可以充分维持焊盘 3 的强度的情况。因此,可知在包含于区域 I 的结构中,可以在焊盘 3 上正常地形成短柱型凸起电极 18。

[0143] 接下来,对区域 II 进行说明。图 29 是示出变量 a 、 b 、 c 的关系包含在区域 II 时的半导体芯片的结构图。在图 29 所示的半导体芯片的结构中,底部绝缘膜的膜厚 b 成为可以充分地维持焊盘 3 的强度的膜厚,但相对于第 2 孔 11 的孔径 c 使导体膜 15 的膜厚 a 变薄。因此,当在焊盘 3 上按压短柱型凸起电极 18 时,造成导体膜 15 变形而短柱型凸起电极 18 和导体膜 15 的电连接变得不良。因此,可知在包含于区域 II 的结构中,无法在焊盘 3 上正常地形成短柱型凸起电极 18。

[0144] 接下来,对区域 III 进行说明。图 30 是示出变量 a 、 b 、 c 的关系包含在区域 III 时的半导体芯片的结构图。在图 30 所示的半导体芯片的结构中,相对于第 2 孔 11 的孔径 c 使导体膜 15 的膜厚 a 充分地变厚,但使底部绝缘膜的膜厚 b 变薄。因此,当在焊盘 3 上按压短柱型凸起电极 18 时,底部绝缘膜对焊盘 3 的支撑不充分,而在构成底部绝缘膜的层间绝缘膜 2 上发生裂纹 19。因此,可知在包含于区域 III 的结构中,无法在焊盘 3 上正常地形成短柱型凸起电极 18。

[0145] 接下来,对区域 IV 进行说明。图 31 是示出变量 a 、 b 、 c 的关系包含在区域 IV 时的半导体芯片的结构图。在图 31 所示的半导体芯片的结构中,相对于第 2 孔 11 的孔径 c 使导体膜 15 的膜厚 a 变薄,进而使底部绝缘膜的膜厚 b 也变薄。因此,当在焊盘 3 上按压短柱型凸起电极 18 时,造成导体膜 15 变形而短柱型凸起电极 18 和导体膜 15 的电连接变得不良,并且底部绝缘膜对焊盘 3 的支撑不充分,在构成底部绝缘膜的层间绝缘膜 2 上发生裂纹 19。因此,可知在包含于区域 IV 的结构中,无法在焊盘 3 上正常地形成短柱型凸起电极 18。

[0146] 由此,可知为了在焊盘 3 上正常地形成短柱型凸起电极 18,必须使变量 a 、 b 、 c 的关系包含在区域 I 中。因此,在本实施方式 1 中,采取通过跨由硅构成的半导体基板 1 而直到层间绝缘膜 2 的途中为止形成第 1 孔 7,从而使处于第 1 孔 7 的底面与焊盘 3 之间的层间绝缘膜 2 的膜厚变薄的结构,另一方面规定各个部位的尺寸以使变量 a 、 b 、 c 的关系包含在区域 I 中。由此,可以容易地进行第 2 孔 11 的形成工序,并且可以充分保持焊盘 3 的强度而在焊盘 3 上正常地形成短柱型凸起电极 18。具体而言,从图 27 可知,当设形成在作为第 2 孔 11 的底面的焊盘 3 上的导电膜 15 的膜厚为 a ,并设形成在第 1 孔 7 的底面与焊盘 3 间的层间绝缘膜 2 的膜厚和形成在第 1 孔 7 的底面上的绝缘膜 8 的膜厚合起来的膜厚为 b 时,通过构成为至少使得 $a/(a+b)$ 的值大于等于 0.11,可以充分确保焊盘 3 的强度。

[0147] 此处,在本实施方式 1 中,如图 26 所示,对在第 2 孔 11 的底面以及侧面上形成有导体膜 15,并且在第 2 孔 11 的内部存在空洞的结构进行了说明。但是,如图 32 所示,可以将导体膜 15 形成为使导体膜 15 的膜厚变厚并填充孔径小的第 2 孔 11 的内部。在该情况下,焊盘 3 与层间绝缘膜 2 一起由埋入在第 2 孔 11 的内部的导体膜 15 来支撑,所以可以进一步抑制焊盘 3 的强度降低。此时,当然为了向孔径大于第 2 孔 11 的第 1 孔 7 的内部插入形成在其他的半导体芯片上的短柱型凸起电极 18,第 1 孔 7 的内部成为空洞。

[0148] (实施方式 2)

[0149] 在上述实施方式 1 中,对如微控制器芯片那样形成有大规模集成电路的半导体芯

片进行了说明,但在本实施方式 2 中对如内插(interposer)芯片那样用于进行重新布线的半导体芯片进行说明。

[0150] 例如,在三维地层叠多个半导体芯片的情况下,在配置于下方的半导体芯片上形成的贯通电极内,变形插入形成于配置于上方的其他半导体芯片上的短柱型凸起电极,从而电连接上下半导体芯片。此时,配置于上方的半导体芯片和配置于下方的半导体芯片在多数情况下分别形成有不同的集成电路且具有不同的功能。因此,上下半导体芯片分别具有不同的布局图案。因此,配置于下方的半导体芯片的贯通电极的位置和配置于上方的半导体芯片的短柱型凸起电极的位置有时不对齐。在该情况下,插入在上下半导体芯片间的半导体芯片是内插芯片。即,对于内插芯片,贯通电极形成为与配置于上方的半导体芯片的短柱型凸起电极的形成位置对准,连接配置于上方的半导体芯片和内插芯片。另外,在内插芯片内,形成有与上述的贯通电极连接的布线,将与该布线连接的短柱型凸起电极形成为与下方的半导体芯片的贯通电极的形成位置对准。由此,连接形成在内插芯片上的短柱型凸起电极和形成在下方的半导体芯片上的贯通电极。这样,即使在配置于上方的半导体芯片上形成的短柱型凸起电极的配置位置和配置于下方的半导体芯片上形成的贯通电极的配置位置错开的情况下,也可以通过在上下半导体芯片间夹入内插芯片来电连接上下半导体芯片。

[0151] 接下来参照附图对内插芯片的结构进行说明。本实施方式 2 中的内插芯片和上述实施方式 1 中的半导体芯片的结构大致相同。图 33 是示出本实施方式 2 中的半导体芯片的俯视图。该图 33 是从半导体基板 1 的第 2 面(背面)1b 侧的上方观察半导体芯片的一部分的图。如图 33 所示,半导体芯片由矩形形状的半导体基板 1 构成,在半导体基板 1 的第 2 面 1b 上形成有多个贯通电极 17。多个贯通电极 17 分别与由导体膜 15 构成的布线连接,利用这些布线在半导体基板 1 的第 2 面 1b 上形成了布线图案。

[0152] 图 34 是示出在图 33 的 A-A 线处切断的剖面的剖面图。如图 34 所示本实施方式 2 中的半导体芯片和图 2 所示的上述实施方式 1 中的半导体芯片的不同点在于,在本实施方式 2 中,贯通电极 17 的形成位置和短柱型凸起电极 18 的形成位置不是相对置的位置。其原因在于,即使在形成于配置于上方的半导体芯片上的短柱型凸起电极的配置位置和形成于配置于下方的半导体芯片上的贯通电极的配置位置错开的情况下,也可以通过在上下半导体芯片之间夹入本实施方式 2 中的内插芯片来电连接上下半导体芯片。贯通电极 17 和短柱型凸起电极 18 利用焊盘 3 以及布线而电连接。但是,也有贯通电极 17 的形成位置和短柱型凸起电极 18 的形成位置相同的情况。

[0153] 另外,诸如微控制器芯片那样形成有大规模集成电路的半导体芯片和内插芯片的不同点是层间绝缘膜 2 的膜厚。诸如微控制器芯片那样形成有大规模集成电路的半导体芯片的布线多且层间绝缘膜 2 的膜厚也厚。相反,本实施方式 2 中的内插芯片以重新布线为目的,所以具有形成于层间绝缘膜 2 的内部布线是单层,且层间绝缘膜 2 的膜厚比较薄的特征。其他结构与上述实施方式 1 大致相同。

[0154] 本实施方式 2 中的内插芯片如上述那样构成,以下对其制造方法进行说明。本实施方式 2 中的制造方法也与上述实施方式 1 相同,主要对特征点进行说明。如图 3~图 7 所示那样形成从半导体基板 1 的第 2 面 1b 到达层间绝缘膜 2 的第 1 孔 7。之后,如图 35 所示,去除形成在半导体基板 1 的第 2 面 1b 上的抗蚀剂膜 6。此处,在本实施方式 2 中,与上

述实施方式 1 相比,层间绝缘膜 2 的膜厚薄,但进而从易于进行第 2 孔的加工工序的观点来看,也可以例如如图 36 所示,以由硅构成的半导体基板 1 以及形成在半导体基板 1 上的第 1 孔 7 为掩模对在第 1 孔 7 的底面露出的层间绝缘膜 2 直到途中为止进行蚀刻。即,即使在本实施方式 2 中也可以具有与上述实施方式 1 相同的工序。

[0155] 另一方面,在本实施方式 2 中,如果层间绝缘膜 2 的膜厚充分薄并成为即使在第 2 孔的加工工序中也无问题的程度,则也可以如图 37 所示那样不进行层间绝缘膜 2 的蚀刻。

[0156] 之后,实施从图 9 至图 24 所示的工序。然后,如图 34 所示,在和与贯通电极 17 相对的位置不同的位置上形成短柱型凸起电极 18。但是,也有在与贯通电极 17 相对置的位置上形成短柱型凸起电极 18 的情况。这样,可以形成本实施方式 2 中的内插芯片。根据本实施方式 2,由于层间绝缘膜 2 的膜厚充分薄,所以在由硅构成的半导体基板 1 上形成了第 1 孔 7 之后,不必对在该第 1 孔 7 的底面露出的层间绝缘膜 2 进行蚀刻。但是,从易于进行第 2 孔 11 的加工的观点来看,即在层间绝缘膜具有无法通过 1 次光刻技术来形成第 2 孔 11 的程度的膜厚的情况下,优选通过直到途中为止对在第 1 孔 7 的底面上露出的层间绝缘膜 2 进行蚀刻,从而进一步使层间绝缘膜 2 的膜厚变薄。如上所述,本申请发明可以按照形成在半导体基板 1 上的层间绝缘膜 2 的膜厚而灵活地对应。另外,即使在本实施方式 2 中也可以取得与上述实施方式 1 相同的效果。

[0157] (实施方式 3)

[0158] 在上述实施方式 1 中对使用绝缘膜 8 的例子进行了说明,但在本实施方式 3 中对代替绝缘膜 8 而使用感光性绝缘膜的例子进行说明。以下,对本实施方式 3 中的半导体芯片的制造方法进行说明。

[0159] 通过实施图 3 至图 7 所示的工序,形成从半导体基板 1 的第 2 面 1b 到达层间绝缘膜 2 的第 1 孔 7。然后,如图 38 所示,在去除了抗蚀剂膜 6 之后,以由硅构成的半导体基板 1 以及形成在半导体基板 1 上的第 1 孔 7 为掩模对在第 1 孔 7 的底面上露出的层间绝缘膜 2 直到途中为止进行蚀刻。

[0160] 接下来,如图 39 所示,在包括第 1 孔 7 内的半导体基板 1 的第 2 面 1b 上,形成感光性绝缘膜 8a。该感光性绝缘膜 8a 沿着第 1 孔 7 的底面以及侧面和半导体基板 1 的第 2 面 1b 形成并覆盖这些面。感光性绝缘膜 8a 具有后述的将贯通电极与半导体基板 1 绝缘的功能。

[0161] 接下来,如图 40 所示,使用光刻技术,对感光性绝缘膜 8a 进行图案化。以在第 1 孔 7 的底面上形成开口部 10a 的方式进行图案化。作为光刻技术中的曝光装置,使用步进曝光机 (stepper) 或激光曝光装置等。

[0162] 之后,如图 41 所示,通过蚀刻来去除全部从开口部 10a 露出的层间绝缘膜 2。由此,可以在第 1 孔 7 的底面形成具有比第 1 孔 7 的孔径小的直径的第 2 孔 11。焊盘 3 在该第 2 孔 11 的底面露出。

[0163] 此处,在本实施方式 3 中,通过如图 38 所示直到层间绝缘膜 2 的途中为止形成第 1 孔,使处于第 1 孔 7 的底面与焊盘 3 之间的层间绝缘膜 2 的膜厚变薄。因此,在形成从该第 1 孔 7 的底面到达焊盘 3 的第 2 孔 11 时,可以仅使用 1 次感光性绝缘膜 8a 的掩模来形成到达焊盘 3 的第 2 孔 11。即,可以使残存于第 1 孔 7 的底部与焊盘 3 之间的层间绝缘膜 2 的膜厚成为当形成第 2 孔 11 时在作为掩模使用的感光性绝缘膜 8a 消失之前可以形成第

2 孔 11 的膜厚。

[0164] 之后,通过实施图 17 ~ 图 25 所示的工序,可以制造本实施方式 3 中的半导体芯片。

[0165] 本实施方式 3 的特征在于使用了感光性绝缘膜 8a。在上述实施方式 1 中,在第 1 孔 7 的内部形成了绝缘膜 8 以及铝膜 9 之后,在铝膜 9 上形成抗蚀剂膜 10。然后,在抗蚀剂膜 10 上形成了开口部 10a 之后,对从开口部 10a 露出的铝膜 9、绝缘膜 8 以及层间绝缘件 2 进行蚀刻,从而形成从第 1 孔 7 的底面到达焊盘 3 为止的第 2 孔 11。此处,绝缘膜 8 具有将贯通电极 17 与半导体基板 1 绝缘的功能,抗蚀剂膜 10 具有形成开口部 10a 的功能。因此,在本实施方式 3 中,作为同时具有上述的绝缘膜 8 的功能和抗蚀剂膜 10 的功能的膜,使用了感光性绝缘膜 8a。在上述实施方式 1 中,需要形成绝缘膜 8 和抗蚀剂膜 10 的工序,但在本实施方式 3 中,可以将这些工序置换成感光性绝缘膜 8a 的形成工序。即,根据本实施方式 3,具有可以对半导体芯片的制造工序进行简化的优点。通过使用感光性绝缘膜 8a 可以对工序进行简化的优点可以通过与作为本发明的特征之一的使处于第 1 孔 7 的底面与焊盘 3 之间的层间绝缘膜 2 的膜厚变薄的工序并用来实现。

[0166] 即,虽然感光性绝缘膜 8a 的抗蚀刻性低,但由于使处于第 1 孔 7 的底面与焊盘 3 之间的层间绝缘膜 2 的膜厚变薄,所以可以在感光性绝缘膜 8a 消失之前在层间绝缘膜 2 中形成第 2 孔 11。

[0167] 感光性绝缘膜 8a 是代替绝缘膜 8 的膜,需要即使在形成了第 2 孔 11 之后也使其残存于半导体基板 1 上。即,需要在以感光性绝缘膜 8a 为掩模的层间绝缘膜 2 的蚀刻中不使感光性绝缘膜 8a 消失。如果考虑该点,则通过追加本申请发明的特征之一的使处于第 1 孔 7 的底面和焊盘 3 之间的层间绝缘膜 2 的膜厚变薄的工序,产生使用感光性绝缘膜 8a 的有用性。例如,在为了对工序进行简化而使用感光性绝缘膜 8a 的情况下,如果不实施作为本申请发明的特征之一的使处于第 1 孔 7 的底面和焊盘 3 之间的层间绝缘膜 2 的膜厚变薄的工序,则由于对厚的层间绝缘膜 2 进行蚀刻,从而造成抗蚀刻性低的感光性绝缘膜 8a 在该厚的层间绝缘膜 2 进行蚀刻的途中消失,使用感光性绝缘膜 8a 的优点丧失。

[0168] 因此,通过使用感光性绝缘膜 8a 而产生的工序的简化的优点是通过实施作为本申请发明的特征之一的使处于第 1 孔 7 的底面和焊盘 3 之间的层间绝缘膜 2 的膜厚变薄的工序而取得的。进而使用感光性绝缘膜 8a 的优点在于,在形成第 2 孔 11 时,仅对层间绝缘膜 2 进行蚀刻即可。即,在上述实施方式 1 的情况下,需要对将存在于抗蚀剂膜 10 的下层的绝缘膜 8 和层间绝缘膜 2 合起来的膜的部分进行蚀刻,但在本实施方式 3 中,感光性绝缘膜 8a 本身成为掩模,所以在形成第 2 孔 11 时,仅对形成在感光性绝缘膜 8a 的下层的层间绝缘膜 2 进行蚀刻即可。因此,由于在对第 2 孔 11 进行加工时去除的膜的膜厚变薄,所以第 2 孔 11 的加工工序进一步变得容易。另外,即使在本实施方式 3 中也可以取得与上述实施方式 1 相同的效果。

[0169] (实施方式 4)

[0170] 在本实施方式 4 中,例如对将在上述实施方式 1 ~ 3 中制造出的半导体芯片三维地层叠形成的 SiP 结构的半导体器件进行说明。

[0171] 图 42 是示出本实施方式 4 中的半导体器件的剖面图。如图 42 所示,例如隔着成为进行重新布线的内插芯片的半导体芯片 20b 三维地层叠由微控制器芯片构成的半导体

芯片 20a 和由 SDRAM 构成的半导体芯片 20c。然后,层叠后的 3 个半导体芯片 20a ~ 20c 被搭载于布线基板 21 上。

[0172] 由微控制器芯片构成的半导体芯片 20a 是形成有大规模集成电路的半导体芯片,形成有贯通电极 17a 和短柱型凸起电极 18a。同样地,由 SDRAM 构成的半导体芯片 20c 是形成有大规模集成电路的半导体芯片,形成有贯通电极 17c 和短柱型凸起电极 18c。另一方面,半导体芯片 20b 是内插芯片,形成有贯通电极 17b 和短柱型凸起电极 18b。另外,在布线基板 21 上搭载有半导体芯片 20a,以电连接形成在半导体芯片 20a 上的短柱型凸起电极 18a 和形成在布线基板 21 上的电极 22。另外,在半导体芯片 20a 上搭载有半导体芯片 20b。此时,半导体芯片 20a 与半导体芯片 20b 的电连接是通过向形成在半导体芯片 20a 上的贯通电极 17a 中插入形成在半导体芯片 20b 上的短柱型凸起电极 18b 来进行的。另外,在半导体芯片 20b 上,搭载有半导体芯片 20c。半导体芯片 20b 与半导体芯片 20c 的电连接是通过向形成在半导体芯片 20b 上的贯通电极 17b 中插入形成在半导体芯片 20c 上的短柱型凸起电极 18c 来进行的。

[0173] 在布线基板 21 的与搭载有半导体芯片 20a ~ 20c 的面相反一侧的面上,形成有焊锡凸起电极 23。该焊锡凸起电极 23 经由布线基板的内部与电极 22 电连接。焊锡凸起电极 23 具有作为用于进行与半导体器件的外部电连接的外部端子的功能。

[0174] 另外,形成了密封用粘接材料 24,以掩埋布线基板 21 以及半导体芯片 20a ~ 20c 的间隙。密封用粘接材料 24 具有提高半导体器件的机械性强度、提高半导体器件的组装工序中的操作性、并且从外部保护半导体器件的功能。

[0175] 本实施方式 4 中的半导体器件如上述那样构成,以下对半导体芯片 20a ~ 20c 的层叠方法进行说明。

[0176] 例如,作为半导体基板使用第 1 半导体晶片,对第 1 半导体晶片上的各个芯片区域实施上述实施方式 1 中说明的处理,从而形成与形成在第 1 半导体晶片的各个芯片区域上的第 1 焊盘电连接的贯通电极 17a(第 1 贯通电极)。之后,使第 1 半导体晶片个体化成多个半导体芯片来得到半导体芯片 20a(第 1 半导体芯片)。然后,在半导体芯片 20a 上,在与贯通电极 17a 连接一侧的相反一侧的第 1 焊盘上形成短柱型凸起电极 18a。

[0177] 同样地,作为半导体基板使用第 2 半导体晶片,对第 2 半导体晶片上的各个芯片区域实施上述实施方式 2 中说明的处理,从而形成与形成在第 2 半导体晶片的各个芯片区域上的第 2 焊盘电连接的贯通电极 17b(第 2 贯通电极)。之后,使第 2 半导体晶片个体化成多个半导体芯片来得到半导体芯片 20b(第 2 半导体芯片)。然后,在半导体芯片 20b 中,在与贯通电极 17b 连接一侧的相反一侧的第 2 焊盘上形成短柱型凸起电极 18b。

[0178] 接下来,在半导体芯片 20a 上层叠半导体芯片 20b 并电连接。该工序是通过将形成在半导体芯片 20b 上的短柱型凸起电极 18b 向形成在半导体芯片 20a 上的贯通电极 17a 压接来变形注入而进行的。在这样分别形成了半导体芯片 20a 以及半导体芯片 20b 之后,可以通过进行层叠来形成半导体器件。另外,在半导体芯片 20 上层叠半导体芯片 20c 的情况也相同。

[0179] 接下来,对层叠半导体芯片 20a ~ 20c 的其他方法进行说明。例如,通过对第 1 半导体晶片上的各个芯片区域实施在上述实施方式 1 中说明的处理来形成了与第 1 半导体晶片的各个芯片区域上形成的第 1 焊盘电连接的贯通电极 17a 之后,在与贯通电极 17a 连接

一侧的相反一侧的上述第 1 焊盘上形成短柱型凸起电极 18a。这样还可以以半导体晶片的状态形成短柱型凸起电极 18a。

[0180] 同样地,通过对第 2 半导体晶片上的各个芯片区域实施在上述实施方式 2 中说明的处理来形成了与第 2 半导体晶片的各个芯片区域上形成的第 2 焊盘电连接的贯通电极 17b 之后,在与贯通电极 17b 连接一侧的相反一侧的第 2 焊盘上形成短柱型凸起电极 18b。

[0181] 之后,在第 1 半导体晶片上层叠上述第 2 半导体晶片并电连接。该工序是通过将形成在第 2 半导体晶片上的短柱型凸起电极 18b 向形成在第 1 半导体晶片上的贯通电极 17a 压接来变形注入而进行的。这样还可以以半导体晶片的状态进行层叠。

[0182] 接下来,使第 1 半导体晶片与第 2 半导体晶片以层叠化的状态个体化成半导体芯片。由此,可以得到半导体芯片 20a 与半导体芯片 20b 的层叠结构。另外,在半导体芯片 20b 上层叠半导体芯片 20c 的情况也相同。

[0183] 以上,基于实施方式对由本发明者完成的发明进行了具体说明,但本发明不限于上述实施方式,当然可以在不脱离其要旨的范围内进行各种变更。

[0184] 最后,对专利文献 4(日本特开 2005-93486 号公报)和本申请发明进行比较。在专利文献 4 和本申请发明中,利用第 1 孔和比第 1 孔口径小的第 2 孔来形成贯通电极这一点和对在第 1 孔的底面露出的层间绝缘膜进行蚀刻这一点上是类似的。但是,在专利文献 4 中,使用导体膜来完全地填充贯通电极的内部;而相反,在本申请发明中,在贯通电极的内部形成有空洞,在这一点上是不同的。该不同点是大的不同点。即,在本申请发明中,采用了通过在贯通电极的内部变形注入短柱型凸起电极来层叠多个半导体芯片的结构。因此,在贯通电极的内部必须有注入短柱型凸起电极的空间。因此,形成有向贯通电极中插入短柱型凸起电极的第 1 孔。此时,还可以以从贯通电极到达焊盘的方式形成第 1 孔。但是,如果将孔径大的第 1 孔形成为到达焊盘,则支持焊盘的层间绝缘膜被去除而焊盘的强度降低显著化。因此,在本申请发明中,直到半导体基板的途中为止形成第 1 孔;作为从该第 1 孔的底面到达焊盘的孔,形成了孔径小于第 1 孔的第 2 孔。由此,可以在第 2 孔的周围充分地残留层间绝缘膜,可以防止焊盘的强度降低。这样使用第 1 孔和第 2 孔来形成贯通电极的技术性思想作为解决从贯通电极的内部是空洞的情况发生的焊盘强度的降低这样的问题是有效的。另外,焊盘强度的降低的问题当在焊盘上形成短柱型凸起电极时成为问题。即,本发明的结构以在焊盘上形成短柱型凸起电极的结构为前提。

[0185] 与其相对,在专利文献 4 中,虽然利用第 1 孔和孔径小于第 1 孔的第 2 孔来形成了贯通电极,但使用导体膜填充了贯通电极的内部。因此,焊盘的强度由填充于贯通电极的内部的导体膜来支撑,所以焊盘的强度降低那样的问题不会发生。另外,由于也不是在焊盘上形成短柱型凸起电极的结构,所以不存在焊盘强度的问题。即,虽然利用第 1 孔和孔径小于第 1 孔的第 2 孔来形成了贯通电极,但对于其目的和效果在专利文献 4 中没有进行记载和启示。在专利文献 4 中,在第 1 孔的侧面形成有绝缘膜,之后,对第 2 孔进行加工,所以只不过是仅对形成在第 1 孔的侧面上的绝缘膜的膜厚部分使第 2 孔的孔径变小。即,在本申请发明中,与形成在第 1 孔的侧面上的绝缘膜的膜厚无关地,作为从第 1 孔的底面到达焊盘的孔有意图地形成孔径小于第 1 孔的第 2 孔。因此,在专利文献 4 中不存在成为容易地想到本申请发明的动机的记载。

[0186] 接下来,本申请发明的特征在于,以对在第 1 孔的底面露出的层间绝缘膜进行蚀

刻来有意图地使层间绝缘膜的膜厚减小的方式进行控制。通过这样以减小存在于第 1 孔与焊盘间的层间绝缘膜的膜厚的方式进行控制,获得了可以易于执行对层间绝缘膜进行蚀刻而形成的第 2 孔的加工工序来提高形成第 2 孔的可靠性的优点。

[0187] 与其相对,在专利文献 4 中,在第 1 孔的底面露出的层间绝缘膜被蚀刻这一点是类似的,但在专利文献 4 中,当去除在形成第 1 孔时使用的硬质掩模时附带地也对在第 1 孔的底面露出的层间绝缘膜进行蚀刻。即,在专利文献 4 中,没有记载和启示对在第 1 孔的底面露出的层间绝缘膜有意图地进行蚀刻来控制膜厚这样的技术性思想,不存在成为容易地想到本申请发明的动机的记载。

[0188] 这样,虽然在专利文献 4 中公开有与本申请发明初步类似的结构,但如果详细研究,则可知本申请发明和专利文献 4 是完全不同的技术性思想,且在专利文献 4 中不存在成为容易地想到本申请发明的动机的记载。因此,本领域技术人员难以从专利文献 4 的记载容易地想到本申请发明。

[0189] 产业上的可利用性

[0190] 本发明可以广泛利用于制造半导体器件的制造业。

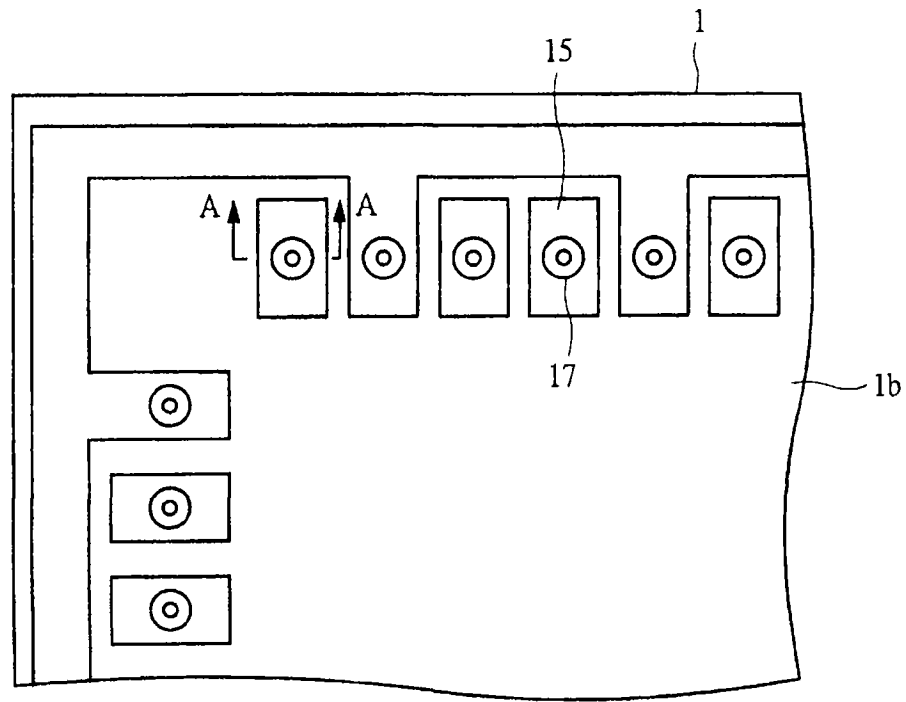


图 1

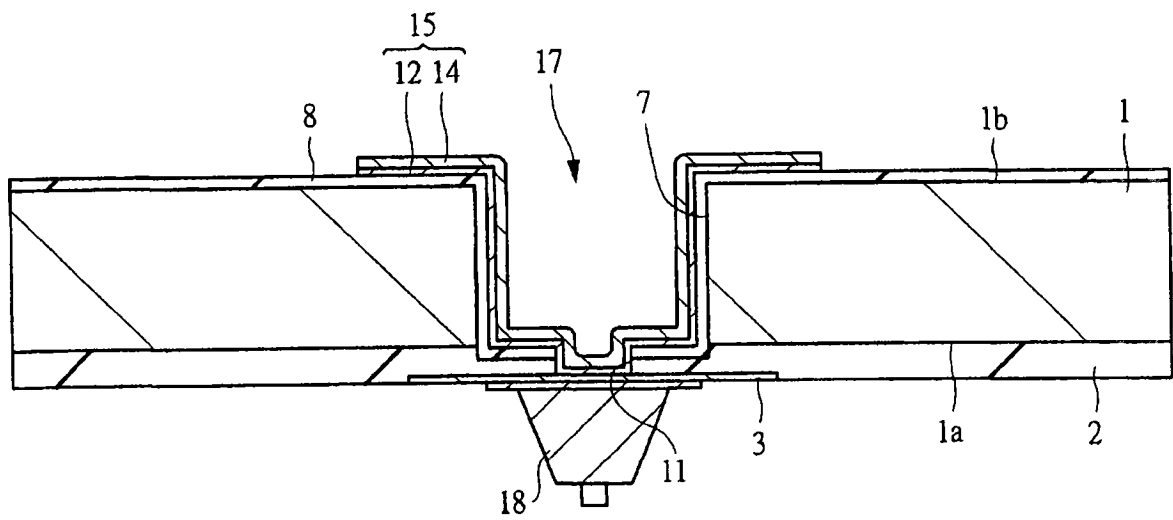


图 2

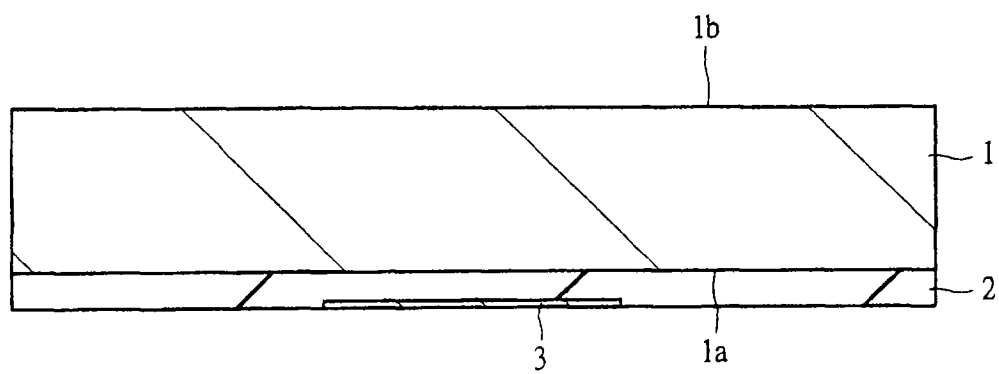


图 3

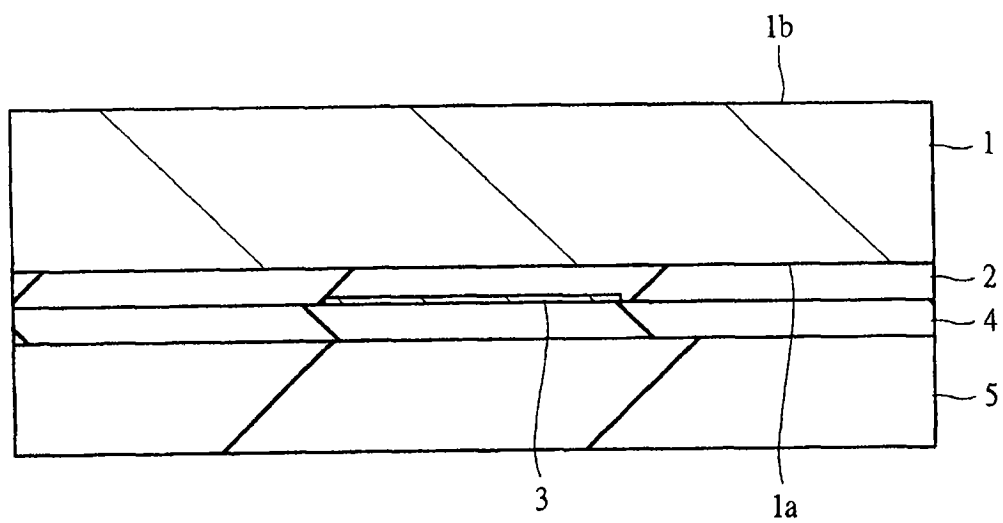


图 4

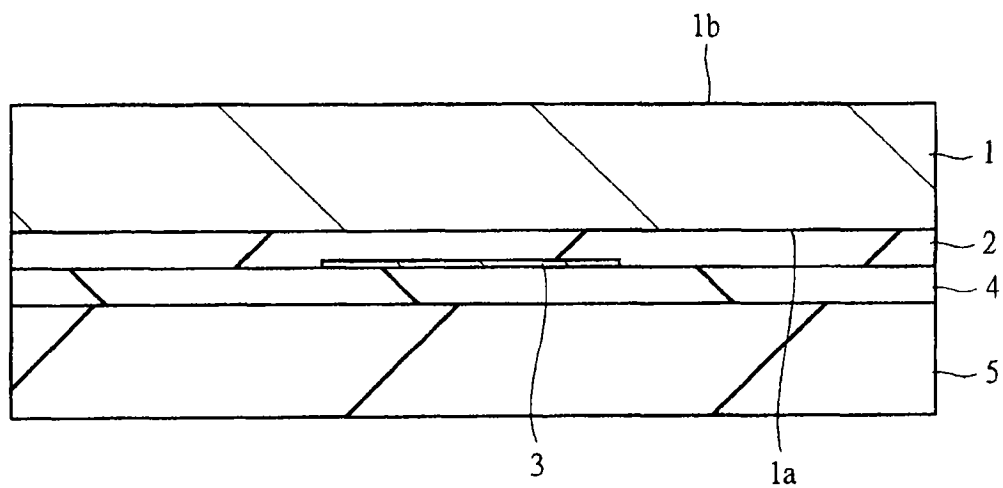


图 5

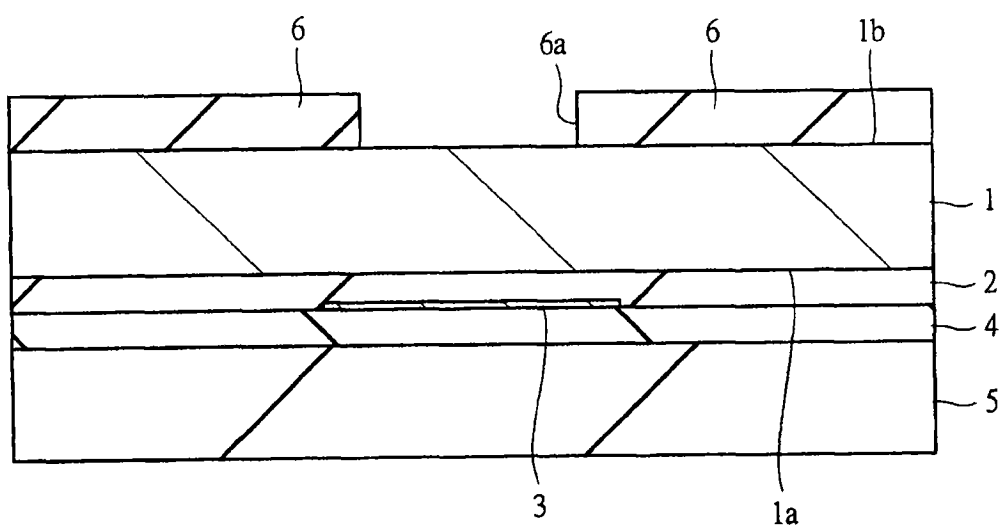


图 6

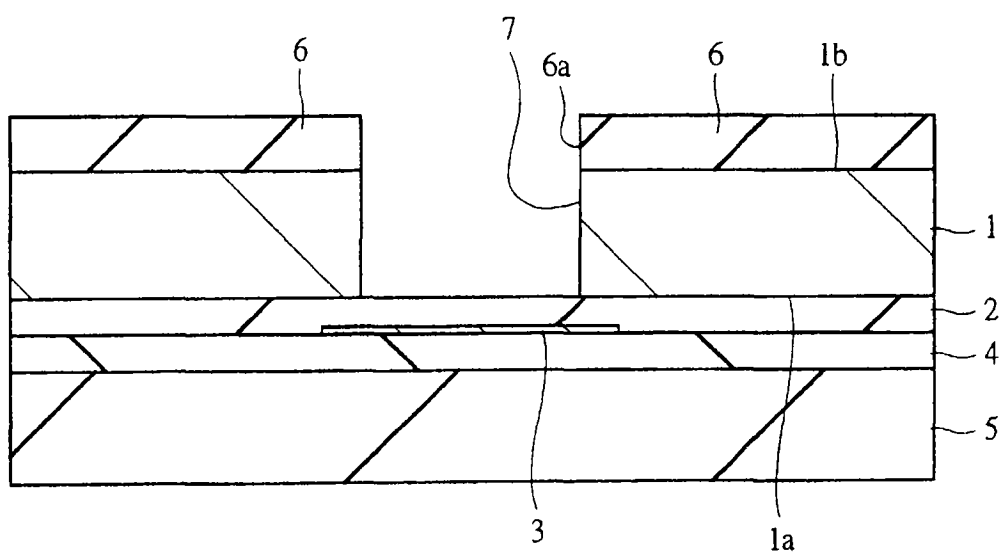


图 7

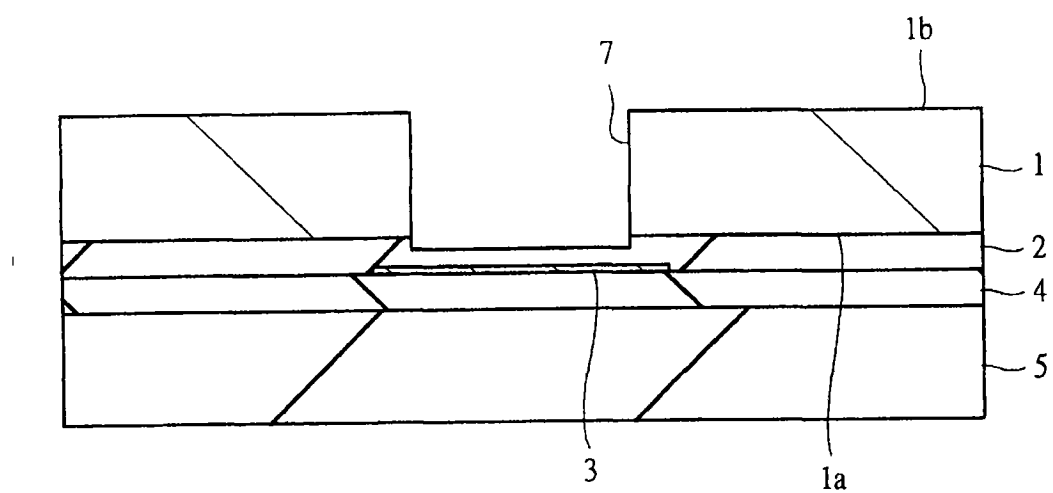


图 8

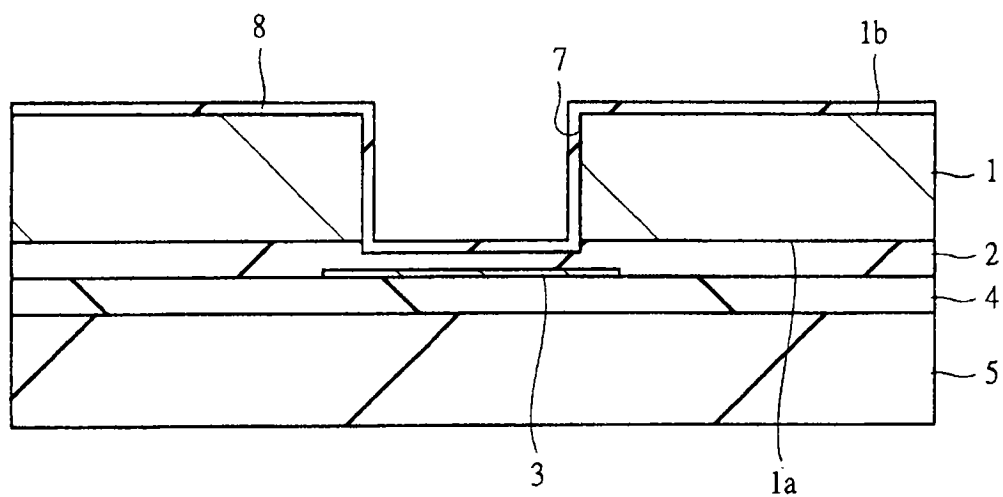


图 9

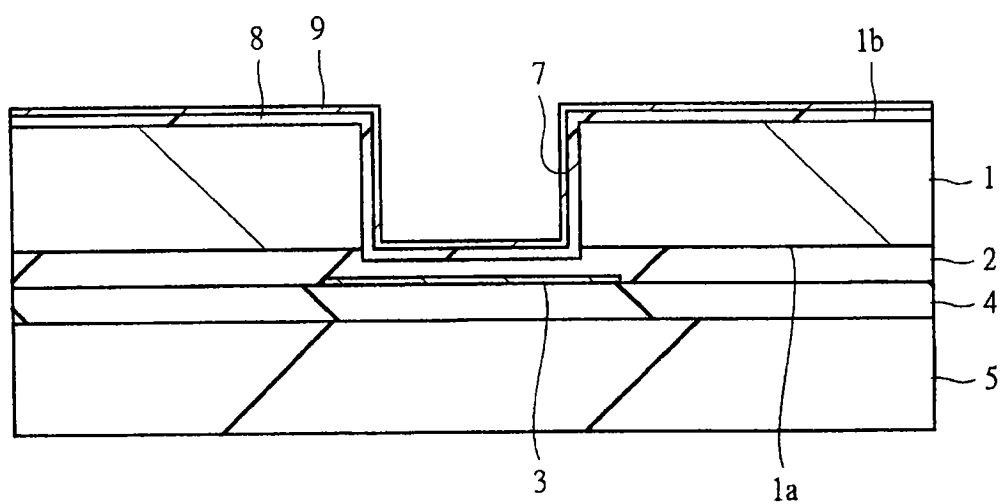


图 10

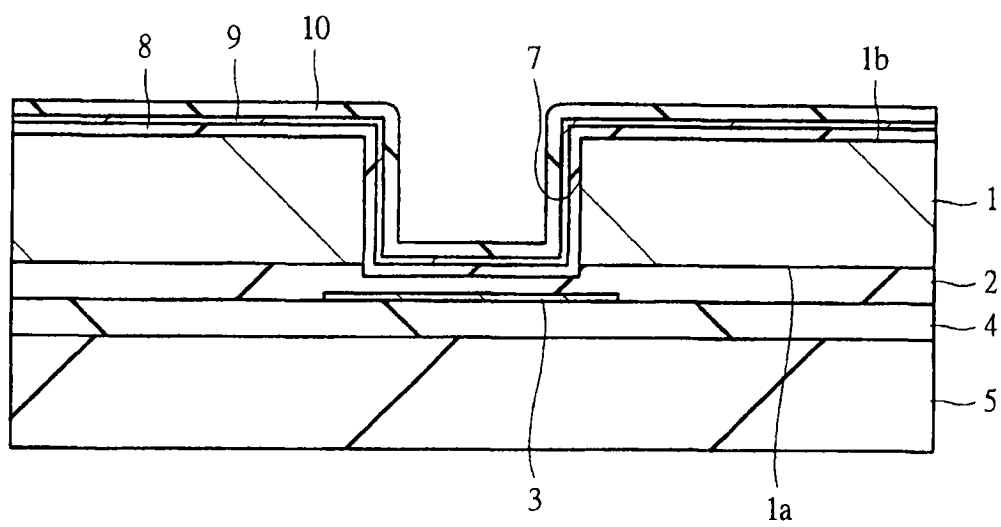


图 11

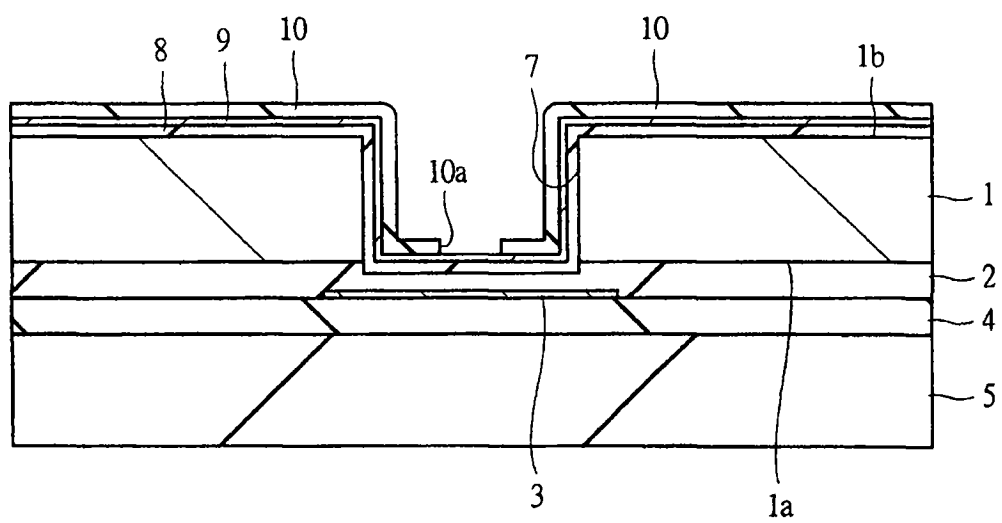


图 12

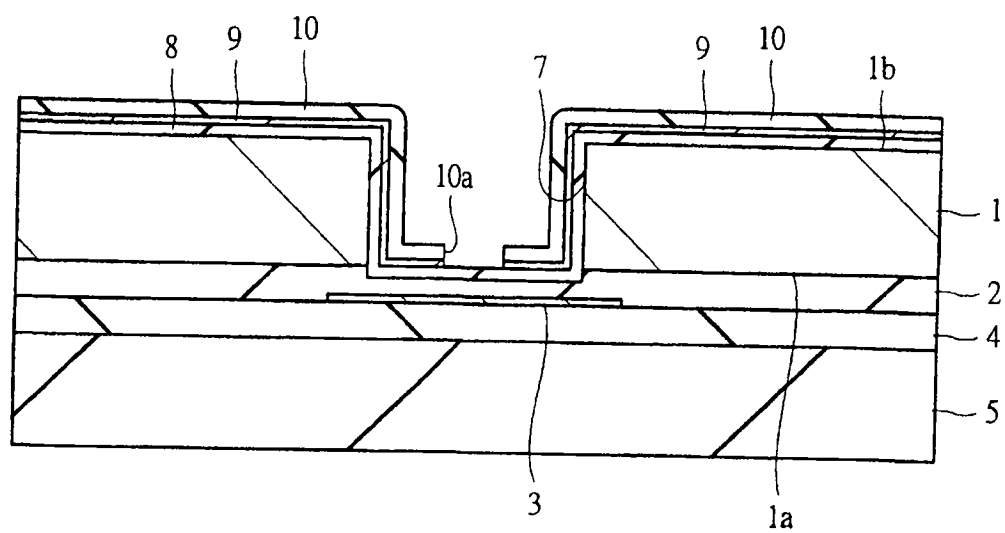


图 13

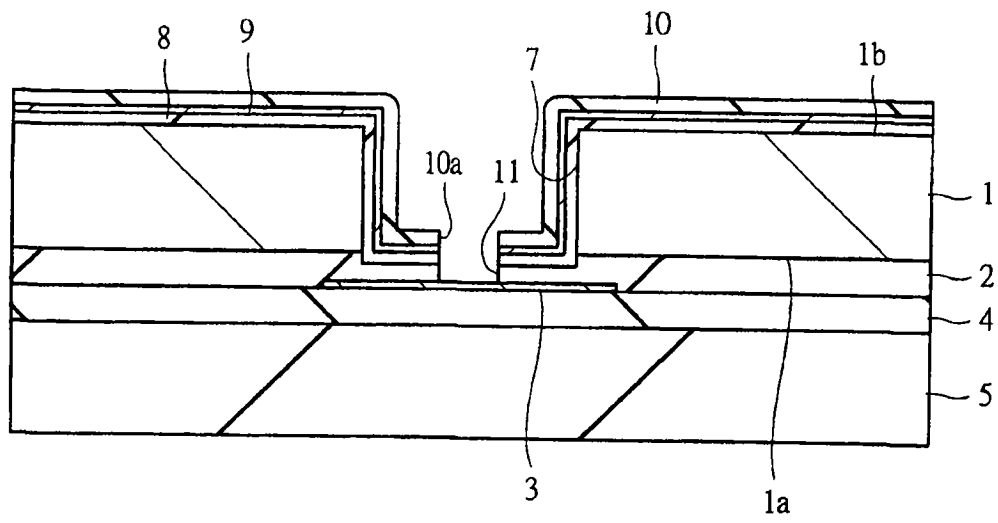


图 14

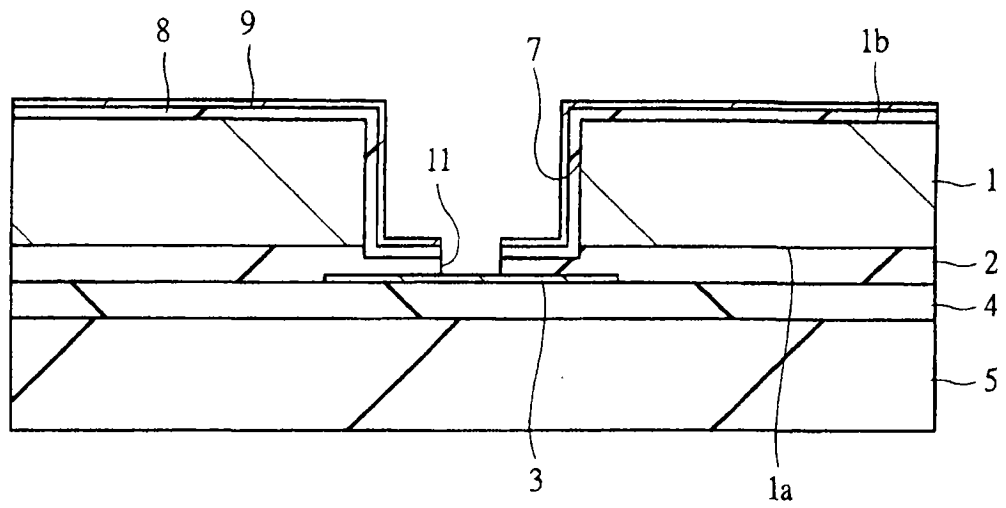


图 15

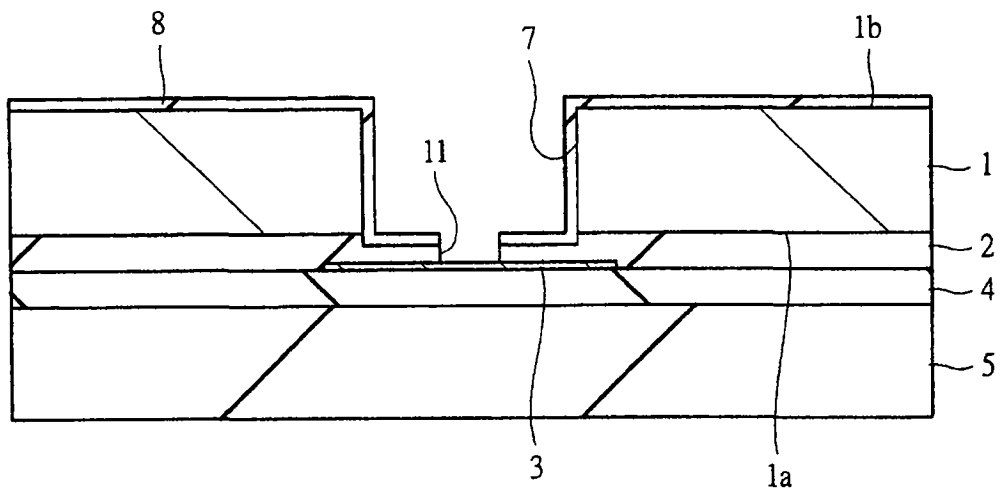


图 16

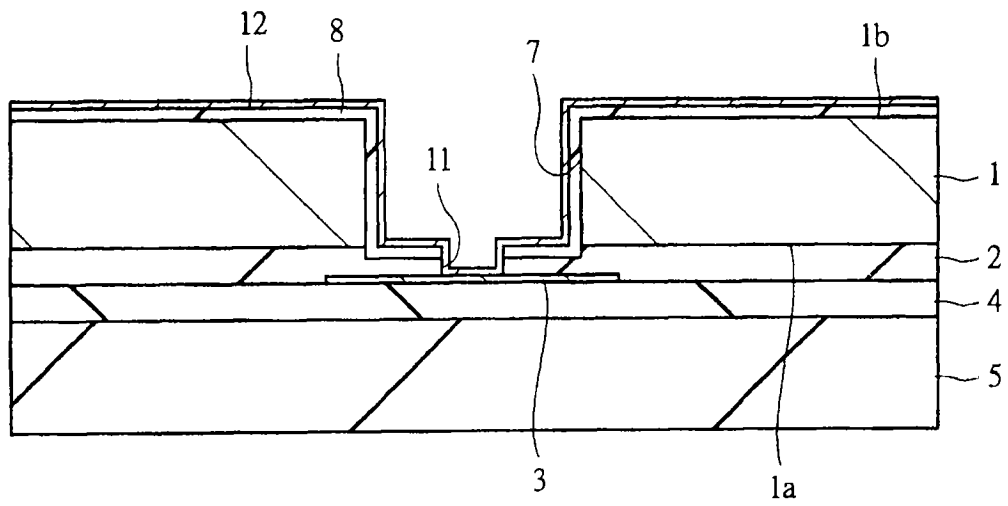


图 17

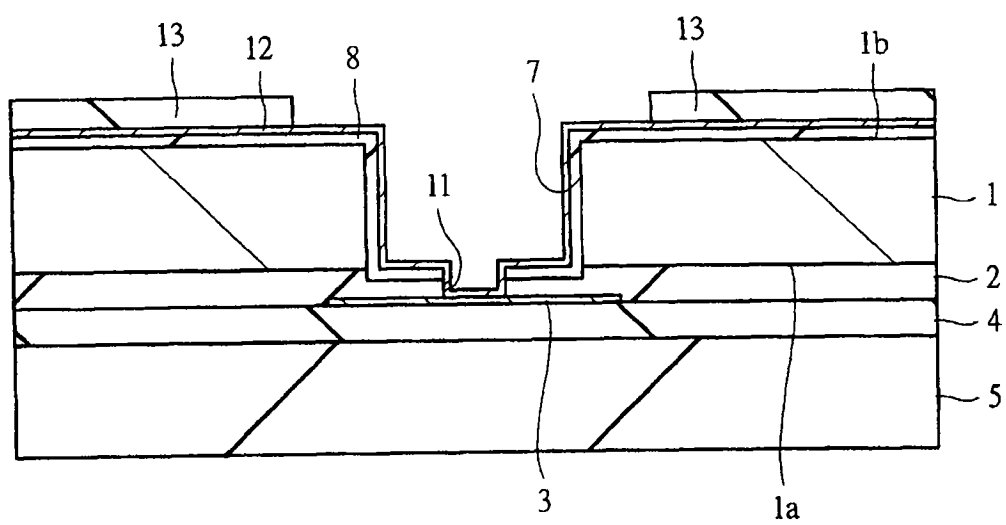


图 18

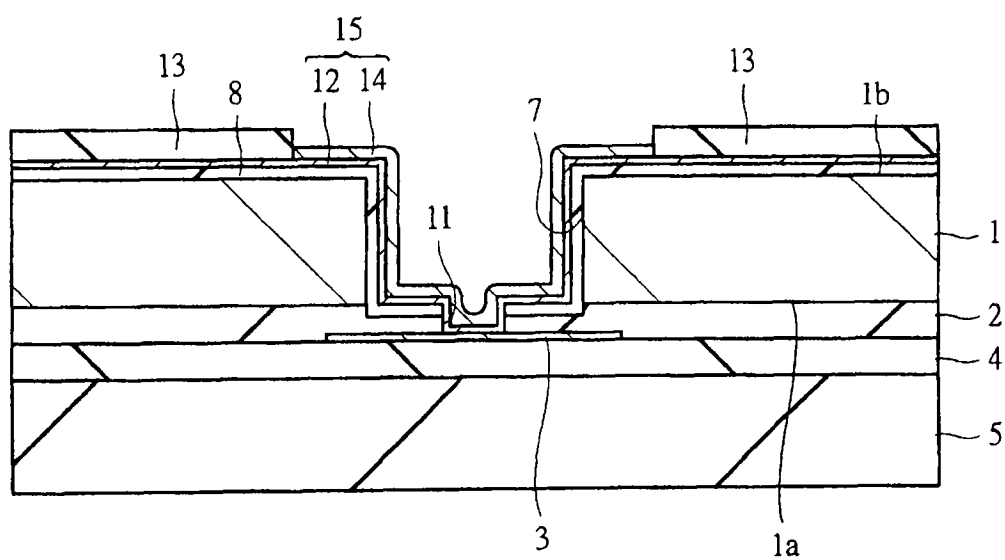


图 19

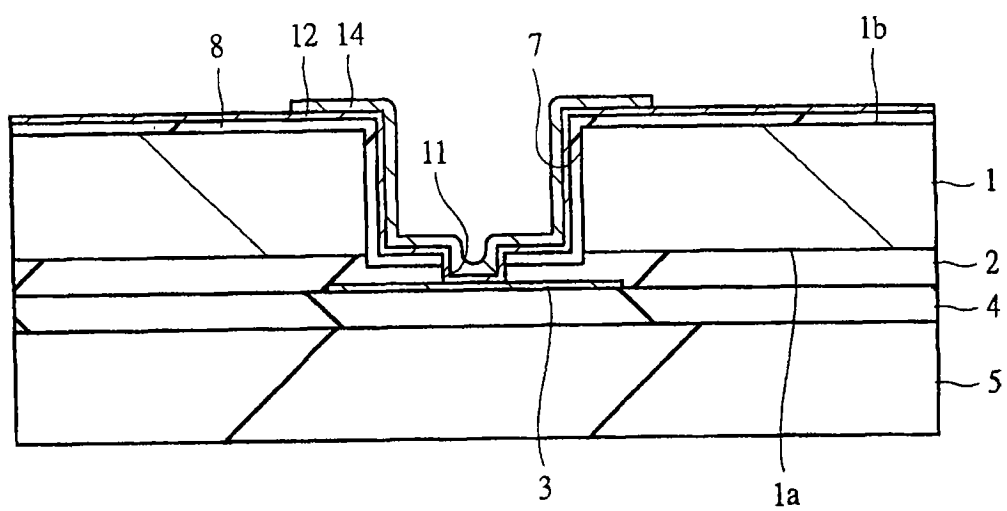


图 20

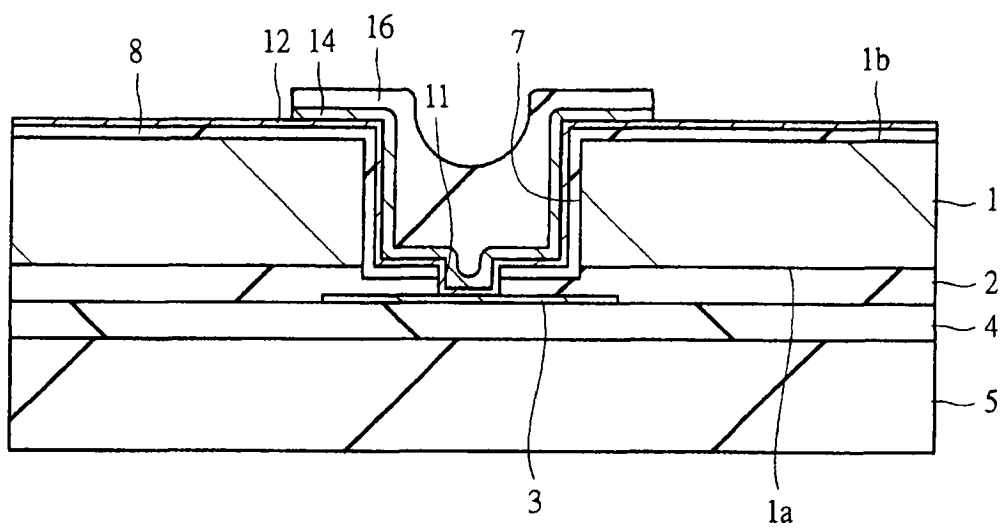


图 21

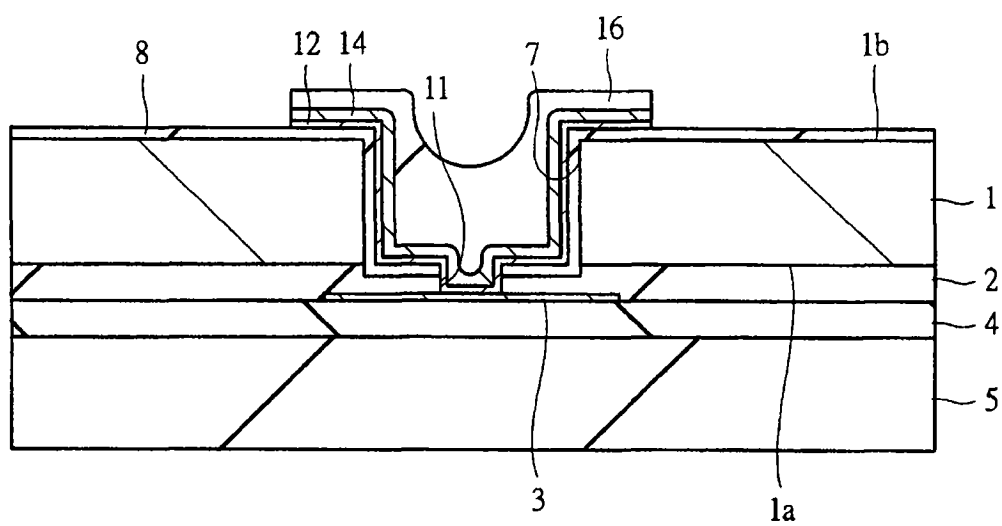


图 22

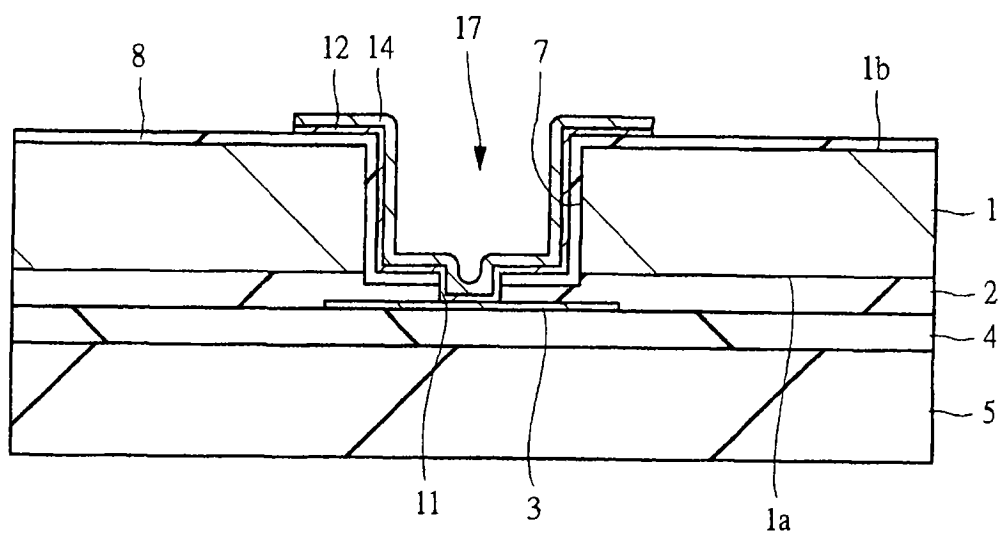


图 23

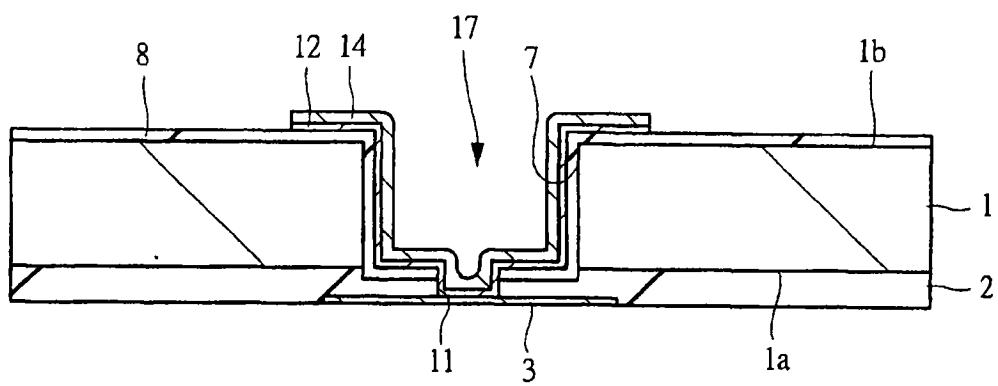


图 24

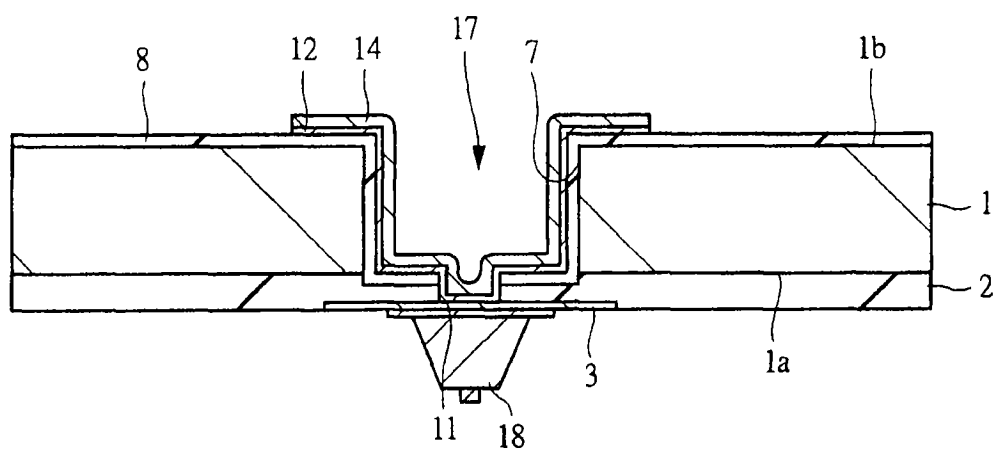


图 25

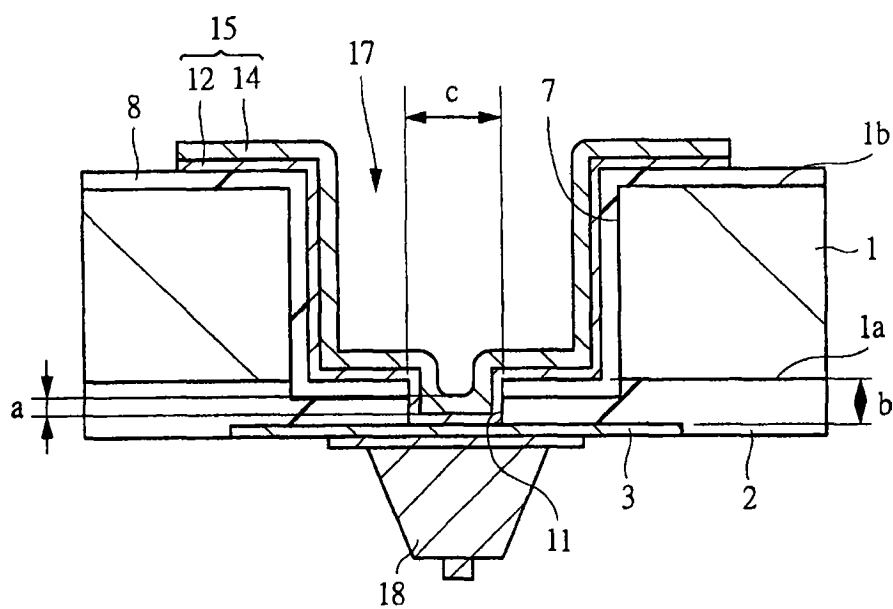


图 26

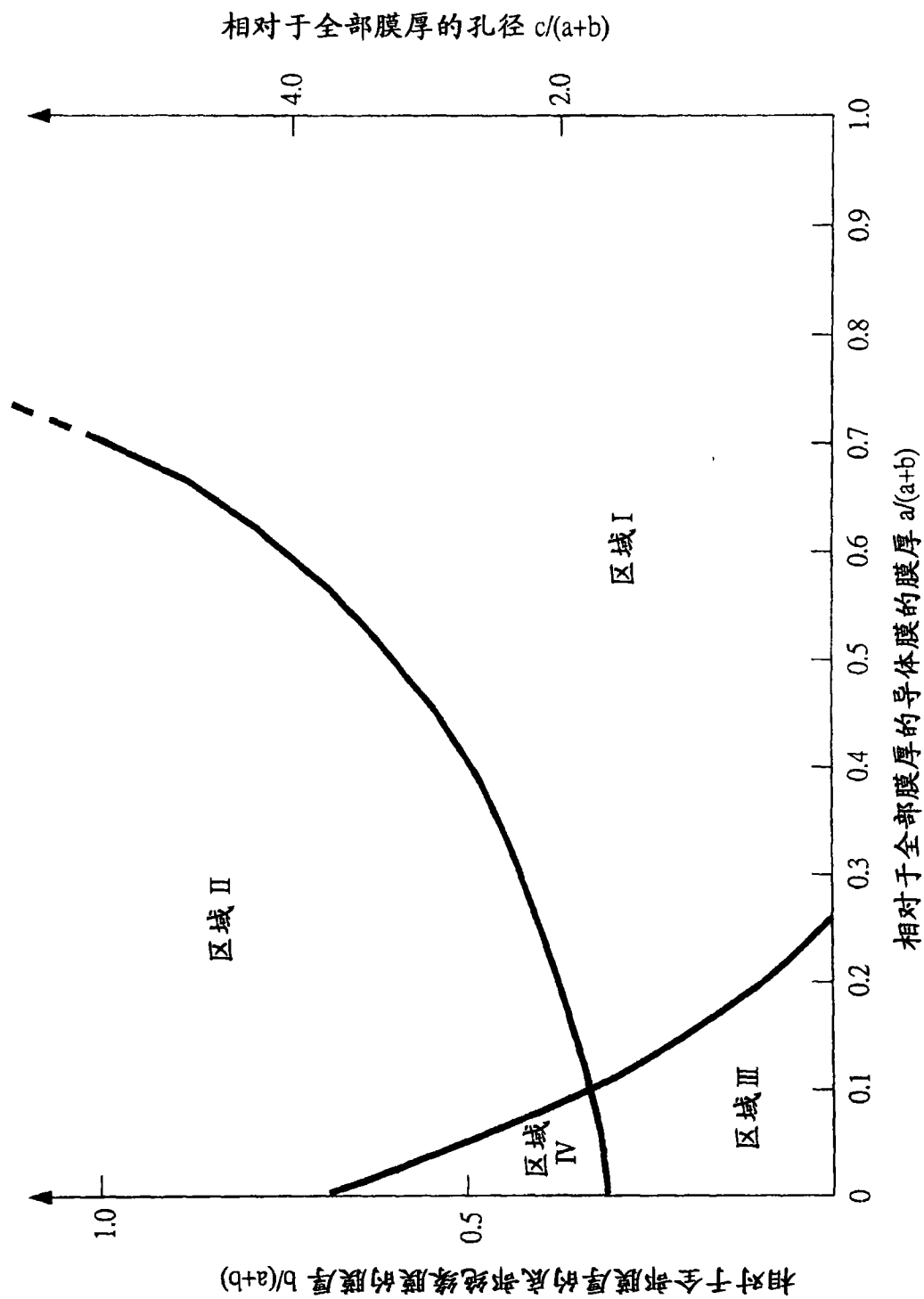


图 27

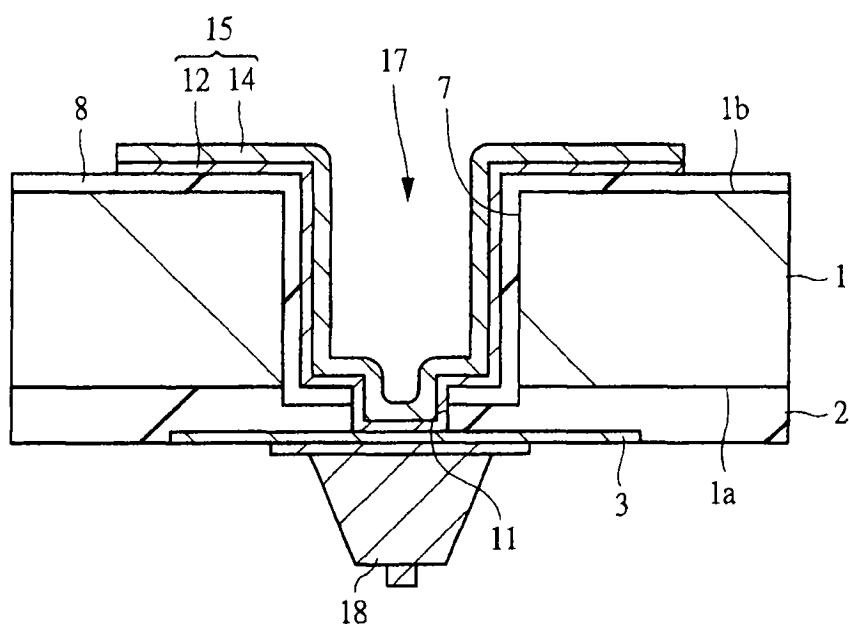


图 28

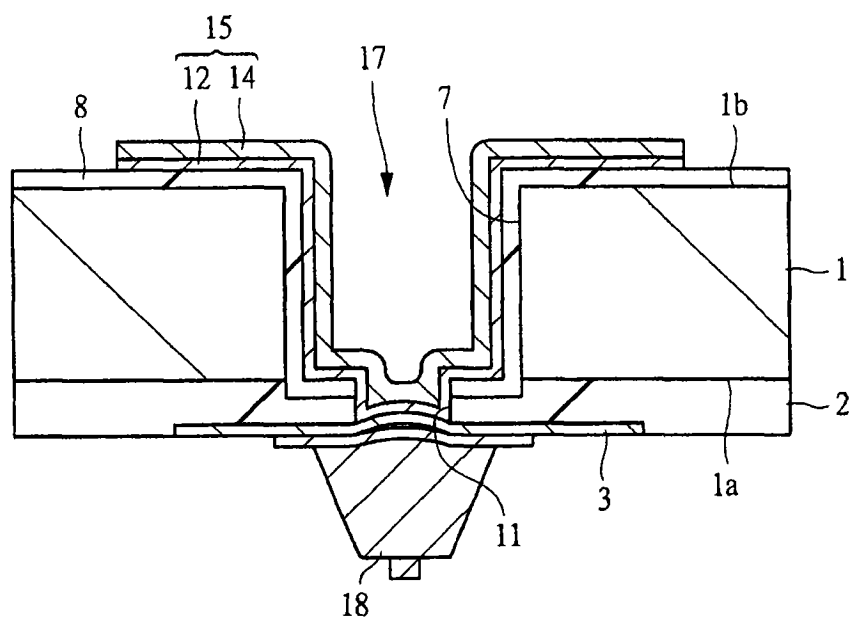


图 29

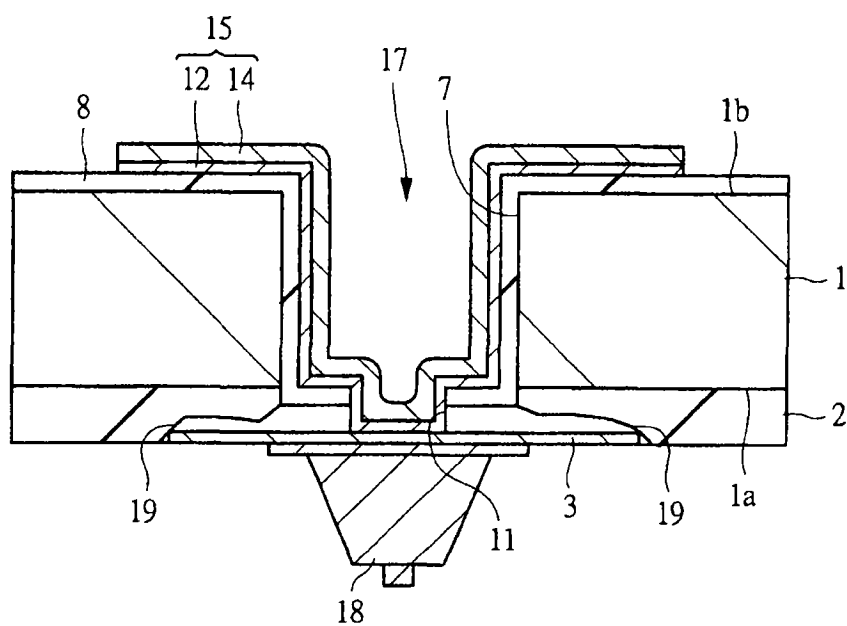


图 30

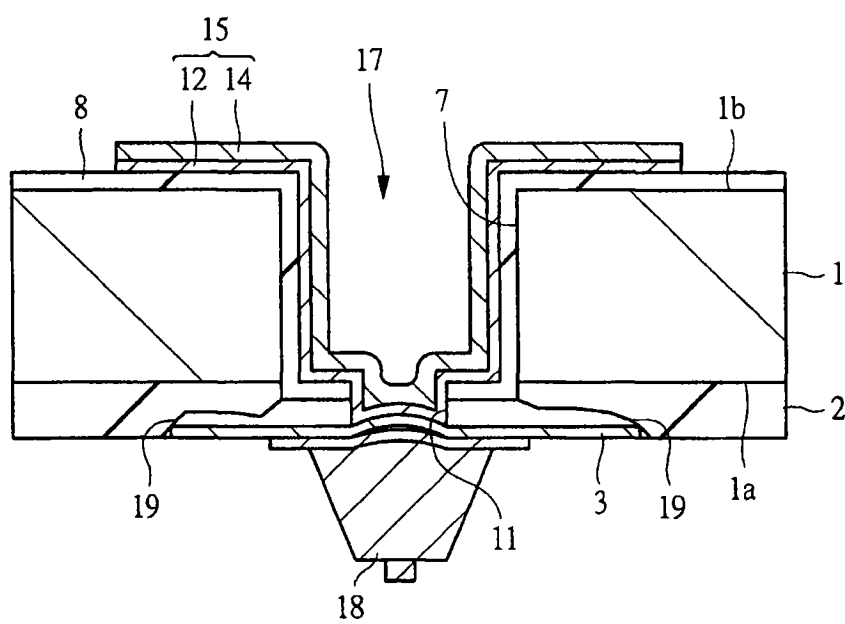


图 31

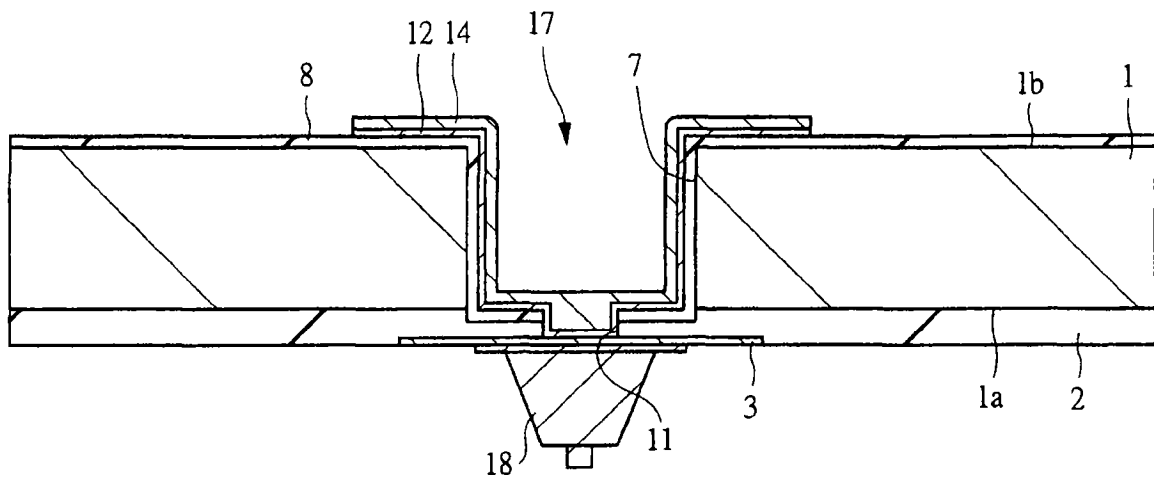


图 32

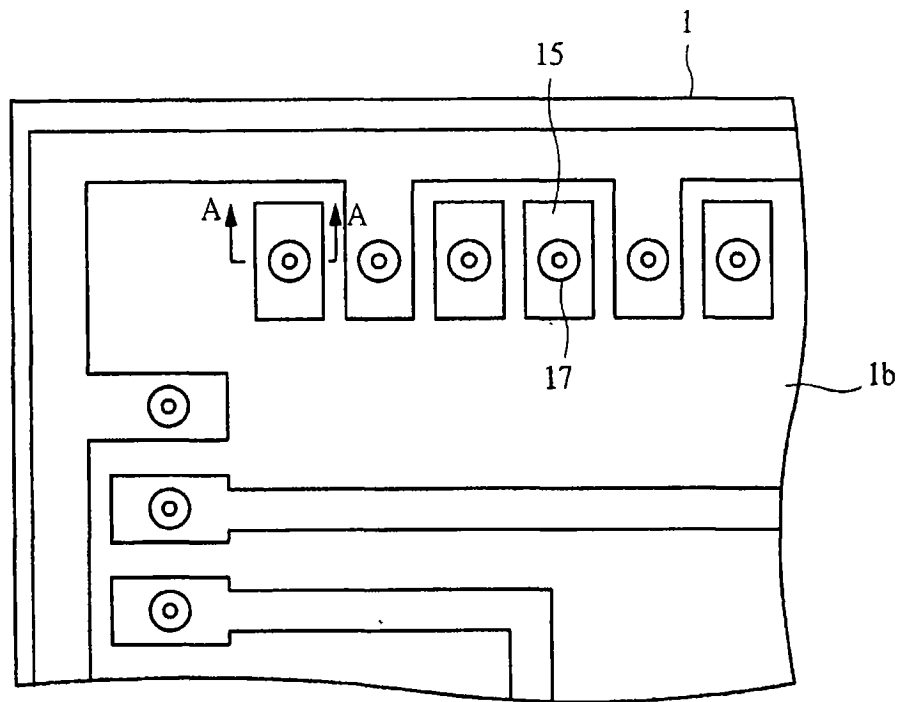


图 33

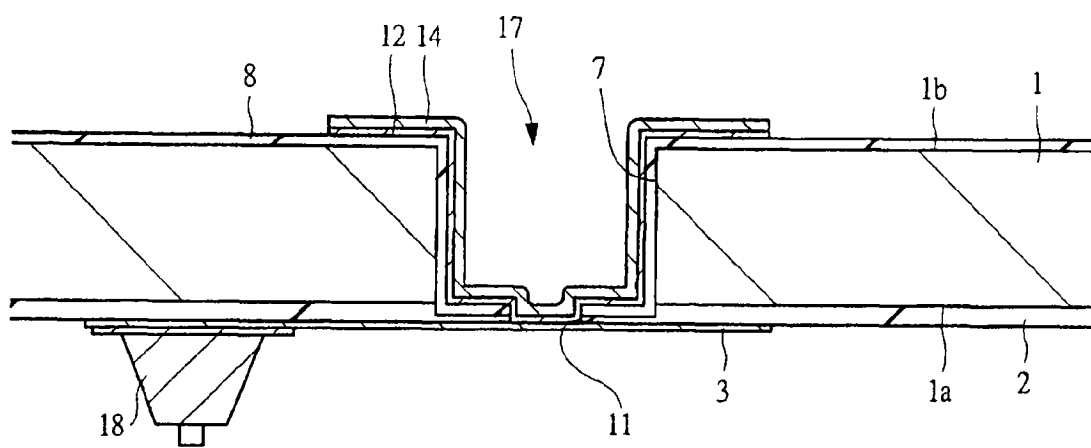


图 34

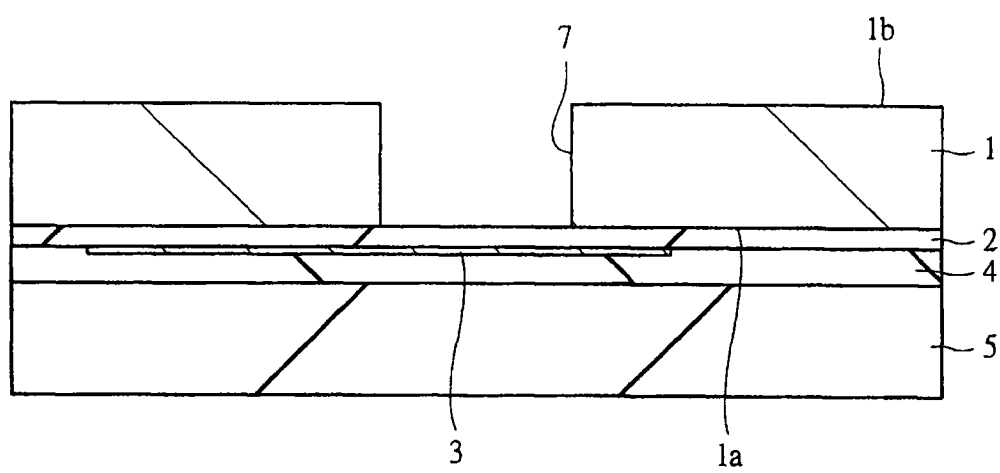


图 35

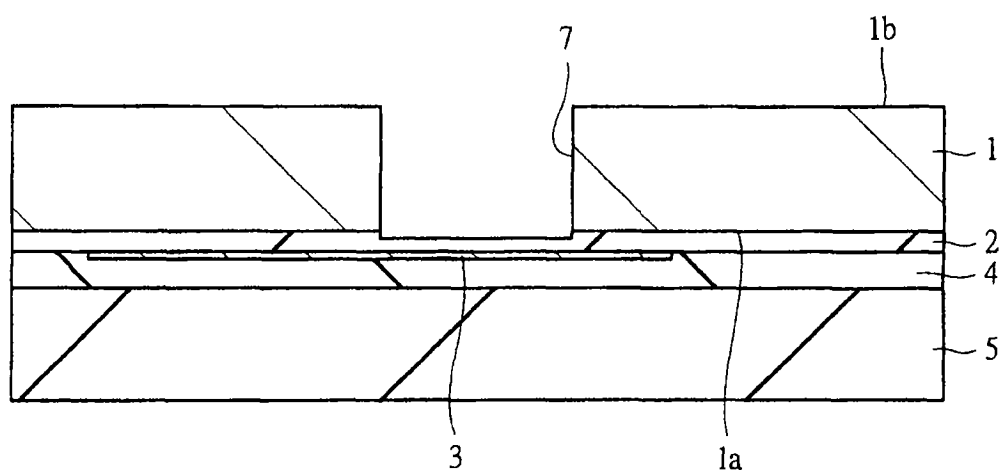


图 36

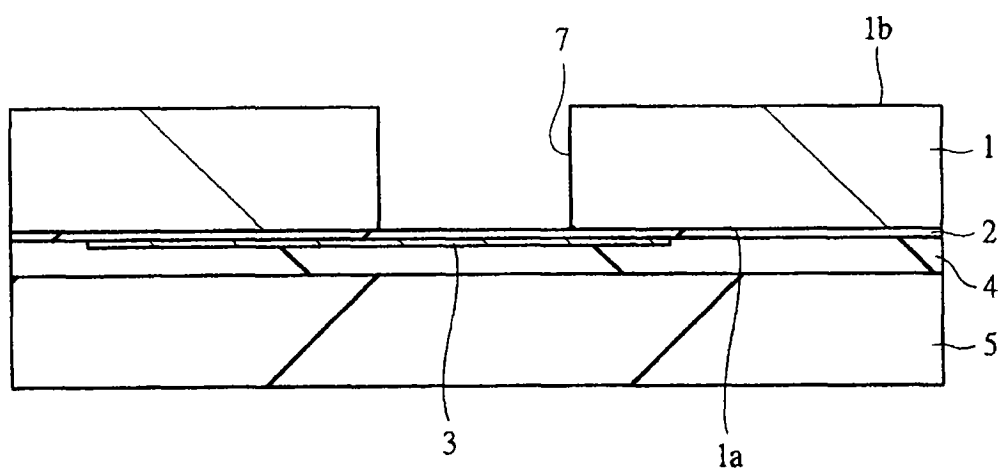


图 37

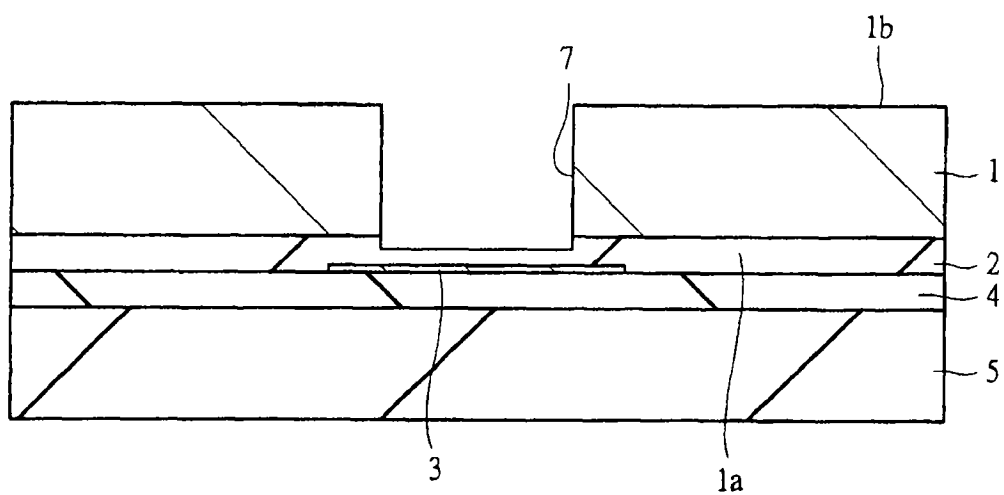


图 38

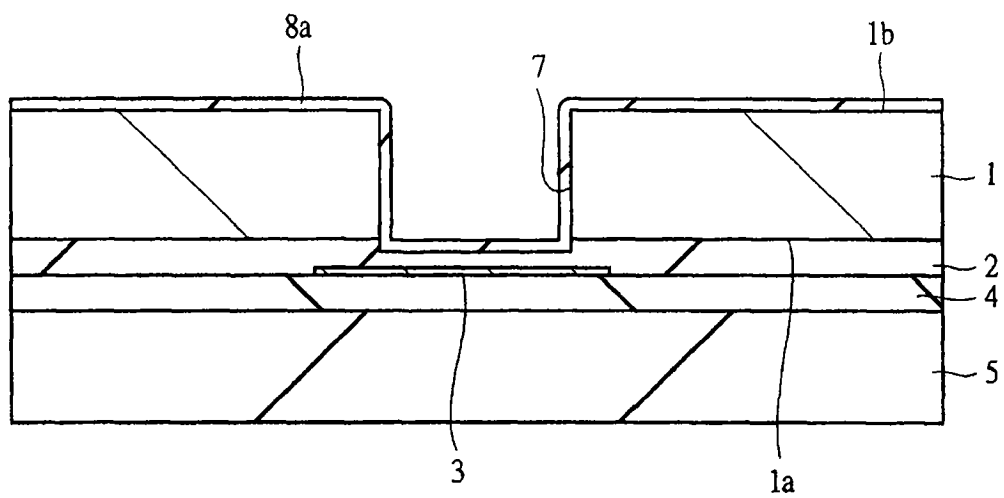


图 39

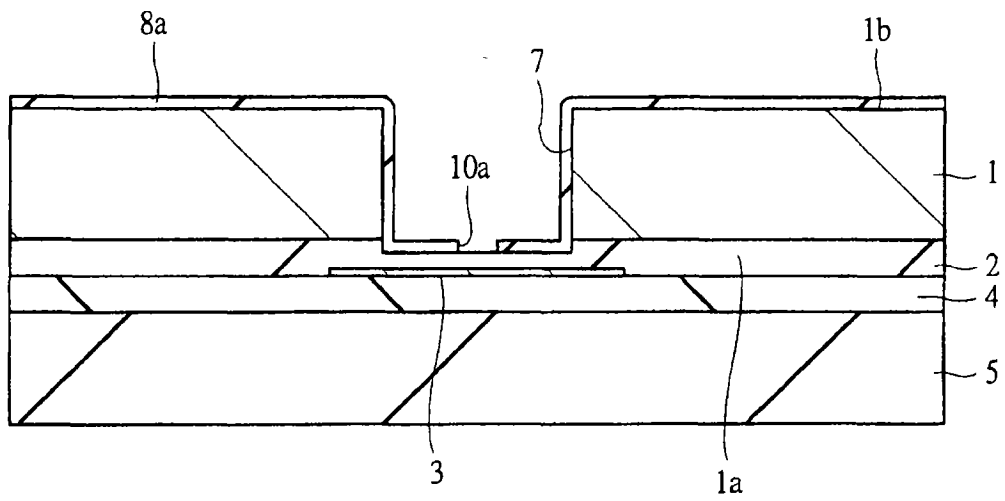


图 40

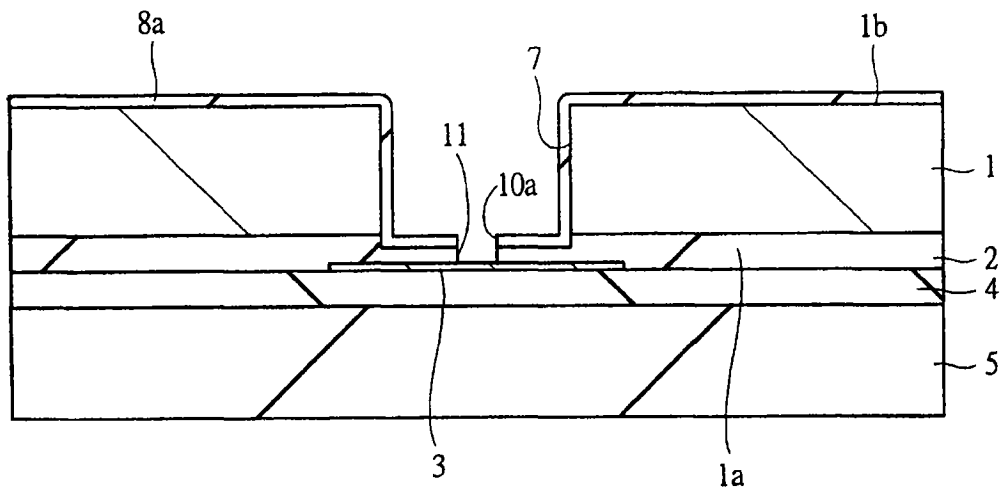


图 41

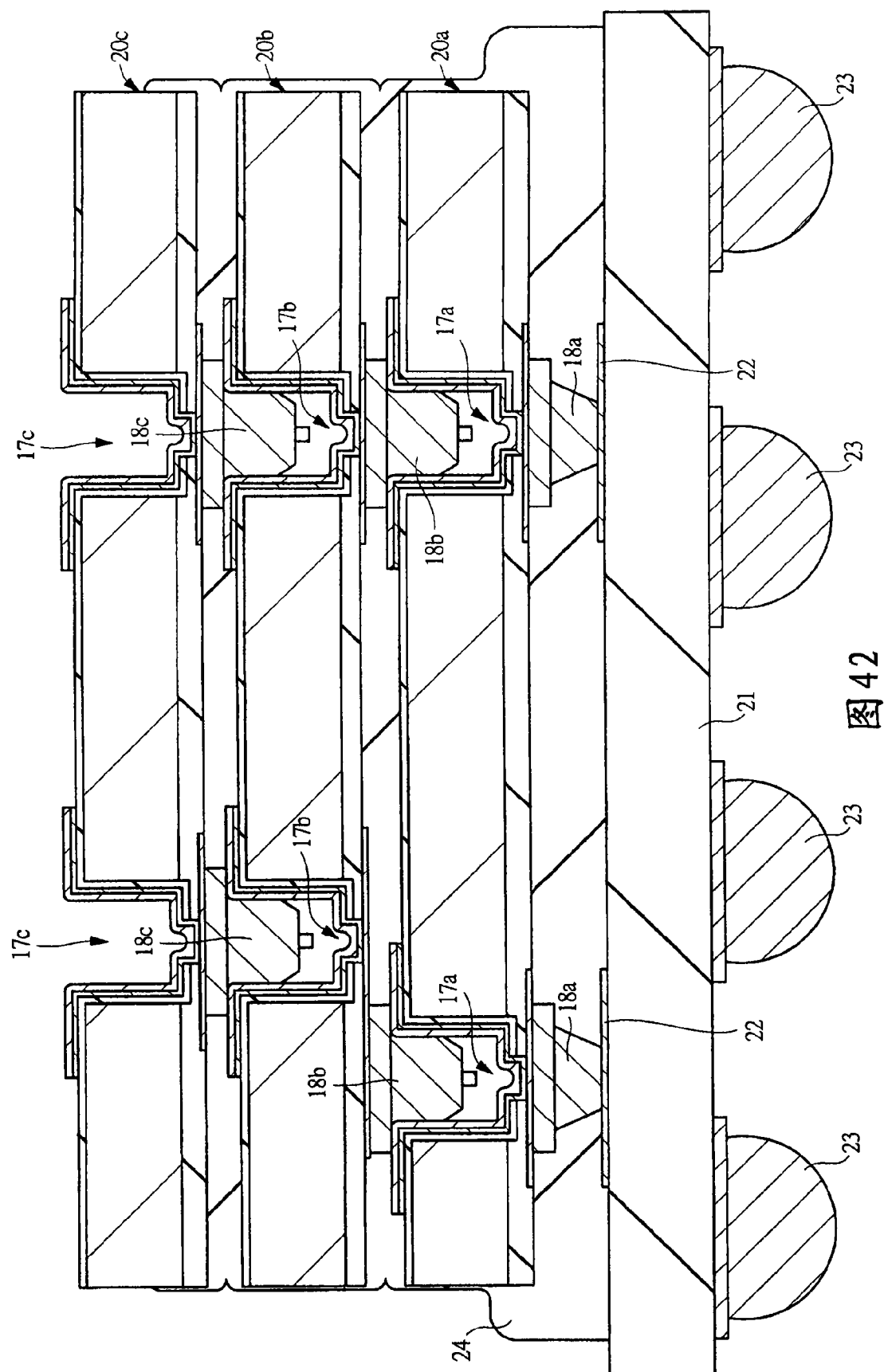


图 42