公告本 I 437013

申請日期	87 年 10 月 20 日
案號	87117351
類別	H01L 21/8242

A4
C4

437013

（以上各欄由本局填註）

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	半導體記憶裝置及其製造方法
	英文	
二、發明 ~~創作~~ 人	姓名	(1) 山口憲 (2) 木村紳一郎 (3) 堀內勝忠
	國籍	(1) 日本　(2) 日本　(3) 日本
	住、居所	(1) 日本國東京都府中市本町二－二〇－一五－一〇二 (2) 日本國東京都國立市谷保六二〇〇 (3) 日本國東京都小金井市貫井南町五－一三－七
三、申請人	姓名（名稱）	(1) 日立製作所股份有限公司 株式会社日立製作所
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國東京都千代田區神田駿河台四丁目六番地
	代表人姓名	(1) 金井務

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

437013

申請日期	87 年 10 月 20 日
案號	87117351
類別	

A4
C4

（以上各欄由本局填註）

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	
	英文	
二、發明 ~~創作~~ 人	姓名	⑷ 手嶋達也
	國籍	⑷ 日本
	住、居所	⑷ 日本國神奈川縣相模原市上鶴間二八六二－三－二〇二
三、申請人	姓名（名稱）	
	國籍	
	住、居所（事務所）	
	代表人姓名	

裝 訂 線

經濟部中央標準局員工消費合作社印製

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
日本	1997 年 11 月 4 日	9-301559	☑有主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（1）

本發明係有關一種半導體記憶裝置及其製造方法，詳細是有關特別適於微細且記憶保持時間長的動態（ＲＡＭ）隨機接達記憶器（Dynamic Random Access Memory；以下稱ＤＲＡＭ）之半導體記憶裝置及容易形成此種半導體記憶裝置之半導體記憶裝置之製造方法。

習知，於三年中實現提高四倍的集成度；現在集成度已完成１６Ｍ位元及６４Ｍ位元的ＤＲＡＭ的量產，更計畫將集成度做Ｇ位元的ＤＲＡＭ量產；此種高集成化，是將元件的平面尺寸和深度尺寸利用微細化達成的；但是，起因於隨著微細化可儲存的電荷量減少的訊號對雜訊（ＳＮ）比的降低，或α線入射的訊號反轉等障礙明顯化，可靠性的維持成爲一大課題。

因此，強烈的希望能增加儲存容量之記憶格，譬如於日本特開昭第５３－１０８３９２號（特公昭第６１－５５５２８號）係記載著第１５圖所示的構造；該構造的記憶格，是期待將電荷儲存電容器的一部分做成被稱爲具有堆疊在開關用電晶體或元件分離絕膜上的構造的積層容量型格（ＳＴＣ格：Stacked capacitor cell）之記憶格，取代習知的平面型電容器格。

於第１５圖中，符號分別表示２.１是半導體基板，２.２是元件間分離絕緣膜，２.３是開關用電晶體的通道部分，２.４，２.５是雜質擴散層，２.６是閘絕緣膜，２.７是成爲開關用電晶體的閘電極之字元線，２.９位元線，２.１０，２.１４是層間絕緣膜，２.１１是電荷儲存電容

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（2）

器的下部電極，2.12是電荷儲存電容器之感應體膜，2.13是電荷儲存電容器的屏極電極（上部電極），2.15是配線用金屬；位元線2.9是介於拉出電極2.8而與雜質擴散層2.4導電連接，下部電極2.11是與雜質擴散層2.5導電連接。

由於第15圖所示的上述習知STC格能將電荷儲存電容器的下部電極2.11延設到字元線2.7的上方，因此具有遠比僅以半導體基板的表面爲電荷儲存電容器來利用的平面型電容器格，實現大儲存容量之特長。

又，第15圖所示的STC格是經以下過程所製造的；首先，爲了各別在單結晶矽的半導體基板2.1上電氣分離元件，使較厚（膜厚100～10000nm左右）的氧化矽膜用周知的熱氧化法來成長，形成元件間分離絕緣膜2.2；接著，使開關用電晶體的閘絕緣膜2.6（膜厚5～50nm）用周知的熱氧化法來成長；摻入雜質形成多結晶矽膜，用周知的光蝕刻法與乾蝕刻法做成所定形狀加工來形成字元線2.7；以該字元線2.7爲掩模，將所謂半導體基板2.1以周知的離子植入法來導入導電型不同的雜質，進行所定的熱處理使摻入的上述雜質活性化，形成雜質擴散層2.4，2.5。

接著，以接觸上述雜質擴散層2.5，將同一導電型的多結晶矽膜用周知的CVD（Chemical Vaper Deposition）法來形成，將不要的部分利用蝕刻法除去，形成電荷儲存電容器的下部電極2.11；由第15圖可知，上述下部電

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（3）

極2.11也是延設在字元線2.7或元件間分離絕緣膜2.2上所形成的，因此電荷儲存電容器的下部電極2.11的面積極大，其結果，得以變大儲存的電荷量。

但是，上述習知的STC格具有如以下的問題必須解決。

即，針對使裝置的動作速度與記憶格配置的面密度兩者提高的要求，進行平面尺寸的微細化，字元線2.7的幅度是在10M位元級的記憶裝置爲0.1～0.2μm左右。

但爲了實現高速化，一旦將上述構造中的平面尺寸微細化，就會發生所謂的衝穿現象，難以得到良好的裝置特性；因此，通常是進行與平面尺寸一同將接合深度變淺，接合深度爲0.1μm左右；爲了實現此種淺接合深度，將對半導體基板2.1進行離子植入後的雜質活性化的熱處理，以低溫且短時間來進行。

但只要進行此種低溫且短時間的熱處理，在對半導體基板2.1做雜質擴散之際重新產生導電缺失，發生所謂的深度陷阱的問題；其結果，導電型互不相同的半導體間的pn接合的泄放電流會增加，難以保持所定的記憶保持時間；其結果，就算利用STC格來增大荷儲存電容器的面積，由於藉著從與下部電極2.11導電連接的雜質擴散層2.5開始增加泄放電流，促進儲存電荷的放電，而難以形成淺接合，元件構造的微細化有一定限度。

本發明之目的係提供一解決習知具有的上述問題，將泄放電流變得極小，記憶保持時間夠長的微細的半導體記

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（4）

憶裝置及容易形成此種半導體記憶裝置的半導體記憶裝置之製造方法。

爲達成上述目的本發明之半導體記憶裝置，其特徵爲：具有形成在半導基板的複數個活性範圍、和被形成在該活性範圍之ＭＯＳ電晶體、和互相電分離被形成在鄰接的上述活性範圍間的上述活性範圍之分離絕緣膜、和與具有被形成在上述活性範圍的表面範圍內的上述半導體基板相反的導電型之上述ＭＯＳ電晶體的一對擴散層的一邊導電連接，延設在上述活性範圍及分離絕緣膜上方的電荷儲存電容器之下部電極、和積層在該下部電極上所形成的上述電荷儲存電容器的感應體膜及上部電極、和在上述分離絕緣膜內的緣部介於絕緣膜與上述半導體基板相對配置之導電性膜，上述下部電極的下端部是與上述導電性膜的上端部導電連接。

使上述的泄放電流增大的深度陷阱，只要從半導體基板表面導入雜質，利用得到微細構造進行低溫、短時間的熱處理過程來誘發的；因爲該深度陷阱於發生在空乏層中的情形下會發生大泄放電流，所以就算深度陷阱被誘發，深度陷阱發生的位置只在空乏層之外，不會引起泄放電流增大。

將說明本發明原理的圖表示在第２圖；第２圖（ａ）係第１５圖中以虛線Ｉ表示的部分之放大圖，同一元件附上同一符號；按本發明人等的檢討，（１）低溫，上述的深度陷阱會集中發生在雜質擴散層２.５中，特別是在與元

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（5）

件間分離絕緣膜２.２的界面近傍範圍Ａ，（２）上述範圍Ａ的一部分是將冶金式的ｐｎ接合Ｃ與形成在中心的空乏層Ｂ重疊判明泄放電流增大的要因。

本發明之半導體記憶裝置，如第１圖所示，在元件間分離絕緣膜１.２的端部埋入導電性膜１.１１′，與電荷儲存電容器的下部電極１.１１導電連接；導電性膜１.１１′是作爲電荷儲存容量的下部電極１.１１的下端部作用，電荷儲存容量的下部電極１·１１的一部分是與被埋入元件間分離絕緣膜１.２相同的構造。

第２圖（ｂ）係第１圖中以虛線ＩＩ表示的部分之放大圖，同一元件附上同一符號；被埋入的上述導電性膜１.１１′是介於薄絕緣膜１.２與半導體基板１.１互相相對，被埋入的上述導電性膜１.１１′是作爲閘電極作用，在上述薄絕緣膜１.２與半導體基板１.１的界面形成反轉層；藉由形成該反轉層，在薄絕緣膜１.２與半導體基板１.１的界面近傍，空乏層Ｂ'是被形成在比第２圖（ａ）的空乏層Ｂ更下側；即，將實際形成的空乏層Ｂ'的位置，控制成與以冶金式ｐｎ接合Ｃ爲中心的寬廣的空乏層Ｂ的位置獨立；因而，只要利用對上述下部電極１.１１外加的電壓，將集中在上述範圍Ａ所發生的深度陷阱控制不進入空乏層Ｂ'，就能有效防止因上述深度陷阱發生泄放電流。

將按本發明之效果，利用計算機模擬所確認的結果表示在第１４圖；各別表示對應本發明之ｐｎ接合的逆偏壓電流－電壓特性爲曲線Ａ，對應習知的ｐｎ接合之逆偏電

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（6）

流－電壓特性爲曲線B；由曲線B可知，習知構造，以某電壓值爲限，逆偏壓泄放電流是急速上昇；即，顯示儘管藉由採用ＳＴＣ格構造還是會增大儲存電荷量，增大逆偏壓泄放電流，藉此，被儲藏在電荷儲存電容器的電荷會在短時間放電；對此，按本發明的構造，如曲線A所示，逆偏壓泄放電流經常被控制在低值，可知放電時間比習知構造長一位以上。

利用被埋入的導電性膜１１１´來控制空乏層的位置，最好上述薄絕緣膜的膜厚是在所定的範圍內，只要用膜厚３ｎｍ以上５０ｎｍ以下的氧化矽膜，就可得到實用上理想的結果。

又，上述分離絕緣膜最好是被形成在形成於鄰接的上述活性範圍間的上述半導體基板的溝內，此時，容易形成與上述下部電極導電連接的導電性膜。

在上述ＭＯＳ電晶體的其中一邊的雜質擴散層上介於拉出電極形成位元線，上述下部電極是從上述ＭＯＳ電晶體的另一邊的雜質擴散層延設於被形成在上述位元線上的層間絕緣膜上所形成的，藉此，形成上述ＳＴＣ格。

又，在上述下部電極的所定部分形成凹部，利用將上述感應體膜沿著上述下部電極的上面及上述凹部的內面來連接形成的情況下，增大電容器的電極面積，使得被儲存的電荷量明顯的增大。

與上述下部電極導電連接的導電性膜，是使用從多結晶矽、鎢矽化物及鉬矽化物製的群被適當選擇的材料之膜

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

。

如此本發明之半導體記憶裝置乃利用包括在半導體基板的所定範圍形成溝之過程、和整面形成絕緣膜之過程、和上述絕緣膜中，於被形成在上述溝側面上的部分上選擇性的形成導電性膜之過程、和將上述溝內利用第2絕緣膜來填充形成分離範圍之過程、和在該分離範圍以外的上述半導體基板的所預期範圍的表面形成ＭＯＳ電晶體之過程、和與具有該ＭＯＳ電晶體的上述半導體基板相反與具有導電型的一對擴散層的一邊及上述導電性膜導電連接，形成朝上述ＭＯＳ電晶體及分離範圍上方的電荷儲存電容器的下部電極之過程、和在該下部電極上積層上述電荷儲存電容的感應體膜及上部電極所形成之過程爲特徵之半導體記憶裝置之製造方法就能很容易的製造。

只要將整面形成上述絕緣膜的過程，利用熱氧化上述半導體基板露出的表面來進行，就能得到膜質極優的氧化矽膜；又，選擇性形成上述導電性膜的過程，只要在整面形成上述導電性膜之後，進行向異性蝕刻法，就能將上述導電性膜只選擇性的殘留在溝側面上的絕緣膜上。

上述導電性膜雖能使用各種材料之膜，但實用上最便利的是利用化學氣相成長法所形成的多結晶矽膜。

〔本發明之最佳實施形態〕

將本發明之實施例用圖面做說明。

第1圖係本發明之記憶格之斷面圖；於第1圖中，符

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（8）

號分別表示1.1是半導體基板，1.2是元件間分離絕緣膜，1.3是開關用電晶體的通道部分，1.4，1.5是雜質擴散層，1.6是閘絕緣膜，1.7是成爲開關用電晶體的閘電極之字元線，1.9位元線，1.10，1.14是層間絕緣膜，1.11是電荷儲存電容器的下部電極，1.12是電荷儲存電容器之感應體膜，1.13是電荷儲存電容器的屏極電極（上部電極），1.15是配線用金屬；位元線1.9是介於拉出電極1.8而與雜質擴散層1.4導電連接，下部電極1.11是與雜質擴散層1.5導電連接；本發明特徵乃在於元件間分離絕緣膜1.2的端部，埋入與電荷儲存電容器的下部電極1.11導電連接的導電性膜1.11'，有關的導電性膜1.11'是介於薄絕緣膜1.2與半導體基板1.1相對之點；藉由有關的構成，如前所述，就能將集中在雜質擴散層1.5內的元件間分離絕緣膜1.2的界面近傍所發生的深度陷阱做在空乏層外，防止發生泄放電流；再者，於第1圖中，導電性膜1.11'雖是被埋到元件間分離絕緣膜的底部近傍，但只要起碼埋到接合深度就足以達成防泄放電流的效果。

如第1圖所示，可在上述元件間分離絕緣膜1.2上配置字元線1.7，各字元線1.7係利用氮化矽膜1.21覆蓋且保護的同時與拉出電極1.8及下部電極1.11絕緣；被連接在MOS電晶體的雜質擴散層1.4的拉出電極1.8係利用多結晶矽形成的，位元線1.9係利用譬如多結晶矽膜與鎢矽化物等的各種矽化物膜的積層膜形成的。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（9）

電荷儲存電容器的下部電極1.11係將位元線1.9利用以氧化矽膜製成的層間絕緣膜1.10覆蓋後，將表面平坦化，進行周知的反應性離子蝕刻來形成露出雜質擴散層1.5及導電性膜1.11上部之開口部，更利用在形成多結晶矽膜後圖案化所預期的形狀形成的；不必說該多結晶矽膜一定是摻入多量n型雜質，而爲極低阻抗。

元件間分離絕緣膜1.2只要不埋入氧化膜，就可以是利用周知的ＬＯＣＯＳ的元件間分離，但將溝利用絕緣膜所埋入的構造實用上很容易形成。

再者，本發明如上所述，採用介於薄絕緣膜與半導體基板互對的被配置在元件間分離絕緣內的導電性膜，來控制半導體基板內的空乏層的位置；因而，上述ＳＴＣ構造未受到限定，只要將介於薄絕緣膜而與半導體基板相對配置的導電性膜，導電連接在電荷儲存電容器的下部電極就可，電荷儲存電容器本身的構造可適用在無關的各種半導體記憶裝置。

接著，將本發明之記憶格的製造方法，採用第3～第13圖做說明。

首先，如第3圖所示，採用周知的光蝕刻技術與反應性離子蝕刻，在半導體基板1.1的所定部分形成溝。

接著，如第4圖所示，採用周知的熱氧化法，整面形成閘絕緣膜及成爲元件間分離絕緣膜一部分的薄氧化矽膜1.6。

採用周知的ＣＶＤ法，整面形成低阻抗的多結晶矽膜

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（10）

1.11'之後，進行周知的向異性乾蝕刻，如第5圖所示，將上述多結晶矽膜1.11'只殘留在上述溝的側面上，其他部分則去掉。

利用周知的CVD法之形成及採用平坦化手段，將上述溝內利用氧化矽膜1.2來填充，形成第6圖所示的構造。

接著，採用周知的CVD法，積層多結晶矽膜1.7及氮化矽膜1.21形成之後，進行周知的乾蝕刻除去不要的部分，如第7圖所示，形成閘電極1.7。

使用以上述氮化矽膜1.21及閘電極1.7爲掩模，在半導體基板1.1以離子注入高濃度的鏻，更進行所定的熱處理，如第8圖所示，形成MOSFET的雜質擴散層1.4，1.5。

如第9圖所示，將保護上述閘電極1.7的氮化矽膜1.21採用周知的CVD法形成後，採用周知的CVD法整面形成厚度500nm的氧化矽膜1.10，更將所形成的氧化矽膜1.10的所定部分以蝕刻法除去，將被除去的部分利用多結晶矽膜1.8填充；更將由多結晶矽膜以及鎢矽化物膜製成的積層膜採用周知的方法來形成，將不要的部分以蝕刻法除去，如第10圖所示，形成位元線1.9。

整面形成保護上述位元線1.9的氧化矽膜1.10後，將所定部分以蝕刻法除去露出上述雜質擴散層1.5及導電性膜1.11'的表面，形成第11圖所示的構造。

整面形成摻入鏻的膜厚600nm的多結晶矽膜後，

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（11）

如第12圖所示，將所定部分利用蝕刻法除去形成溝，將表面積變大形成電荷儲存電容器的下部電極1.11。

如第13圖所示，形成膜厚10nm的鉭氧化物膜，並形成電荷儲存電容器的感應體膜1.12，更形成鎢矽化物膜，並形成電荷儲存電容器的上部電極1.13；再者，作爲感應體膜1.12，本實施例雖是採用鉭氧化物膜，但也可用矽氮化物。

本實施例所形成的半導體記憶裝置，pn接合的泄放電流小，因而，作爲資料保持時間夠長的記憶裝置能得到良好的特性。

由上述說明可知，按本發明，因可將電氣式pn接合的位置，控制在與冶金式pn接合的位置相異的位置，故可防止深度陷阱進入空乏層內；因此，可實現在數10M至G位元級的DRAM確保必要的記憶保持時間之低泄放記憶格。

〔圖面之簡單說明〕

第1圖係表示本發明之記憶格之斷面面圖；

第2圖係說明本發明原理之圖；

第3圖係說明本發明記憶格製造方法之過程圖；

第4圖係說明本發明記憶格製造方法之過程圖；

第5圖係說明本發明記憶格製造方法之過程圖；

第6圖係說明本發明記憶格製造方法之過程圖；

第7圖係說明本發明記憶格製造方法之過程圖；

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（12）

第8圖係說明本發明記憶格製造方法之過程圖；

第9圖係說明本發明記憶格製造方法之過程圖；

第10圖係說明本發明記憶格製造方法之過程圖；

第11圖係說明本發明記憶格製造方法之過程圖；

第12圖係說明本發明記憶格製造方法之過程圖；

第13圖係說明本發明記憶格製造方法之過程圖；

第14圖係說明本發明效果之圖；

第15圖係表示習知記憶格之斷面圖。

〔符號之說明〕

1.1：半導體基板

1.2：分離絕緣膜

1.3：通道部分

1.4，1.5：雜質擴散層

1.6：閘絕緣膜

1.7：字元線

1.8：拉出電極

1.9：位元線

1.10，1.14：層間絕緣膜

1.11：下部電極

1.11′：導電性膜

1.12：感應體膜

1.13：屏極電極（上部電極）

1.15：配線用金屬

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（13）

1.21：氮化矽膜

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

經濟部中央標準局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：半導體記憶裝置及其製造方法）

本發明係有關一種半導體記憶裝置及其製造方法，針對ＤＲＡＭ等的半導體記憶裝置中，實現在元件分離絕緣膜１.２的緣部，將導電性膜１'.１１'介於薄絕緣膜並相對於半導體基板１.１來配置，且將該導電性膜１.１１'與電荷儲存電容器的下部電極１.１１導電連接；藉此，將電氣式ｐｎ接合的位置控制與冶金式ｐｎ接合的位置獨立，抑制泄放電流增加，記憶保持長的半導體記憶裝置。

英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

1．一種半導體記憶裝置，其特徵爲具有：

形成在半導基板的複數個活性範圍、和

被形成在該活性範圍之ＭＯＳ電晶體、和

互相電分離被形成在鄰接的上述活性範圍間的上述活性範圍之分離絕緣膜、和

與具有被形成在上述活性範圍的表面範圍內的上述半導體基板相反的導電型之上述ＭＯＳ電晶體的一對擴散層的一邊導電連接，延設在上述活性範圍及分離絕緣膜上方的電荷儲存電容器之下部電極、和

積層在該下部電極上所形成的上述電荷儲存電容器的感應體膜及上部電極、和

在上述分離絕緣膜內的緣部介於絕緣膜與上述半導體基板相對配置之導電性膜；

上述下部電極的下端部是與上述導電性膜的上端部導電連接。

2．如申請專利範圍第1項所述半導體記憶裝置，其中，上述絕緣膜厚爲３ｎｍ以上５０ｎｍ以下。

3．如申請專利範圍第1項所述半導體記憶裝置，其中，上述分離絕緣膜是被形成於形成在鄰接的上述活性範圍間的上述半導體基板之溝內。

4．如申請專利範圍第1項所述半導體記憶裝置，其中，上述分離絕緣膜是將鄰接的上述活性範圍間的上述半導體基板的表面氧化所形成之膜。

5．如申請專利範圍第1項所述半導體記憶裝置，其

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

中，在上述ＭＯＳ電晶體的一對擴散層的另一邊上介於導電性膜形成位元線，上述下部電極是從上述ＭＯＳ電晶體的一對擴散層的其中一邊延設被形成在上述位元線上的絕緣膜上。

6．如申請專利範圍第1項所述半導體記憶裝置，其中，在上述下部電極的所定部分形成凹部，上述感應體膜係沿著上述下部電極的上面及上述凹部的內面連接而形成的。

7．如申請專利範圍第1項所述半導體記憶裝置，其中，上述導電性膜由從以多結晶矽、鎢矽化物及鉬矽化物製成的群選擇的材料製成的。

8．一種半導體記憶裝置之製造方法，其特徵爲具有：

在半導體基板的所定範圍形成溝之過程、和

整面形成絕緣膜之過程、和

上述絕緣膜中，於被形成在上述溝側面上的部分上選擇性的形成導電性膜之過程、和

將上述溝內利用第2絕緣膜來填充形成分離範圍之過程、和

在該分離範圍以外的上述半導體基板的所預期範圍的表面形成ＭＯＳ電晶體之過程、和

與具有該ＭＯＳ電晶體的上述半導體基板相反與具有導電型的一對擴散層的一邊及上述導電性膜導電連接，形成朝上述ＭＯＳ電晶體及分離範圍上方的電荷儲存電容器

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

的下部電極之過程、和

在該下部電極上積層上述電荷儲存電容的感應體膜及上部電極所形成之過程。

9．如申請專利範圍第8項所述之半導體記憶裝置之製造方法，其中，整面形成上述絕緣膜之過程，係利用將上述半導體基板露出的表面做熱氧化來進行的。

10．如申請專利範圍第8項所述之半導體記憶裝置之製造方法，其中，選擇性形成上述導電性膜之過程，係整面形成上述導電性膜後，利用向異性蝕刻法來進行的。

11．如申請專利範圍第8項所述之半導體記憶裝置之製造方法，其中，上述導電性膜係利用化學氣相成長法所形成的多結晶矽膜。

12．一種半導體記憶裝置，針對具有導電直列連接開關用電晶體與電容器的記憶格之半導體記憶裝置中，其特徵爲：

具有半導體基板、和

被配置在比互相電氣分離該半導體基板的活性範圍的上述半導體基板主面更下側之第1絕緣物；

上述開關用電晶體具有被形成在上述活性範圍內的一對雜質擴散層、和在上述活性範圍內被形成在上述一對雜質擴散層間之通道、和被形成在該通道上之閘絕緣膜、和介於該閘絕緣膜與上述通道相對所形成之閘電極；

上述電容器具有與上述一對雜質擴散層的一邊導電連接之下部電極、和覆蓋該下部電極的一部分之感應體膜、

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

和介於該感應體膜與上述下部電極相對所形成之上部電極；

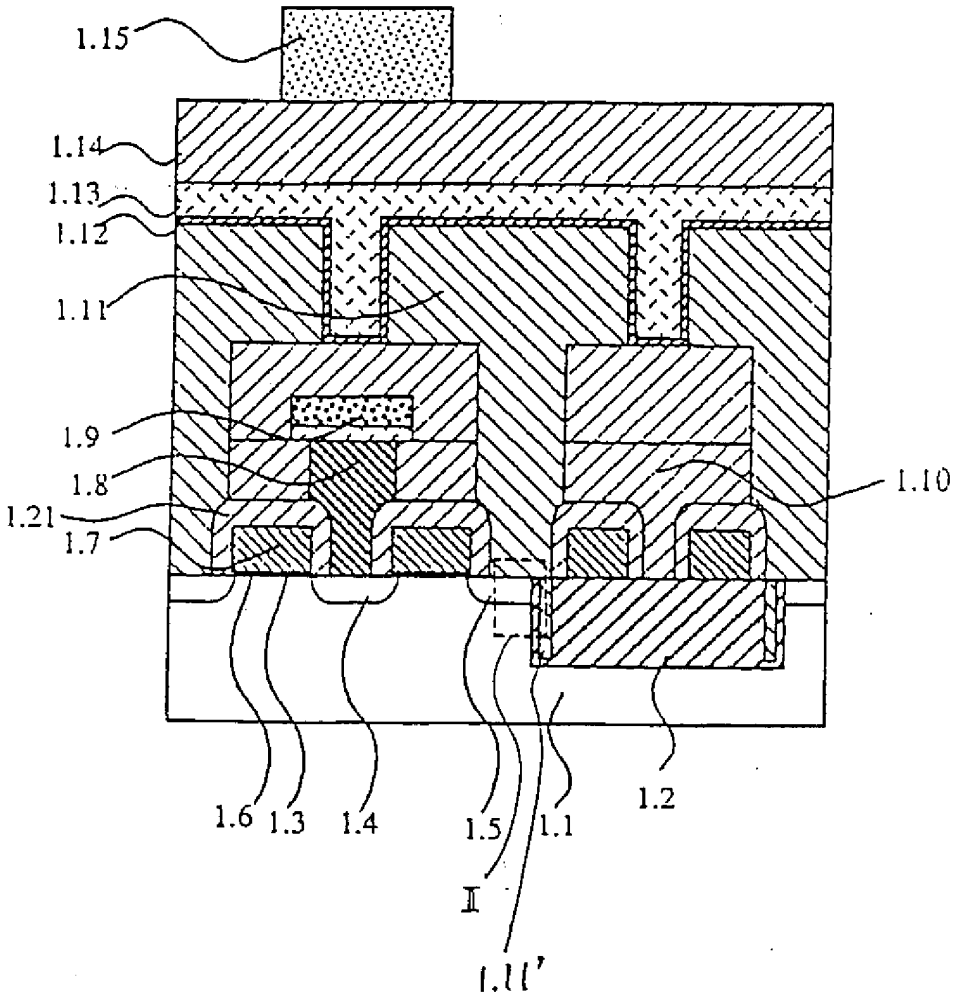
上述下部電極的一部分是被埋入上述第1絕緣物內，介於上述第1絕緣物的一部分與上述下部電極導連接的雜質擴散層相對的配置。

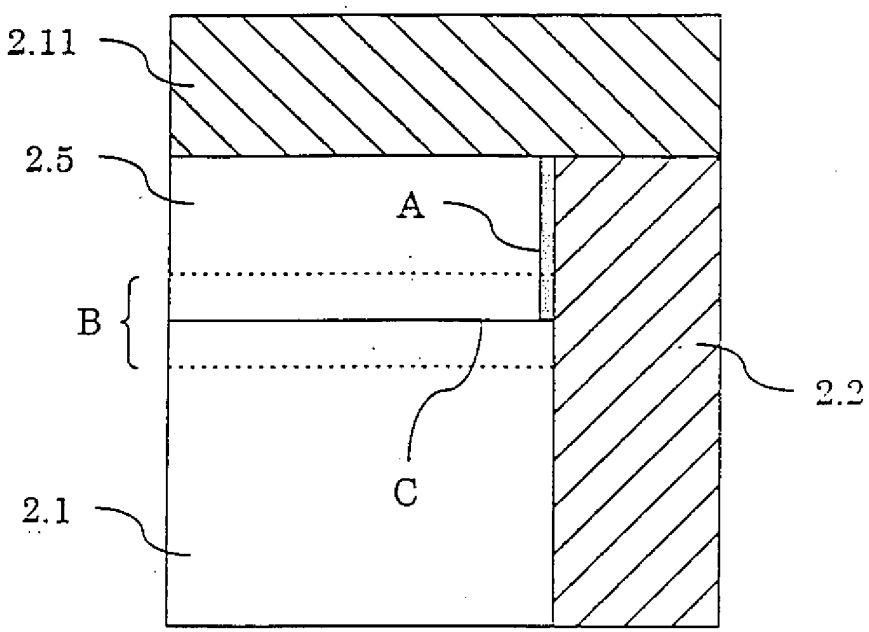
13．如申請專利範圍第12項所述之半導體記憶裝置，其中，上述第1絕緣物的一部分是將膜厚形成3nm以上50nm以下的膜狀。

14．如申請專利範圍第12項所述之半導體記憶裝置，其中，上述下部電極的一部分起碼會被埋到冶金式pn接合的深度。

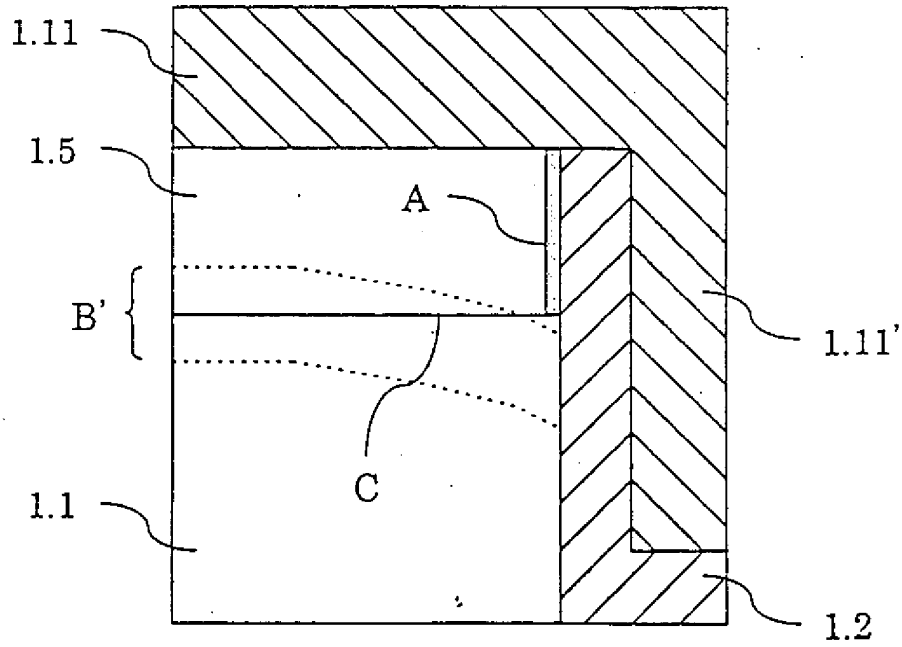
（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

第 1 圖



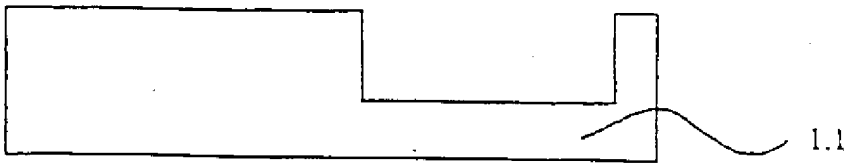


第 2 圖（a）

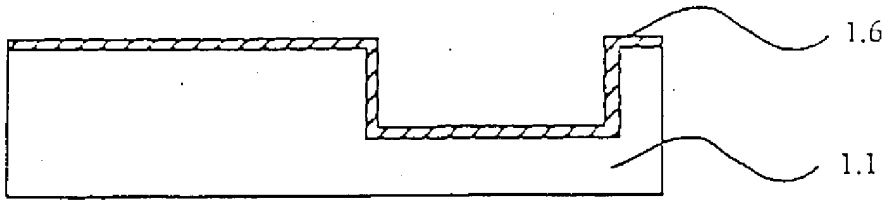


第 2 圖（b）

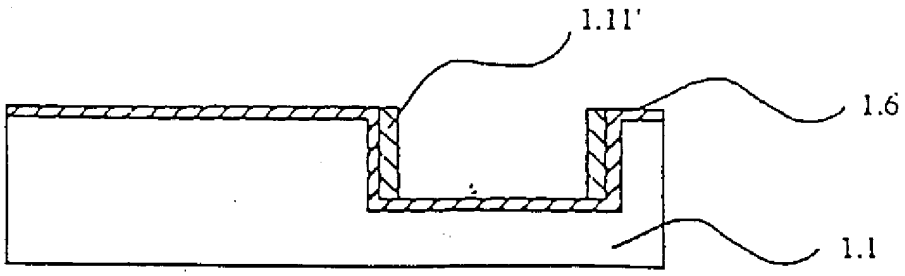
第 3 圖



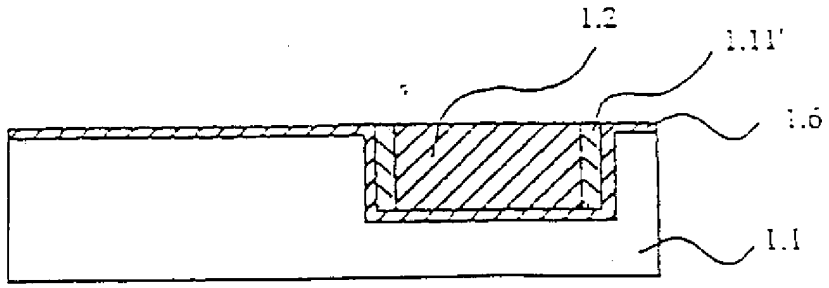
第 4 圖



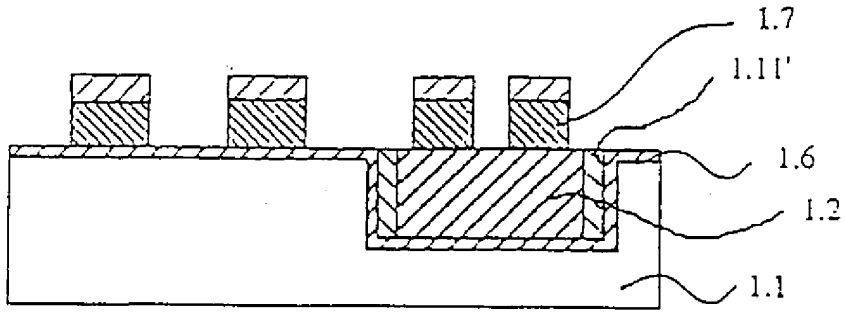
第 5 圖



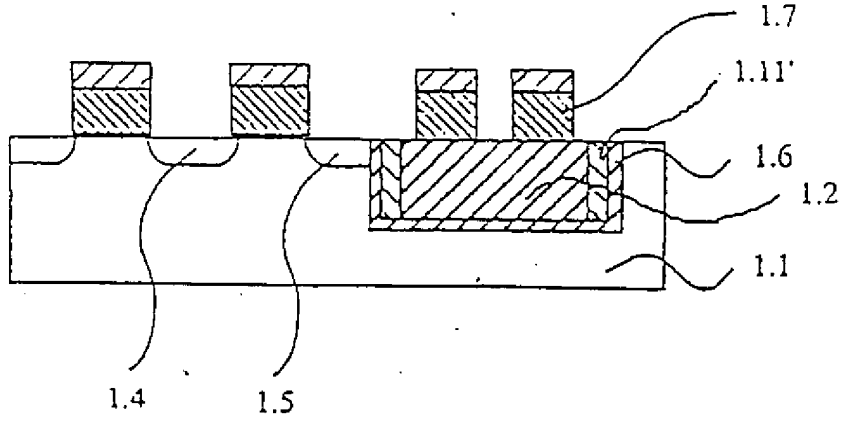
第 6 圖



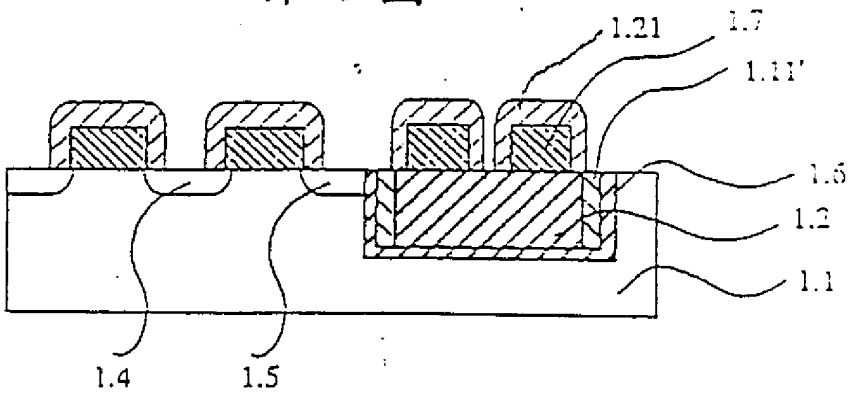
第 7 圖



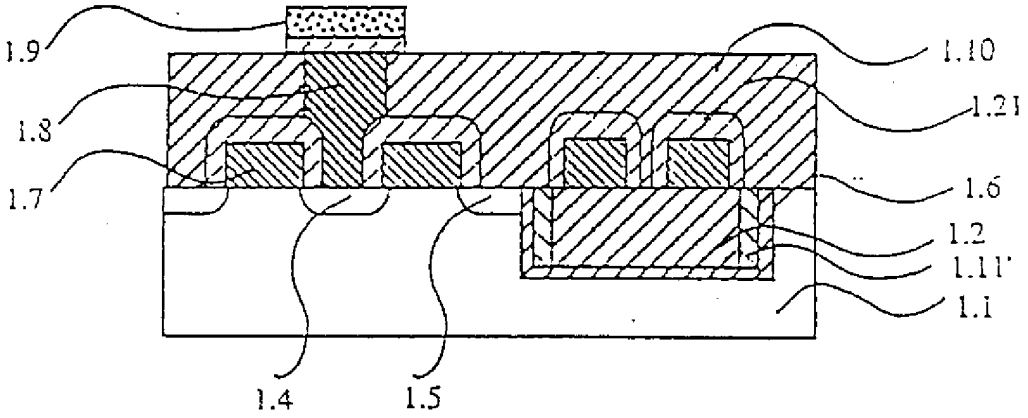
第 8 圖



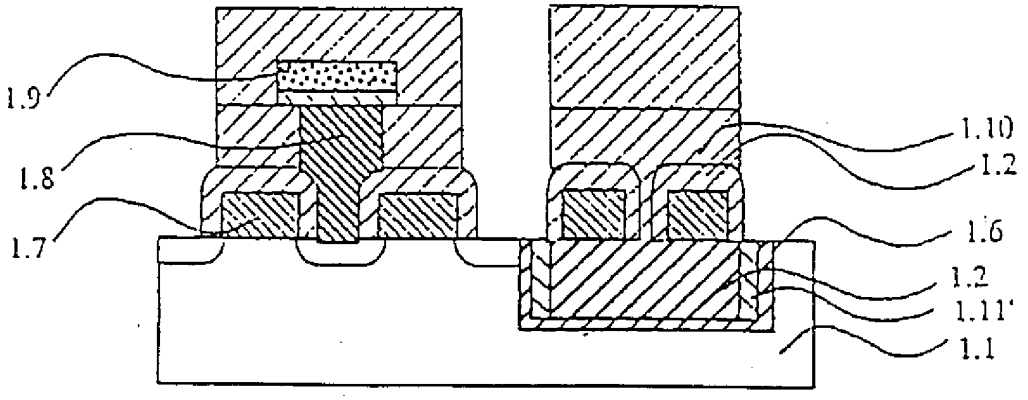
第 9 圖



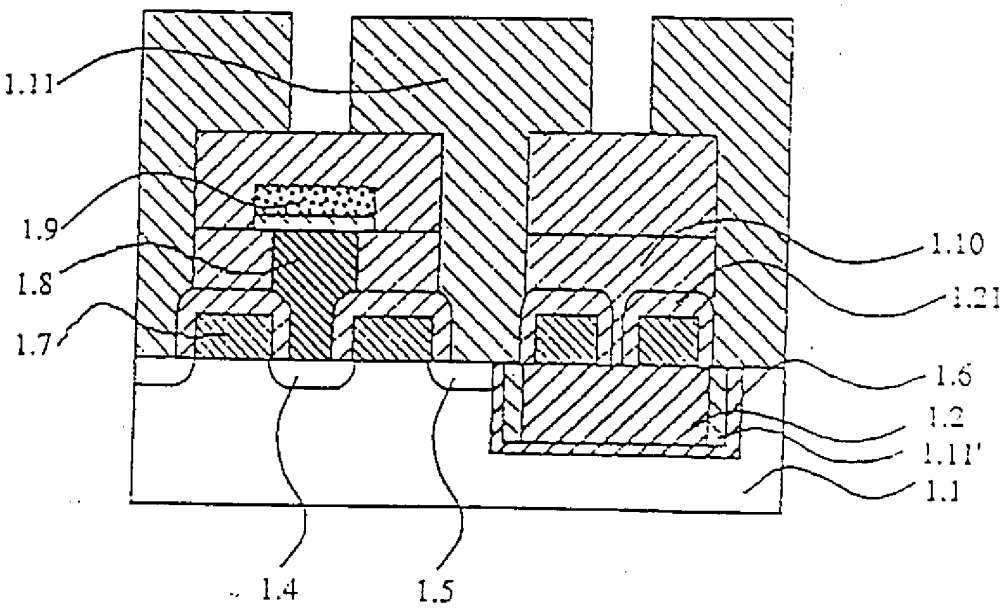
第 10 圖



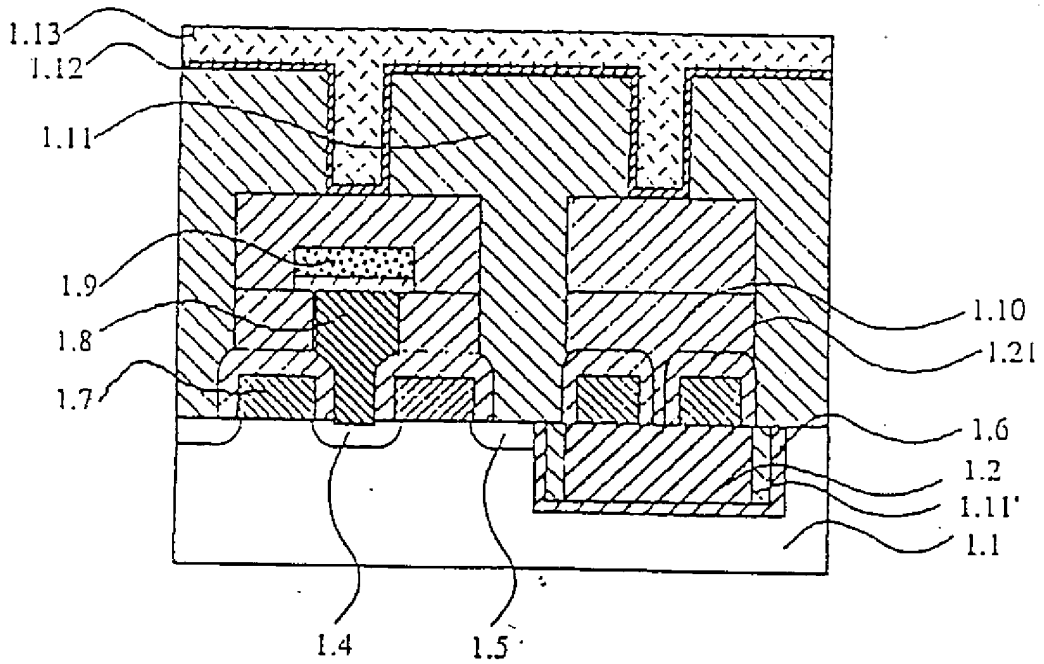
第 11 圖



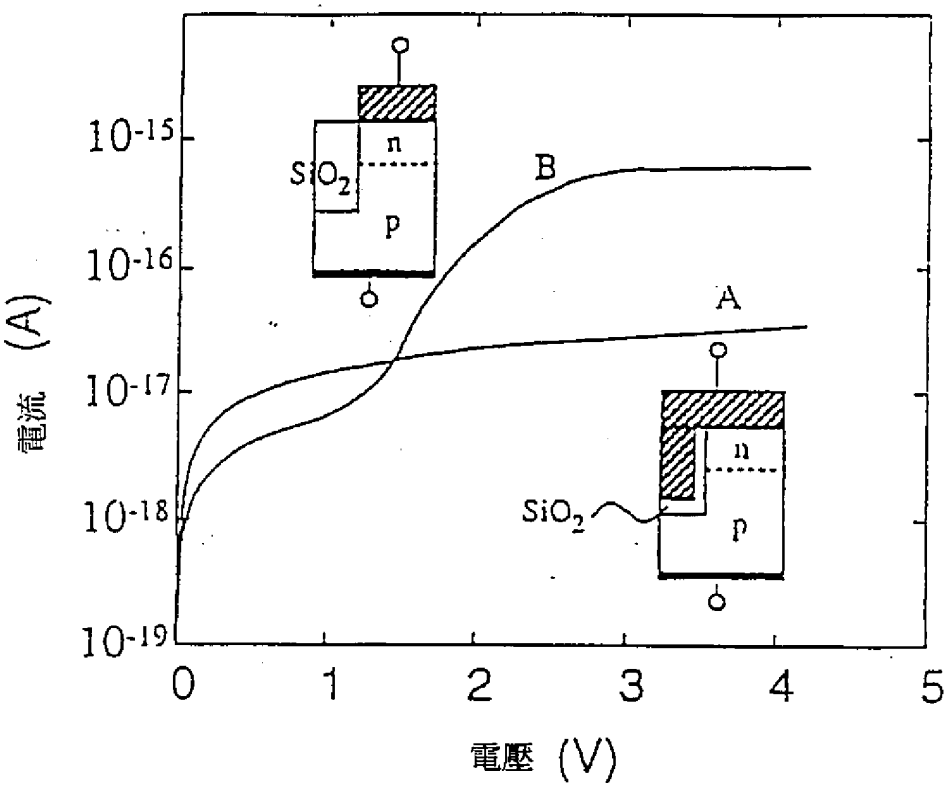
第 12 圖


1.11
1.9
1.8
1.7
1.10
1.21
1.6
1.2
1.11'
1.1
1.4
1.5

第 13 圖


1.13
1.12
1.11
1.9
1.8
1.7
1.10
1.21
1.6
1.2
1.11'
1.1
1.4
1.5

第 14 圖



第 15 圖

