

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5105769号  
(P5105769)

(45) 発行日 平成24年12月26日(2012.12.26)

(24) 登録日 平成24年10月12日(2012.10.12)

|                       |                 |
|-----------------------|-----------------|
| (51) Int.Cl.          | F 1             |
| G09F 9/30 (2006.01)   | G09F 9/30 338   |
| H01L 29/786 (2006.01) | H01L 29/78 612C |
| H01L 21/336 (2006.01) | H01L 29/78 619A |
| G02F 1/1343 (2006.01) | G02F 1/1343     |
| G02F 1/1368 (2006.01) | G02F 1/1368     |

請求項の数 1 (全 25 頁) 最終頁に続く

|              |                               |
|--------------|-------------------------------|
| (21) 出願番号    | 特願2006-133446 (P2006-133446)  |
| (22) 出願日     | 平成18年5月12日 (2006.5.12)        |
| (65) 公開番号    | 特開2006-343734 (P2006-343734A) |
| (43) 公開日     | 平成18年12月21日 (2006.12.21)      |
| 審査請求日        | 平成21年3月16日 (2009.3.16)        |
| (31) 優先権主張番号 | 特願2005-141132 (P2005-141132)  |
| (32) 優先日     | 平成17年5月13日 (2005.5.13)        |
| (33) 優先権主張国  | 日本国 (JP)                      |

|           |  |
|-----------|--|
| (73) 特許権者 | 000153878<br>株式会社半導体エネルギー研究所<br>神奈川県厚木市長谷398番地 |
| (72) 発明者  | 坂倉 真之<br>神奈川県厚木市長谷398番地 株式会社<br>半導体エネルギー研究所内   |
| (72) 発明者  | 山崎 舜平<br>神奈川県厚木市長谷398番地 株式会社<br>半導体エネルギー研究所内   |

審査官 佐竹 政彦

最終頁に続く

(54) 【発明の名称】半導体装置

## (57) 【特許請求の範囲】

## 【請求項 1】

絶縁表面上の第1の配線、第1の電極、及び薄膜トランジスタと、  
前記第1の配線上の第1の絶縁層と、  
前記第1の絶縁層上の第2の配線、第3の配線、第2の電極、及び複数の導電層と、  
前記第2の配線上、前記第3の配線上、及び前記複数の導電層上の第2の絶縁層と、を  
有し、

前記第2の配線及び前記第3の配線は、前記第1の配線と交差し、  
前記複数の導電層は、前記第2の配線と前記第3の配線との間に配置されているとともに、前記第1の配線と重なる部分を有し、且つ、フローティング状態であります。

前記第1の配線は前記薄膜トランジスタのゲート電極と同材料で形成され、  
前記第2の配線、前記第3の配線、及び前記複数の導電層は前記薄膜トランジスタのソース電極及びドレイン電極と同材料で形成されており、

前記複数の導電層は、前記薄膜トランジスタと電気的に接続された画素電極と重ならない位置に配置されており、

前記第1の電極と前記第2の電極とは前記第1の絶縁層に設けられたコンタクトホールを介して電気的に接続され、

前記複数の導電層は、第1の導電層と、第2の導電層と、を有し、  
前記第1の導電層は、前記第1の配線と重なり、

前記第2の導電層は、前記第1の配線と重なる第1の領域と重ならない第2の領域を有

10

20

し、

前記第2の領域は、前記コンタクトホールと前記画素電極との間に位置することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置や有機発光素子もしくは無機発光素子を有する発光表示装置を部品として搭載した電子機器に関する。

10

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

20

【0004】

また、薄型軽量、高速応答性、直流低電圧駆動などの特徴を有する有機化合物を発光体として用いた発光素子は、次世代のフラットパネルディスプレイへの応用が期待されている。特に、発光素子をマトリクス状に配置した表示装置は、視野角が広く視認性が優れている。

【0005】

絶縁表面を有する基板上に薄膜トランジスタをマトリクス状に配置した発光表示装置は、配線や電極によって基板表面に凹凸が形成される。その上に塗布法で絶縁膜を形成すると均一な膜厚を保持することが困難となる。また、塗布法で成膜する際の遠心力によって、凸部上の膜厚が薄くなる。すると、凸部上において絶縁膜の膜厚が薄くなった部分での耐圧が低下されるという問題がある。

30

【0006】

また、絶縁膜の耐圧を高くしようとして単純に膜厚を厚くすると、絶縁膜全体の応力が増加し、絶縁膜の剥離や、基板の反りが生じる恐れがあった。

【0007】

また、薄膜トランジスタをマトリクス状に配置した発光表示装置は、特許文献1に記載された構成、具体的には隣接する画素の間に絶縁膜を設ける構造としている。

【特許文献1】特開2002-164181号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

40

隣接する画素の間に設ける絶縁膜は、バンク、隔壁、障壁、土手などとも呼ばれ、薄膜トランジスタのソース配線や、薄膜トランジスタのドレイン配線や、電源供給線の上方に設けられる。特に、異なる層に設けられたこれらの配線の交差部は、他の箇所に比べて大きな段差が形成される。

【0009】

隣接する画素の間に設ける絶縁膜を塗布法で形成した場合においても、この段差の影響を受けて、部分的に薄くなる箇所が形成され、その箇所の耐圧が低下されるという問題がある。

【0010】

本発明は、以上の問題点を鑑みてなされたもので、絶縁膜の膜厚が薄くとも高い絶縁特

50

性や、高い耐圧を備えた信頼性の高い発光装置を実現することを目的とする。

【課題を解決するための手段】

【0011】

本発明では、段差が大きい凸部近傍、特に配線交差部周辺にダミー部材を配置し、その上に形成される絶縁膜の凹凸形状を緩和するものである。

【0012】

また、上方配線の端部と下方配線の端部を一致させると、部分的に薄くなる箇所が形成される傾向が見られることから、上方配線の端部と下方配線の端部とが一致しないように、上方配線と下方配線の位置をずらして配置することも本発明の特徴の一つである。また、上方配線の端部と下方配線の端部とが一致しないように、下方配線の配線幅よりも上方配線の配線幅を太くして配置することも本発明の特徴の一つである。

10

【0013】

特に、基板上方から見て上方配線と下方配線とを平行に配置する場合、上方配線の側面と下方配線の側面とが一致しないようにすることができる。

【0014】

また、下方配線の形成において、テーパー形状を有する断面とし、配線幅を細くするエッチングを行うことが好ましい。即ち、下方配線の形成時にテーパー形状を有する断面とし、配線幅を細くするエッチングを行うと、設計マスクでは上方配線の端部と下方配線の端部とが一致していても、実際に形成すると、上方配線の端部と下方配線の端部とが一致しないようにすることができる。

20

【0015】

また、塗布時（常温）において、粘度が10cp（センチポイズ）以上60cp（センチポイズ）以下を有する絶縁材料液を塗布し、乾燥させることで、段差部でも均一な膜厚の絶縁膜を得ることもできる。

【0016】

本発明により、絶縁膜を挟む2つの配線（上方配線、下方配線）間の絶縁性及び耐圧を飛躍的に改善できる。

【0017】

上述したこれらの手段は単なる設計事項ではなく、発光装置を作製し、画像表示させ、発明者らの深い検討の後、発明された事項である。

30

【0018】

本明細書で開示する発明の構成は、絶縁表面上に第1の配線、第2の配線、及び金属層と、前記第1の配線、前記第2の配線、及び前記金属層を覆う第1の絶縁層と、前記第1の絶縁層上に前記第2の配線と接続する電極と、前記第1の絶縁層、前記電極、前記金属層、前記第1の配線、及び前記第2の配線を覆う第2の絶縁層とを有し、前記金属層および前記第2の配線は、前記第1の配線と同じ材料であり、前記電極は、前記金属層と前記第1の配線との間に配置されることを特徴とする半導体装置である。

【0019】

また、本明細書で開示する発明の構成は、絶縁表面上に第1の配線、及び第2の配線と、前記第1の配線、及び前記第2の配線を覆う第1の絶縁層と、前記第1の絶縁層上に前記第2の配線と接続する第1の電極、電気的にフローティング状態である金属層と、第2の電極と、前記第1の絶縁層、前記第1の電極、前記金属層、前記第1の配線、及び前記第2の配線を覆う第2の絶縁層と、前記第2の電極上に発光層と、前記発光層上に第3の電極とを有し、前記第2の配線は、前記第1の配線と同じ材料であり、前記金属層は、前記第1の電極と同じ材料であり、前記第1の電極は、前記金属層と前記第1の配線との間に配置されることを特徴とする半導体装置である。

40

上記構成において、前記第2の電極と、前記第3の電極と、前記発光層とが重なる箇所で発光素子を構成することを特徴の一つとしている。

【0020】

なお、発光素子は、電場を加えることで発生するルミネッセンス（Electro-Lu

50

minescence) が得られる有機化合物を含む層(以下、EL層と記す)と、陽極と、陰極とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)とがあるが、本発明は、どちらの発光を用いた場合にも適用可能である。

【0021】

また、上記構成において、前記第2の絶縁層は、第2の電極の周縁部を覆う隔壁であることを特徴の一つとしている。

【0022】

また、上記構成において、前記金属層は、電気的にフローティング状態の電極であることを特徴の一つとしている。

10

【0023】

また、上記構成において、前記半導体装置は、前記第1の配線をゲート電極とする第1の薄膜トランジスタと前記第2の配線をゲート電極とする第2の薄膜トランジスタとを有することを特徴とする半導体装置である。

【0024】

また、薄膜トランジスタ(TFTとも呼ぶ)のチャネル形成領域としては、非晶質半導体膜、結晶構造を含む半導体膜、非晶質構造を含む化合物半導体膜などを適宜用いることができる。さらにTFTのチャネル形成領域として、非晶質と結晶構造(単結晶、多結晶を含む)の中間的な構造を有し、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な領域を含んでいるセミアモルファス半導体膜(微結晶半導体膜、マイクロクリスタル半導体膜とも呼ばれる)も用いることができる。

20

【0025】

また、上記構成において、前記第2の絶縁層は、溶媒を含み、且つ、粘度が10cp以上60cp以下の材料を用いた塗布法により形成することを特徴の一つとしている。

【0026】

また、本発明の半導体装置において、静電破壊防止のための保護回路(保護ダイオードなど)を設けてもよい。

【0027】

また、本発明の半導体装置において、発光素子をマトリクス状に配置した発光装置を備える場合、その発光装置における画面表示の駆動方法は特に限定されず、例えば、点順次駆動方法や線順次駆動方法や面順次駆動方法などを用いればよい。代表的には、線順次駆動方法とし、時分割階調駆動方法や面積階調駆動方法を適宜用いればよい。また、発光装置のソース線に入力する映像信号は、アナログ信号であってもよいし、デジタル信号であってもよく、適宜、映像信号に合わせて駆動回路などを設計すればよい。

30

【0028】

さらに、ビデオ信号がデジタルの発光装置において、画素に入力されるビデオ信号が定電圧(CV)のものと、定電流(CC)のものとがある。ビデオ信号が定電圧のもの(CV)には、発光素子に印加される信号の電圧が一定のもの(CVCV)と、発光素子に印加される信号の電流が一定のもの(CVCC)とがある。また、ビデオ信号が定電流のもの(CC)には、発光素子に印加される信号の電圧が一定のもの(CCCV)と、発光素子に印加される信号の電流が一定のもの(CCCC)とがある。

40

【発明の効果】

【0029】

本発明により、塗布法によって得られる絶縁膜を層間に用いた場合において、異なる層に設けられた配線間の短絡の発生を効果的に防止することができる。従って、半導体装置の製造における歩留まりが向上する。また、製造後の半導体装置の信頼性を向上することもできる。

【発明を実施するための最良の形態】

【0030】

50

本発明の実施形態について、以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0031】

(実施の形態1)

本実施の形態では、ダミー部材を設けることによって、ダミー部材上方に設ける絶縁層が部分的に薄くなる箇所の形成を防止する例を図1(A)及び図1(B)を用いて説明する。

【0032】

10

図1(A)は、発光装置の画素の一部を示す上面図であり、鎖線A-Bで切断した断面図が図1(B)である。

【0033】

まず、図1(A)、および図1(B)に示す構造を得る手順を説明する。

【0034】

絶縁表面を有するガラス基板10上に第1の絶縁層11を形成し、その上に第1の配線12、第2の配線13、金属層14を形成する。金属層14は導電層でもよい。なお、金属層14は、ダミー部材として機能させており、電気的に浮遊状態の電極、即ち、フローティング電極と言える。また、第1の絶縁層は、薄膜トランジスタのゲート絶縁膜としても機能する。また、第1の配線12、第2の配線13、金属層14と同一工程で、薄膜トランジスタのゲート電極を形成する。

20

【0035】

次いで、これらの配線や金属層を覆う第2の絶縁層15、第3の絶縁層16を積層形成する。

【0036】

次いで、マスクを用いて第2の絶縁層15、及び第3の絶縁層16を選択的にエッチングして第2の配線13に達するコンタクトホールを形成する。

【0037】

次いで、金属材料からなる第1の電極を形成する。ここでは、第1の電極をチタン層17aとアルミニウム層17bとの積層で構成している。また、この第1の電極と同一工程で薄膜トランジスタのソース電極やドレイン電極を形成する。

30

【0038】

次いで、第3の絶縁層16上に第2の電極を形成する。なお、第2の電極は、薄膜トランジスタのソース電極やドレイン電極と電気的に接続する。

【0039】

次いで、溶媒を含む絶縁材料を用いて塗布法により、第4の絶縁層18を形成する。ここまで段階を終えた時点で図1(A)及び図1(B)の状態が得られる。

【0040】

なお、図1(B)は、発光装置の作製途中の図であり、さらに第4の絶縁層18の上方に有機化合物または無機化合物を含む発光層72と、第3の電極73とが積層形成される。また、第3の電極73形成直後の断面図を図12(B)に示す。発光素子は、第2の電極71と、有機化合物または無機化合物を含む発光層72と、第3の電極73とで構成される。特に、アルミニウム層17bの上端部と第3の電極73とで短絡が生じる恐れがある。本実施の形態では、ダミー部材である金属層14を配置することによって、第4の絶縁層18の膜厚が部分的に薄くなることを防いでいる。また、図1(A)よりも広範囲に画素を示した上面図を図12(A)に示す。ソース線75は、第1の半導体層19を活性層とする薄膜トランジスタに電気的に接続している。第1の半導体層19は、コンタクトホールを介して第1の電極と電気的に接続している。また、第1の電極は、コンタクトホールを介して第2の配線13と電気的に接続している。また、第2の配線13は、第2の絶縁層15を介して第2の半導体層77と重なるゲート電極として機能する。第2の半導体

40

50

層77は、電源線78及び、接続電極76と電気的に接続している。また、接続電極76は第2の電極71と電気的に接続している。なお、接続電極76とソース線75と電源線78は第1の電極と同じ材料で形成されている。第4の絶縁層18は、第2の電極71の端部を覆う隔壁として機能し、第4の絶縁層の周縁を図12(A)中の符号74に示す。図12(A)に示すように、本発明は、金属層14を第2の配線13と重なっている第1の電極と、第4の絶縁層の周縁74との間に配置することで、第4の絶縁層の膜厚が部分的に薄くなることを防いでいる。

【0041】

また、第1の配線12も第4の絶縁層18の凹凸形状を緩和させる機能を有している。本実施の形態1では、第1の電極を囲むように所定の間隔で第1の配線12及び金属層14を配置することによって、第4の絶縁層18の凹凸形状を緩和させている。 10

【0042】

また、金属層14の上面形状をL字形状としているが特に限定されず、複数の矩形形状としてもよい。

【0043】

(実施の形態2)

本実施の形態では、上方配線の端部と下方配線の端部を一致させないように各配線を設ける例を図2(A)、図2(B)、及び図3を用いて説明する。

【0044】

実際に、上方配線の端部と下方配線の端部の位置を異ならせたレイアウトで発光装置を形成し、その一部の断面写真が図2(A)である。なお、図2(A)に対応する模式図を図2(B)に示す。 20

【0045】

図2(B)において、ガラス基板20上にゲートメタル層21、第1の絶縁層22、第1のチタン膜23a、アルミニウム膜23b、第2のチタン膜23c、第2の絶縁層24が設けられている。第2の絶縁層24上には発光素子を形成する有機化合物を含む層と上部電極25が形成される。なお、図2(B)において、発光素子の下部電極は図示していない。

【0046】

また、比較例として、上方配線の端部と下方配線の端部を一致させたレイアウトで発光装置を形成し、その一部の断面写真が図11(A)である。なお、図11(A)に対応する模式図を図11(B)に示す。図11(B)において、ガラス基板60上にゲートメタル層61、第1の絶縁層62、第1のチタン膜63a、アルミニウム膜63b、第2のチタン膜63c、第2の絶縁層64が設けられている。第2の絶縁層64上には発光素子を形成する有機化合物を含む層と上部電極65が形成される。なお、図11(B)において、発光素子の下部電極は図示していない。図11(A)に示したように、上方配線(63a～63c)の端部と下方配線(ゲートメタル層61)の端部を一致させた場合、上方配線の上端部で第2の絶縁層64の膜厚が薄くなり、最も薄い所で約0.1μmの膜厚となってしまう。上方配線が配置されていない領域での第2の絶縁層64の膜厚は、約1μmであるため、結果として部分的に第2の絶縁層64の膜厚が10倍異なっている。 30

【0047】

一方、図2(A)に示したように、上方配線(23a～23c)の端部と下方配線(ゲートメタル層21)の端部の位置を異ならせた場合、上方配線の上端部と上部電極25との間隔を広げることができる。上方配線が配置されていない領域での第2の絶縁層24の膜厚は、第2の絶縁層64と同じ約1μmであるが、第2の絶縁層24の最も薄い所で約0.2μm以上の膜厚とすることができます。 40

【0048】

また、画素のレイアウトの一例を図3に示す。

【0049】

図3において、絶縁表面上には、半導体層(図3中において点線で囲まれた領域)が形

成され、その上にゲート絶縁膜が形成され、さらにその上に第1の配線41、42が同時に形成されている。そして、第1の配線上に層間絶縁膜が1層または2層形成され、層間絶縁膜上に第2の配線31、32および電極33、34が同時に形成されている。なお、電極33は2つのTFTを接続する接続電極である。また、電極34は、発光素子の陰極または陽極のうち、一方の電極と接続する電極である。

【0050】

図3では2つの配線が交差する部分、重なる部分があるが、配線の端部、即ち配線側面が、異なる配線の側面と一致しないように配置している。具体的には、第2の配線32に比べて、第1の配線41、42は配線幅が狭くなっている。且つ、第2の配線32の配線側面と第1の配線41の配線側面が一致しないように配置され、第2の配線32の配線側面と第1の配線42の配線側面が一致しないように配置されている。

10

【0051】

図3に示す配線のレイアウト配置とすることにより、これらの配線上に塗布法で絶縁膜を形成した場合、絶縁膜の膜厚が部分的に薄くなることを防ぐことができる。従って、この絶縁膜をパターニングして得られる絶縁物（隣り合う発光素子との間に設ける隔壁）は、電極間の短絡を防止することができる。

【0052】

また、本実施の形態は、実施の形態1と自由に組み合わせることができる。

【0053】

（実施の形態3）

20

本実施の形態では、実施の形態1と実施の形態2とを組み合わせた画素構成について図4を用いて説明する。

【0054】

表示装置の画素領域に有する1画素の上面図を図4に示す。図4において、画素は、薄膜トランジスタ51、薄膜トランジスタ52、第1の電極層50、ゲート配線層53、ソース配線層又はドレイン配線層54、電源線55、導電層56a、導電層56b、導電層56c、導電層56dから構成されている。薄膜トランジスタ52の有するソース電極層又はドレイン電極層58は、ゲート配線層53と同材料、同工程で作製される導電層57を介して、第1の電極層50と電気的に接続している。

【0055】

導電層56a、導電層56b、導電層56c、導電層56dは、ソース配線層又はドレイン配線層54、及び電源線55と同材料、同工程で形成されており、配線の積層による膜厚の急激な変化を緩和するために設けられている。この導電層56a、導電層56b、導電層56c、導電層56dは、他の配線とは電気的に絶縁されている。ゲート配線層53と、ソース配線層又はドレイン配線層54又は電源線55との交差する領域では配線層が積層するため、急激に膜厚が大きくなるが、交差する領域の周囲に導電層56a、導電層56b、導電層56c、導電層56dを設けることで、その上に形成される隔壁として機能する絶縁層の被覆性が向上し、膜厚の凹凸に起因する形成不良を防ぐことができる。導電層56aの一部は、ゲート配線層53と重なっている。寄生容量の増大を防ぐため、導電層56b、導電層56c、及び導電層56dは間隔を空けてゲート配線層53と重ねている。また、隔壁となる絶縁膜は、第1の電極層50の端部を覆うように形成され、隔壁となる絶縁膜の周縁を図4(A)中の59に示す。図4(B)に図4(A)中の線A-Bで切断した図を示す。図4(B)に示すように導電層56aは、隔壁となる絶縁膜の膜厚が部分的に薄くなることを防ぐため、隔壁となる絶縁膜の周縁59と薄膜トランジスタ52のゲート電極との間に配置されている。

30

【0056】

また、同材料、同工程で形成されている導電層の端面と、ゲート配線層の端面とが一致しないように配線を配置することで、隔壁となる絶縁膜の膜厚が部分的に薄くなることを防ぐことができる。

【0057】

40

50

よって、生産性も向上し、信頼性の高い表示装置を歩留まり良く作製することができる。

【0058】

(実施の形態4)

本実施の形態では、アクティブマトリクス型の発光装置の作製方法について、図5、図6、及び図7を用いて以下に説明する。

【0059】

まず、基板610上に下地絶縁膜611を形成する。基板610側を表示面として発光を取り出す場合、基板610としては、光透過性を有するガラス基板や石英基板を用いればよい。また、処理温度に耐えうる耐熱性を有する光透過性のプラスチック基板を用いてもよい。また、基板610側とは逆の面を表示面として発光を取り出す場合、前述の基板の他にシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したもの用いても良い。ここでは基板610としてガラス基板を用いる。なお、ガラス基板の屈折率は1.55前後である。

10

【0060】

下地絶縁膜611としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜を形成する。ここでは下地膜として単層構造を用いた例を示すが、前記絶縁膜を2層以上積層させた構造を用いても良い。なお、基板の凹凸や、基板からの不純物拡散が問題にならないのであれば、特に下地絶縁膜を形成しなくてもよい。

【0061】

次いで、下地絶縁膜上に半導体層612を形成する。半導体層612は、非晶質構造を有する半導体膜を公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により成膜した後、公知の結晶化処理(レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等)を行って得られた結晶質半導体膜を第1のフォトマスクを用いて所望の形状にパターニングして、半導体層612を形成する。なお、プラズマCVD法を用いれば、下地絶縁膜と、非晶質構造を有する半導体膜とを大気に触れることなく連続的に積層することができる。この半導体膜の厚さは25~80nm(好ましくは30~70nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム(SiGe)合金などで形成すると良い。

20

【0062】

また、非晶質構造を有する半導体膜の結晶化処理として連続発振のレーザーを用いてもよく、非晶質半導体膜の結晶化に際し、大粒径に結晶を得るために、連続発振が可能な固体レーザーを用い、基本波の第2高調波~第4高調波を適用するのが好ましい。代表的には、Nd:YVO<sub>4</sub>レーザー(基本波1064nm)の第2高調波(532nm)や第3高調波(355nm)を適用すればよい。連続発振のレーザーを用いる場合には、出力10Wの連続発振のYVO<sub>4</sub>レーザーから射出されたレーザー光を非線形光学素子により高調波に変換する。また、共振器の中にYVO<sub>4</sub>結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形状または橢円形状のレーザー光に成形して、被処理体に照射する。このときのエネルギー密度は0.01~100MW/cm<sup>2</sup>程度(好ましくは0.1~10MW/cm<sup>2</sup>)が必要である。そして、10~2000cm/s程度の速度でレーザー光に対して相対的に半導体膜を移動させて照射すればよい。

30

【0063】

次いで、レジストマスクを除去する。次いで、必要があればTFTのしきい値を制御するため、微量な不純物元素(ボロンまたはリン)のドーピングを半導体層に対して行う。ここでは、ジボラン(B<sub>2</sub>H<sub>6</sub>)を質量分離しないでプラズマ励起したイオンドープ法を用いる。

40

【0064】

次いで、フッ酸を含むエッチャントで半導体層表面の酸化膜を除去すると同時に半導体層の表面を洗浄する。

【0065】

50

そして、半導体層を覆う絶縁膜 613 を形成する。絶縁膜 613 はプラズマ CVD 法またはスパッタ法を用い、厚さを 1 ~ 200 nm とする。好ましくは 10 nm ~ 50 nm と薄くしてシリコンを含む絶縁膜の単層または積層構造で形成した後にマイクロ波によるプラズマを用いた表面窒化処理を行う。絶縁膜 613 は、後に形成される TFT のゲート絶縁膜として機能する。

【0066】

次いで、絶縁膜 613 上に膜厚 20 ~ 100 nm の第 1 の導電膜と、膜厚 100 ~ 400 nm の第 2 の導電膜とを積層形成する。本実施の形態では、絶縁膜 613 上に膜厚 50 nm の窒化タンタル膜、膜厚 370 nm のタンゲステン膜を順次積層し、以下に示す手順で 10 パターニングを行って各ゲート電極及び各配線を形成する。

【0067】

なお、ここでは導電膜を TaN 膜と W 膜との積層としたが、特に限定されず、Ta、W、Ti、Mo、Al、Cu から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料の単層、またはこれらの積層で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。また、2 層構造に限定されず、例えば、膜厚 50 nm のタンゲステン膜、膜厚 500 nm のアルミニウムとシリコンの合金 (Al-Si) 膜、膜厚 30 nm の窒化チタン膜を順次積層した 3 層構造としてもよい。

【0068】

上記第 1 の導電膜及び第 2 の導電膜のエッチング（第 1 のエッチング処理および第 2 のエッチング処理）には ICP (Inductively Coupled Plasma : 誘導結合型プラズマ) エッチング法を用いると良い。ICP エッチング法を用い、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節することによって所望のテーパー形状に膜をエッチングすることができる。

【0069】

ここでは、レジストからなるマスクを形成した後、第 1 のエッチング条件として 1 Pa の圧力でコイル型の電極に 700 W の RF (13.56 MHz) 電力を投入し、エッチング用ガスに CF<sub>4</sub> と Cl<sub>2</sub> と O<sub>2</sub> を用い、それぞれのガス流量比を 25 : 25 : 10 (sccm) とし、基板側（試料ステージ）にも 150 W の RF (13.56 MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。なお、基板側の電極面積サイズは、12.5 cm × 12.5 cm であり、コイル型の電極面積サイズ（ここではコイルの設けられた石英円板）は、直径 25 cm の円板である。この第 1 のエッチング条件により W 膜をエッチングして端部をテーパー形状とする。この後、レジストからなるマスク 616 を除去せずに第 2 のエッチング条件に変え、エッチング用ガスに CF<sub>4</sub> と Cl<sub>2</sub> を用い、それぞれのガス流量比を 30 : 30 (sccm) とし、1 Pa の圧力でコイル型の電極に 500 W の RF (13.56 MHz) 電力を投入してプラズマを生成して約 30 秒程度のエッチングを行った。基板側（試料ステージ）にも 20 W の RF (13.56 MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。CF<sub>4</sub> と Cl<sub>2</sub> を混合した第 2 のエッチング条件では W 膜及び TaN 膜とも同程度にエッチングされる。なお、ここでは、第 1 のエッチング条件及び第 2 のエッチング条件を第 1 のエッチング処理と呼ぶこととする。

【0070】

第 1 のエッチング処理が終わった段階での断面図を図 5 (A) に示す。この段階で第 1 の導電層 614a を下層とし、第 2 の導電層 614b を上層とするゲート電極および配線が形成され、また、第 1 の導電層 615a を下層とし、第 2 の導電層 615b を上層とする端子電極が形成される。

【0071】

次いで、レジストからなるマスク 616 を除去せずに第 2 のエッチング処理を行う。ここでは、第 3 のエッチング条件としてエッチング用ガスに CF<sub>4</sub> と Cl<sub>2</sub> を用い、それ

10

20

30

40

50

そのガス流量比を 30 : 30 ( sccm ) とし、1 Pa の圧力でコイル型の電極に 500 W の RF ( 13.56 MHz ) 電力を投入してプラズマを生成してエッチングを 60 秒行った。基板側 ( 試料ステージ ) にも 20 W の RF ( 13.56 MHz ) 電力を投入し、実質的に負の自己バイアス電圧を印加する。この後、レジストからなるマスクを除去せずに第 4 のエッチング条件に変え、エッチング用ガスに CF<sub>4</sub> と Cl<sub>2</sub> と O<sub>2</sub> を用い、それぞれのガス流量比を 20 : 20 : 20 ( sccm ) とし、1 Pa の圧力でコイル型の電極に 500 W の RF ( 13.56 MHz ) 電力を投入してプラズマを生成して約 20 秒程度のエッチングを行った。基板側 ( 試料ステージ ) にも 20 W の RF ( 13.56 MHz ) 電力を投入し、実質的に負の自己バイアス電圧を印加する。なお、ここでは、第 3 のエッチング条件及び第 4 のエッチング条件を第 2 のエッチング処理と呼ぶこととする。第 2 のエッチング処理によって、第 3 の導電層 614c, 615c が形成される。次いで、レジストからなるマスクを除去する。

#### 【 0072 】

上記第 2 のエッチング処理の際、またはレジストからなるマスクの除去の際、タングステン ( W ) を含む薄い膜 ( 膜厚は約 10 nm ) を形成する。この段階での断面図を図 5 ( B ) に示す。

#### 【 0073 】

次いで、n 型を付与する不純物元素を半導体層に添加するため、ゲート電極をマスクとして全面にドーピングする第 1 のドーピング処理を行う。第 1 のドーピング処理はイオンドープ法、もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を  $1.5 \times 10^{13}$  atoms/cm<sup>2</sup> とし、加速電圧を 50 ~ 100 keV として行う。n 型を付与する不純物元素として、典型的にはリン ( P ) または砒素 ( As ) を用いる。この第 1 のドーピング工程によって絶縁膜 613 およびタングステンを含む薄い膜 617 を介してドープを行い、自己整合的に第 1 の不純物領域 ( n<sup>-</sup> 領域 ) 618 を形成する。この段階での断面図を図 5 ( C ) に示す。なお、タングステンを含む薄い膜が設けられているため、第 1 の導電層 614a と重なる部分の半導体層には n 型を付与する不純物元素がほとんど添加されない。また、タングステンを含む薄い膜により、n 型を付与する不純物元素が第 1 の導電層 614a の端部を回り込んで添加されることも防ぐことができる。

#### 【 0074 】

次いで、タングステンを含む薄い膜 617 を除去する。

#### 【 0075 】

次いで、レジストからなるマスク 619 を形成した後、半導体に n 型を付与する不純物元素を高濃度にドープするための第 2 のドーピング工程を行う。この段階での断面図を図 6 ( A ) に示す。マスク 619 は、画素部の p チャネル型 TFT を形成する半導体層のチャネル形成領域及びその周辺の領域と、画素部の n チャネル型 TFT の一部と、駆動回路部の p チャネル型 TFT を形成する半導体層のチャネル形成領域及びその周辺の領域と、を保護するために設ける。

#### 【 0076 】

第 2 のドーピング工程におけるイオンドープ法の条件はドーズ量を  $1 \times 10^{13} \sim 5 \times 10^{15}$  / cm<sup>2</sup> とし、加速電圧を 60 ~ 100 keV として行う。この第 2 のドーピング工程によって、絶縁膜 613 を介してドープされて n 型の不純物を高濃度に含む第 2 の不純物領域 ( n<sup>+</sup> 領域 ) 620a と、第 1 の導電層 614a 及び絶縁膜 613 を介してドープされて第 1 の導電層 614a と重なる第 3 の不純物領域 ( n<sup>-</sup> 領域 ) 620b とを形成する。なお、画素部の n チャネル型 TFT は、一部をマスクで覆ったため、チャネル形成領域と第 2 の不純物領域 620a との間に、第 1 の導電層 614a と重ならない第 1 の不純物領域 ( n<sup>-</sup> 領域 ) 618 が形成される。また、駆動回路部の n チャネル型 TFT においては、自己整合的にドープされて、第 1 の導電層 614a と重なる第 3 の不純物領域 620b と第 2 の不純物領域 620a との境界が、第 1 の導電層 614a の端部と一致する。

#### 【 0077 】

10

20

30

40

50

次いで、マスク 619 を除去した後、新たにレジストからなるマスク 621 を形成し、半導体に p 型を付与する不純物元素（代表的にはボロン）を高濃度にドープするための第 3 のドーピング工程を行う。この段階での断面図を図 6 (B) に示す。マスク 621 は、画素部の n チャネル型 TFT を形成する半導体層のチャネル形成領域及びその周辺の領域と、駆動回路部の n チャネル型 TFT を形成する半導体層のチャネル形成領域及びその周辺の領域と、を保護するために設ける。

#### 【0078】

この第 3 のドーピング工程によって絶縁膜 613 を介して半導体層にドープを行い、p 型の不純物を高濃度に含む第 4 の不純物領域（p<sup>+</sup> 領域）622 を形成する。尚、第 4 の不純物領域 622 には先の第 1 のドーピング工程でリン（P）が添加された領域（n<sup>-</sup> 領域）であるが、p 型を付与する不純物元素の濃度がリン（P）の 1.5 ~ 3 倍添加されていて導電型は p 型となっている。

10

#### 【0079】

この後、レジストマスクを除去する。以上までの工程でそれぞれの半導体層に n 型または p 型の導電型を有する不純物領域が形成される。この段階での断面図を図 6 (C) に示す。

#### 【0080】

次いで、スパッタ法、LPCVD 法、またはプラズマ CVD 法等を用いて、水素を含む絶縁膜 640a を成膜した後、半導体層に添加された不純物元素の活性化および水素化を行う。水素を含む絶縁膜 640a は、PCVD 法により得られる窒化酸化珪素膜（SiN<sub>x</sub> 膜）を用いる。ここでは、水素を含む絶縁膜 640a の膜厚は、50 nm ~ 200 nm とする。加えて、結晶化を助長する金属元素、代表的にはニッケルを用いて半導体膜を結晶化させている場合、活性化と同時にチャネル形成領域におけるニッケルの低減を行うゲッタリングをも行うことができる。なお、水素を含む絶縁膜 640a は、層間絶縁膜の 1 層目であり、酸化珪素を含んでいる。

20

#### 【0081】

次いで、スパッタ法、LPCVD 法、またはプラズマ CVD 法等を用いて層間絶縁膜の 2 層目となる無機絶縁膜 640b を形成する。無機絶縁膜 640b としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜の単層または積層を用いる。ここでは無機絶縁膜 640b の膜厚は 600 nm ~ 800 nm とする。

30

#### 【0082】

また、無機絶縁膜 640b の一層として、塗布法で得られるシロキサン樹脂を用いてもよい。なお、シロキサン樹脂とは、Si-O-Si 結合を含む樹脂に相当する。シロキサンは、シリコン（Si）と酸素（O）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

#### 【0083】

次いで、フォトマスクを用いてレジストからなるマスクを形成し、絶縁膜 640a、640b 及び絶縁膜 613 を選択的にエッティングしてコンタクトホールを形成する。そして、レジストからなるマスクを除去する。

40

#### 【0084】

次いで、スパッタ法により金属膜を積層した後、フォトマスクを用いてレジストからなるマスクを形成し、選択的に金属積層膜をエッティングして、TFT のソース電極またはドレイン電極として機能する電極 641 ~ 647 を形成する。そして、レジストからなるマスクを除去する。なお、ここでの金属積層膜は、膜厚 100 nm の Ti 膜と、膜厚 350 nm の Si を微量に含む Al 膜と、膜厚 100 nm の Ti 膜との 3 層積層とする。

#### 【0085】

また、電極 641 ~ 647 の端面は、下方に配置された第 1 の導電層と第 3 の導電層の端面と重ならないように適宜、それぞれの線幅や位置を設定することが好ましい。

50

## 【0086】

以上の工程で、同一基板上にポリシリコン膜を活性層とするトップゲート型の TFT 636、637、638、639 が作製でき、この段階での断面図を図 6 (D) に示す。

## 【0087】

なお、駆動回路部に配置される TFT 636 はゲート電極と重なる低濃度不純物領域 (LDD 領域とも呼ぶ) を備えた n チャネル型 TFT であり、TFT 637 は p チャネル型 TFT である。駆動回路部においては、TFT 636 と TFT 637 を相補的に接続することで CMOS 回路を構成し、様々な種類の回路を実現することができる。

## 【0088】

また、画素部に配置される TFT 638 は、一つの TFT に複数のチャネル形成領域を有する n チャネル型 TFT である。TFT 638 は、ゲート電極と重ならない低濃度不純物領域 (LDD 領域とも呼ぶ) を備えたマルチゲート型の TFT である。また、画素部には、後に形成される発光素子と電気的に接続する TFT 639 が設けられる。ここでは、TFT 639 として、シングルゲート型の p チャネル型 TFT を示したが、特に限定されず、マルチゲート型の TFT としてもよい。

10

## 【0089】

次いで、第 1 の電極 623、即ち、有機発光素子の陽極 (或いは陰極) を形成する。第 1 の電極 623 として、仕事関数の大きい材料、例えば、Ni、W、Cr、Pt、Zn、Sn、In または Mo から選ばれた元素、または前記元素を主成分とする合金材料、例えば TiN、TiSi<sub>x</sub>N<sub>y</sub>、WSi<sub>x</sub>、WN<sub>x</sub>、WSi<sub>x</sub>N<sub>y</sub>、NbN を用いて、単層膜またはそれらの積層膜を総膜厚 100 nm ~ 800 nm の範囲で用いればよい。

20

## 【0090】

具体的には第 1 の電極 623 として、透光性を有する導電性材料からなる透明導電膜を用いればよく、酸化タンクスチタンを含むインジウム酸化物、酸化タンクスチタンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物などを用いることができる。勿論、インジウム錫酸化物 (ITO)、インジウム亜鉛酸化物 (IZO)、酸化ケイ素を添加したインジウム錫酸化物 (ITSO) なども用いることができる。

## 【0091】

各透光性を有する導電性材料の、組成比例を述べる。酸化タンクスチタンを含むインジウム酸化物の組成比は、酸化タンクスチタン 1.0 wt %、インジウム酸化物 99.0 wt % とすればよい。酸化タンクスチタンを含むインジウム亜鉛酸化物の組成比は、酸化タンクスチタン 1.0 wt %、酸化亜鉛 0.5 wt %、インジウム酸化物 98.5 wt % とすればよい。酸化チタンを含むインジウム酸化物は、酸化チタン 1.0 wt % ~ 5.0 wt %、インジウム酸化物 99.0 wt % ~ 95.0 wt % とすればよい。インジウム錫酸化物 (ITO) の組成比は、酸化錫 10.0 wt %、インジウム酸化物 90.0 wt % とすればよい。インジウム亜鉛酸化物 (IZO) の組成比は、酸化亜鉛 10.7 wt %、インジウム酸化物 89.3 wt % とすればよい。酸化チタンを含むインジウム錫酸化物の組成比は、酸化チタン 5.0 wt %、酸化錫 10.0 wt %、インジウム酸化物 85.0 wt % とすればよい。上記組成比は例であり、適宜その組成比の割合は設定すればよい。

30

## 【0092】

次いで、塗布法により得られる絶縁膜 (例えば、アルキル基を含む SiO<sub>x</sub> 膜や有機樹脂膜) をパターニングして、第 1 の電極 623 の端部を覆う絶縁物 629 (バンク、隔壁、障壁、土手などと呼ばれる) を形成する。

40

## 【0093】

次いで、有機化合物を含む層 624 を、蒸着法または塗布法を用いて形成する。次いで、第 2 の電極 625、即ち、有機発光素子の陰極 (或いは陽極) を形成する。第 2 の電極 625 としては、MgAg、MgIn、AlLi などの合金、または透明導電膜 (ITO など) を用いる。

## 【0094】

50

次いで、蒸着法またはスパッタ法により保護層 626 を形成する。保護層 626 は、第2の電極 625 を保護する。保護層 626 を通過させて発光素子の発光を取り出す場合、保護層 626 には透明な材料とすることが好ましい。なお、必要でなければ保護層 626 は設けなくともよい。

#### 【0095】

次いで、封止基板 633 をシール材 628 で貼り合わせて発光素子を封止する。即ち、発光表示装置は、表示領域の外周をシール材で囲み、一対の基板で封止される。TFT の層間絶縁膜は、基板全面に設けられているため、シール材のパターンが層間絶縁膜の外周縁よりも内側に描画された場合、シール材のパターンの外側に位置する層間絶縁膜の一部から水分や不純物が浸入する恐れがある。従って、TFT の層間絶縁膜として用いる絶縁膜の外周は、シール材のパターンの内側、好ましくは、シール材パターンと重なるようにして絶縁膜の端部をシール材が覆うようにする。なお、シール材 628 で囲まれた領域には充填材 627 を充填する。或いは、シール材 628 で囲まれた領域には乾燥した不活性ガスを充填する。

#### 【0096】

最後に FPC 632 を異方性導電膜 631 により公知の方法で端子電極と貼りつける。(図7) なお、端子電極は、第1の電極 623 と同じ工程で得られる透明導電膜を端子電極の最上層に用いることが好ましく、ゲート配線と同時に形成された端子電極の一層となる第3の導電層 615c 上に形成する。

#### 【0097】

以上の工程によって、画素部と駆動回路と端子部とを同一基板上に形成することができる。

#### 【0098】

本実施の形態において、電極 641 ~ 647 の端面が、下方に配置された第1の導電層と第3の導電層の端面と重ならないように適宜、それぞれの線幅や位置を設定されており、絶縁物 629 の膜厚が確保されている。従って、膜厚が部分的に薄くなることが防がれて、電極 641 ~ 647 と第2の電極 625 とが重なる部分での短絡発生の防止ができる。

#### 【0099】

また、発光装置において、発光装置の発光表示面は、一面または両面であってもよい。第1の電極 623 と第2の電極 625 とを透明導電膜で形成した場合、発光素子の光は、基板 610 及び封止基板 633 を通過して両側に取り出される。この場合、封止基板 633 や充填材 627 は透明な材料を用いることが好ましい。

#### 【0100】

また、第2の電極 625 を金属膜で形成し、第1の電極 623 を透明導電膜で形成した場合、発光素子の光は、基板 610 のみを通過して一方に取り出される構造、即ちボトムエミッション型となる。この場合、封止基板 633 や充填材 627 は透明な材料を用いなくともよい。

#### 【0101】

また、第1の電極 623 を金属膜で形成し、第2の電極 625 を透明導電膜で形成した場合、発光素子の光は、封止基板 633 のみを通過して一方に取り出される構造、即ちトップエミッション型となる。この場合、基板 610 は透明な材料を用いなくともよい。

#### 【0102】

また、第1の電極 623 及び第2の電極 625 は仕事関数を考慮して材料を選択する必要がある。但し第1の電極及び第2の電極は、画素構成によりいずれも陽極、又は陰極となりうる。駆動用 TFT の極性が p チャネル型である場合、第1の電極を陽極、第2の電極を陰極とするとよい。また、駆動用 TFT の極性が N チャネル型である場合、第1の電極を陰極、第2の電極を陽極とすると好ましい。

#### 【0103】

また、発光装置において、画面表示の駆動方法は特に限定されず、例えば、点順次駆動方法や線順次駆動方法や面順次駆動方法などを用いればよい。代表的には、線順次駆動方法

10

20

30

40

50

とし、時分割階調駆動方法や面積階調駆動方法を適宜用いればよい。また、発光装置のソース線に入力する映像信号は、アナログ信号であってもよいし、デジタル信号であってもよく、適宜、映像信号に合わせて駆動回路などを設計すればよい。

【0104】

さらに、ビデオ信号がデジタルの発光装置において、画素に入力されるビデオ信号が定電圧(CV)のものと、定電流(CC)のものとがある。ビデオ信号が定電圧のもの(CV)には、発光素子に印加される信号の電圧が一定のもの(CVCV)と、発光素子に印加される信号の電流が一定のもの(CVCC)とがある。また、ビデオ信号が定電流のもの(CC)には、発光素子に印加される信号の電圧が一定のもの(CCCV)と、発光素子に印加される信号の電流が一定のもの(CCCC)とがある。

10

【0105】

また、発光装置において、静電破壊防止のための保護回路(保護ダイオードなど)を設けてよい。

【0106】

また、本実施の形態は、実施の形態1乃至3のいずれか一と自由に組み合わせができる。

【0107】

(実施の形態5)

ここでは、図8を用いて、発光表示パネルにFPCや、駆動用の駆動ICを実装する例について説明する。

20

【0108】

図8(A)に示す図は、FPC1209を4カ所の端子部1208に貼り付けた発光装置の上面図の一例を示している。基板1210上には発光素子及びTFTを含む画素部1202と、TFTを含むゲート側駆動回路1203と、TFTを含むソース側駆動回路1201とが形成されている。TFTの活性層が結晶構造を有する半導体膜で構成されており、同一基板上にこれらの回路を形成している。従って、システムオンパネル化を実現したEL表示パネルを作製することができる。

【0109】

なお、基板1210はコンタクト部以外において保護膜で覆われており、保護膜上に光触媒機能を有する物質を含む下地層が設けられている。

30

【0110】

また、画素部を挟むように2カ所に設けられた接続領域1207は、発光素子の第2の電極を下層の配線とコンタクトさせるために設けている。なお、発光素子の第1の電極は画素部に設けられたTFTと電気的に接続している。

【0111】

また、封止基板1204は、画素部および駆動回路を囲むシール材1205、およびシール材に囲まれた充填材料によって基板1210と固定されている。また、透明な乾燥剤を含む充填材料を充填する構成としてもよい。また、画素部と重ならない領域に乾燥剤を配置してもよい。

【0112】

また、図8(A)に示した構造は、XGAクラスの比較的大きなサイズ(例えば対角4.3インチ)の発光装置で好適な例を示したが、図9(B)は、狭額縁化させた小型サイズ(例えば対角1.5インチ)で好適なCOG方式を採用した例である。

40

【0113】

図8(B)において、基板1310上に駆動IC1301が実装され、駆動ICの先に配置された端子部1308にFPC1309を実装している。実装される駆動IC1301は、生産性を向上させる観点から、一辺が300mmから1000mm以上の矩形状の基板上に複数個作り込むとよい。つまり、基板上に駆動回路部と入出力端子を一つのユニットとする回路パターンを複数個形成し、最後に分割して駆動ICを個別に取り出せばよい。駆動ICの長辺の長さは、画素部の一辺の長さや画素ピッチを考慮して、長辺が15~

50

80 mm、短辺が1～6 mmの矩形状に形成してもよいし、画素領域の一辺、又は画素部の一辺と各駆動回路の一辺とを足した長さに形成してもよい。

【0114】

駆動ICのICチップに対する外形寸法の優位性は長辺の長さにあり、長辺が15～80 mmで形成された駆動ICを用いると、画素部に対応して実装するのに必要な数がICチップを用いる場合よりも少なくて済み、製造上の歩留まりを向上させることができる。また、ガラス基板上に駆動ICを形成すると、母体として用いる基板の形状に限定されないので生産性を損なうことがない。これは、円形のシリコンウエハからICチップを取り出す場合と比較すると、大きな優位点である。

【0115】

また、TAB方式を採用してもよく、その場合は、複数のテープを貼り付けて、該テープに駆動ICを実装すればよい。COG方式の場合と同様に、単数のテープに単数の駆動ICを実装してもよく、この場合には、強度の問題から、駆動ICを固定するための金属片等と一緒に貼り付けるとよい。

【0116】

また、画素部1302と駆動IC1301の間に設けられた接続領域1307は、発光素子の第2の電極を下層の配線とコンタクトさせるために設けている。なお、発光素子の第1の電極は画素部に設けられたTFTと電気的に接続している。

【0117】

また、封止基板1304は、画素部1302を囲むシール材1305、およびシール材に囲まれた充填材料によって基板1310と固定されている。

【0118】

また、画素部のTFTの活性層として非晶質半導体膜を用いる場合には、駆動回路を同一基板上に形成することは困難であるため、大きなサイズであっても図8(B)の構成となる。

【0119】

また、ここでは表示装置としてアクティブマトリクス型の発光装置の例を示したが、アクティブマトリクス型の液晶表示装置にも適用できることはいうまでもない。アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、素子基板に設けられた画素電極と対向基板に設けられた対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。対向基板と素子基板は、等間隔で配置され、液晶材料が充填されている。液晶材料は、シール材を閉パタンとして気泡が入らないように減圧下で液晶の滴下を行い、両方の基板を貼り合わせる方法を用いてもよいし、開口部を有するシールパターンを設け、TFT基板を貼りあわせた後に毛細管現象を用いて液晶を注入するディップ式(汲み上げ式)を用いてもよい。

【0120】

また、カラーフィルタを用いずに、光シャッタを行い、RGBの3色のバックライト光源を高速で点滅させるフィールドシーケンシャル方式の駆動方法を用いた液晶表示装置にも本発明は、適用できる。

【0121】

以上の様に、本発明を実施する、即ち実施の形態1乃至4のいずれか一の作製方法または構成を用いて、様々な電子機器を完成させることができる。

【0122】

(実施の形態6)

本発明の半導体装置、及び電子機器として、ビデオカメラ、デジタルカメラ等のカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータなどのパーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携

10

20

30

40

50

帶電話、携帯型ゲーム機又は電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。それら電子機器の具体例を図9および図10に示す。

【0123】

図9(A)はデジタルカメラであり、本体2101、表示部2102、撮像部、操作キー2104、シャッター2106等を含む。なお、図9(A)は表示部2102側からの図であり、撮像部は示していない。本発明により、信頼性の高いデジタルカメラが実現できる。

【0124】

図9(B)はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明により、信頼性の高いノート型パーソナルコンピュータを実現することができる。

【0125】

図9(C)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体(DVD等)読込部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示する。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。本発明により、信頼性の高い画像再生装置を実現することができる。

【0126】

また、図9(D)は表示装置であり、筐体1901、支持台1902、表示部1903、スピーカ1904、ビデオ入力端子1905などを含む。この表示装置は、上述した実施の形態で示した作製方法により形成した薄膜トランジスタをその表示部1903および駆動回路に用いることにより作製される。なお、表示装置には液晶表示装置、発光装置などがあり、具体的にはコンピュータ用、テレビ受信用、広告表示用などの全ての情報表示用表示装置が含まれる。本発明により、信頼性の高い表示装置、特に22インチ~50インチの大画面を有する大型の表示装置を実現することができる。

【0127】

図10で示す携帯電話機は、操作スイッチ類904、マイクロフォン905などが備えられた本体(A)901と、表示パネル(A)908、表示パネル(B)909、スピーカ906などが備えられた本体(B)902とが、蝶番910で開閉可能に連結されている。表示パネル(A)908と表示パネル(B)909は、回路基板907と共に本体(B)902の筐体903の中に収納される。表示パネル(A)908及び表示パネル(B)909の画素部は筐体903に形成された開口窓から視認できるように配置される。

【0128】

表示パネル(A)908と表示パネル(B)909は、その携帯電話機900の機能に応じて画素数などの仕様を適宜設定することができる。例えば、表示パネル(A)908を主画面とし、表示パネル(B)909を副画面として組み合わせることができる。

【0129】

本発明により、信頼性の高い携帯情報端末を実現することができる。

【0130】

本実施の形態に係る携帯電話機は、その機能や用途に応じてさまざまな態様に変容し得る。例えば、蝶番910の部位に撮像素子を組み込んで、カメラ付きの携帯電話機としても良い。また、操作スイッチ類904、表示パネル(A)908、表示パネル(B)909を一つの筐体内に納めた構成としても、上記した作用効果を奏することができる。また、表示部を複数個そなえた情報表示端末に本実施の形態の構成を適用しても、同様な効果を得ることができる。

【0131】

10

20

30

40

50

以上の様に、本発明を実施する、即ち実施の形態 1 乃至 5 のいずれか一の作製方法または構成を用いて、様々な電子機器を完成させることができる。

【産業上の利用可能性】

【0132】

本発明は、半導体装置の製造時および製造後の短絡発生を効果的に防止することができるため、有用である。

【図面の簡単な説明】

【0133】

【図 1】発光装置の画素の一部を示す上面図及び断面図。（実施の形態 1）

10

【図 2】配線付近の断面の写真および模式図。（実施の形態 2）

【図 3】画素のレイアウトの一例を示す上面図。（実施の形態 2）

【図 4】画素のレイアウトの一例を示す上面図。（実施の形態 3）

【図 5】発光装置の作製工程を示す図。（実施の形態 4）

【図 6】発光装置の作製工程を示す図。（実施の形態 4）

【図 7】発光装置の作製工程を示す図。（実施の形態 4）

【図 8】アクティブマトリクス型 E L 表示装置の構成を示す図。（実施の形態 5）

【図 9】電子機器の一例を示す図。（実施の形態 6）

【図 10】電子機器の一例を示す図。（実施の形態 6）

【図 11】比較例を示す図。

【図 12】発光装置の画素の一部を示す上面図及び断面図。（実施の形態 1）

20

【符号の説明】

【0134】

1 0 ガラス基板

1 1 第 1 の絶縁層

1 2 第 1 の配線

1 3 第 2 の配線

1 4 金属層

1 5 第 2 の絶縁層

1 6 第 3 の絶縁層

1 7 a チタン層

30

1 7 b アルミニウム層

1 8 第 4 の絶縁層

2 0 ガラス基板

2 1 ゲートメタル層

2 2 第 1 の絶縁層

2 3 a 第 1 のチタン膜

2 3 b アルミニウム膜

2 3 c 第 2 のチタン膜

2 4 第 2 の絶縁層

2 5 上部電極

40

3 1 第 2 の配線

3 2 第 2 の配線

3 3 電極

3 4 電極

4 1 第 1 の配線

4 2 第 1 の配線

5 0 第 1 の電極層

5 1 薄膜トランジスタ

5 2 薄膜トランジスタ

5 3 ゲート配線層

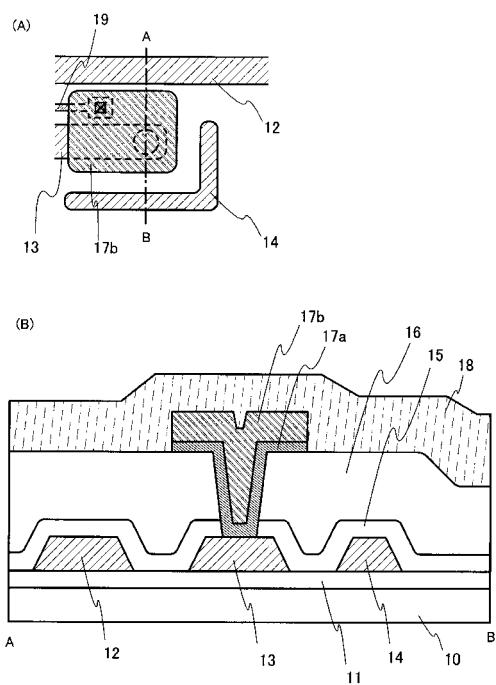
50

|         |                 |    |
|---------|-----------------|----|
| 5 4     | ソース配線層又はドレイン配線層 |    |
| 5 5     | 電源線             |    |
| 5 6 a   | 導電層             |    |
| 5 6 b   | 導電層             |    |
| 5 6 c   | 導電層             |    |
| 5 6 d   | 導電層             |    |
| 5 7     | 導電層             |    |
| 5 8     | ソース電極層又はドレイン電極層 |    |
| 6 0     | ガラス基板           |    |
| 6 1     | ゲートメタル層         | 10 |
| 6 2     | 第1の絶縁層          |    |
| 6 3 a   | 第1のチタン膜         |    |
| 6 3 b   | アルミニウム膜         |    |
| 6 3 c   | 第2のチタン膜         |    |
| 6 4     | 第2の絶縁層          |    |
| 6 5     | 上部電極            |    |
| 6 1 0   | 基板              |    |
| 6 1 1   | 下地絶縁膜           |    |
| 6 1 2   | 半導体層            |    |
| 6 1 3   | 絶縁膜             | 20 |
| 6 1 4 a | 第1の導電層          |    |
| 6 1 4 b | 第2の導電層          |    |
| 6 1 4 c | 第3の導電層          |    |
| 6 1 5 a | 第1の導電層          |    |
| 6 1 5 b | 第2の導電層          |    |
| 6 1 5 c | 第3の導電層          |    |
| 6 1 6   | マスク             |    |
| 6 1 7   | タンゲステンを含む薄い膜    |    |
| 6 1 8   | 第1の不純物領域        |    |
| 6 1 9   | マスク             | 30 |
| 6 2 0 a | 第2の不純物領域        |    |
| 6 2 0 b | 第3の不純物領域        |    |
| 6 2 1   | マスク             |    |
| 6 2 2   | 第4の不純物領域        |    |
| 6 2 3   | 第1の電極           |    |
| 6 2 4   | 有機化合物を含む層       |    |
| 6 2 5   | 第2の電極           |    |
| 6 2 6   | 保護層             |    |
| 6 2 7   | 充填材             |    |
| 6 2 8   | シール材            | 40 |
| 6 2 9   | 絶縁物             |    |
| 6 3 1   | 異方性導電膜          |    |
| 6 3 2   | F P C           |    |
| 6 3 6   | nチャネル型TFT       |    |
| 6 3 7   | pチャネル型TFT       |    |
| 6 3 8   | nチャネル型TFT       |    |
| 6 3 9   | pチャネル型TFT       |    |
| 6 4 0 a | 水素を含む絶縁膜        |    |
| 6 4 0 b | 無機絶縁膜           |    |
| 6 4 1   | 電極              | 50 |

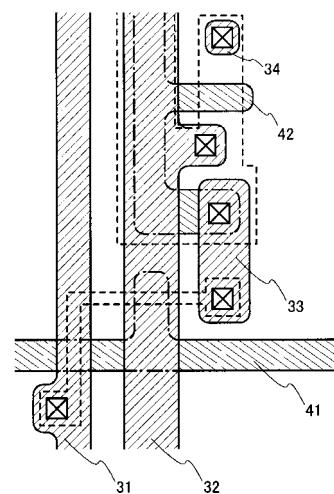
|         |             |    |
|---------|-------------|----|
| 6 4 2   | 電極          |    |
| 6 4 3   | 電極          |    |
| 6 4 4   | 電極          |    |
| 6 4 5   | 電極          |    |
| 6 4 6   | 電極          |    |
| 6 4 7   | 電極          |    |
| 9 0 0   | 携帯電話機       |    |
| 9 0 1   | 本体 ( A )    |    |
| 9 0 2   | 本体 ( B )    |    |
| 9 0 3   | 筐体          | 10 |
| 9 0 4   | 操作スイッチ類     |    |
| 9 0 5   | マイクロフォン     |    |
| 9 0 6   | スピーカ        |    |
| 9 0 7   | 回路基板        |    |
| 9 0 8   | 表示パネル ( A ) |    |
| 9 0 9   | 表示パネル ( B ) |    |
| 9 1 0   | 蝶番          |    |
| 1 2 0 1 | ソース側駆動回路    |    |
| 1 2 0 2 | 画素部         |    |
| 1 2 0 3 | ゲート側駆動回路    | 20 |
| 1 2 0 4 | 封止基板        |    |
| 1 2 0 5 | シール材        |    |
| 1 2 0 7 | 接続領域        |    |
| 1 2 0 8 | 端子部         |    |
| 1 2 0 9 | F P C       |    |
| 1 2 1 0 | 基板          |    |
| 1 3 0 1 | 駆動 I C      |    |
| 1 3 0 2 | 画素部         |    |
| 1 3 0 4 | 封止基板        |    |
| 1 3 0 5 | シール材        | 30 |
| 1 3 0 7 | 接続領域        |    |
| 1 3 0 8 | 端子部         |    |
| 1 3 0 9 | F P C       |    |
| 1 9 0 1 | 筐体          |    |
| 1 9 0 2 | 支持台         |    |
| 1 9 0 3 | 表示部         |    |
| 1 9 0 4 | スピーカ        |    |
| 1 9 0 5 | ビデオ入力端子     |    |
| 2 1 0 1 | 本体          |    |
| 2 1 0 2 | 表示部         | 40 |
| 2 1 0 4 | 操作キー        |    |
| 2 1 0 6 | シャッター       |    |
| 2 2 0 1 | 本体          |    |
| 2 2 0 2 | 筐体          |    |
| 2 2 0 3 | 表示部         |    |
| 2 2 0 4 | キーボード       |    |
| 2 2 0 5 | 外部接続ポート     |    |
| 2 2 0 6 | ポインティングマウス  |    |
| 2 4 0 1 | 本体          |    |
| 2 4 0 2 | 筐体          | 50 |

- 2 4 0 3 表示部 A  
 2 4 0 4 表示部 B  
 2 4 0 5 記録媒体読込部  
 2 4 0 6 操作キー  
 2 4 0 7 スピーカー部

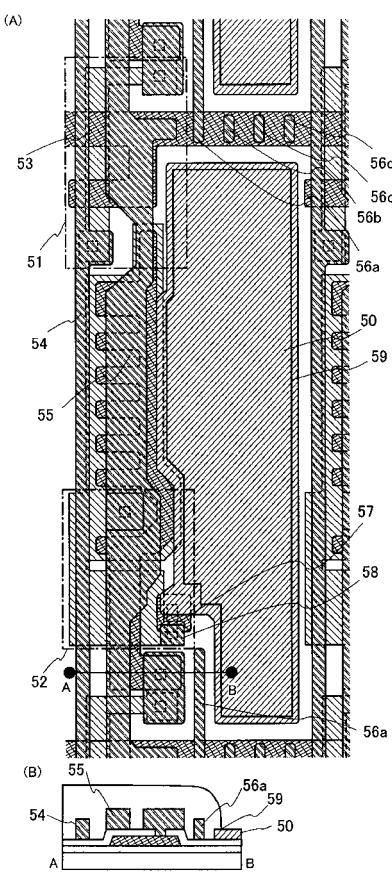
【図 1】



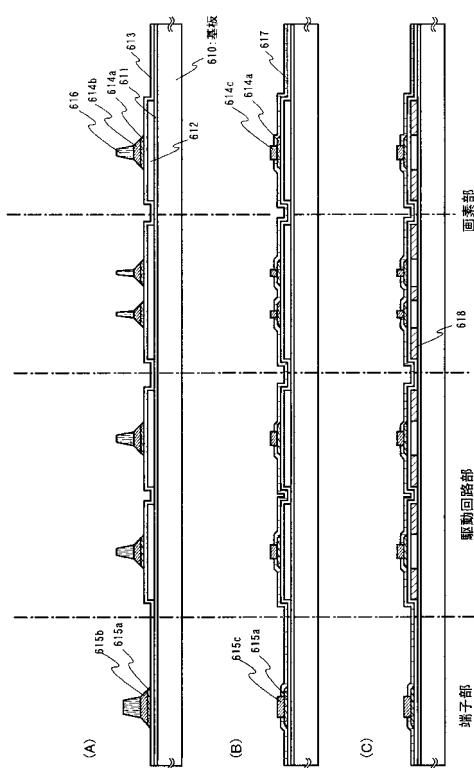
【図 3】



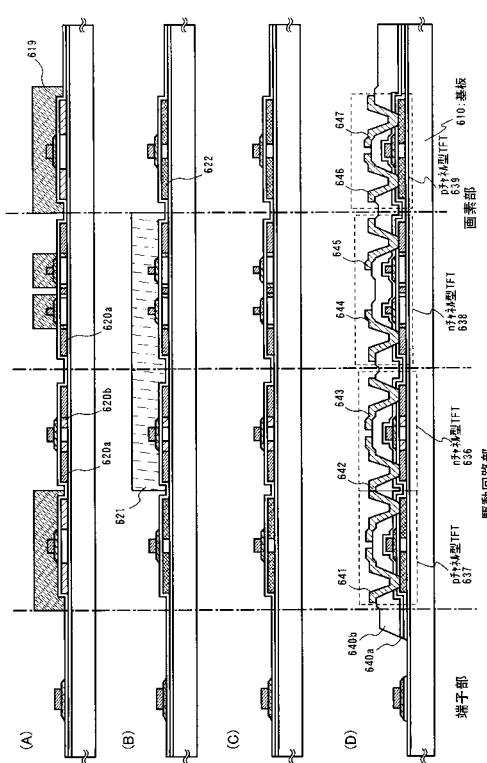
【図4】



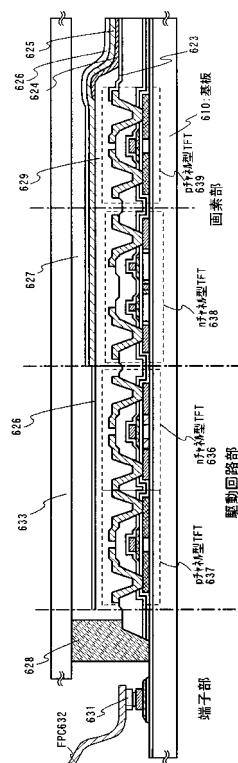
【図5】



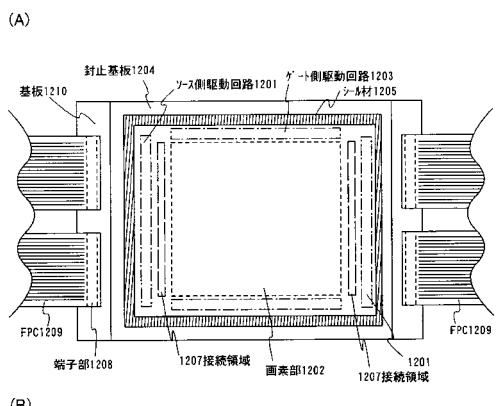
【図6】



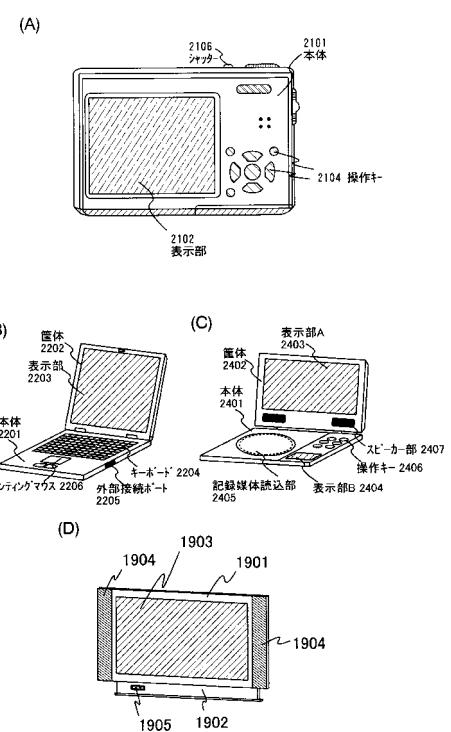
【図7】



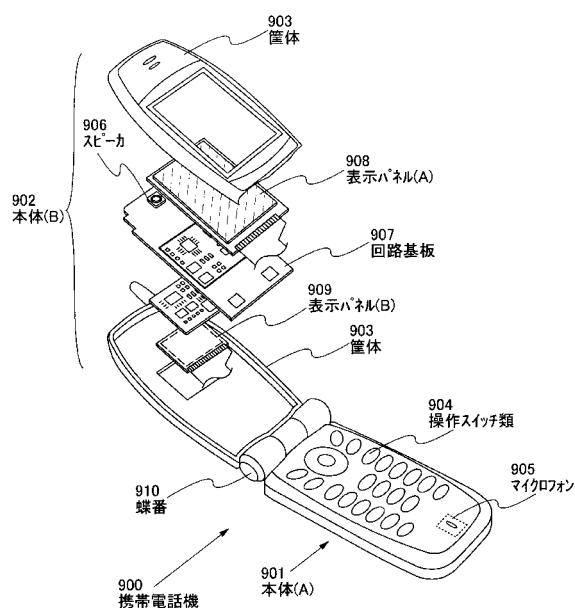
【図 8】



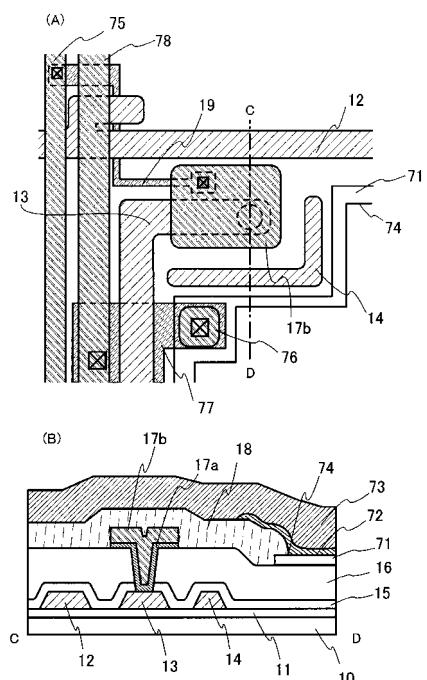
【図 9】



【図 10】

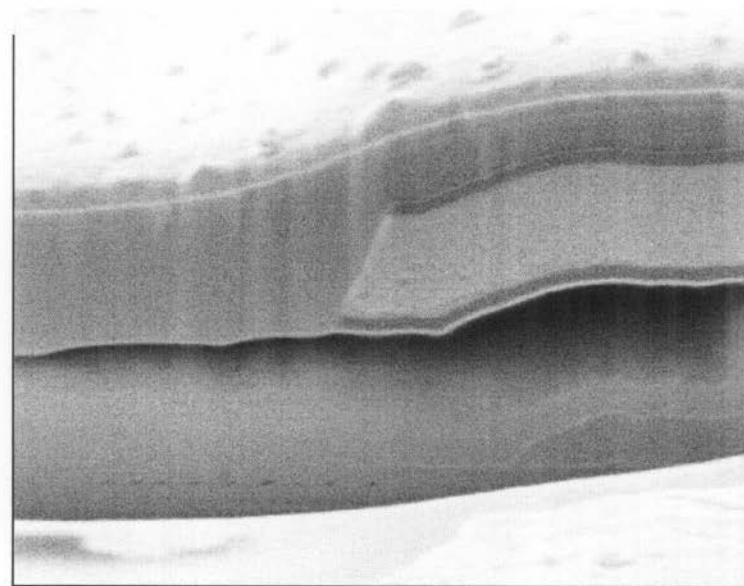


【図 12】

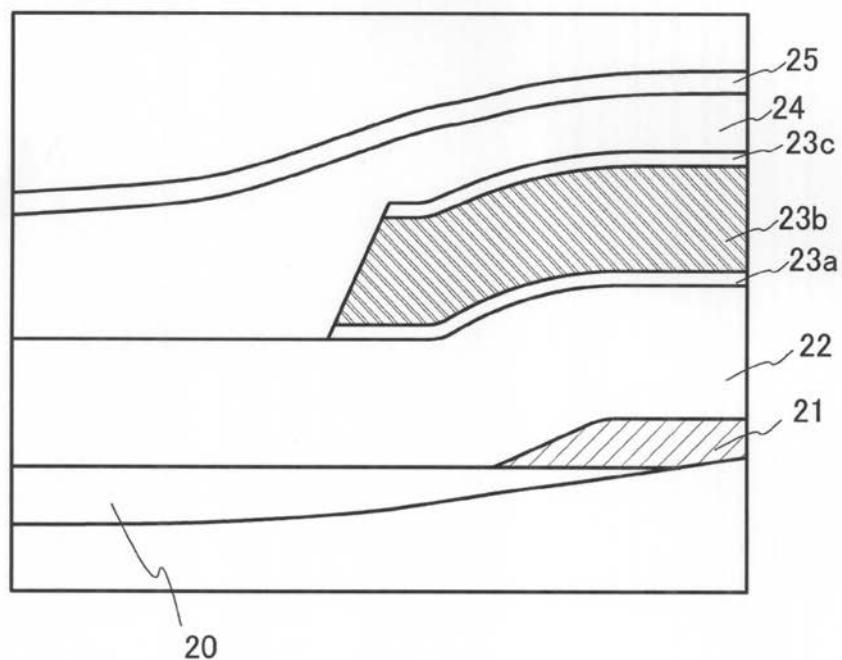


【図2】

(A)

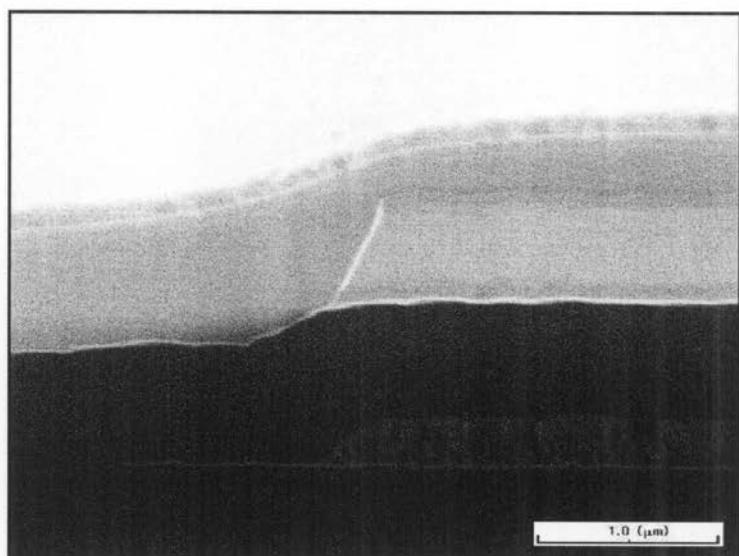


(B)

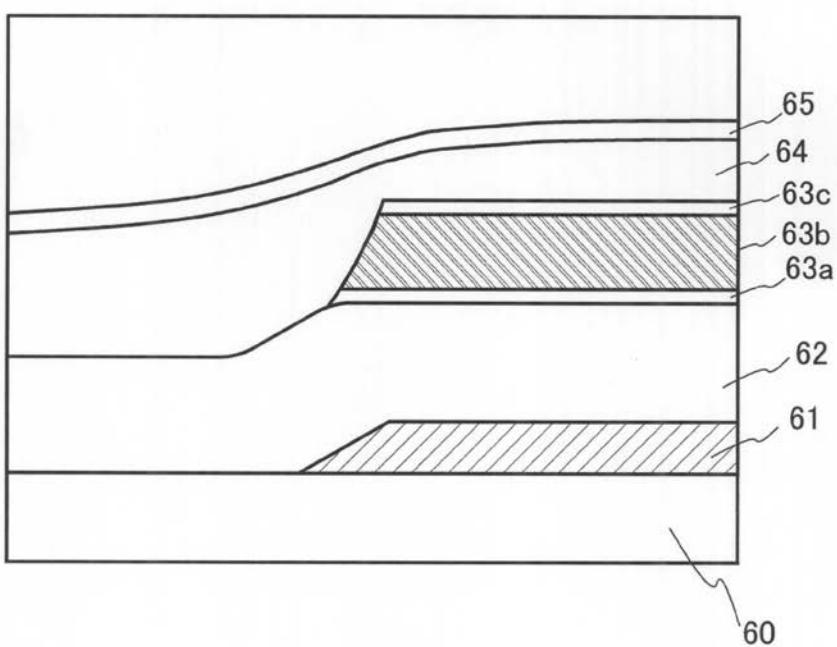


【図 11】

(A)



(B)



---

フロントページの続き

| (51)Int.Cl. |       | F I       |                 |
|-------------|-------|-----------|-----------------|
| H 0 5 B     | 33/12 | (2006.01) | H 0 5 B 33/12 B |
| H 0 1 L     | 51/50 | (2006.01) | H 0 5 B 33/14 A |
| H 0 5 B     | 33/22 | (2006.01) | H 0 5 B 33/22 Z |
| H 0 5 B     | 33/26 | (2006.01) | H 0 5 B 33/26 Z |

- (56)参考文献 特開平11-133457 (JP, A)  
特開2004-260133 (JP, A)  
特開2001-125137 (JP, A)  
特開2000-323698 (JP, A)  
特開2003-338368 (JP, A)  
特開2005-340011 (JP, A)  
特開2000-122097 (JP, A)

## (58)調査した分野(Int.Cl., DB名)

G 0 9 F 9 / 3 0 - 9 / 4 6  
H 0 1 L 2 7 / 3 2、5 1 / 5 0  
H 0 5 B 3 3 / 0 0 - 3 3 / 2 8  
G 0 2 F 1 / 1 3 4 3 - 1 / 1 3 4 5、1 / 1 3 5 - 1 / 1 3 6 8