

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權

美國 1999年07月01日 09/345,929 有 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明背景

1. 發明領域

本發明係有關於一種低溫度係數電阻器(TCRL)。

2. 相關技藝之敘述

先進的無線通訊產品需要具有高性能、高系統整合位階、低功率以及低成本之積體電路技術。對於高達數個GHz之無線通訊應用而言，矽BiCMOS技術特別適用以符合以上的要求。對於射頻(RF)設計而言，極為重要的是高品質被動元件的供應。詳而言之，提供具有低的電阻之溫度係數之佈植的薄膜電阻器是極為必要的。不幸地，供多晶矽薄膜電阻器之既有技術通常會造成具有相對大的電阻之溫度係數的薄膜電阻器。

發明之概述

本發明提供一種積體電路，其包括有一多晶矽精準電阻器，其具有一覆蓋於基板上之絕緣層，以及沉積於該絕緣層上之一多晶矽層，其特徵在於該多晶矽層具有一相對高之摻雜濃度，以及相當含量之未退火的佈植損害。

本發明亦提供一種多晶矽薄膜低溫度係數電阻器以及其製造方法。該低溫度係數電阻器係形成於一絕緣層上，該絕緣層一般係為二氧化矽或氮化矽。該層係包括有一多晶矽層，其具有一相對高之摻雜濃度，以及相當含量之未退火的佈植損害。該多晶矽係以一或多種物質佈植之。然而，相對於先前技藝之方法，該佈植之電阻器較之先前技藝之佈植電阻器係為退火不足，以在電阻器中留下若干未

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(2)

退火之損害。如此使得該低溫度係數電阻器具有較高之電阻，而不需要增加其溫度係數。因此，儘管溫度可能上升，其相對之電阻值依舊保持不變。藉此，該電阻器便更加精準，且可被用以符合高品質射頻裝置所要求之精準度。

本發明亦包括一種於積體電路中製造多晶矽精準電阻器的方法，其特徵在於下列步驟，包括：沉積一絕緣層於該積體電路上；沉積一多晶矽層於該絕緣層上；佈植離子至該多晶矽層內，以改變該多晶矽層之電阻值並且損害該多晶矽層；以及控制該多晶矽層之退火，以降低多晶矽電阻器之電阻的溫度係數，其中該退火溫度範圍係由 800°C 至 900°C 。

圖式之簡要說明

本發明將藉由下列參照附圖裡的實例而被說明，其中：

圖1-19係依序繪示在一BiCMOS製程中形成一低溫度係數電阻器之製程步驟；以及

圖20-25係顯示該低溫度係數電阻器之實驗結果。

本發明之詳細描述

一P-型基板在其上表面上方覆蓋有一適當之離子佈植幕罩，諸如沉積之氧化物、熱成長之氧化物或是光阻。在幕罩中形成開口，以定義出N+埋層區12.1與12.2。這些區域係以N-型佈植劑佈植，之後再將佈植幕罩除去。該N+埋層以一適當之退火操作驅入，且一N-型磊晶層11係成長於基板10的上方。結果，基板10被圖形化成CMOS區

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明(3)

100，其係由一過渡區150將其與雙極性NPN區200相隔開。該N+埋層係形成於即將形成P-型井之區域的下方。對於N-型井而言，並不需要有埋層。

隔離渠溝係形成於過渡區150中。起始渠溝形成步驟係如圖2所示。先在基板10上沉積一層均勻的渠溝光阻幕罩20並予以圖形化。該光阻被顯影以曝露出該渠溝區域21。一道適當之濕或乾蝕刻操作將該渠溝區域21蝕至N+埋層區12.1與12.2以下的位準。渠溝之底部再接著被佈植以形成適當之P+通道阻擋(channel stop)22。如圖3所示，下一步驟包括除去光阻20並沉積且圖案化出一側壁氧化層23。該側壁氧化層23被緻密化並且該基板10接著被施以多晶矽沉積步驟，其係沉積一多晶矽層於基板20上並且填滿該渠溝22。圖4係顯示渠溝之完成。接著，基板10再被平坦化，以從基板10的表面上除了上述之渠溝之外的所有面積，移除多晶矽層22以及熱氧化物23。這種平坦化係藉由習用之化學機械研磨操作而完成。

在CMOS元件形成的過程中，保護渠溝並且覆蓋該NPN區域200是十分重要的。同樣地，此一製程之目標在於盡可能地結合較多的CMOS與雙極性元件之製程步驟。因此，參閱圖5，在接下來的CMOS製程步驟中，渠溝一開始便被保護。此一保護步驟包括於該渠溝上形成一層墊氧化層(pad oxide layer)51。在墊氧化層51之後形成的是一層N+下凹之光阻沉積，接著以圖案化與佈植步驟形成該N+下凹52，以作為稍後之NPN電晶體200之集極。隨後，在

五、發明說明(4)

基板10的表面上，於墊氧化層51上沉積一層氮化矽54。該氮化矽層54首先被圖案化以曝露出局部氧化(LOCOS)區域50。在LOCOS圖形化之後，使用一習用之局部氧化操作以形成局部氧化區域50，其提供NMOS與PMOS元件100之表面側向隔絕，並且將下凹50從NPN電晶體200之其他部分隔離開。除了渠溝22上方的區域之外，氮化矽係從基板10之其他表面上除去。接著，墊氧化層51係從基板10與磊晶區域11的表面上除去，以曝露出進一步製程所需之表面。

在接下來的步驟中，如圖6所示，在磊晶層11的表面上形成一犧牲氧化層。該氧化層係通常為CMOS元件100之N-型井與P-型井形成之第一步驟。適當的光阻幕罩與佈植62、63提供了CMOS元件100之N-型井與P-型井。較高P-型佈植提供接面隔絕，以分離PMOS與NMOS元件。通常以熱氧化層所組成之間極氧化層65係成長於磊晶層11的表面上。接續此一步驟的是沉積一層均勻的多晶矽層66，其並且接著被圖案化與摻雜，以形成如圖6所示的多晶矽閘極。

CMOS電晶體之下一製造步驟則如圖7所示。一NPN保護間隔氧化層(spacer oxide layer)78被均勻地於磊晶層11上。間隔氧化層78並覆蓋磊晶層11上之過渡區150與NPN區200。否則，接下來的CMOS製程步驟將會干擾到NPN電晶體的形成。間隔氧化層78並不只是提供CMOS元件所需要的側壁間隔層，並且也提供了NPN電晶體所需要

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(5)

之堅硬的幕罩以及表面隔離。在製程之初即進行沉積的操作可在製程的後半階段省下一或多道沉積與遮罩的步驟。結果，間隔氧化層78形成自我對準(self-aligned)之源極與汲極所需要之幕罩以及形成集極126與射極開口127所需之幕罩，如圖12所示。閘極66上方的間隔氧化層78再被圖案化與移除，以留下閘極66兩側邊的側壁間隔層70.1、70.2。

接著，NMOS與PMOS汲極會被施以低摻雜的汲極佈植劑72(N-型)與74(P-型)，以形成N-型低摻雜汲極區與P-型低摻雜汲極區。一退火步驟將該低摻雜汲極區驅入至略低於閘極的側壁。該低摻雜汲極區係使用閘極的側壁以作為幕罩。這些區域係以習用之方法自我對準形成，其藉由使用閘極作為幕罩並接著進行N-型與P-型佈植的步驟。在該步驟之後，於圖上所未繪示之一區域中，係以適當的光阻與佈植步驟，於N-型磊晶層11內形成一P+電阻器。

CMOS電晶體之下一製造步驟則如圖8所示。一屏障氧化層(screen oxide layer)82係被沉積並圖案化，以覆蓋該CMOS元件之低摻雜汲極區與源極區。這些區域再接著被適當地以佈值成P+或N+的離子佈植，以形成源極與汲極。該N-型與P-型之源極與汲極接著再被施以一道退火操作，其中擴散時間則被設定以調整源極與汲極的深度。

在完成了CMOS電晶體的形成之後，施以保護該CMOS電晶體於形成NPN電晶體時的步驟。第一步，如圖9所示之一CMOS氮化物保護層90被均勻地沉積於該磊晶層11上。

五、發明說明(6)

在該氮化物保護層90上，再沉積一層CMOS氧化物保護層92。在連續的兩道步驟中結合氮化物與氧化物層的使用，可以省下之後的製程步驟。由於這兩層對於彼此可以選擇性地被蝕刻，使用這兩層作為不同的蝕刻阻擋層可以省下許多之後的製程步驟。

一光阻層94被沉積並圖案化，以覆蓋CMOS元件以及至少部分的局部氧化(LOCOS)區，其從過渡區150延伸至CMOS區100。CMOS氮化物保護層90與氧化物保護層92係藉著適當的濕式蝕刻步驟從曝露之NPN區200被移除。蝕刻步驟的結果，使得間隔氧化層78被曝露出來，如圖10所示。

煩請參閱圖11，一熱氧化物光阻層110被均勻地沉積於間隔氧化層78，並隨後予以圖案化以使其在NPN區200中具有開口112與114。由於塗滿了光阻110，使得曝露區112與114內的間隔氧化層78被移除，以曝露出下凹52的表面以及NPN電晶體200的表面。在NPN電晶體的形成過程中，首先形成外質基極，接著是本質基極，最後則是射極。該外質基極包括有沉積於磊晶層11上的堆疊層。煩請參閱圖12，該堆疊層包括有一摻雜之多晶矽層120、一矽化鎢層121、一多晶矽蓋層122、一多晶矽間氧化層123、以及一氮化鈦抗反射層124。該摻雜之多晶矽層120、矽化鎢層121、多晶矽蓋層122在沉積之後，在由硼離子佈植而形成外質基極。該堆疊被適當地圖案化，以形成射極開口127。熱處理的結果，來自摻雜之多晶矽層

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(7)

120的摻雜劑會形成外質基極。更進一步穿透該射極開口127之硼離子佈植則形成本質基極。一道SIC佈植亦透過本質基極與射極開口127而完成。該SIC佈植連接該N+埋層。再將該SIC退火，將射極表面氧化，以及一P-型佈植形成本質基極。參閱圖13，一基極之間隔氧化層130被沉積以遮罩該基極區。該間隔氧化層131係藉由適當之氫氟酸溶液而進行蝕刻。之後，一射極多晶矽層132被沉積並圖案化以形成射極接觸134以及集極接觸133。在接下來的退火操作中，該N-型摻雜劑係從該射極多晶矽層132擴散至磊晶層11的表面，以形成NPN電晶體200之射極與集極。

圖14與圖15則繪示具有相對低的電阻溫度係數之多晶矽電阻器(TCRL)141。第一步，一保護氧化層140被沉積於磊晶層11上。此層保護任何曝露的射極多晶矽層132，以避免於TCRL區被定義時被蝕刻。一多晶矽層142被沉積於開口中。接著，該多晶矽層142被施以一道BF₂佈植143。最後，該TCRL 141係由一光阻層所覆蓋並蝕刻至其適當尺寸。如圖15所示，該TCRL層141再由一保護氧化層144所覆蓋。該氧化層係適當地被圖案化與遮罩，以保護其下方之TCRL層141的部分。

在此製程中，我們已成功地研製出一種低溫度係數電阻器(TCRL)141，其具有750Ω/□的電阻值以及小於100 ppm的電阻溫度係數。該電阻器之形成係藉由使用非選擇性BF₂佈植，以摻雜該多晶矽層。一道900℃之快速熱退火

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(8)

(RTA)步驟活化了該電阻器內的佈植並且決定該雙極性200與金氧半元件100之最後的摻雜分佈。值得注意的是，一道TCRL多晶矽則在稍後被沉積。因此，可以沉積非晶矽層，並藉由添加摻雜劑以改變其電阻率。一非選擇性BF₂佈植可用來摻雜該非晶矽層。接著以一道幕罩來清除所有接觸區域的氧化物，並且使用一道900°C之快速熱退火(RTA)步驟來活化該電阻器內的佈植。因此，電阻器之接點於最後的後段製程中被矽化。

該低溫度係數電阻器(TCRL)141分離了電阻與溫度敏感度之關係。至目前為止，係假設高電阻係數導致較高的溫度敏感度。吾人藉由提供一具有可調整之摻雜的相對薄膜以設定其電阻係數為750Ω/□，並將電阻與溫度敏感度之關係分離。吾等發現當BF₂佈植到一個高的位準時，會觀察到所未預期見到之電阻上升。當然，此乃與直覺相反之即果。此一現象只有當使用硼來摻雜該多晶矽層時才不會出現。通常我們會預期較高的摻雜位準會降低電阻值，而不會將其升高。吾等相信在高劑量下的較重離子(如BF₂)會在多晶矽層中產生大量的損害，且該損害無法在相對低的溫度(900°C)下以快速熱退火(RTA)的方式被退火以活化該佈植。該佈植損害會產生額外的陷阱位置(trapping sites)，以捕捉載子，而在高摻雜劑量時造成上升之電阻。吾等相信，共同使用其他離子的佈植也可以產生類似的結果，如此可使用同樣劑量的硼離子佈植以產生更高電阻值的電阻器以及PNP's之射極或低電阻係數之NPN's之外質基

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(9)

極或MOS元件之源極與汲極。在本發明較佳具體實施例中，該多晶矽層142具有70奈米(nm)的厚度，並且可選用介於65奈米至75奈米的厚度。其硼離子142濃度係為 1.3×10^{16} ，並且可以選用介於 9×10^{15} 至 1.5×10^{16} 的濃度。

在研發的初期，係選擇具有中等硼劑量的三種薄膜厚度以作為評估。如表1所示，最薄的薄膜之結果最接近我們目標的 $750 \Omega/\square$ 。然而，三種情形之電阻溫度係數(TCRs)均超過100 ppm的目標。一第二測試組則採用較薄的薄膜厚度，並且改變佈植劑量於超過十倍的範圍，以預期較高劑量會導致較低的薄板電阻值(sheet resistances)以及較低的電阻溫度係數(TCR)。

多晶矽厚度	薄板電阻值(Ω/\square)	電阻溫度係數(ppm)
薄	650	228
中等	532	238
厚	431	292

表1 電阻溫度係數/薄板電阻值 vs. 多晶矽厚度

首先，如圖20所示，隨著劑量的增加，薄板電阻值與電阻溫度係數(TCR)只有微小的改變。然而，隨著佈植開始接近最高位準，出現了未預期見到之上升電阻，而電阻溫度係數(TCR)則急遽下降，直到其在最高劑量時成為負值。

Yamaguchi等人在 "Process and Device Characterization for a 30-GHz ft Submicrometer Double Poly-Si Bipolar Technology Using BF₂-Implanted Base with Rapid Thermal

五、發明說明 (10)

Process", IEEE TED, August 1993中觀察到薄板電阻值與電阻溫度係數(TCR)之間的相同關係。在其研究中，具有150奈米(nm)非晶層之硼摻雜P-型多晶矽電阻器之電阻溫度係數在薄板電阻值為600-800 Ω/\square 時到達零。然而，在他們研究的劑量範圍內，電阻值隨著硼劑量的增加而下降。

在一個以降低電阻溫度係數為目標的平行實驗中，硼與添加另一物質(BF₂)的硼被佈植到一中等厚度的薄膜中。其佈植能量係被調整以補償不同物質的能量範圍。其結果再一次地出乎意料之外。佈植硼的樣本具有200 Ω/\square 之平均電阻值以及445 ppm之電阻溫度係數，而添加有BF₂的樣本則具有525 Ω/\square 之平均電阻值以及221 ppm之電阻溫度係數。

根據以上之實驗結果，吾人懷疑較重的離子在具有極高劑量時會在多晶矽層中產生大量的損害，其無法藉由快速熱退火的方式於900°C的溫度被退火。這種損害產生額外的陷阱位置，以捕捉載子，而在高摻雜劑量時造成上升之電阻。因此，吾等相信，共同使用其他離子的佈植也可以產生類似的結果，如此可使用同樣劑量的硼離子佈植以產生更高電阻值的電阻器以及PNPs之射極或低電阻係數之NPNs之外質基極或MOS元件之源極與汲極。

表2係顯示在不同佈植劑量下，快速熱退火(RTA)溫度對於薄板電阻值以及電阻溫度係數(TCR)的效應。再次地，較低的RTA溫度所產生之較高薄板電阻值會導致較低的電

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明 (11)

阻溫度係數(TCRs)，除了在較低劑量時較不明顯，其中763的電阻值導致168 ppm的電阻溫度係數。

此一結果支持了佈植損害係為之前所觀察到之電阻溫度係數行為之主要原因的理論。較低的快速熱退火溫度會導致抑制之載子活性以及較高的薄板電阻。因此，佈植損害較無法被退火。然而，在低劑量時，由於沒有足夠的佈植損害，以降低載子遷移率至對於溫度變動較不敏感的程度。

劑量	薄板電阻值(Ω / \square)	電阻溫度係數 (ppm)	快速熱退火溫度 ($^{\circ}\text{C}$)
低	637	293	900
低	763	168	800
中	628	271	900
中	849	76	800
高	726	90	900
高	832	22	800

表2 電阻溫度係數/薄板電阻值 vs. 快速熱退火溫度

圖21係為一 30×30 微米(mm)電阻器之散射圖，其繪示電阻溫度係數對於薄板電阻值於 50°C 時的關係，其係選擇於最低量測點。該電阻溫度係數係以將曲線切合(fitting)至量測數值的方式計算之，其範圍介於 $50 \sim 125^{\circ}\text{C}$ 之間，而以 25°C 為間隔。虛線係表示此一發展計劃所設定之目標。

兩個不同的實驗之部分係從 $-50 \sim 150^{\circ}\text{C}$ 被分析與量測。圖22係顯示九個部分之薄板電阻值在此溫度範圍內之的平均

(請先閱讀背面之注意事項再填寫本頁)

訂 · 線

五、發明說明 (12)

改變量，而圖23則為顯示此組電阻溫度係數測量結果之計算值。實線代表線性切合，而虛線則為多項式切合。於低溫時所觀察到之上彎"鉤狀"係代表擴散之電阻器的結果。

由於匹配對於類比與混合訊號設計者而言特別重要，圖24係繪示對於固定寬度之電阻器的長度之不匹配百分數，而圖25則顯示對於固定長度之電阻器的寬度之相同參數。此一數據，一如預期地，顯示增加尺寸可以改善匹配度。

製造一具有高多晶矽電阻值與低電阻溫度係數之低溫度係數電阻器的可行性已被證實。本研究業已揭露離子種類、薄板電阻值與電阻溫度係數之間的關係，其可降低製程複雜度。由於800°C的快速熱退火溫度正適合目前之雙極性元件的製程，遂可能從用來設定元件之電參數的快速熱退火步驟中去除電阻器活化步驟。

煩請參閱圖16，低溫度係數電阻器141以及NPN電晶體區200係由一層光阻160所保護。該光阻160被圖案化以於CMOS元件100上方開啟一區域。之後，保護氧化層92(圖19)便被移除。在光阻160被移除之後，氮化物保護層94也被移除。在此時，射極與電阻器140被施以一道快速熱退火處理。該步驟係於大約900°C進行0.5分鐘。

屏障氧化層180被移除且所曝露之電阻器141、閘極66、以及射極131與集極133的多晶矽區係將鉑180矽化，以在曝露之多晶矽上形成矽化鉑。如圖19所示，一側壁間隔氧化層190係被用於射極131與集極133的側壁上。其他的間隔氧化層則被蝕刻並移除。之後，該基板被施以一穩

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (13)

定之金屬化層，包括有三層彼此分離之金屬層，其係藉由適當之絕緣層與分離層的使用而形成，且其可藉由填滿導電材料所形成的介層孔(via)而選擇性地相連接。在金屬化之後，整個元件再由一保護層所覆蓋，通常是氮化矽，而包括有製造於其上方之積體電路與元件的基板再接著被進一步做測試與組裝的處理。

一種低溫度係數電阻器(TCRL)，其具有若干未修復之離子佈植損害。所損害之部分會提高電阻值，並且使得該電阻器對於操作溫度的變動較不敏感。

(請先閱讀背面之注意事項再填寫本頁)

訂 線

四、中文發明摘要 (發明之名稱：低溫度係數電阻)

一種低溫度係數電阻器 (TCRL)，其具有若干未修復之離子佈植損害。所損害之部分會提高電阻值，並且使得該電阻器對於操作溫度的變動較不敏感。

英文發明摘要 (發明之名稱：LOW TEMPERATURE COEFFICIENT RESISTOR (TCRL))

A low temperature coefficient resistor (TCRL) has some unrepaired ion implant damage. The damaged portion raises the resistance and renders the resistor less sensitive to operating temperature fluctuations.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種積體電路，其包括有一精準多晶矽電阻器，該電阻器具有一覆蓋於基板上之絕緣層，以及沉積於該絕緣層上之一多晶矽層，其特徵在於該多晶矽層具有一相對高之摻雜濃度，以及具有實質之未退火的佈植損害。
2. 如申請專利範圍第1項之積體電路，其特徵在於該多晶矽層具有介於65奈米(nm)至75奈米(nm)之範圍的厚度，且該多晶矽層具有介於 $725\ \Omega/\square$ 至 $850\ \Omega/\square$ 之範圍的薄板電阻值。
3. 如申請專利範圍第2項之積體電路，其特徵在於該多晶矽層具有介於20至100百萬分之一(ppm)之範圍的電阻溫度係數(TCR)。
4. 一種於一積體電路中製造精準多晶矽電阻器的方法，其特徵在於下列步驟，包括：沉積一絕緣層於該積體電路上；沉積一多晶矽層於該絕緣層上；佈植離子至該多晶矽層內，以改變該多晶矽層之電阻值並且損害該多晶矽層；以及控制該多晶矽層之退火，以降低該多晶矽電阻器之電阻的溫度係數，其中該退火溫度範圍係由 800°C 至 900°C 。
5. 如申請專利範圍第4項之方法，其特徵在於該離子之佈植能量係介於3.5至10千電子伏特(KeV)的範圍內。
6. 如申請專利範圍第4項之方法，其特徵在於該多晶矽層之厚度係介於65奈米(nm)至75奈米(nm)的範圍內。
7. 如申請專利範圍第5項之方法，其中二或多種離子被佈植入該多晶矽中，其中硼係為其中之一。

(請先閱讀背面之注意事項再填寫本頁)

訂 線

六、申請專利範圍

8. 一種在半導體基板中形成具有金氧半(MOS)與雙極性元件之積體電路的方法，其特徵在於下列步驟，包括：形成一渠溝於基板中，以從MOS區分離出雙極性區；形成一或多個局部氧化區於半導體表面中，以從PMOS元件中表面隔離出NMOS元件，並從射極與基極區中表面隔離出集極區；沉積一氧化層於基板上；遮罩並圖案化該沉積之氧化層，以在MOS元件之閘極邊緣形成側壁間隔層，並且於MOS元件形成的過程中，保護雙極性區免於損害；在實質上完成MOS元件的形成後，更進一步圖案化剩餘之間隔氧化層，以定義集極接觸所需之開口並且定義基極與射極區，其包括佈植MOS元件之源極與汲極並且使用位於閘極邊緣之側壁間隔層以自我對準源極與汲極。
9. 一種在半導體基板中形成具有金氧半(MOS)元件區與雙極性元件區之積體電路的方法，其特徵在於下列步驟，包括：形成一渠溝於基板中，以從MOS區分離出雙極性區；形成一或多個局部氧化區於半導體表面中，以從PMOS元件中表面隔離出NMOS元件，並從射極與基極區中表面隔離出集極區；實質上完成MOS元件的形成；覆蓋一氮化矽於基板上；覆蓋一層沉積之氧化層於該氮化矽層上；形成一雙極性元件並保留該氮化矽與沉積之氧化層之整體性於MOS元件區上，並且選擇性地移除雙極性元件區域上之一或多個部分的氮化矽與沉積之氧化層。

(請先閱讀背面之注意事項再填寫本頁)

訂 線

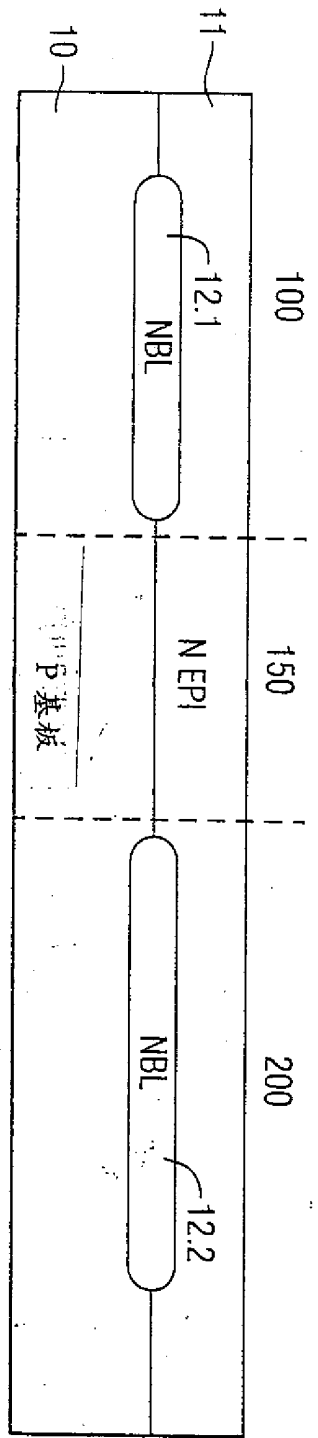


圖 1

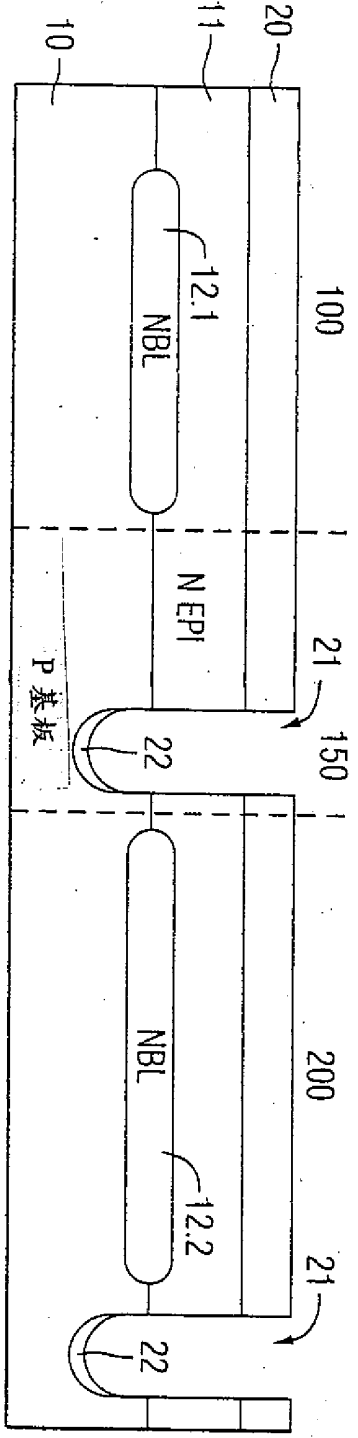


圖 2

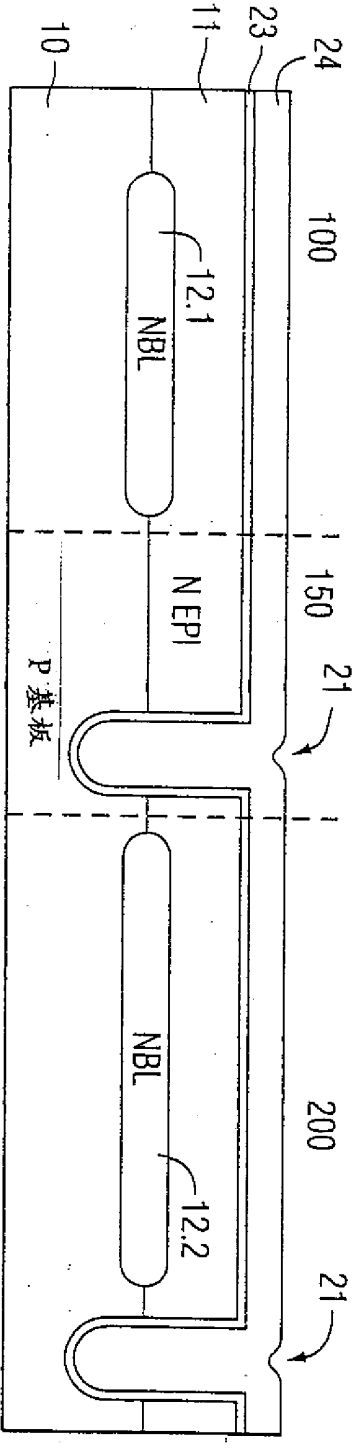


圖 3

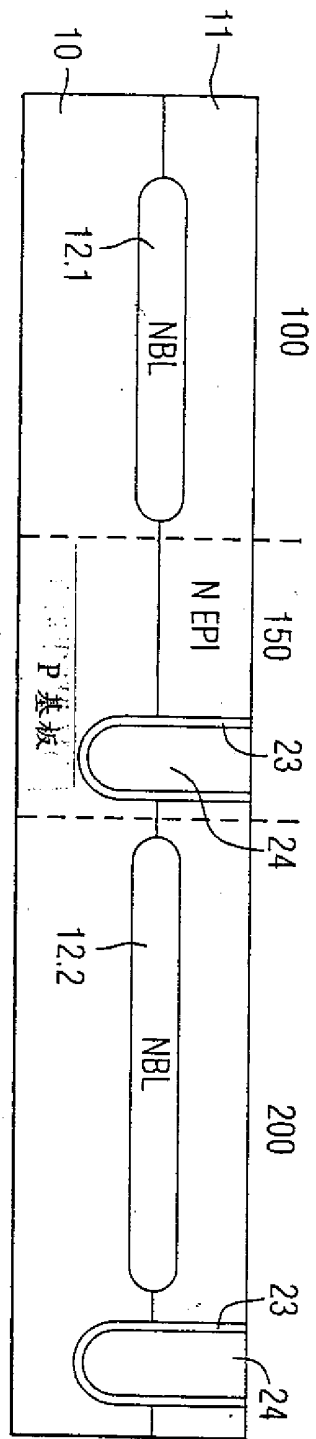


圖 4

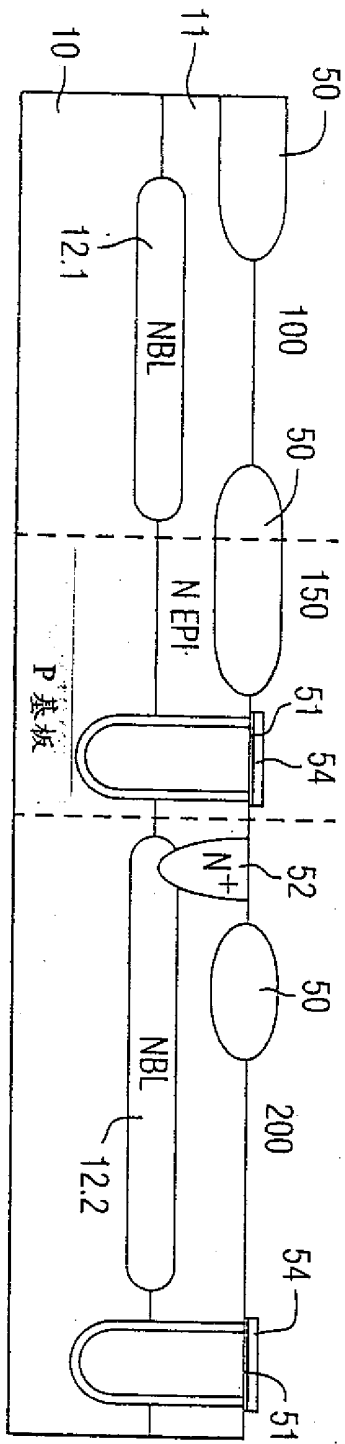


圖 5

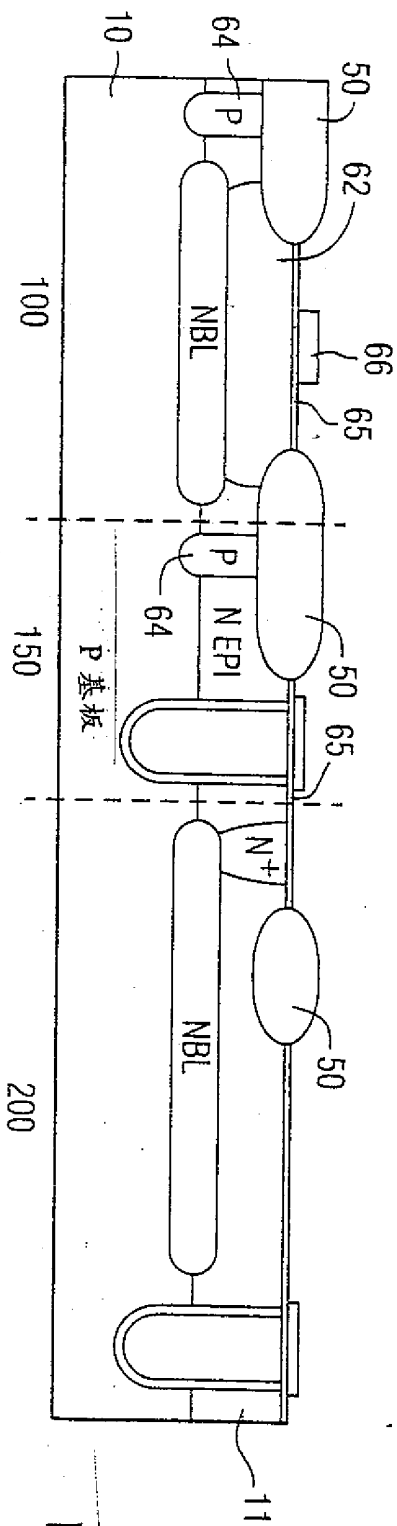


圖 6

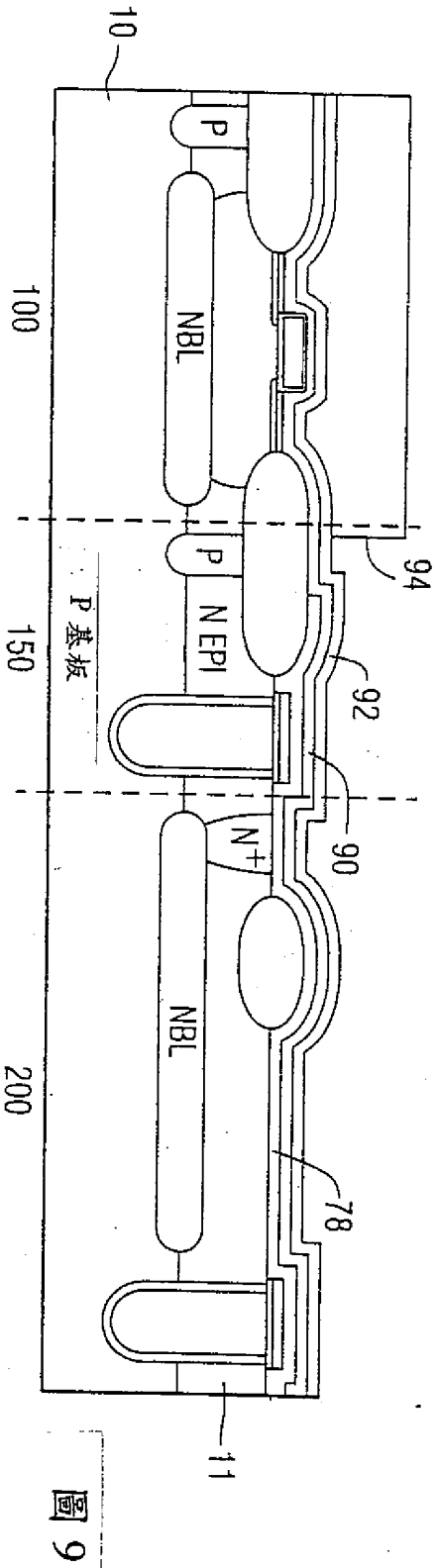
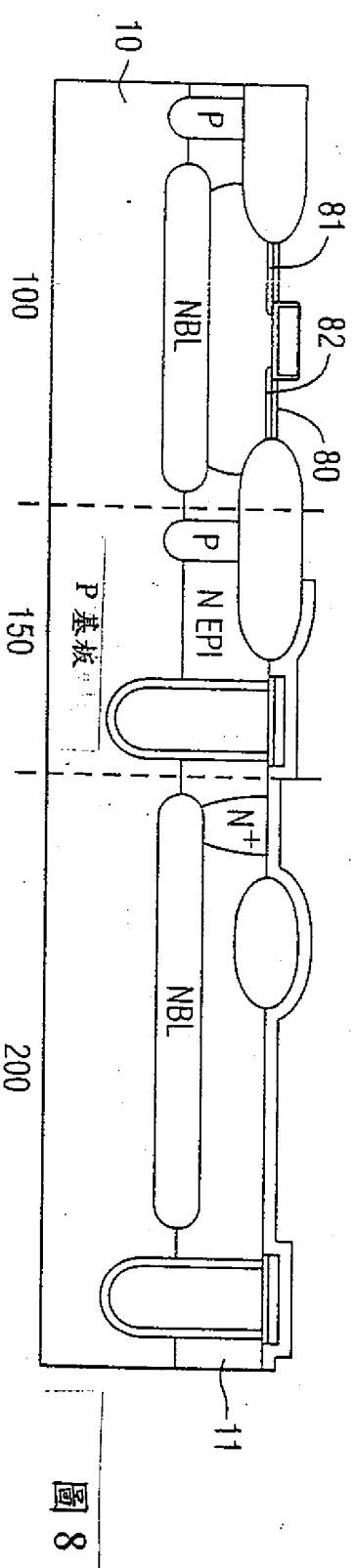
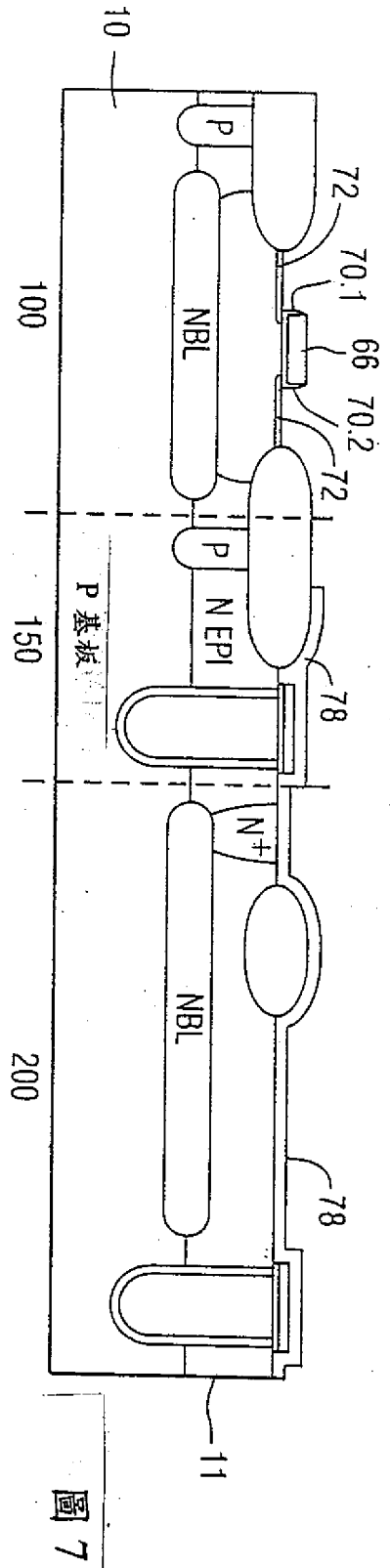


圖 9

圖 8

圖 7

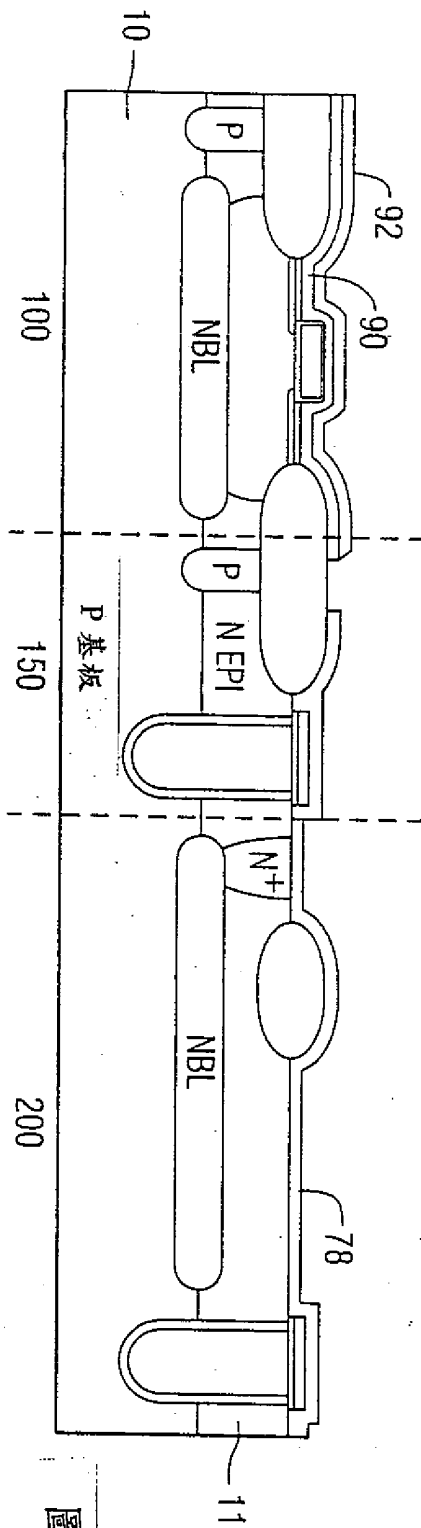


圖 10

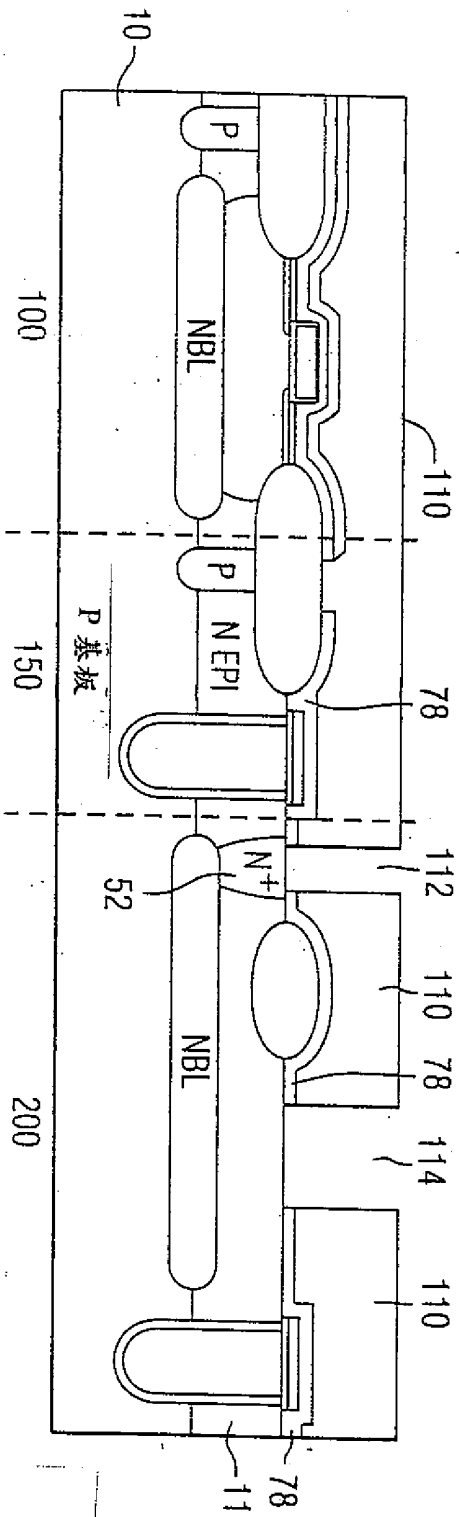


圖 11

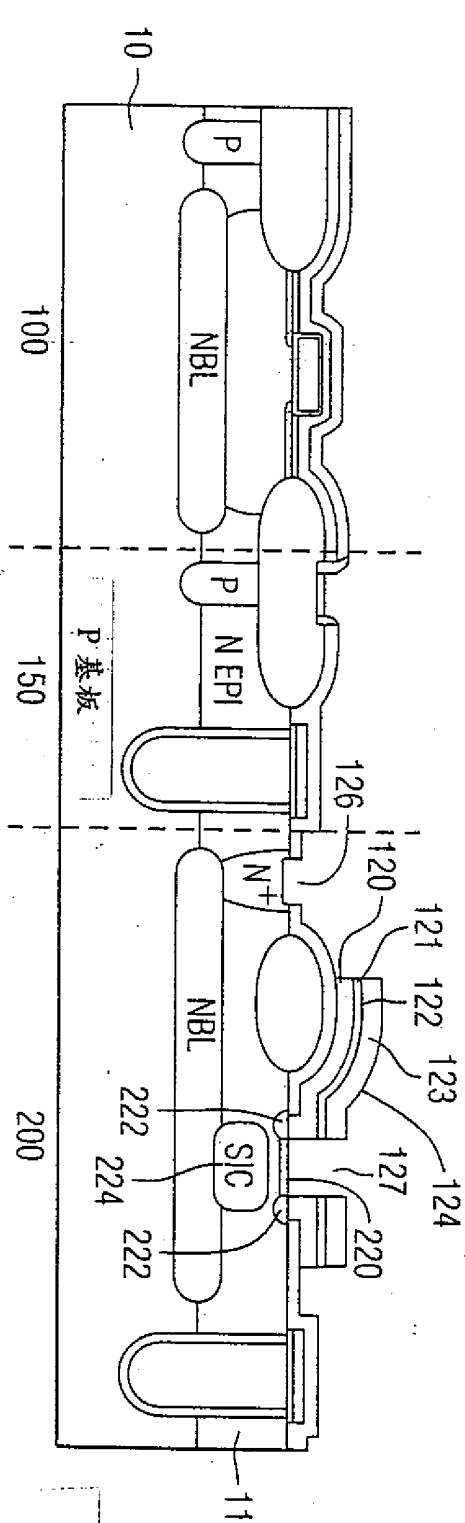


圖 12

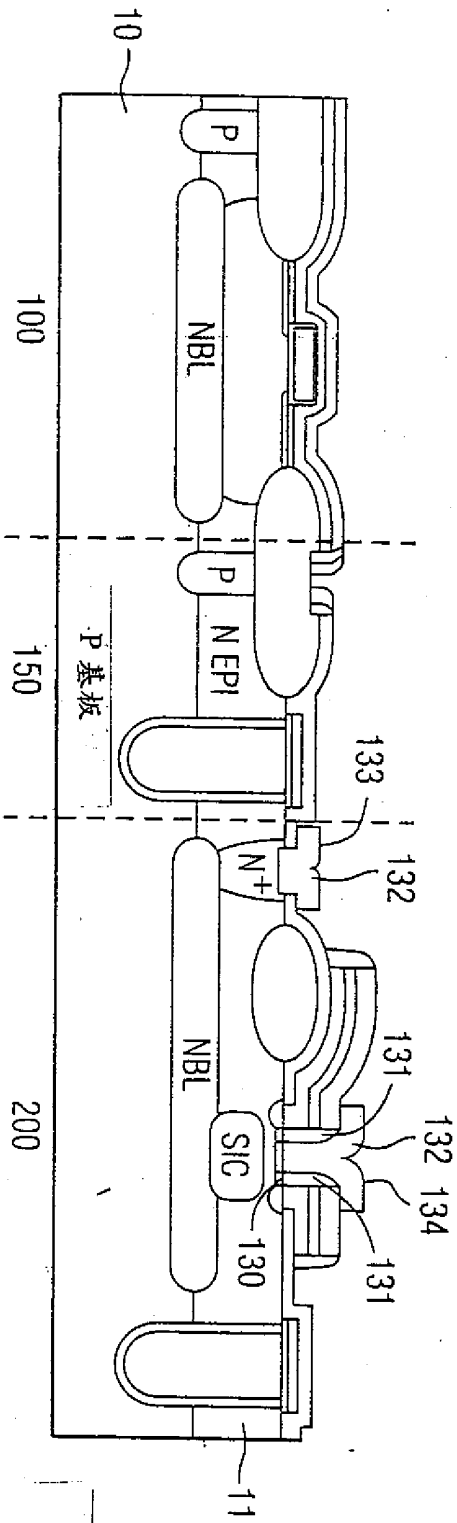


圖 13

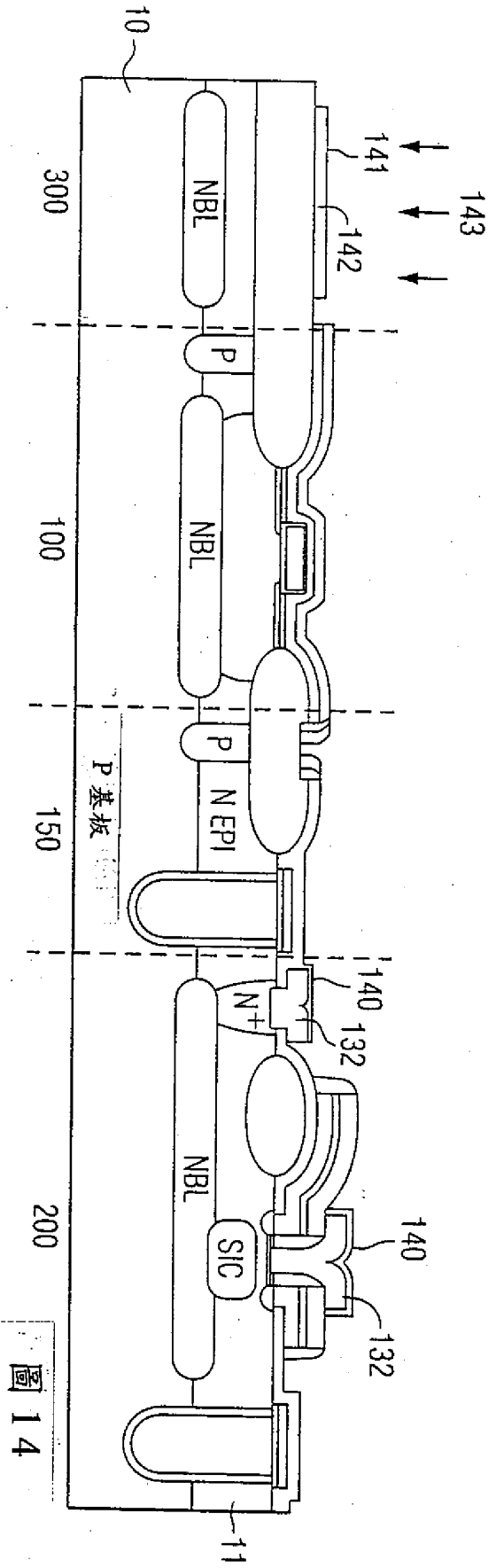


圖 14

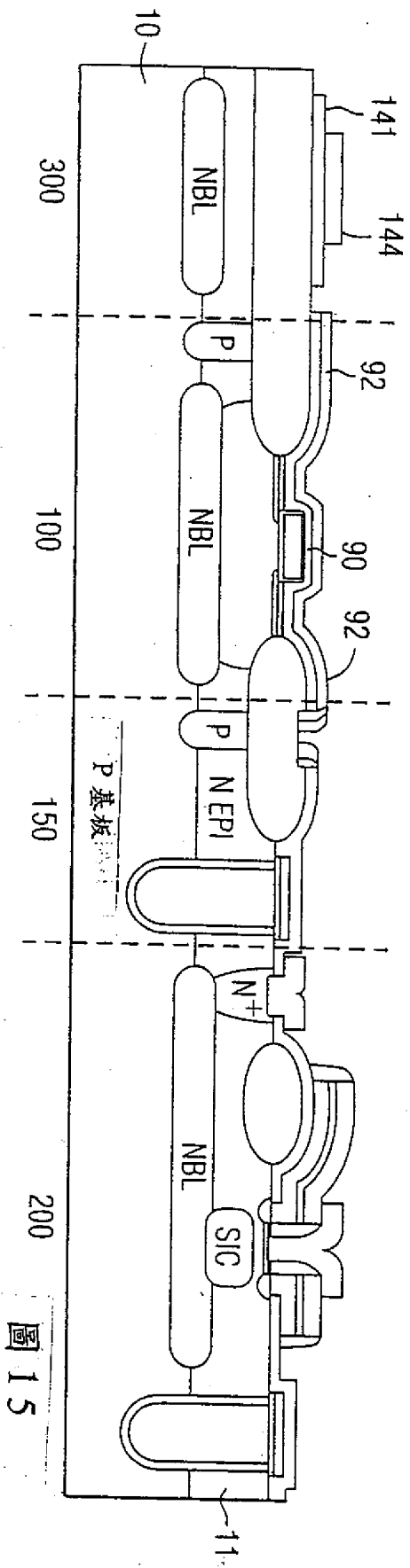


圖 15

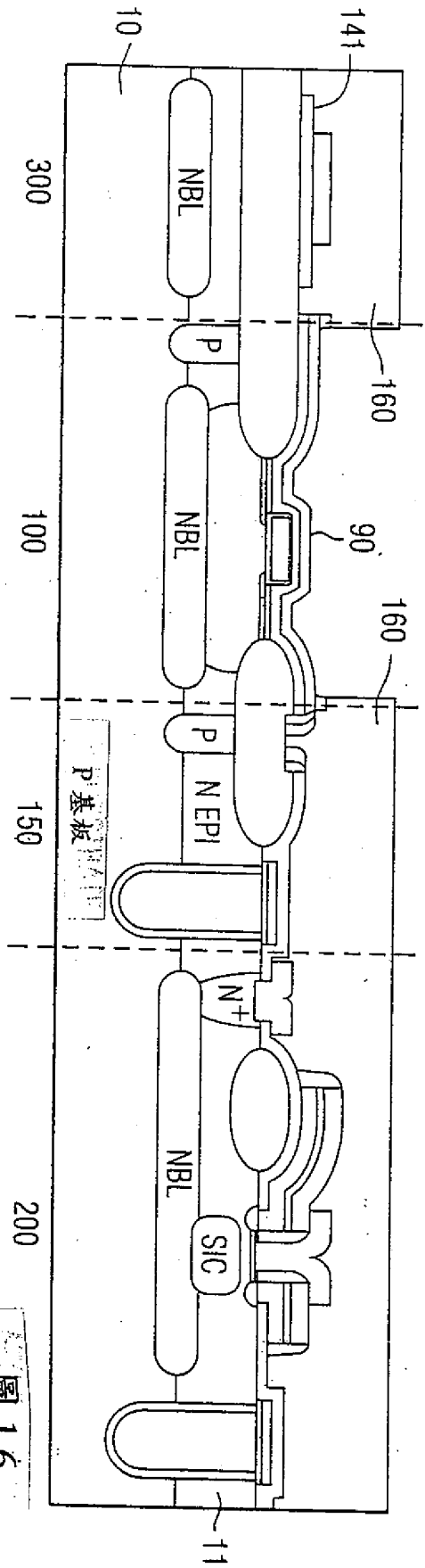


圖 16

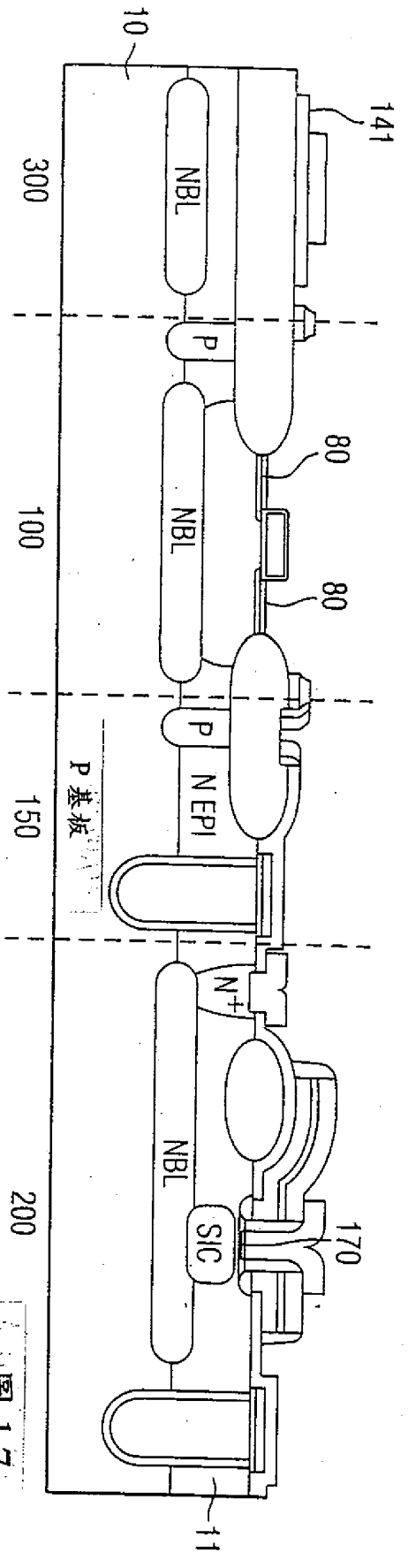


圖 17

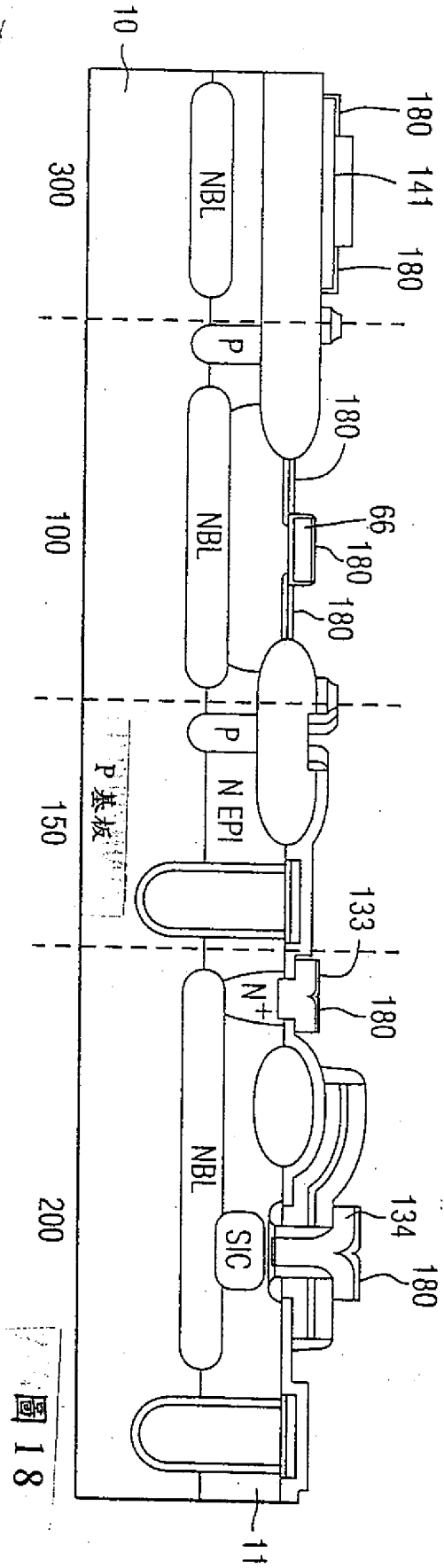


圖 18

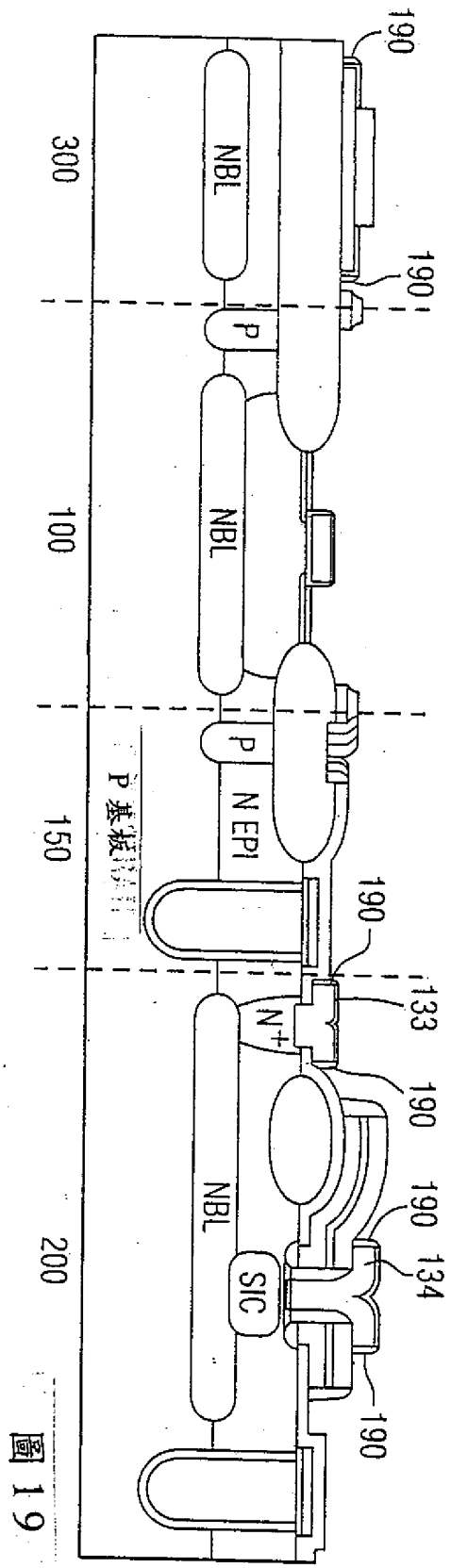


圖 19

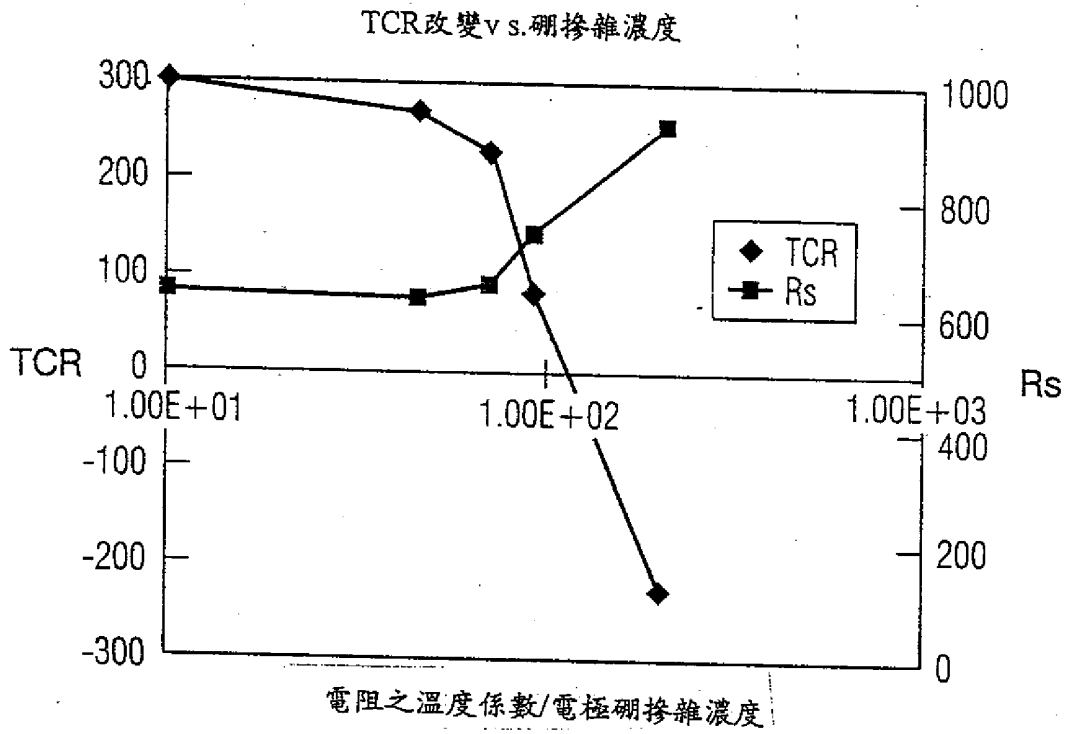
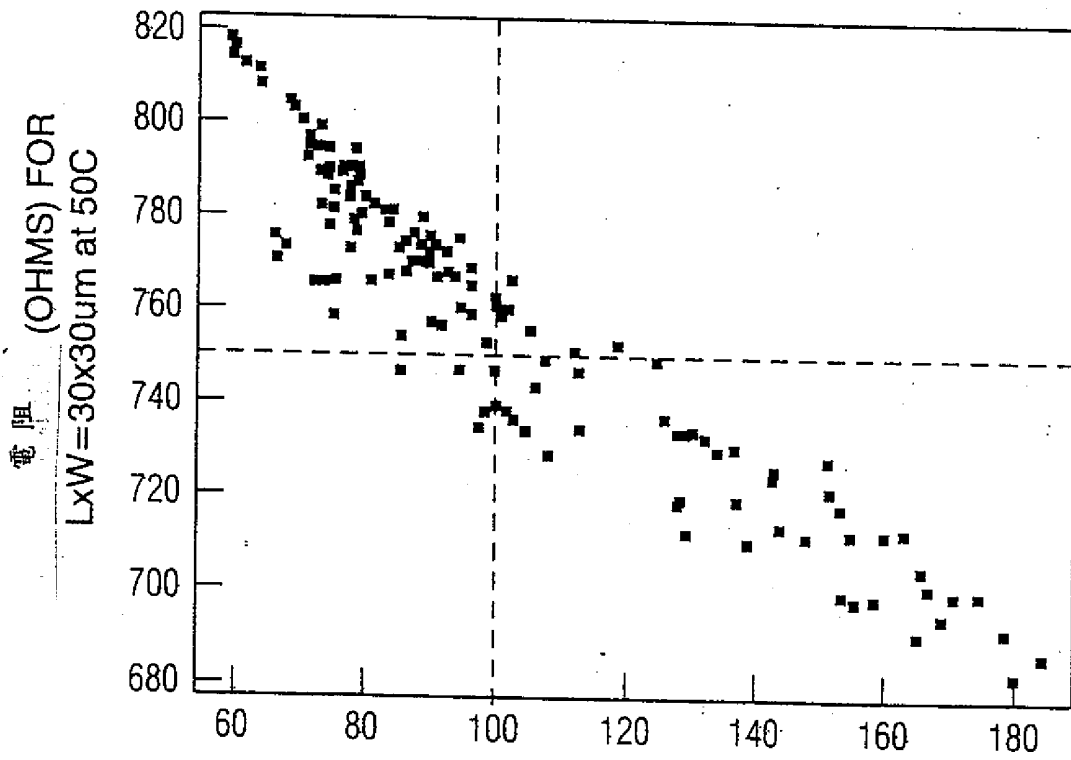


圖 20



TCR vs Rs之散射圖

圖 21

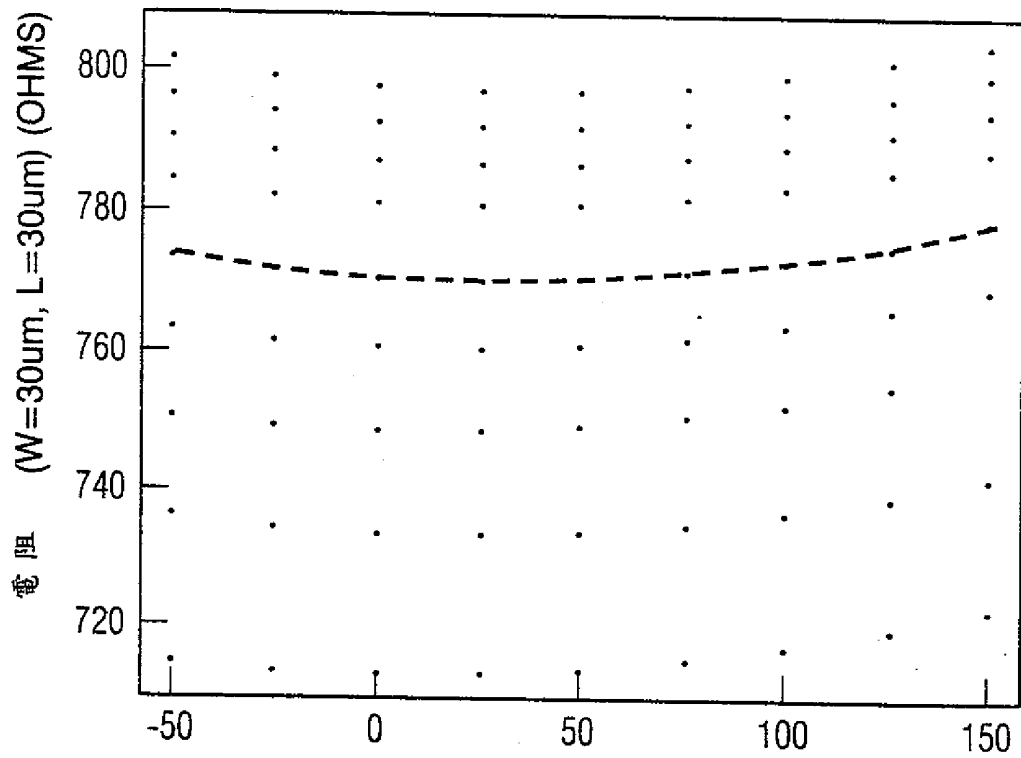


圖 22 電阻改變 vs 溫度

TCR(-50C~+25C)=-59.63 ppm; TCR(25C~125C)=71.68 ppm

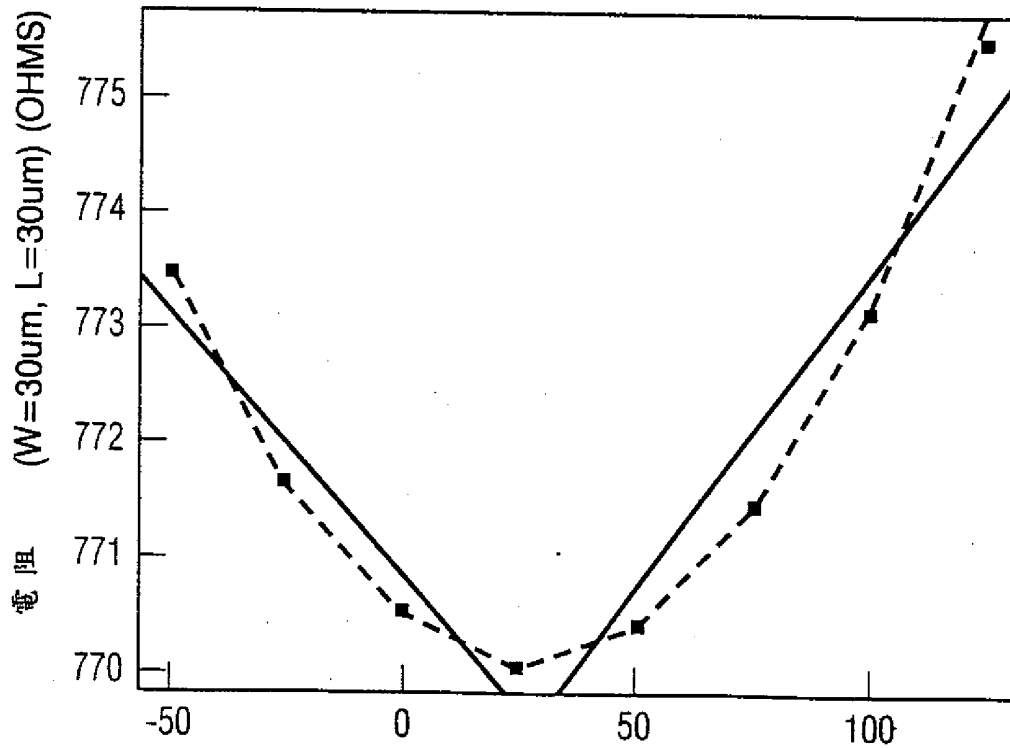


圖 23 TCR改變vs溫度

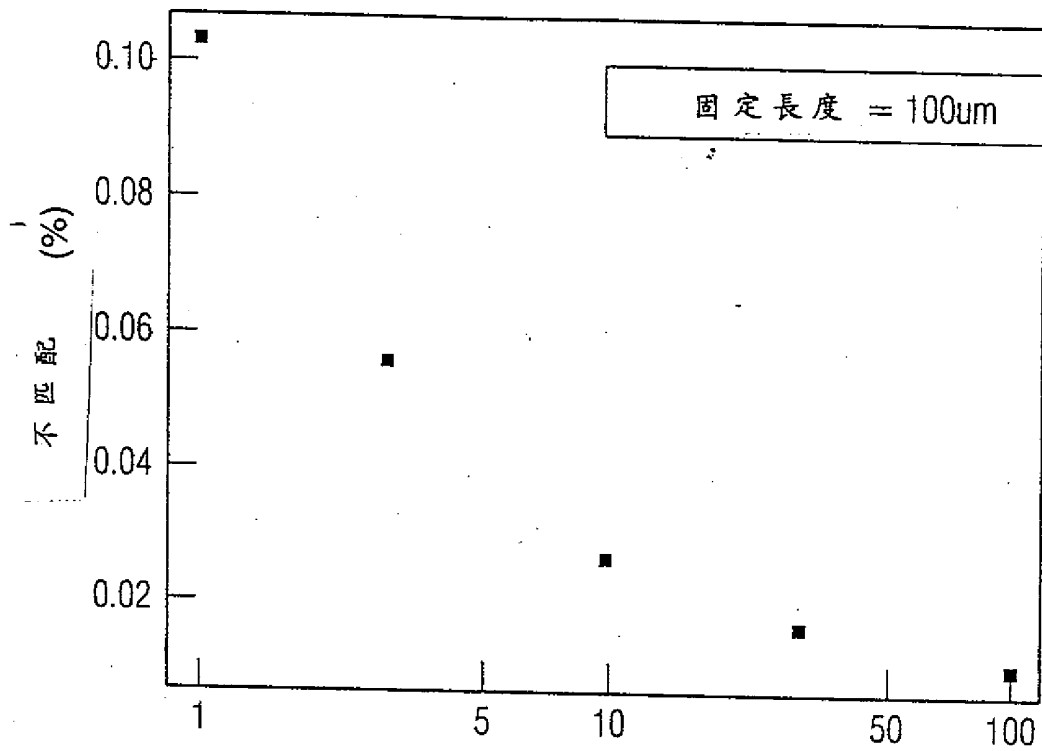


圖 24

不匹配vs長度

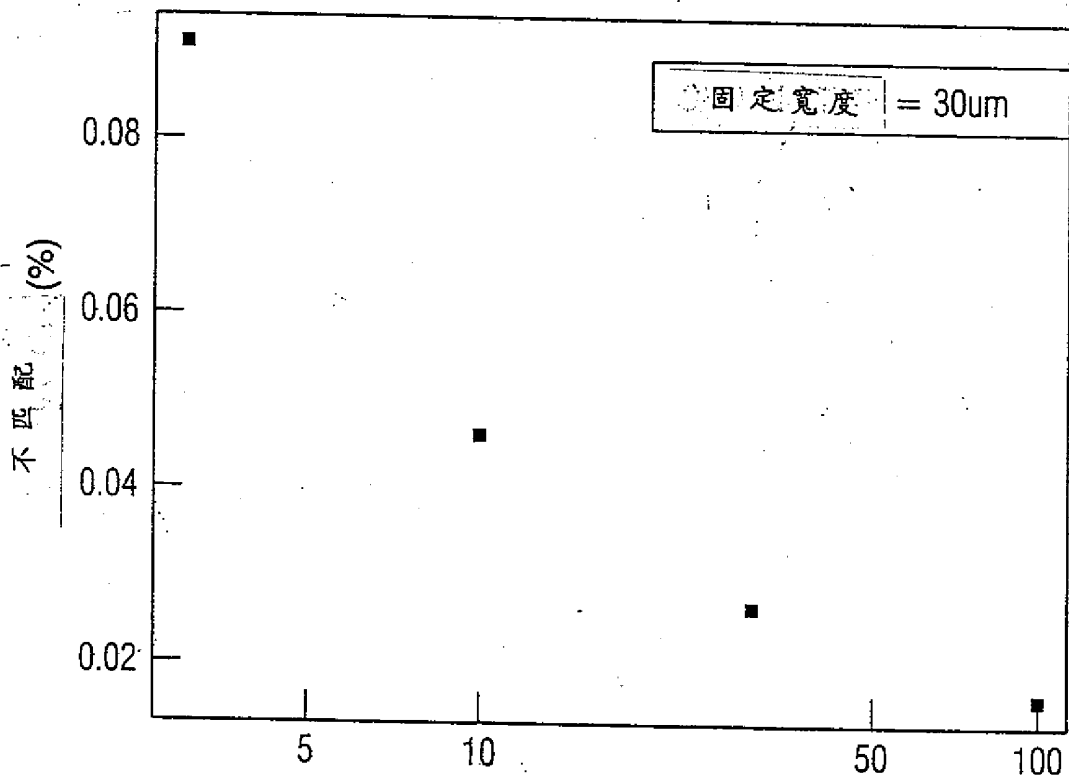


圖 25

不匹配vs寬度