

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年5月2日(02.05.2024)



(10) 国際公開番号

WO 2024/090108 A1

(51) 国際特許分類:
H02M 3/155 (2006.01)

(21) 国際出願番号: PCT/JP2023/035191

(22) 国際出願日: 2023年9月27日(27.09.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2022-169720 2022年10月24日(24.10.2022) JP

(71) 出願人: ローム株式会社 (**ROHM CO., LTD.**)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町2-1番地 Kyoto (JP).

(72) 発明者: 鷲見 知彦(**SUMI Tomohiko**); 〒6158585
京都府京都市右京区西院溝崎町2-1番地
ローム株式会社内 Kyoto (JP).

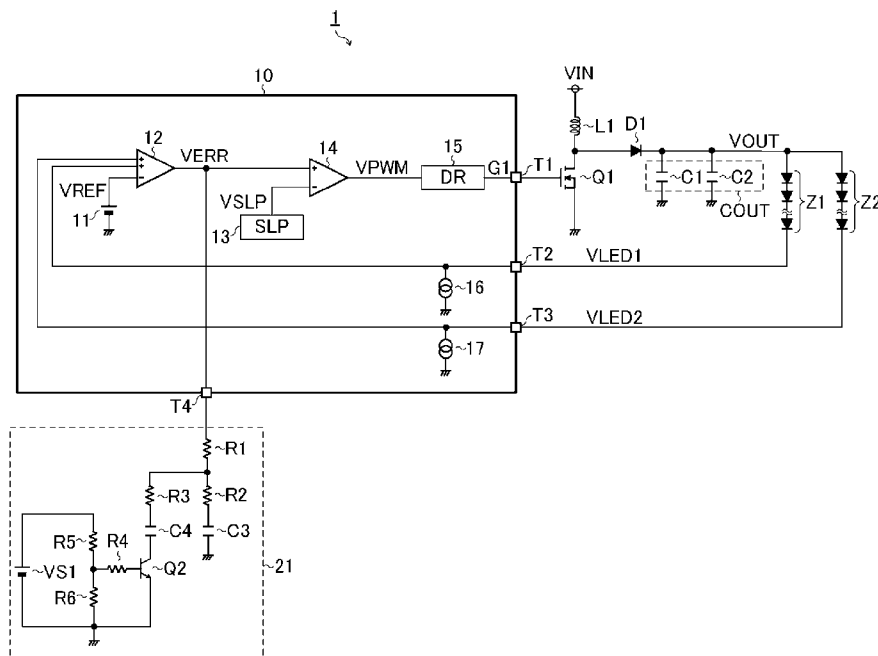
(74) 代理人: 弁理士法人 佐野特許事務所 (**SANO
PATENT OFFICE**); 〒5400032 大阪府大阪市
中央区天満橋京町2-6 天満橋八千代
ビル別館5F Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,

(54) **Title:** POWER SUPPLY CIRCUIT, SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE, AND VEHICLE

(54) 発明の名称: 電源回路、半導体集積回路装置、及び車両

[図1]



(57) **Abstract:** This power supply circuit is configured to generate an output voltage from an input voltage. The power supply circuit includes: an error amplifier which is configured to output an error voltage corresponding to the deviation between a reference voltage and a voltage based on the output voltage; a driver which is configured to drive a switching element or an output transistor on the basis of the error voltage; and a phase compensation circuit which is connected to an output terminal of the error amplifier. The phase compensation circuit is configured such that, when the ambient

LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

temperature of the power supply circuit is less than or equal to a threshold, the resistance value of the phase compensation circuit is smaller than when the ambient temperature of the power supply circuit is greater than the threshold.

(57) 要約：電源回路は、入力電圧から出力電圧を生成するように構成されている。前記電源回路は、基準電圧と、前記出力電圧に基づく電圧との誤差に相当するエラー電圧を出力するように構成されたエラーアンプと、前記エラー電圧に基づきスイッチング素子又は出力トランジスタを駆動するように構成されたドライバと、前記エラーアンプの出力端子に接続される位相補償回路と、を有する。前記位相補償回路は、前記電源回路の周辺温度が閾値以下であるときの方が前記電源回路の周辺温度が前記閾値より高いときよりも前記位相補償回路の抵抗値が小さくなるように構成されている。

明 細 書

発明の名称：電源回路、半導体集積回路装置、及び車両

技術分野

[0001] 本明細書中に開示されている発明は、電源回路、半導体集積回路装置、及び車両に関する。

背景技術

[0002] 通常、電源回路は出力コンデンサを有する（例えば、特許文献 1 及び特許文献 2 参照）。出力コンデンサの候補として、セラミックコンデンサが挙げられる。セラミックコンデンサは、特性の温度変化が小さい。しかしながら、セラミックコンデンサは、コストが高い。また、セラミックコンデンサは、1 個当たりの実装面積は小さいものの 1 個当たりの容量値が小さいため、容量値を大きくするには員数を増やす必要があり、結果的に実装面積が大きくなってしまいう問題も有する。

先行技術文献

特許文献

[0003] 特許文献 1：特開 2 0 1 1－2 4 4 6 7 7 号公報

特許文献 2：特開 2 0 2 2－1 1 0 3 0 1 号公報

発明の概要

発明が解決しようとする課題

[0004] 出力コンデンサのコストを低くし、実装面積を小さくするには、セラミックコンデンサよりもコストが低く、セラミックコンデンサよりも単位実装面積当たりの容量値が大きい電解コンデンサが出力コンデンサに含まれる構成にすればよい。しかしながら、電解コンデンサは、特性の温度変化が大きく、例えば低温時に E S R (Equivalent Series Resistance) が増加し、容量が低下する。

[0005] そのため、例えば特許文献 1 で開示されている電源回路又は特許文献 2 で開示されている電源回路は、電解コンデンサが出力コンデンサに含まれる構

成にすると、低温時の位相余裕度が低下する。

課題を解決するための手段

[0006] 本明細書中に開示されている電源回路は、入力電圧から出力電圧を生成するように構成されている。前記電源回路は、基準電圧と、前記出力電圧に基づく電圧との誤差に相当するエラー電圧を出力するように構成されたエラーアンプと、前記エラー電圧に基づきスイッチング素子又は出力トランジスタを駆動するように構成されたドライバと、前記エラーアンプの出力端子に接続される位相補償回路と、を有する。前記位相補償回路は、前記電源回路の周辺温度が閾値以下であるときの方が前記電源回路の周辺温度が前記閾値より高いときよりも前記位相補償回路の抵抗値が小さくなるように構成されている。

発明の効果

[0007] 本明細書中に開示されている発明によれば、出力コンデンサが電解コンデンサを含む構成であっても低温時に位相余裕度が低下することを抑制することができる。

図面の簡単な説明

[0008] [図1]図1は、第1実施形態に係る電源回路の概略構成を示す図である。
[図2]図2は、第2実施形態に係る電源回路の概略構成を示す図である。
[図3]図3は、第3実施形態に係る電源回路の概略構成を示す図である。
[図4]図4は、第4実施形態に係る電源回路の概略構成を示す図である。
[図5]図5は、第5実施形態に係る電源回路の概略構成を示す図である。
[図6]図6は、発光装置が搭載される車両の外観図（前面）である。
[図7]図7は、発光装置が搭載される車両の外観図（背面）である。
[図8]図8は、LEDヘッドライトモジュールの外観図である。
[図9]図9は、LEDターンランプモジュールの外観図である。
[図10]図10は、LEDリアランプモジュールの外観図である。
[図11]図11は、車両の室内を示す図である。

発明を実施するための形態

[0009] 本明細書において、MOS (Metal Oxide Semiconductor) 電界効果トランジスタとは、ゲートの構造が、「導電体または抵抗値が小さいポリシリコン等の半導体からなる層」、「絶縁層」、及び「P型、N型、又は真性の半導体層」の少なくとも3層からなるトランジスタをいう。つまり、MOS電界効果トランジスタのゲートの構造は、金属、酸化物、及び半導体の3層構造に限定されない。

[0010] 本明細書において、基準電圧とは、理想的な状態において一定である電圧を意味しており、実際には温度変化等により僅かに変動し得る電圧である。

[0011] 本明細書において、定電圧とは、理想的な状態において一定である電圧を意味しており、実際には温度変化等により僅かに変動し得る電圧である。

[0012] <第1実施形態>

図1は、第1実施形態に係る電源回路の概略構成を示す図である。図1に示す電源回路1は、半導体集積回路装置10と、位相補償回路21と、インダクタL1と、スイッチング素子の一例であるNチャネル型のMOS電界効果トランジスタQ1と、ダイオードD1と、出力コンデンサCOUTと、を有する。電源回路1は、入力電圧VINから出力電圧VOUTを生成する。

[0013] 電源回路1は、昇圧型のDC/DCコンバータ（スイッチング電源回路）である。また、電源回路1は、複数のLED (Light Emitting Diode) が直接接続されたLEDストリングZ1と、複数のLEDが直接接続されたLEDストリングZ2と、を駆動する2チャンネルのLEDドライバである。なお、本実施形態では、LEDストリングに関するチャンネル数は2であったが、LEDストリングに関するチャンネル数は1であってもよく、3以上であってもよい。電源回路1と、LEDストリングZ1及びZ2とによって、発光装置が構成される。

[0014] インダクタL1の第1端に入力電圧VINが印加される。インダクタL1の第2端は、MOS電界効果トランジスタQ1のドレインと、ダイオードD1のアノードに接続される。MOS電界効果トランジスタQ1のゲートは、

半導体集積回路装置 10 の端子 T 1 に接続される。MOS 電界効果トランジスタ Q 1 のソースは、グラウンド電位に接続される。

[0015] 出力コンデンサ C O U T は、電解コンデンサ C 2 を含む。より詳細には、出力コンデンサ C O U T は、セラミックコンデンサ C 1 と、電解コンデンサ C 2 と、によって構成される。セラミックコンデンサ C 1 及び電解コンデンサ C 2 は並列接続される。セラミックコンデンサ C 1 及び電解コンデンサ C 2 の各第 1 端は、ダイオード D 1 のカソードと、LED スtring Z 1 及び Z 2 の各アノードと、に接続される。LED スtring Z 1 及び Z 2 の各アノードには出力電圧 V O U T が供給される。

[0016] セラミックコンデンサ C 1 及び電解コンデンサ C 2 の各第 2 端は、グラウンド電位に接続される。LED スtring Z 1 のカソードは、半導体集積回路装置 10 の端子 T 2 に接続される。LED スtring Z 2 のカソードは、半導体集積回路装置 10 の端子 T 3 に接続される。

[0017] 半導体集積回路装置 10 は、基準電圧源 1 1 と、エラーアンプ 1 2 と、スロープ回路 1 3 と、コンパレータ 1 4 と、ドライバ 1 5 と、電流源 1 6 及び 1 7 と、端子 T 1 ~ T 4 と、を有する。したがって、電源回路 1 は、基準電圧源 1 1 と、エラーアンプ 1 2 と、スロープ回路 1 3 と、コンパレータ 1 4 と、ドライバ 1 5 と、電流源 1 6 及び 1 7 と、を有する。

[0018] 基準電圧源 1 1 の正極は、エラーアンプ 1 2 の反転入力端子に接続される。基準電圧源 1 1 の負極は、グラウンド電位に接続される。エラーアンプ 1 2 の第 1 非反転入力端子は、端子 T 2 と、電流源 1 6 の第 1 端と、に接続される。エラーアンプ 1 2 の第 2 非反転入力端子は、端子 T 3 と、電流源 1 7 の第 1 端と、に接続される。電流源 1 6 及び 1 7 の各第 2 端は、グラウンド電位に接続される。

[0019] エラーアンプ 1 2 の出力端子は、コンパレータ 1 4 の非反転入力端子と、端子 T 4 と、に接続される。スロープ回路 1 3 から出力されるスロープ電圧 V S L P は、コンパレータ 1 4 の反転入力端子に供給される。コンパレータ 1 4 から出力される PWM (Pulse Width Modulation) 電圧 V P W M は、

ドライバ15に供給される。ドライバ15の出力端子は、端子T1に接続される。

[0020] エラーアンプ12の第1非反転入力端子には、出力電圧 V_{OUT} からLEDストリングZ1の順方向電圧だけ小さい電圧 V_{LED1} が供給される。エラーアンプ12の第2非反転入力端子には、出力電圧 V_{OUT} からLEDストリングZ2の順方向電圧だけ小さい電圧 V_{LED2} が供給される。電圧 V_{LED1} 及び電圧 V_{LED2} はそれぞれ出力電圧 V_{OUT} に基づく電圧である。

[0021] エラーアンプ12は、基準電圧源11から出力される基準電圧 V_{REF} と、電圧 V_{LED1} 及び電圧 V_{LED2} のうち小さい方との誤差に相当するエラー電圧 V_{ERR} を出力する。

[0022] スロープ回路13から出力されるスロープ電圧 V_{SLP} は、一定周期の三角波状または鋸波状の電圧である。コンパレータ14は、スロープ電圧 V_{SLP} とエラー電圧 V_{ERR} との比較結果であるPWM電圧 V_{PWM} を出力する。ドライバ15は、PWM電圧 V_{PWM} に基づき、MOS電界効果トランジスタQ1のゲート信号G1を生成し、端子T1を介してMOS電界効果トランジスタQ1のゲートに供給する。

[0023] 位相補償回路21は、半導体集積回路装置10に外付け接続される。位相補償回路21は、端子T4を介して、エラーアンプ12の出力端子に接続される。位相補償回路21は、抵抗 $R1 \sim R5$ と、NTC (Negative Temperature Coefficient) のサーミスタ $R6$ と、コンデンサ $C3$ 及び $C4$ と、NPN形のバイポーラトランジスタQ2と、定電圧源 V_{S1} と、を有する。コンデンサ $C3$ 及び $C4$ の各容量は、出力コンデンサ C_{OUT} の容量の $1/10$ 以下であることが望ましく、出力コンデンサ C_{OUT} の容量の $1/100$ 以下であることがより望ましい。コンデンサ $C3$ 及び $C4$ は、いかなる種類のコンデンサであってもよい。

[0024] 抵抗 $R1$ の第1端は、端子T4に接続される。抵抗 $R1$ の第2端は、抵抗 $R2$ 及び $R3$ の各第1端に接続される。抵抗 $R2$ の第2端は、コンデンサ C

3の第1端に接続される。コンデンサC3の第2端は、グラウンド電位に接続される。抵抗R3の第2端は、コンデンサC4の第1端に接続される。コンデンサC4の第2端は、バイポーラトランジスタQ2のコレクタに接続される。バイポーラトランジスタQ2のエミッタは、グラウンド電位に接続される。なお、抵抗R1は省略されてもよい。

[0025] バイポーラトランジスタQ2のベースは、抵抗R4の第1端に接続される。抵抗R4の第2端は、抵抗R5及びサーミスタR6の各第1端に接続される。抵抗R5の第2端は、定電圧源VS1の正極に接続される。サーミスタR6の第2端及び定電圧源VS1の負極は、グラウンド電位に接続される。

[0026] 抵抗R4、抵抗R5、サーミスタR6、及び定電圧源VS1によって構成される制御回路は、電源回路1の周辺温度に基づきバイポーラトランジスタQ2をオン／オフ制御する。上記制御回路は、電源回路1の周辺温度が閾値以下であるときにバイポーラトランジスタQ2をオンにし、電源回路1の周辺温度が閾値より高いときにバイポーラトランジスタQ2をオフにする。つまり、位相補償回路21は、電源回路1の周辺温度が閾値以下であるときの方が電源回路1の周辺温度が閾値より高いときよりも位相補償回路21の抵抗値が小さくなるように構成されている。これにより、低温時に電源回路1の位相余裕度が低下することを抑制することができる。

[0027] <第2実施形態>

図2は、第2実施形態に係る電源回路の概略構成を示す図である。図2に示す電源回路2は、図1に示す電源回路1において位相補償回路21が位相補償回路22に置換された構成である。

[0028] 位相補償回路22は、図1に示す位相補償回路21においてバイポーラトランジスタQ2がNチャネル型のMOS電界効果トランジスタQ3に置換され、抵抗R4が取り除かれた構成である。バイポーラトランジスタQ2の代わりにNチャネル型のMOS電界効果トランジスタQ3が用いられる場合、抵抗R4は省略されてもよい。ため、位相補償回路22は抵抗R4を備えない構成とされている。

[0029] 本実施形態では、抵抗 R_5 、サーミスタ R_6 、及び定電圧源 V_{S1} によって構成される制御回路は、電源回路2の周辺温度に基づきMOS電界効果トランジスタ Q_3 をオン／オフ制御する。上記制御回路は、電源回路2の周辺温度が閾値以下であるときにMOS電界効果トランジスタ Q_3 をオンにし、電源回路2の周辺温度が閾値より高いときにMOS電界効果トランジスタ Q_3 をオフにする。つまり、位相補償回路22は、電源回路2の周辺温度が閾値以下であるときの方が電源回路2の周辺温度が閾値より高いときよりも位相補償回路22の抵抗値が小さくなるように構成されている。これにより、低温時に電源回路2の位相余裕度が低下することを抑制することができる。

[0030] <第3実施形態>

図3は、第3実施形態に係る電源回路の概略構成を示す図である。図3に示す電源回路3は、図2に示す電源回路2において位相補償回路22が位相補償回路23に置換された構成である。

[0031] 位相補償回路23は、図2に示す位相補償回路22においてコンデンサ C_4 が取り除かれコンデンサ C_3 の配置が変更された構成である。

[0032] 本実施形態では、抵抗 R_1 の第2端は、コンデンサ C_3 の第1端に接続される。コンデンサ C_3 の第2端は、抵抗 R_2 及び R_3 の各第1端に接続される。抵抗 R_2 の第2端は、グラウンド電位に接続される。抵抗 R_3 の第2端は、MOS電界効果トランジスタ Q_3 のドレインに接続される。

[0033] 本実施形態では、抵抗 R_5 、サーミスタ R_6 、及び定電圧源 V_{S1} によって構成される制御回路は、電源回路3の周辺温度に基づきMOS電界効果トランジスタ Q_3 をオン／オフ制御する。上記制御回路は、電源回路3の周辺温度が閾値以下であるときにMOS電界効果トランジスタ Q_3 をオンにし、電源回路3の周辺温度が閾値より高いときにMOS電界効果トランジスタ Q_3 をオフにする。つまり、位相補償回路23は、電源回路3の周辺温度が閾値以下であるときの方が電源回路3の周辺温度が閾値より高いときよりも位相補償回路22の抵抗値が小さくなるように構成されている。これにより、低温時に電源回路3の位相余裕度が低下することを抑制することができる。

[0034] <第4実施形態>

図4は、第4実施形態に係る電源回路の概略構成を示す図である。図4に示す電源回路4は、図3に示す電源回路3において位相補償回路23が位相補償回路24に置換された構成である。

[0035] 位相補償回路24は、図3に示す位相補償回路23においてMOS電界効果トランジスタQ3がバイポーラトランジスタQ2に置換され、抵抗R4が追加された構成である。

[0036] 本実施形態では、抵抗R4、抵抗R5、サーミスタR6、及び定電圧源VS1によって構成される制御回路は、電源回路4の周辺温度に基づきバイポーラトランジスタQ2をオン／オフ制御する。上記制御回路は、電源回路4の周辺温度が閾値以下であるときにバイポーラトランジスタQ2をオンにし、電源回路4の周辺温度が閾値より高いときにバイポーラトランジスタQ2をオフにする。つまり、位相補償回路24は、電源回路4の周辺温度が閾値以下であるときの方が電源回路4の周辺温度が閾値より高いときよりも位相補償回路24の抵抗値が小さくなるように構成されている。これにより、低温時に電源回路4の位相余裕度が低下することを抑制することができる。

[0037] <第5実施形態>

図5は、第5実施形態に係る電源回路の概略構成を示す図である。図5に示す電源回路5は、図1に示す電源回路1において半導体集積回路装置10及び位相補償回路21が半導体集積回路装置10'に置換された構成である。

[0038] 半導体集積回路装置10'は、図1に示す半導体集積回路装置10において端子T4が取り除かれ位相補償回路21が内蔵された構成である。

[0039] 本実施形態では、抵抗R4、抵抗R5、サーミスタR6、及び定電圧源VS1によって構成される制御回路は、電源回路5の周辺温度に基づきバイポーラトランジスタQ2をオン／オフ制御する。上記制御回路は、電源回路5の周辺温度が閾値以下であるときにバイポーラトランジスタQ2をオンにし、電源回路5の周辺温度が閾値より高いときにバイポーラトランジスタQ2

をオフにする。つまり、位相補償回路 21 は、電源回路 5 の周辺温度が閾値以下であるときの方が電源回路 5 の周辺温度が閾値より高いときよりも位相補償回路 21 の抵抗値が小さくなるように構成されている。これにより、低温時に電源回路 5 の位相余裕度が低下することを抑制することができる。

[0040] なお、第 1 実施形態から第 5 実施形態への変形と同様の変形が第 2 ～第 4 実施形態それぞれに対して実施されてもよい。

[0041] <用途>

上記した発光装置は、例えば、図 6 及び図 7 で示す通り、車両 X10 のヘッドライト（ハイビーム／ロービーム／スモールランプ／フォグラмпなどを適宜含む）X11、白昼夜走行（DRL）用光源 X12、テールランプ（スモールランプやバックランプなどを適宜含む）X13、ストップランプ X14、及び、ターンランプ X15 などとして好適に用いることができる。

[0042] なお、上述した発光装置は、モジュール（図 8 の LED ヘッドライトモジュール Y10、図 9 の LED ターンランプモジュール Y20、及び、図 10 の LED リアランプモジュール Y30 など）として提供されるものであってもよい。また、上述した発光装置から発光ダイオード及び半導体集積回路装置の外付け部品などを取り除いた半製品の形態で提供されてもよい。

[0043] また、上記した発光装置は、例えば図 11 に示す車両 100 の室内に設けられる CID（Center Information Display）101、インストルメント・クラスタ 102 等で使用される液晶表示装置のバックライトとして好適に用いることができる。CID 101 は、カーナビゲーションの地図表示などを行う。インストルメント・クラスタ 102 は、複数の計器に関する表示を行う 1 つの液晶表示装置で構成されてもよく、各々が少なくとも 1 つの計器に関する表示を行う複数の液晶表示装置で構成されてもよい。

[0044] <その他>

本開示の実施形態は、特許請求の範囲に示された技術的思想の範囲内において、適宜、種々の変更が可能である。これまでに説明してきた各種の実施形態は、矛盾のない範囲で適宜組み合わせて実施してもよい。以上の実施形

態は、あくまでも、本開示の実施形態の例であって、本開示ないし各構成要件の用語の意義は、以上の実施形態に記載されたものに制限されるものではない。

[0045] 上記の実施形態では、発光素子として発光ダイオードを用いた構成を例に挙げて説明を行ったが、発光ダイオード以外の発光素子が用いられてもよい。例えば、発光素子として有機EL [electro-luminescence] 素子が用いられてもよい。

[0046] また、電源回路の負荷は、発光素子に限定されない。電源回路の負荷が発光素子以外である場合には、電源回路の出力電圧の分圧、又は、電源回路の出力電圧そのものがエラーアンプに供給される構成にすればよい。

[0047] また、上記の実施形態では、電源回路はDC／DCコンバータ（スイッチング電源回路）であったが、電源回路はリニア電源回路であってもよい。電源回路がリニア電源回路である場合には、電源回路はスイッチング素子ではなく出力トランジスタを有する構成となる。

[0048] <付記>

上述の実施形態にて具体的構成例が示された本開示について付記を設ける。

[0049] 本開示の電源回路は、入力電圧から出力電圧を生成するように構成された電源回路（１～５）であって、基準電圧と、前記出力電圧に基づく電圧との誤差に相当するエラー電圧を出力するように構成されたエラーアンプ（１２）と、前記エラー電圧に基づきスイッチング素子（Ｑ１）又は出力トランジスタを駆動するように構成されたドライバ（１５）と、前記エラーアンプの出力端子に接続される位相補償回路（２１～２４）と、を有し、前記位相補償回路は、前記電源回路の周辺温度が閾値以下であるときの方が前記電源回路の周辺温度が前記閾値より高いときよりも前記位相補償回路の抵抗値が小さくなるように構成されている構成（第１の構成）である。

[0050] 上記第１の構成の電源回路において、前記出力電圧を負荷に供給するように構成された出力コンデンサ（ＣＯＵＴ）を有し、前記出力コンデンサは、

電解コンデンサ（C 2）を含む構成（第 2 の構成）であってもよい。

[0051] 上記第 1 又は第 2 の構成の電源回路において、前記位相補償回路は、トランジスタ（Q 2、Q 3）と、前記電源回路の周辺温度に基づき前記トランジスタをオン／オフ制御するように構成された制御回路（R 5～R 7、V S 1）と、を含む構成（第 3 の構成）であってもよい。

[0052] 上記第 3 の構成の電源回路において、前記制御回路は、サーミスタ（R 7）を含む構成（第 4 の構成）であってもよい。

[0053] 上記第 3 又は第 4 の構成の電源回路において、前記トランジスタは、MOS 電界効果トランジスタである構成（第 5 の構成）であってもよい。

[0054] 上記第 3～第 5 いずれかの構成の電源回路において、前記位相補償回路は、2 つのコンデンサ（C 3、C 4）を含む構成（第 6 の構成）であってもよい。

[0055] 本開示の半導体集積回路装置（1 0'）は、入力電圧から出力電圧を生成するように構成された電源回路の一部であって、基準電圧と、前記出力電圧に基づく電圧との誤差に相当するエラー電圧を出力するように構成されたエラーアンプ（1 2）と、前記エラー電圧に基づきスイッチング素子（Q 1）又は出力トランジスタを駆動するように構成されたドライバ（1 5）と、前記エラーアンプの出力端子に接続される位相補償回路（2 1）と、を有し、前記位相補償回路は、前記電源回路の周辺温度が閾値以下であるときの方が前記電源回路の周辺温度が前記閾値より高いときよりも前記位相補償回路の抵抗値が小さくなるように構成されている構成（第 7 の構成）である。

[0056] 本開示の車両（X 1 0）は、上記第 1～第 6 いずれかの構成の電源回路、又は、上記第 7 の構成の半導体集積回路装置を有する構成（第 8 の構成）である。

符号の説明

[0057] 1～5 電源回路
1 0、1 0' 半導体集積回路装置
1 1 基準電圧源

1 2 エラーアンプ
1 3 スロープ回路
1 4 コンパレータ
1 5 ドライバ
1 6、1 7 電流源
2 1～2 4 位相補償回路
1 0 0、X 1 0 車両
1 0 1 C I D
1 0 2 インストルメント・クラスタ
C 1 セラミックコンデンサ
C 2 電解コンデンサ
C 3、C 4 コンデンサ
C O U T 出力コンデンサ
D 1 ダイオード
L 1 インダクタ
Q 1、Q 3 M O S 電界効果トランジスタ
Q 2 バイポーラトランジスタ
R 1～R 5 抵抗
R 6 サーミスタ
V S 1 定電圧源
X 1 1 ヘッドライト
X 1 2 白昼夜走行用光源
X 1 3 テールランプ
X 1 4 ストップランプ
X 1 5 ターンランプ
Y 1 0 L E D ヘッドライトモジュール
Y 2 0 L E D ターンランプモジュール
Y 3 0 L E D リアランプモジュール

Z 1 , Z 2 L E D ス ト リ ン グ

請求の範囲

- [請求項1] 入力電圧から出力電圧を生成するように構成された電源回路であって、
- 基準電圧と、前記出力電圧に基づく電圧との誤差に相当するエラー電圧を出力するように構成されたエラーアンプと、
- 前記エラー電圧に基づきスイッチング素子又は出力トランジスタを駆動するように構成されたドライバと、
- 前記エラーアンプの出力端子に接続される位相補償回路と、
- を有し、
- 前記位相補償回路は、前記電源回路の周辺温度が閾値以下であるときの方が前記電源回路の周辺温度が前記閾値より高いときよりも前記位相補償回路の抵抗値が小さくなるように構成されている、電源回路。
- [請求項2] 前記出力電圧を負荷に供給するように構成された出力コンデンサを有し、
- 前記出力コンデンサは、電解コンデンサを含む、請求項1に記載の電源回路。
- [請求項3] 前記位相補償回路は、トランジスタと、前記電源回路の周辺温度に基づき前記トランジスタをオン／オフ制御するように構成された制御回路と、を含む、請求項1又は請求項2に記載の電源回路。
- [請求項4] 前記制御回路は、サーミスタを含む、請求項3に記載の電源回路。
- [請求項5] 前記トランジスタは、MOS電界効果トランジスタである、請求項3又は請求項4に記載の電源回路。
- [請求項6] 前記位相補償回路は、2つのコンデンサを含む、請求項3～5のいずれか一項に記載の電源回路。
- [請求項7] 入力電圧から出力電圧を生成するように構成された電源回路の一部であって、
- 基準電圧と、前記出力電圧に基づく電圧との誤差に相当するエラー

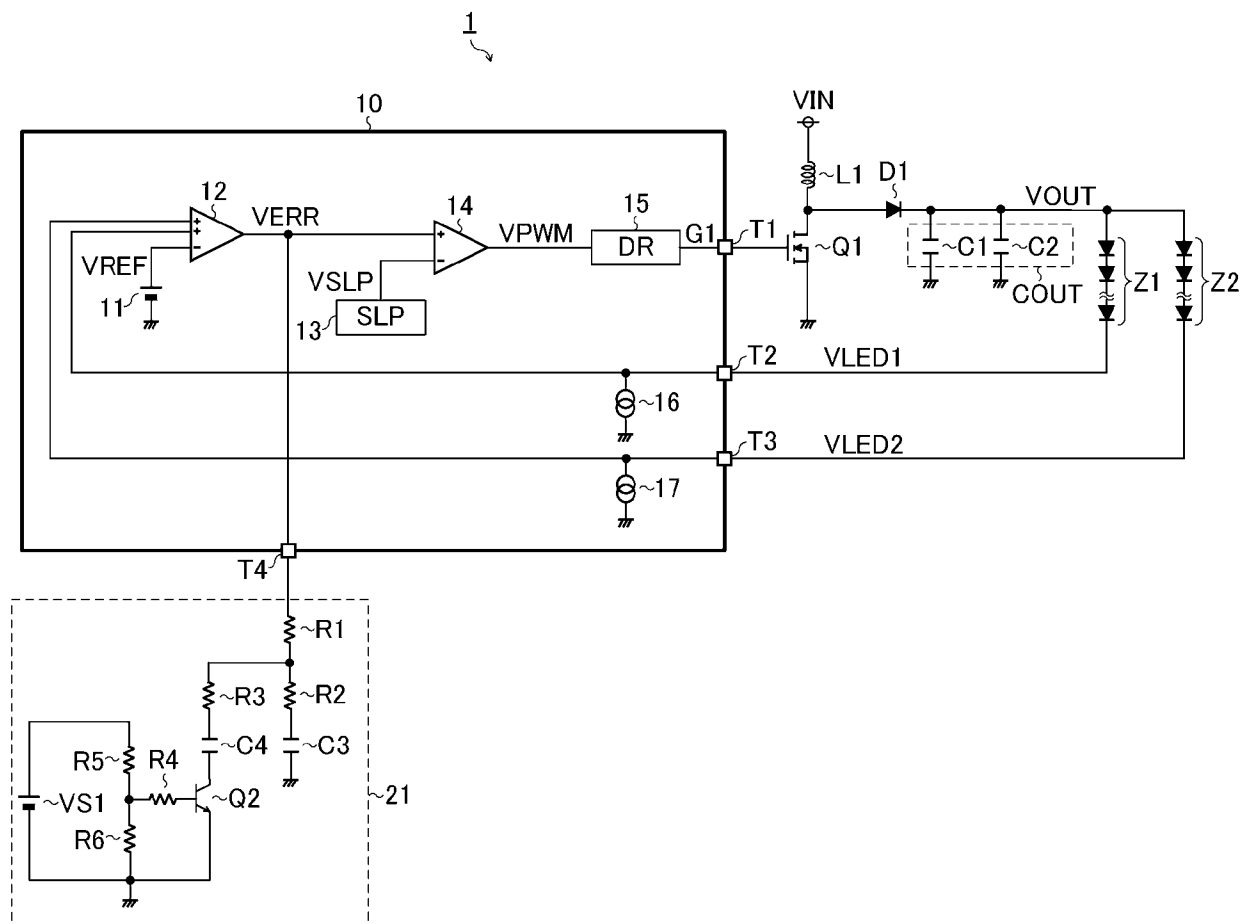
電圧を出力するように構成されたエラーアンプと、

前記エラー電圧に基づきスイッチング素子又は出力トランジスタを駆動するように構成されたドライバと、

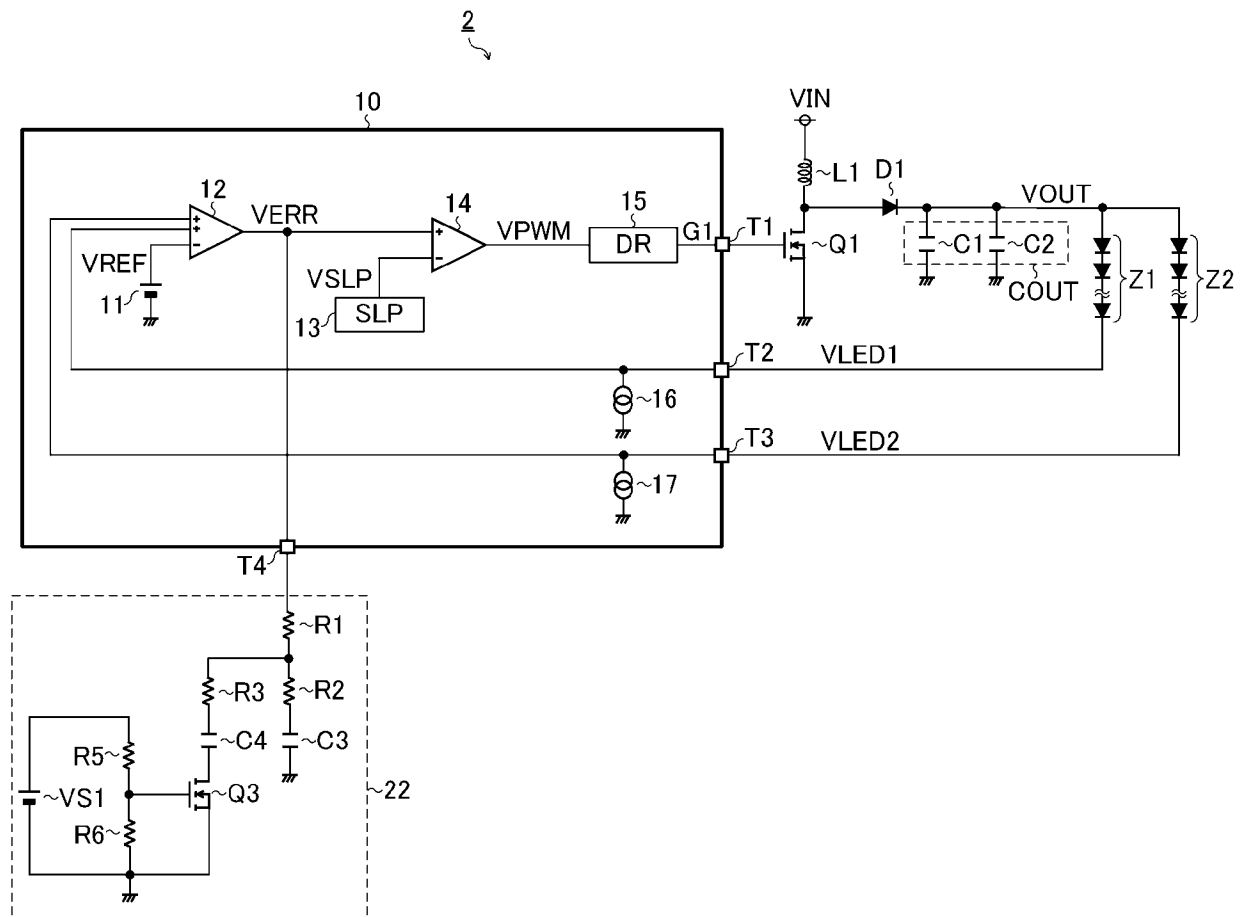
前記エラーアンプの出力端子に接続される位相補償回路と、
を有し、

前記位相補償回路は、前記電源回路の周辺温度が閾値以下であるときの方が前記電源回路の周辺温度が前記閾値より高いときよりも前記位相補償回路の抵抗値が小さくなるように構成されている、半導体集積回路装置。

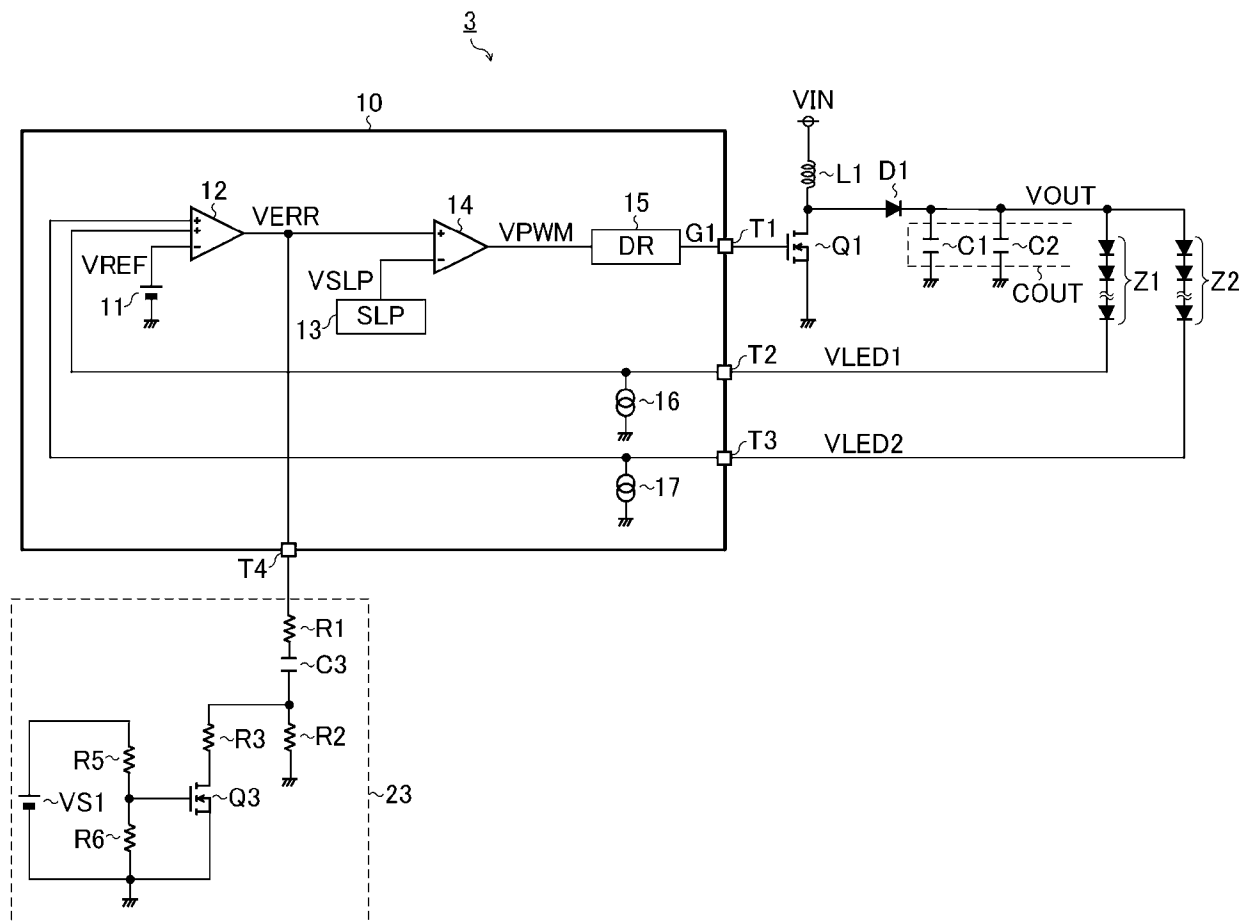
[請求項8] 請求項 1 ～ 6 のいずれか一項に記載の電源回路、又は、請求項 7 に記載の半導体集積回路装置を有する、車両。



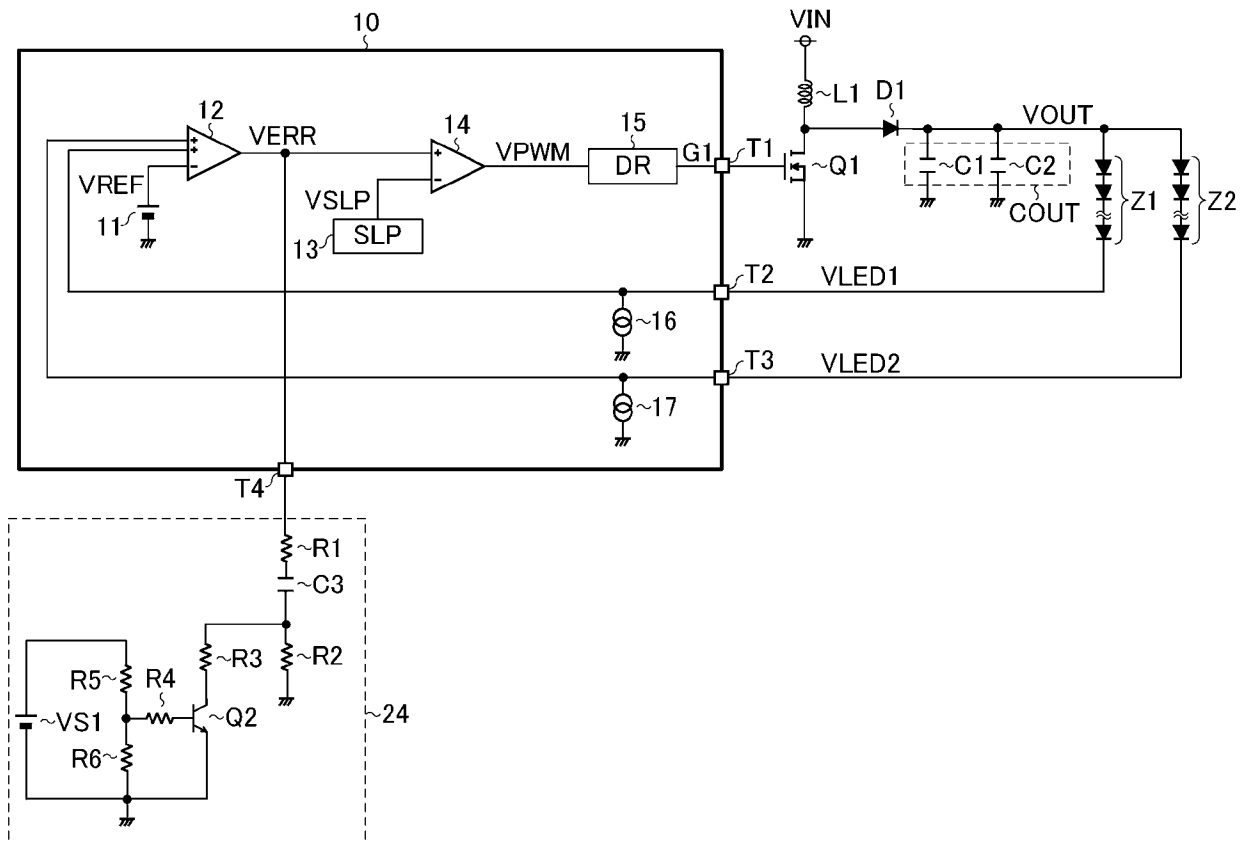
[図2]



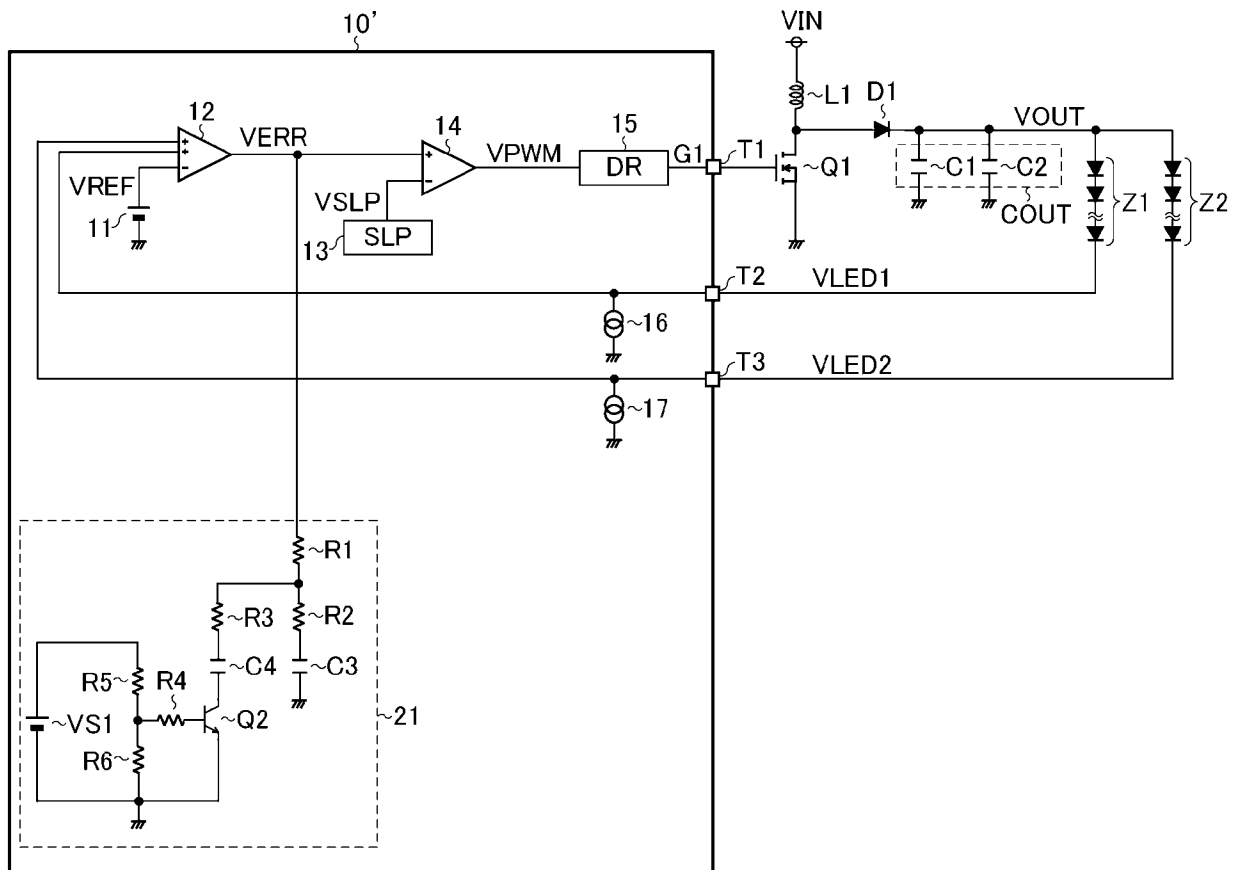
[図3]



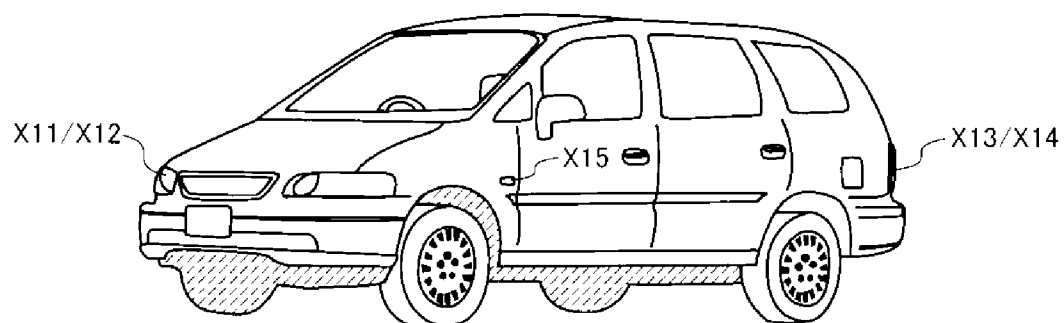
4



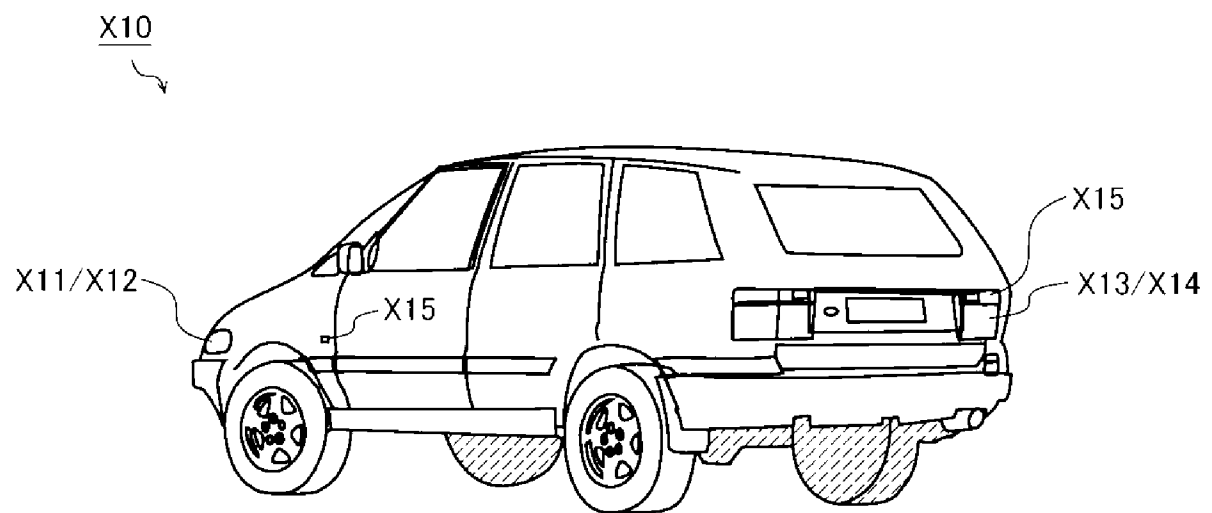
5



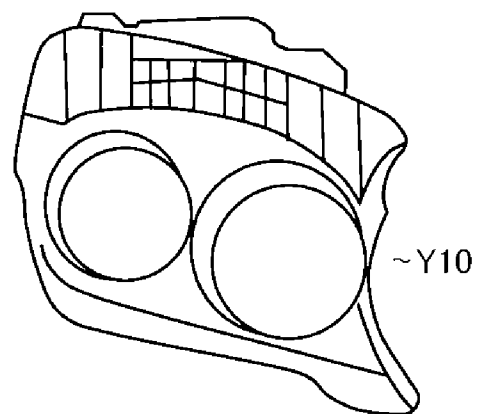
X10



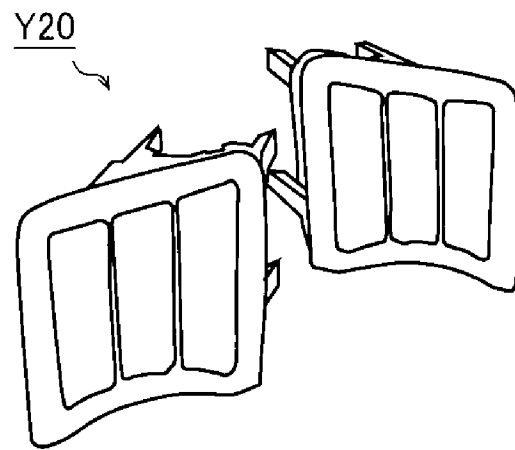
[図7]



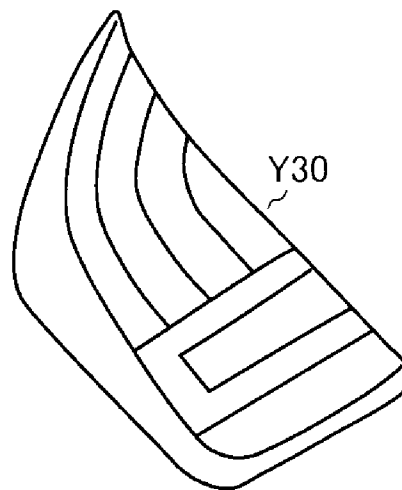
[図8]



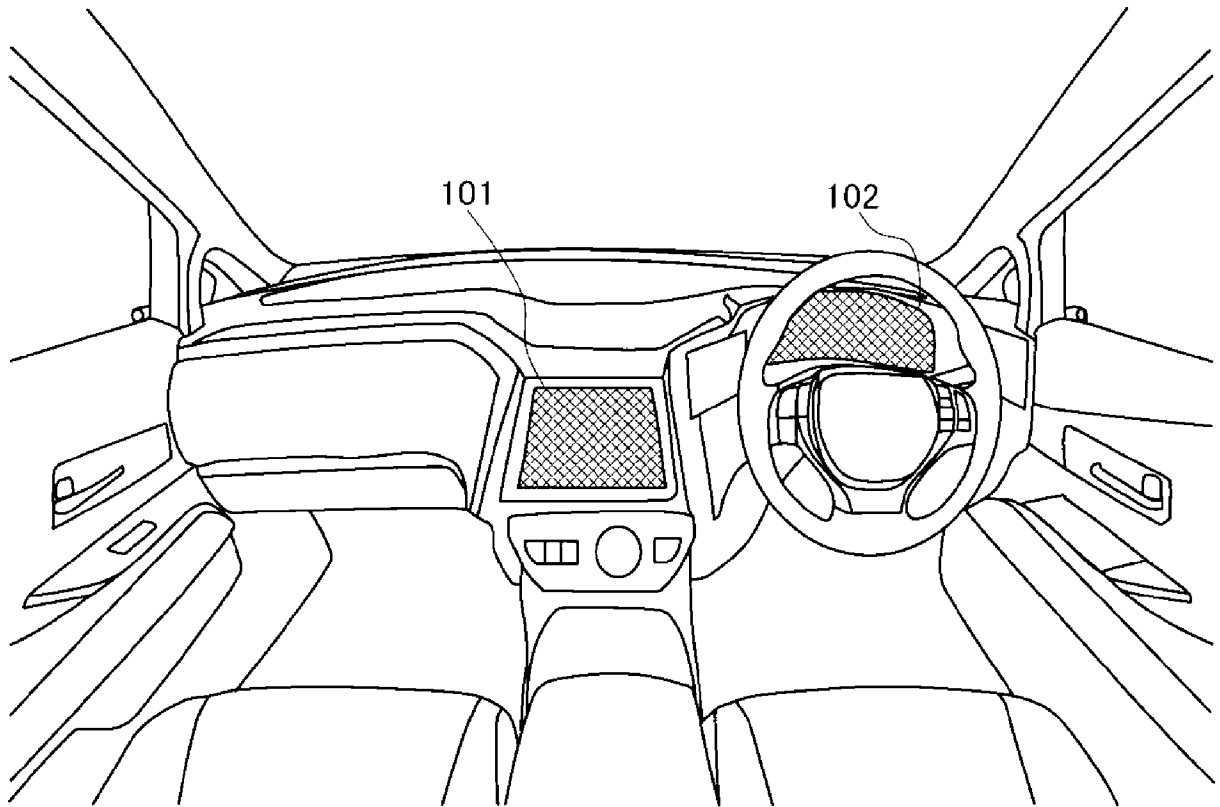
[図9]



[図10]



[図11]

100

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/035191

A. CLASSIFICATION OF SUBJECT MATTER**H02M 3/155**(2006.01)i

FI: H02M3/155 F

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/155

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-136123 A (SANKEN ELECTRIC CO LTD) 10 May 2002 (2002-05-10) paragraphs [0047], [0062], [0072]-[0091], fig. 1, 4-5	1-8
Y	WO 2018/025901 A1 (ROHM CO., LTD.) 08 February 2018 (2018-02-08) paragraphs [0018]-[0032], [0050]-[0058], fig. 1, 7	1-8
Y	JP 2015-136229 A (RENESAS ELECTRONICS CORP) 27 July 2015 (2015-07-27) paragraphs [0145]-[0153], fig. 10-11	6
A	WO 2022/097430 A1 (ROHM CO., LTD.) 12 May 2022 (2022-05-12) paragraphs [0016]-[0026], [0073], fig. 1, 6	1-8

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

06 November 2023

Date of mailing of the international search report

21 November 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/035191

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2002-136123	A	10 May 2002	(Family: none)	
WO	2018/025901	A1	08 February 2018	US 2019/0319536 A1 paragraphs [0025]-[0039], [0057]-[0066], fig. 1, 7 EP 3471253 A1 CN 109417349 A	
JP	2015-136229	A	27 July 2015	US 2015/0205314 A1 paragraphs [0174]-[0183], fig. 10-11 EP 2897273 A1 CN 104793677 A	
WO	2022/097430	A1	12 May 2022	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H02M 3/155(2006.01)i FI: H02M3/155 F										
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H02M3/155 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2023年									
日本国実用新案登録公報	1996 - 2023年									
日本国登録実用新案公報	1994 - 2023年									
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
Y	JP 2002-136123 A（サンケン電気株式会社）10.05.2002（2002 - 05 - 10） 段落[0047], [0062], [0072]-[0091], 図1, 4-5	1-8								
Y	WO 2018/025901 A1（ローム株式会社）08.02.2018（2018 - 02 - 08） 段落[0018]-[0032], [0050]-[0058], 図1, 7	1-8								
Y	JP 2015-136229 A（ルネサスエレクトロニクス株式会社）27.07.2015（2015 - 07 - 27） 段落[0145]-[0153], 図10-11	6								
A	WO 2022/097430 A1（ローム株式会社）12.05.2022（2022 - 05 - 12） 段落[0016]-[0026], [0073], 図1, 6	1-8								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献										
国際調査を完了した日 06.11.2023		国際調査報告の発送日 21.11.2023								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 安池 一貴 5G 9150 電話番号 03-3581-1101 内線 3357								

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/035191

引用文献			公表日	パテントファミリー文献	公表日
JP	2002-136123	A	10.05.2002	(ファミリーなし)	
WO	2018/025901	A1	08.02.2018	US 2019/0319536 A1	
				段落[0025]-[0039], [0057]-[0066], 図1, 7	
				EP 3471253 A1	
				CN 109417349 A	
JP	2015-136229	A	27.07.2015	US 2015/0205314 A1	
				段落[0174]-[0183], 図10-11	
				EP 2897273 A1	
				CN 104793677 A	
WO	2022/097430	A1	12.05.2022	(ファミリーなし)	