

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号

特許第7033069号

(P7033069)

(45)発行日 令和4年3月9日(2022.3.9)

(24)登録日 令和4年3月1日(2022.3.1)

(51)国際特許分類

F I

H 0 1 L 21/60 (2006.01)

H 0 1 L 21/92

6 0 2 K

H 0 5 K 3/34 (2006.01)

H 0 5 K 3/34

5 0 1 E

H 0 5 K 3/00 (2006.01)

H 0 1 L 21/92

6 0 2 J

H 0 5 K 1/18 (2006.01)

H 0 5 K 3/00

X

H 0 5 K 1/18

L

請求項の数 15 (全19頁)

(21)出願番号 特願2018-538737(P2018-538737)

(73)特許権者 507364838

(86)(22)出願日 平成28年12月21日(2016.12.21)

クアルコム, インコーポレイテッド

(65)公表番号 特表2019-511832(P2019-511832 A)

アメリカ合衆国 カリフォルニア 9 2 1

2 1 サン ディエゴ モアハウス ドライ

ブ 5 7 7 5

(43)公表日 平成31年4月25日(2019.4.25)

(74)代理人 100108453

(86)国際出願番号 PCT/US2016/068033

弁理士 村山 靖彦

(87)国際公開番号 WO2017/136061

(74)代理人 100163522

(87)国際公開日 平成29年8月10日(2017.8.10)

弁理士 黒田 晋平

審査請求日 令和1年12月4日(2019.12.4)

(72)発明者 デイク・ダニエル・キム

(31)優先権主張番号 62/289,636

アメリカ合衆国・カリフォルニア・9 2

(32)優先日 平成28年2月1日(2016.2.1)

1 2 1 - 1 7 1 4・サン・ディエゴ・モ

(33)優先権主張国・地域又は機関

アハウス・ドライヴ・5 7 7 5

米国(US)

(72)発明者 マリオ・フランシスコ・ヴェレス

(31)優先権主張番号 15/077,869

アメリカ合衆国・カリフォルニア・9 2

(32)優先日 平成28年3月22日(2016.3.22)

最終頁に続く

最終頁に続く

(54)【発明の名称】 オープンパッシベーションボールグリッドアレイパッド

## (57)【特許請求の範囲】

## 【請求項1】

導電バンプアセンブリを製作するための方法であって、

受動基板上に直接第3のパッシベーション層を堆積させるステップと、

前記第3のパッシベーション層上に直接第2のパッシベーション層を堆積させるステップと、

前記第2のパッシベーション層上に直接第1のパッシベーション層を堆積させるステップと、

前記導電バンプアセンブリを支持する前記受動基板の縁部に複数の導電バンプパッドを製作するステップであって、前記第2のパッシベーション層上に前記複数の導電バンプパッドを形成し、前記導電バンプパッドの上面が前記第2のパッシベーション層の上面よりも高い、ステップと、

前記複数の導電バンプパッドをそれぞれ取り囲む前記第1のパッシベーション層の複数の開口部を、前記受動基板の前記縁部に近接する前記複数の導電バンプパッドを取り囲む第2のパッシベーション層開口部と組み合わせ、それによって、前記第1のパッシベーション層が前記受動基板の前記縁部に近接する前記導電バンプパッドを部分的にのみ取り囲む、ステップと、

前記第1のパッシベーション層および前記第2のパッシベーション層をマスクして、前記組み合わせられた第1および第2のパッシベーション層開口部を形成するステップと、

前記導電バンプパッド上に導電材料を堆積させるステップと、を含むことを特徴とする、

方法。

【請求項 2】

前記複数の導電バンプパッドを製作する前記ステップは、  
前記導電バンプパッドと前記受動基板の前記縁部におけるダイシングストリートの一部との間の第 1 のパッシベーション層ブロックを除去するステップと、  
前記受動基板の前記縁部における前記ダイシングストリートの前記一部に近接する第 2 のパッシベーション層上に前記導電バンプパッドを配置するステップとを含む、請求項 1 に記載の方法。

【請求項 3】

非はんだマスク定義 (NSMD) プロセスを使用して第 2 のパッシベーション層上にランディングパターンを画定するステップと、  
前記ランディングパターン内に配線工程 (BEOL) 導電相互接続層を前記導電バンプパッドとして堆積させるステップとをさらに含む、請求項 2 に記載の方法。

【請求項 4】

前記導電材料を堆積させるステップは、前記導電バンプパッド上にはんだ材料をはんだボールとして堆積させるステップを含む、請求項 1 に記載の方法。

【請求項 5】

前記導電バンプアセンブリを無線周波数 (RF) フロントエンドモジュールのプリント回路板 (PCB) 上に組み立てるステップをさらに含む、請求項 1 に記載の方法。

【請求項 6】

受動基板と、  
前記受動基板によって支持され、第 1 のパッシベーション層内の複数の開口部によってそれぞれ取り囲まれた複数の導電バンプパッドと、  
前記第 1 のパッシベーション層を支持し、前記受動基板を露出させ前記第 1 のパッシベーション層内の前記開口部と組み合わせられる開口部を有し、それによって、前記第 1 のパッシベーション層が前記受動基板の縁部に近接する前記導電バンプパッドを部分的にのみ取り囲む第 2 のパッシベーション層と、  
前記導電バンプパッド上の組立てのための手段とを備え、  
前記複数の導電バンプパッドが、前記第 2 のパッシベーション層内の前記開口部によって取り囲まれ、

前記導電バンプパッドの上面が前記第 2 のパッシベーション層の上面よりも高いことを特徴とする導電バンプアセンブリ。

【請求項 7】

前記導電バンプパッドは、非はんだマスク定義 (NSMD) パッドを含む、請求項 6 に記載の導電バンプアセンブリ。

【請求項 8】

前記導電バンプパッドと前記受動基板の前記縁部との間の距離は約 42 . 5 ミクロンである、請求項 6 に記載の導電バンプアセンブリ。

【請求項 9】

前記受動基板の前記縁部は、ダイシングストリートの一部を含む、請求項 6 に記載の導電バンプアセンブリ。

【請求項 10】

前記導電バンプアセンブリは、ボールグリッドアレイ (BGA) アセンブリを含む、請求項 6 に記載の導電バンプアセンブリ。

【請求項 11】

前記組立て手段は、はんだボールを含む、請求項 6 に記載の導電バンプアセンブリ。

【請求項 12】

フィルタに組み込まれ、前記受動基板がガラス基板を含む、請求項 6 に記載の導電バンプアセンブリ。

【請求項 13】

10

20

30

40

50

前記フィルタは、ダイプレкса、トリプレкса、ローパスフィルタ、および/またはノッチフィルタを含む、請求項 12 に記載の導電バンプアセンブリ。

【請求項 14】

前記フィルタは、無線周波数 (RF) フロントエンドモジュールのプリント回路板 (PCB) 上に組み立てられる、請求項 12 に記載の導電バンプアセンブリ。

【請求項 15】

無線周波数 (RF) フロントエンドモジュールに組み込まれ、前記 RF フロントエンドモジュールが、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末 (PDA)、固定ロケーションデータユニット、モバイル電話、およびポータブルコンピュータのうちの少なくとも 1 つに組み込まれる、請求項 6 に記載の導電バンプアセンブリ。

10

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

本出願は、2016年2月1日に出願された「OPEN-PASSIVATION BALL GRID ARRAY PADS」という名称の米国仮特許出願第62/289,636号に対する利益を米国特許法第119条(e)の下に主張するものであり、この仮特許出願の開示全体は参照により本明細書に明確に組み込まれる。

【0002】

20

本開示は、一般に集積回路(IC)に関する。より詳細には、本開示は、オープンパッシベーションボールグリッドアレイパッドに関する。

【背景技術】

【0003】

集積回路(IC)の半導体製作のプロセスフローは、基板(FEOL)工程、中間(MOL)工程、および配線(BEOL)工程を含んでもよい。基板工程は、ウエハ作製、絶縁、ウェル形成、ゲートパターンニング、スペーサ、エクステンションおよびソース/ドレイン注入、シリサイド形成、ならびにデュアルストレスライナー形成を含んでもよい。中間工程は、ゲートコンタクト形成を含んでもよい。中間工程層は、半導体デバイスストランジスタまたは他の能動デバイスに近接した中間工程コンタクト、ビア、または他の層を含む場合があるが、これらに限定されない。配線工程は、基板工程および中間工程中に作製された半導体デバイスを相互接続するための一連のウエハ処理ステップを含んでもよい。

30

【0004】

現代の半導体チップ製品を首尾よく製作するには、採用される材料とプロセスとの間の相互作用が必要である。具体的には、配線工程における半導体製作のための導電性材料めっきの形成は、プロセスフローのうちの次第に困難になっている部分である。これは、小さなフィーチャサイズを維持するという観点において特に当てはまる。受動オンガラス(POG)技術でも、小さなフィーチャサイズを維持することに関する同じ問題があり、その技術では、インダクタおよびキャパシタのような高性能構成要素が、同じく損失が非常に少ない場合がある絶縁性の高い基板上に構築される。

40

【0005】

受動オンガラスデバイスは、モバイル無線周波数(RF)チップ構成(たとえば、モバイルRFトランシーバ)を製作する際に広く使用されている表面実装技術または多層セラミックチップのような他の技術より優れた種々の利点を有する高性能インダクタ構成要素およびキャパシタ構成要素を含む。モバイルRFトランシーバの設計については、コストおよび電力消費量の問題に起因するディーブサブミクロンプロセスノードへの移行によって複雑さが増している。間隔の問題もモバイルRFトランシーバ設計ディーブサブミクロンプロセスノードに影響を与える。たとえば、モバイルRFトランシーバの製作には、無駄になる空間を占有しコストの増大を伴うダイ領域境界におけるダミー領域が含まれることがある。

50

## 【発明の概要】

## 【課題を解決するための手段】

## 【0006】

導電バンプアセンブリは、受動基板を含んでもよい。導電バンプアセンブリはまた、受動基板によって支持され、第1のパッシベーション層開口部によって取り囲まれた導電バンプパッドを含んでもよい。導電バンプアセンブリは、受動基板上に第2のパッシベーション層開口部をさらに含んでもよい。第2のパッシベーション層開口部は、受動基板の縁部に近接する導電バンプパッドを取り囲む第1のパッシベーション層開口部と組み合わせられてもよい。導電バンプアセンブリはまた、導電バンプパッド上に導電バンプを含んでもよい。

10

## 【0007】

導電バンプアセンブリを製作するための方法は、導電バンプアセンブリを支持する受動基板の縁部に導電バンプパッドを製作するステップを含んでもよい。この方法はまた、導電バンプパッドを取り囲む第1のパッシベーション層開口部を第2のパッシベーション層開口部と組み合わせるステップを含んでもよい。第2のパッシベーション層開口部は、受動基板の縁部に近接する導電バンプパッドを取り囲んでもよい。この方法は、導電バンプパッドの上に導電材料を堆積させるステップをさらに含んでもよい。

## 【0008】

導電性バンプアセンブリは、受動基板を含んでもよい。導電バンプアセンブリはまた、受動基板によって支持され、第1のパッシベーション層開口部によって取り囲まれた導電バンプパッドを含んでもよい。導電バンプアセンブリは、受動基板上に第2のパッシベーション層開口部をさらに含んでもよい。第2のパッシベーション層開口部は、受動基板の縁部に近接する導電バンプパッドを取り囲む第1のパッシベーション層開口部と組み合わせられてもよい。導電バンプアセンブリはまた、導電バンプパッド上に組立てのための手段を含んでもよい。

20

## 【0009】

上記では、後続の詳細な説明をより良く理解することができるように、本開示の特徴および技術的利点について、かなり大まかに概説してきた。本開示の追加の特徴および利点について以下において説明する。本開示が、本開示と同じ目的を果たすための他の構造を変更または設計するための基礎として容易に利用できることを、当業者は理解されたい。そのような同等な構成が、添付の特許請求の範囲に記載されるような本開示の教示から逸脱しないことも、当業者には理解されたい。本開示の構成と動作方法の両方に関して本開示の特徴になると考えられる新規の特徴が、さらなる目的および利点とともに、以下の説明を添付の図と併せて検討することからより良く理解されるであろう。しかしながら、図の各々が、例示および説明のために提供されるにすぎず、本開示の範囲を定めるものではないことは明確に理解されたい。

30

## 【0010】

本開示をより完全に理解できるように、ここで、添付の図面と併せて以下の説明を参照する。

## 【図面の簡単な説明】

40

## 【0011】

【図1】本開示の一態様における半導体ウエハの斜視図である。

【図2A】ウエハ上に受動オンガラスデバイスを製作した後のウエハのガラスダイを示す図である。

【図2B】図2Aのガラスダイの角部の拡大図である。

【図3A】本開示の一態様によるオープンパッシベーション導電パッドを含む導電バンプアセンブリのレイアウト図および断面図である。

【図3B】図2Aおよび図2Bに示すガラスダイの導電バンプアセンブリの断面図およびレイアウト図である。

【図4A】本開示の一態様によるオープンパッシベーション導電バンプパッドを含む導電

50

パンプアセンブリの断面図である。

【図４Ｂ】図３Ｂに示す導電パンプアセンブリのさらなる断面図である。

【図５】本開示の態様によるオープンパッシベーション導電パンプパッドを含む導電パンプアセンブリを構築する方法を示すプロセスフロー図である。

【図６】本開示の一態様による、ダイプレксаを使用する無線周波数（ＲＦ）フロントエンド（ＲＦＦＥ）モジュールの概略図である。

【図７】本開示の態様による、チップセット用のダイプレксаを使用してキャリアアグリゲーションを実現するＷｉＦｉモジュールおよび無線周波数（ＲＦ）フロントエンド（ＲＦＦＥ）モジュールの概略図である。

【図８】本開示の一構成が有利に採用される場合がある例示的なワイヤレス通信システムを示すブロック図である。

10

【図９】一構成による、半導体構成要素の回路設計、レイアウト設計、および論理設計に使用される、設計用ワークステーションを示すブロック図である。

【発明を実施するための形態】

【００１２】

添付の図面に関して以下に記載する詳細な説明は、様々な構成について説明するものであり、本明細書で説明する概念が実践されてもよい唯一の構成を表すものではない。詳細な説明は、様々な概念を完全に理解できるようにすることを目的とした具体的な詳細を含む。しかしながら、これらの概念がこれらの具体的な詳細なしに実践されてもよいことは、当業者には明らかであろう。場合によっては、そのような概念を曖昧にするのを回避するために、よく知られている構造および構成要素がブロック図の形態で示される。本明細書において説明されるときに、「および／または」という用語の使用は、「包含的論理和」を表すことが意図されており、「または」という用語の使用は、「排他的論理和」を表すことが意図されている。

20

【００１３】

現代の半導体チップ製品を首尾よく製作するには、採用される材料とプロセスとの間の相互作用が必要である。具体的には、配線工程（ＢＥＯＬ）プロセスにおける半導体製作のための導電材料めっきの形成は、プロセスフローにおいてますます困難になっている部分である。これは、小さなフィーチャサイズを維持するという観点において特に当てはまる。小さなフィーチャサイズを維持することに関する同じ課題が受動オンガラス（ＰＯＧ）技術にも当てはまり、その技術では、インダクタおよびキャパシタのような高性能構成要素が、同じく損失が非常に少なくなる場合がある絶縁性の高い基板上に構築される。

30

【００１４】

受動オンガラスデバイスは、モバイル無線周波数（ＲＦ）チップ構成（たとえば、モバイルＲＦトランシーバ）の製作において通常使用される表面実装技術または多層セラミックチップのような、他の技術より優れた種々の利点を有する高性能インダクタ構成要素およびキャパシタ構成要素を含む。モバイルＲＦトランシーバの設計については、コストおよび電力消費量の問題に起因するディープサブミクロンプロセスノードへの移行によって複雑さが増している。間隔の問題もモバイルＲＦトランシーバ設計ディープサブミクロンプロセスノードに影響を与える。たとえば、モバイルＲＦトランシーバの製作には、無駄になる空間を占有しコストの増大を伴うダイ領域境界におけるダミー領域が含まれることがある。

40

【００１５】

本開示の様々な態様は、オープンパッシベーションボールグリッドアレイパッドに関する技法を提供する。オープンパッシベーションボールグリッドアレイパッドの半導体製作のためのプロセスフローは、基板工程（ＦＥＯＬ）プロセス、中間工程（ＭＯＬ）プロセス、および配線工程（ＢＥＯＬ）プロセスを含んでもよい。「層」という用語は、膜を含み、別段述べられていない限り、垂直厚または水平厚を示すものと解釈されるべきではないことが理解されよう。本明細書において説明するように、「基板」という用語は、ダイシングされたウエハの基板を指す場合があるか、または、ダイシングされていないウエハの

50

基板を指す場合がある。同様に、チップおよびダイという用語は、入れ換えられると信じることが難しくない限り、互換的に使用することができる。

【 0 0 1 6 】

本明細書で説明するように、配線工程相互接続層は、集積回路の基板工程能動デバイスに電氣的に結合するための導電相互接続層（たとえば、金属 1（M 1）、金属 2（M 2）、金属 3（M 3）、金属 4（M 4）など）を指すことがある。配線工程相互接続層は、たとえば、集積回路の酸化物拡散（O D）層に M 1 を接続するために中間工程相互接続層に電氣的に結合してもよい。配線工程第 1 ビア（V 2）は、配線工程相互接続層の M 3 または他の金属に M 2 を接続してもよい。

【 0 0 1 7 】

本開示の様々な態様は、コストを削減させるためにダイ領域境界におけるダミー領域を縮小するための技法を提供する。一般に、ウエハ上への集積回路の製作が完了した後、ウエハはダイシングライン（たとえば、ダイシングストリート）に沿って分割される。ダイシングラインは、ウエハをどこでいくつかの部片に分割または分離すべきであることを示す。ダイシングラインは、ウエハ上に製作された様々な集積回路の輪郭を画定してもよい。ダイシングラインが画定された後、ウエハは、いくつかの部片に切断されるかまたはその他の方法によって分離されダイが形成される。このプロセスの後、ダイ領域境界は、ダイシングソーブレード（K e r f）によって形成されるグループおよび最終パッシベーション層（V P）間隔に応じた非機能的境界領域を含んでもよい。この例では、非機能的境界領域の幅によって、物理ダイ領域の顕著な割合を占めることがあるダミー領域が生じる。

【 0 0 1 8 】

本開示の一態様では、オープンパッシベーションボールグリッドアレイパッドを含む導電バンパアセンブリは、ダイ領域境界におけるダミー領域を縮小するのを可能にする。導電バンパアセンブリは、受動基板によって支持され、第 1 のパッシベーション層開口部によって取り囲まれた導電バンパパッドを含んでもよい。導電バンパアセンブリはまた、受動基板上の第 2 のパッシベーション層開口部であって、受動基板の縁部に近接する導電バンパパッドを取り囲む第 1 のパッシベーション層開口部と組み合わせられた第 2 のパッシベーション層開口部を含んでもよい。この構成では、導電バンパパッドとダイシングストリートとの間の第 1 のパッシベーション層ブロックが、導電バンパアセンブリを支持する受動基板の縁部において除去される。除去された後、導電バンパパッドを取り囲む第 1 のパッシベーション層開口部が、受動基板の縁部におけるダイシングストリートに近接する導電バンパパッドを取り囲む第 2 のパッシベーション層開口部と組み合わせられる。

【 0 0 1 9 】

図 1 は、本開示の一態様におけるウエハの斜視図を示す。ウエハ 1 0 0 は、半導体ウエハであってもよく、あるいはウエハ 1 0 0 の表面上に材料の 1 つまたは複数の層を有する基板材料であってもよい。ウエハ 1 0 0 は、ガリウムヒ素（G a A s）または窒化ガリウム（G a N）などの複合材料、インジウムガリウムヒ素（I n G a A s）などの 3 元材料、4 元材料、シリコン、石英、ガラス、あるいは基板材料とすることができる任意の材料であってもよい。多くの材料は本質的に結晶性を有する場合があるが、多結晶材料またはアモルファス材料がウエハ 1 0 0 に使用されてもよい。たとえば、基板用の様々なオプションには、ガラス基板、半導体基板、コア積層基板、コアレス基板、プリント回路板（P C B）基板、または他の同様の基板が含まれる。

【 0 0 2 0 】

ウエハ 1 0 0、またはウエハ 1 0 0 に結合された層は、ウエハ 1 0 0 内またはウエハ 1 0 0 上に様々な種類の電子デバイスを形成するのを可能にする材料を供給されてもよい。さらに、ウエハ 1 0 0 は、ウエハ 1 0 0 の結晶配向を示す配向 1 0 2 を有してもよい。配向 1 0 2 は、図 1 に示すようにウエハ 1 0 0 の平坦な縁部であっても、あるいはウエハ 1 0 0 の結晶配向を示すための切欠きまたは他の表示であってもよい。配向 1 0 2 は、半導体ウエハを仮定すると、ウエハ 1 0 0 内の結晶格子の平面に関するミラー指数を示す場合がある。

10

20

30

40

50

## 【 0 0 2 1 】

ウエハ 1 0 0 が必要に応じて処理されると、ウエハ 1 0 0 は、ダイシングライン 1 0 4 に沿って分割される。たとえば、ウエハ 1 0 0 上への集積回路の製作を完了した後、ウエハ 1 0 0 はダイシングライン 1 0 4 に沿って分割され、ダイシングライン 1 0 4 は本明細書では「ダイシングストリート」と呼ばれる場合がある。ダイシングライン 1 0 4 は、ウエハ 1 0 0 がどこで分けられるまたは分割されるべきかを示す。ダイシングライン 1 0 4 は、ウエハ 1 0 0 上に製作された様々な集積回路の輪郭を画定してもよい。

## 【 0 0 2 2 】

ダイシングライン 1 0 4 が画定された後、ウエハ 1 0 0 は、いくつかの部片として切断されるかまたはその他の方法によって分離されダイ 1 0 6 が形成される。各ダイ 1 0 6 は、多数のデバイスを有する集積回路であってもよく、または単一の電子デバイスであってもよい。ダイ 1 0 6 の物理的サイズは、チップまたは半導体チップと呼ばれる場合もあり、ウエハ 1 0 0 を特定のサイズに分離する能力およびダイ 1 0 6 が含むように設計される個々のデバイスの数に少なくとも部分的に依存する。

## 【 0 0 2 3 】

ウエハ 1 0 0 が 1 つまたは複数のダイ 1 0 6 に分離された後、ダイ 1 0 6 はパッケージ内に実装され、ダイ 1 0 6 上に製作されたデバイスおよび/または集積回路の取り扱いを可能にしてもよい。パッケージには、シングルインラインパッケージ、デュアルインラインパッケージ、マザーボードパッケージ、フリップチップパッケージ、インジウムドット/バンパパッケージ、またはダイ 1 0 6 の取り扱いを可能にする他の種類のデバイスを含めてもよい。ダイ 1 0 6 は、ダイ 1 0 6 を別個のパッケージに実装されることなくワイヤボンディング、プローブ、または他の接続部を通して直接取り扱われてもよい。

## 【 0 0 2 4 】

インダクタ、およびキャパシタなどの他の受動デバイスが、ダイ上に形成されてもよい。これらの構成要素は、受動オンガラス技術を使用する、たとえば、図 6 および図 7 に示されているような無線周波数 ( R F ) フロントエンドモジュールを形成する際に有用なフィルタ、ダイプレクサ、トリプレクサ、ローパスフィルタ、および/またはノッチフィルタ、あるいは他の同様の受動回路素子を形成するために使用されてもよい。

## 【 0 0 2 5 】

図 2 A は、ウエハ 2 0 1 上に受動オンガラスデバイスを製作した後のウエハ 2 0 1 ( 図 2 B ) のガラスダイ ( 2 0 0 ) を示す図である。受動オンガラスデバイスは、モバイル無線周波数 ( R F ) チップ構成 (たとえば、モバイル R F トランシーバ) の製作において通常使用される表面実装技術または多層セラミックチップのような、他の技術より優れた種々の利点を有する高性能インダクタ構成要素およびキャパシタ構成要素を含む。この構成では、ガラスダイ 2 0 0 は、ボールグリッドアレイ ( B G A ) アセンブリを配置するのを可能にするためにパッシベーション開口部 2 1 0 ( 2 1 0 - 1、2 1 0 - 2、2 1 0 - 3、2 1 0 - 4、および 2 1 0 - 5 ) を含む。この例では、ガラスダイは、ダイシングラインに沿ってダイシングされる前であり、ガラスダイがダイシングストリート 2 2 0 によって取り囲まれている状態が示されている。ダイシングストリート 2 2 0 は、ウエハ 2 0 1 をどこでいくつかの部片に分割または分離すべきであるかを示すダイシングラインから構成される。ダイシングストリート 2 2 0 が画定された後、ウエハ 2 0 1 は、いくつかの部片に切断されるかまたはその他の方法によって分離されガラスダイ 2 0 0 が形成される。残念ながら、パッシベーション開口部 2 1 0 の配置によって、図 2 B にさらに示すように、ガラスダイ 2 0 0 のダイ領域境界にダミー領域が生じる。

## 【 0 0 2 6 】

図 2 B は、図 2 A のガラスダイ 2 0 0 の角部の拡大図である。受動オンガラスデバイスの製作は、非機能的境界領域 2 2 2 がガラスダイ 2 0 0 を取り囲むのでコストがかかる。たとえば、ガラスダイ 2 0 0 の物理的ダイサイズが  $2.25\text{ mm}^2$  であると仮定すると、ダイ領域境界は、ダイシングソーブレード ( K e r f ) によって形成されるグループ (たとえば、ダイシングストリート 2 2 0 の一部) および最終パッシベーション層 ( V P ) 間隔

10

20

30

40

50

2 1 2 に応じた非機能的境界領域を含む場合がある。この例では、非機能的境界領域 2 2 2 の幅は  $0.78 \text{ mm}^2$  であり、それによって、ガラスダイ 2 0 0 の物理的ダイ領域の約 3 5 % であるダミー領域が生じる。この構成では、ガラスダイの縁部におけるパッシベーション開口部とダイシングストリート 2 2 0 との間の距離は約 8 5 ミクロンである。

【 0 0 2 7 】

図 3 A は、本開示の一態様によるオープンパッシベーション導電バンプパッドを含む導電バンプアセンブリの断面図 3 0 1 およびレイアウト図 3 0 3 である。オープンパッシベーション導電バンプパッドは、表面実装技術 ( S M T ) を使用して R F フロントエンドモジュール内に受動オンガラスデバイスを組み込むのを可能にする。 S M T 組立てプロセスは、ウエハ (たとえば、プリント回路板 ( P C B ) ) 上にはんだペーストをスクリーン印刷することを含んでもよい。はんだペースト印刷に続いて、各構成要素がウエハ上に配置される。構成要素の配置が完了した後、はんだリフローが行われ、その後フラックスが除去される。さらに、 S M T 組立てプロセスは一般に、表面実装パッケージ用の 2 種類のランドパターンを含む。第 1 の種類のランドパターンは、非はんだマスク定義 ( N S M D ) パッドである。これらのパッドは一般に、金属パッドよりも幅の広いマスク開口部を有する。第 2 の種類のランドパターンは、はんだマスク定義 ( S M D ) パッドである。これらのパッドは、金属パッドと比較して縮小されたはんだマスク開口部を有する。

【 0 0 2 8 】

図 3 A の断面図 3 0 1 に示すように、導電バンプアセンブリ 3 0 0 は、複数のパッシベーション (たとえば、誘電性) 層および導電バンプパッド 3 6 0 を支持するガラス基板 3 0 2 を含む。断面図 3 0 1 に示す導電バンプアセンブリ 3 0 0 は、図 2 B に示す図 2 A のガラスダイ 2 0 0 の角部の分解図と類似する場合がある。しかし、この構成では、図 2 B に示す V P 間隔 2 1 2 を除去することによって導電バンプパッド 3 6 0 がダイシングストリート 3 2 0 と結合される。その結果、レイアウト図 3 0 3 に示す非機能的境界領域 3 2 2 は、図 2 B に示す非機能的境界領域 2 2 2 に対して縮小される。

【 0 0 2 9 】

断面図 3 0 1 に示すように、第 1 のパッシベーション層 3 5 0 ( V P ) は、第 3 のパッシベーション層 3 3 0 ( V 2 ) によって支持される第 2 のパッシベーション層 3 4 0 ( V 3 ) によって支持される。レイアウト図 3 0 3 に示すように、第 2 のパッシベーション層 3 4 0 ( V 3 ) の第 2 のパッシベーション層開口部は、ダイシングストリート 3 2 0 に近接する導電バンプパッド 3 6 0 を取り囲む第 1 のパッシベーション層 3 5 0 ( V P ) の第 1 のパッシベーション層開口部と組み合わせられる。導電バンプパッド 3 6 0 は、第 2 のパッシベーション層 3 4 0 上に配線工程 ( B E O L ) 相互接続層 (たとえば、金属 4 ( M 4 ) ) を堆積させることによって形成されてもよい。導電バンプパッド 3 6 0 は、非はんだマスク定義 ( N S M D ) パッドであってもよい。3 つのパッシベーション層として示されているが、導電バンプアセンブリは、この構成に限定されず、ウエハ製作のそれぞれに異なる段階の間に堆積される複数のパッシベーション層を含む任意の構成を含んでもよい。パッシベーション層は、ポリイミドまたは他の同様の誘電材料から構成されてもよい。

【 0 0 3 0 】

図 3 B は、図 2 A および図 2 B に示すガラスダイ 2 0 0 の導電バンプアセンブリの断面図 3 7 1 およびレイアウト図 3 7 3 を示す。図 3 B の断面図 3 7 1 に示すように、導電バンプアセンブリ 3 7 0 は、複数のパッシベーション (たとえば、誘電) 層および導電バンプパッド 3 6 0 を支持するガラス基板 3 0 2 を含む。断面図 3 0 1 に示す導電バンプアセンブリ 3 0 0 は、図 2 B に示す図 2 A のガラスダイ 2 0 0 の角部の分解図をさらに示す。この構成では、導電バンプパッド 3 6 0 は、レイアウト図 3 7 3 に示す V P 間隔 2 1 2 (たとえば、  $42.5 \text{ } \mu\text{m}$  ) に応じた第 1 のパッシベーション層 3 5 0 の V P ブロック 3 5 2 によってダイシングストリート 3 2 0 からずれている。

【 0 0 3 1 】

断面図 3 7 1 に示すように、 V P ブロック 3 5 2 は、導電バンプパッド 3 6 0 とダイシングストリート 3 2 0 との間に配置され、レイアウト図 3 7 3 に示す非機能境界領域 2 2 2

10

20

30

40

50



を生じさせる。特に、VPブロック352は、レイアウト図373に示すVP間隔212によって測定されるダミー領域をガラスダイ200の周囲に生じさせる。したがって、図3Bのレイアウト図373に示す非機能的境界領域222（たとえば、85ミクロン）は、図3Aに示す非機能的境界領域322（たとえば、42.5ミクロン）と比較して大きい。本開示の態様では、図3Aに示すように、VPブロック352を除去し、導電バンプパッド360をダイシングストリート320と結合することによって、VP間隔212の幅に応じて非機能境界領域322が縮小される。

#### 【0032】

図4Aは、本開示の一態様によるオープンパッシベーション導電パッドを含む導電バンプアセンブリの断面図を示す。典型的には、導電バンプアセンブリ400はまた、パッシベーション（たとえば、誘電）層および導電バンプパッド460を支持するガラス基板402を含む。導電バンプアセンブリ400は、図3Aに示す導電バンプアセンブリ300と同様であってもよい。しかし、この構成では、導電バンプアセンブリ400を完成するために導電バンプパッド460上に導電バンプ462が製作される。

10

#### 【0033】

導電バンプアセンブリ400は、第3のパッシベーション層430（V2）によって支持される第2のパッシベーション層440（V3）によって支持される第1のパッシベーション層450（VP）を含む。この構成では、第2のパッシベーション層440（V3）の第2のパッシベーション層開口部も、導電バンプパッド460を取り囲む第1のパッシベーション層450（VP）の第1のパッシベーション層開口部と組み合わせられる。このプロセスでは、ダイシングストリート320（図3A）により近い導電バンプパッド460の位置を押すことによって、フットプリントが縮小された（たとえば、 $1.5 \times 1.5 \text{ mm}^2$ ）導電バンプアセンブリ400が形成される。導電バンプアセンブリ400のフットプリントの縮小には、図4Bに示すようにVPブロック452を除去することによってサイズを顕著に縮小する（たとえば、85ミクロン）ことが含まれる。

20

#### 【0034】

図4Bは、図3Bに示す導電バンプアセンブリの断面図をさらに示す。導電バンプアセンブリ470は、図3Bに示す導電バンプアセンブリ370と同様であってもよく、ガラス基板402上の第3のパッシベーション層430（V2）によって支持される第2のパッシベーション層440（V3）によって支持される第1のパッシベーション層450（VP）を含む。しかし、この構成では、導電バンプアセンブリ470を完成するために導電バンプパッド460上に導電バンプ462が製作される。

30

#### 【0035】

この構成では、導電バンプパッド460は、第1のパッシベーション層450のVPブロック452によってダイシングストリート320（図3B）からずらされている。VPブロック452によって消費される空間によって、導電バンプアセンブリ470は、図4Aに示す導電バンプアセンブリ400の縮小されたフットプリント（たとえば、 $1.5 \times 1.5 \text{ mm}^2$ ）と比較して拡大されたフットプリント（たとえば、 $1.6 \times 1.6 \text{ mm}^2$ ）を有する。導電バンプアセンブリ400のフットプリントの縮小には、図4Bに示すようにVPブロック452を除去することによってサイズを実質的に縮小する（たとえば、11%）ことが含まれる。VPブロック452を除去すると、導電バンプアセンブリ470のVP間隔規則を回避することによって導電バンプアセンブリ400を製作することが可能になる。

40

#### 【0036】

図5は、本開示の一態様によるオープンパッシベーション導電バンプパッドを含む導電バンプアセンブリを構築する方法500を示すプロセスフロー図である。ブロック502では、導電バンプアセンブリを支持する受動基板の縁部に導電バンプパッドを製作する。たとえば、図3Aに示すように、導電バンプパッド360は、ガラス基板302の縁部におけるダイシングストリート320に近接する第2のパッシベーション層340上に配線工程（BEOL）導電相互接続層（たとえば、金属4（M4））を堆積させることによって

50

形成されてもよい。この構成では、図 3 B に示す V P ブロック 3 5 2 を除去することによって導電バンプパッド 3 6 0 の位置がダイシングストリート 3 2 0 まで押される。

【 0 0 3 7 】

再び図 5 を参照するとわかるように、ブロック 5 0 4 において、導電バンプパッドを取り囲む第 1 のパッシベーション層開口部を、受動基板の縁部に近接する導電バンプパッドを取り囲む第 2 のパッシベーション層開口部と組み合わせる。たとえば、図 3 A のレイアウト図 3 0 3 に示すように、第 2 のパッシベーション層 3 4 0 ( V 3 ) の第 2 のパッシベーション層開口部が、ダイシングストリート 3 2 0 に近接する導電バンプパッド 3 6 0 を取り囲む第 1 のパッシベーション層 3 5 0 ( V P ) の第 1 のパッシベーション層開口部と組み合わせられる。図 5 のブロック 5 0 6 において、導電バンプパッド上に導電材料を堆積させる。

10

【 0 0 3 8 】

図 4 A に示すように、導電バンプアセンブリ 4 0 0 を完成するために導電バンプパッド 4 6 0 上に導電バンプ 4 6 2 が製作される。この構成では、導電バンプ 4 6 2 は、導電バンプパッド 4 6 0 上の導電バンプパッド上にはんだ材料を堆積させて導電バンプ 4 6 2 をはんだボールとして形成することによって製作される。このプロセスは、まず非はんだマスク定義 ( N S M D ) プロセスを使用して第 2 のパッシベーション層 4 4 0 上にランディングパターンを画定することによって実行されてもよい。

【 0 0 3 9 】

本開示のさらなる一態様に従って、オープンパッシベーション導電バンプパッドを含む導電バンプアセンブリについて説明する。導電バンプアセンブリは、受動基板の縁部に近接する導電バンプパッドを取り囲む第 1 のパッシベーション層開口部と組み合わせられた受動基板上の第 2 のパッシベーション層開口部を含む。導電バンプアセンブリはまた、導電バンプパッド上に組立てのための手段を含む。組立て手段は、図 4 A に示される導電バンプ 4 6 2 であってもよい。別の態様では、前述の手段は、前述の手段によって列挙された機能を実行するように構成された任意の層、モジュール、または任意の装置であってもよい。

20

【 0 0 4 0 】

本開示の様々な態様は、ダイ領域境界におけるダミー領域を縮小して、R F フロントエンド適用例およびキャリアアグリゲーション適用例用の低コスト高性能 R F デバイス技術プラットフォームを可能にするための技法を提供する。一般に、ウエハ上への集積回路の製作が完了した後、ウエハはダイシングライン（たとえば、ダイシングストリート）に沿って分割される。ダイシングラインは、ウエハをどこでいくつかの部片に分割または分離すべきであることを示す。ダイシングラインは、ウエハ上に製作された様々な集積回路の輪郭を画定してもよい。ダイシングラインが画定された後、ウエハは、いくつかの部片に切断されるかまたはその他の方法によって分離されダイが形成される。このプロセスの後、ダイ領域境界は、ダイシングソーブレード ( K e r f ) によって形成されるグループおよび最終パッシベーション層 ( V P ) 間隔に応じた非機能的境界領域を含んでもよい。この例では、非機能的境界領域の幅によって、物理ダイ領域の顕著な割合を占めることがあるダミー領域が生じる。

30

【 0 0 4 1 】

本開示の一態様では、オープンパッシベーションボールグリッドアレイパッドを含む導電バンプアセンブリは、ダイ領域境界におけるダミー領域を縮小するのを可能にする。導電バンプアセンブリは、受動基板によって支持され、第 1 のパッシベーション層開口部によって取り囲まれた導電バンプパッドを含んでもよい。導電バンプアセンブリはまた、受動基板上の第 2 のパッシベーション層開口部であって、受動基板の縁部に近接する導電バンプパッドを取り囲む第 1 のパッシベーション層開口部と組み合わせられた第 2 のパッシベーション層開口部を含んでもよい。この構成では、導電バンプパッドとダイシングストリートとの間の第 1 のパッシベーション層ブロックが、導電バンプアセンブリを支持する受動基板の縁部において除去される。除去された後、導電バンプパッドを取り囲む第 1 のパッシベーション層開口部が、受動基板の縁部におけるダイシングストリートに近接する導電

40

50

パンプパッドを取り囲む第2のパッシベーション層開口部と組み合わされる。

【0042】

図6は、本開示の一態様による、オープンパッシベーションボールグリッドアレイパッドを含む受動オンガラスデバイスを使用する無線周波数(RF)フロントエンド(RFFE)モジュール600の概略図である。RFフロントエンドモジュール600は、電力増幅器602と、デュプレクサ/フィルタ604と、無線周波数(RF)スイッチモジュール606とを含む。電力増幅器602は、信号を送信のための特定の電力レベルに増幅する。デュプレクサ/フィルタ604は、周波数、挿入損失、拒絶、または他の同様のパラメータを含む様々な異なるパラメータに応じて入出力信号をフィルタ処理する。さらに、RFスイッチモジュール606は、RFフロントエンドモジュール600の残りの部分に渡す入力信号の特定の部分を選択してもよい。

10

【0043】

RFフロントエンドモジュール600はまた、チューナ回路612(たとえば、第1のチューナ回路612Aおよび第2のチューナ回路612B)と、ダイプレクサ619と、キャパシタ616と、インダクタ618と、接地端子615と、アンテナ614とを含む。チューナ回路612(たとえば、第1のチューナ回路612Aおよび第2のチューナ回路612B)は、チューナ、ポータブルデータ入力端末(PDET)、およびハウスキーピングアナログデジタル変換器(HKADC)などの構成要素を含む。チューナ回路612は、アンテナ614のインピーダンス同調(たとえば、電圧定在波比(VSWR)最適化)を実行してもよい。RFフロントエンドモジュール600は、ワイヤレストランシーバ(WTR)620に結合された受動コンバイナ108も含む。受動コンバイナ608は、第1のチューナ回路612Aおよび第2のチューナ回路612Bからの検出された電力を組み合わせる。ワイヤレストランシーバ620は、受動コンバイナ108からの情報を処理し、この情報をモデム630(たとえば、移動局モデム(MSM))に提供する。モデム630は、デジタル信号をアプリケーションプロセッサ(AP)640に与える。

20

【0044】

図6に示すように、ダイプレクサ619は、チューナ回路612のチューナ構成要素とキャパシタ616、インダクタ618、およびアンテナ614との間に位置する。ダイプレクサ619は、アンテナ614とチューナ回路612との間に配置され、RFフロントエンドモジュール600から、ワイヤレストランシーバ620と、モデム630と、アプリケーションプロセッサ640とを含むチップセットへ高システム性能を提供することができる。ダイプレクサ619は、ハイバンド周波数とローバンド周波数の両方に対して周波数ドメイン多重化も実行する。ダイプレクサ619が入力信号に対してダイプレクサ619の周波数多重化機能を実行した後、ダイプレクサ619の出力が、キャパシタ616とインダクタ618とを含む任意のLC(インダクタ/キャパシタ)ネットワークに送られる。LCネットワークは、必要に応じて、アンテナ614の追加のインピーダンス整合構成要素を構成してよい。その場合、特定の周波数を有する信号がアンテナ614によって送受信される。単一のキャパシタおよびインダクタが示されているが、複数の構成要素も企図される。

30

【0045】

図7は、本開示の一態様による、キャリアアグリゲーションを実現するためのチップセット760用の、第1のダイプレクサ790-1を含むWiFiモジュール770および第2のダイプレクサ790-2を含むRFフロントエンドモジュール750の概略図700である。WiFiモジュール770は、アンテナ792をワイヤレスローカルエリアネットワークモジュール(たとえば、WLANモジュール772)に通信可能に結合する第1のダイプレクサ790-1を含む。RFフロントエンドモジュール750は、アンテナ794をデュプレクサ780を介してワイヤレストランシーバ(WTR)720に通信可能に結合する第2のダイプレクサ790-2を含む。ワイヤレストランシーバ720およびWiFiモジュール770のWLANモジュール772は、電力管理集積回路(PMIC)756を介して電源752によって電力を供給されるモデム(MSM、たとえばベース

40

50

バンドモデム) 730に結合される。チップセット760は、信号完全性を実現するためにキャパシタ762および764ならびにインダクタ766も含む。PMIC756、モデム730、ワイヤレストランシーバ720、およびWLANモジュール772の各々は、キャパシタ(たとえば、758、732、722、および774)を含み、クロック754に従って動作する。チップセット760における様々なインダクタ構成要素およびキャパシタ構成要素の形状および配置によって、各構成要素間の電磁結合が低減し得る。

#### 【0046】

図8は、本開示の一態様が有利に使用される場合がある例示的なワイヤレス通信システム800を示すブロック図である。説明を目的として、図8は、3つの遠隔ユニット820、830および850、ならびに2つの基地局840を示す。ワイヤレス通信システムがより多くの遠隔ユニットおよび基地局を有してもよいことが認識されよう。遠隔ユニット820、830、および850は、開示されたオープンパッシベーションボールグリッドアレイパッドを含むICデバイス825A、825C、および825Bを含む。基地局、スイッチングデバイス、およびネットワーク機器などの他のデバイスも、開示されたオープンパッシベーションボールグリッドアレイパッドを含む場合があることが認識されよう。図8は、基地局840から遠隔ユニット820、830、および850への順方向リンク信号880、ならびに、遠隔ユニット820、830、および850から基地局840への逆方向リンク信号890を示す。

#### 【0047】

図8では、遠隔ユニット820は、モバイル電話として示され、遠隔ユニット830は、ポータブルコンピュータとして示され、遠隔ユニット850は、ワイヤレスローカルループシステム内の固定位置遠隔ユニットとして示される。たとえば、遠隔ユニットは、モバイルフォン、ハンドヘルドパーソナル通信システム(PCS)ユニット、携帯情報端末(PDA)などのポータブルデータユニット、GPS対応デバイス、ナビゲーションデバイス、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、メーター読み取り機器などの固定位置データユニット、またはデータもしくはコンピュータ命令を記憶するかもしくは取り出す他の通信デバイス、あるいはそれらの組合せであってよい。図8は本開示の態様による遠隔ユニットを示すが、本開示は、これらの示された例示的なユニットには限定されない。本開示の態様は、開示されたオープンパッシベーションボールグリッドアレイパッドを含む多くのデバイスにおいて適切に利用されることがある。

#### 【0048】

図9は、上記で開示されたオープンパッシベーションボールグリッドアレイパッドなどの半導体構成要素の回路設計、レイアウト設計、および論理設計に使用される、設計用ワークステーションを示すブロック図である。設計用ワークステーション900は、オペレーティングシステムソフトウェア、支援ファイル、およびCadenceまたはOrCADなどの設計用ソフトウェアを含むハードディスク901を含む。設計用ワークステーション900はまた、回路910またはオープンパッシベーションボールグリッドアレイパッドなどの半導体構成要素912の設計を容易にするために、ディスプレイ902を含む。回路設計910または半導体構成要素912を有形に記憶するために記憶媒体904が設けられる。回路設計910または半導体構成要素912は、GDSIIまたはGERBERなどのファイルフォーマットで記憶媒体904上に記憶されてもよい。記憶媒体904は、CD-ROM、DVD、ハードディスク、フラッシュメモリ、または他の適切なデバイスであってもよい。さらに、設計用ワークステーション900は、記憶媒体904からの入力を受け入れるか、または記憶媒体904に出力を書き込むための駆動装置903を含む。

#### 【0049】

記憶媒体904上に記録されたデータは、論理回路構成、フォトリソグラフィマスクのためのパターンデータ、または電子ビームリソグラフィなどのシリアル書込みツールのためのマスクパターンデータを指定してもよい。データはさらに、論理シミュレーションに関

10

20

30

40

50

連したタイミング図やネット回路などの論理検証データを含んでもよい。記憶媒体 9 0 4 上にデータを備えると、半導体ウエハを設計するためのプロセス数が減ることによって、回路設計 9 1 0 または半導体構成要素 9 1 2 の設計が容易になる。

【 0 0 5 0 】

ファームウェアおよび / またはソフトウェアの実装形態の場合、この方法は、本明細書で説明した機能を実行するモジュール（たとえば、プロシージャ、関数など）を用いて実装されてもよい。本明細書で説明する方法を実施する際に、命令を有形に具現する機械可読媒体が使用されてもよい。たとえば、ソフトウェアコードは、メモリに記憶され、プロセッサユニットによって実行されてもよい。メモリは、プロセッサユニット内またはプロセッサユニットの外部に実装されてもよい。本明細書において使用される「メモリ」という用語は、長期メモリ、短期メモリ、揮発性メモリ、不揮発性メモリ、または他のメモリのタイプを指し、特定のタイプのメモリもしくは特定の数のメモリ、またはメモリが格納される媒体のタイプに限定すべきではない。

10

【 0 0 5 1 】

各機能は、ファームウェアおよび / またはソフトウェアにおいて実装される場合、コンピュータ可読媒体上の 1 つまたは複数の命令またはコードとして記憶されてもよい。例には、データ構造を用いて符号化されたコンピュータ可読媒体、およびコンピュータプログラムを用いて符号化されたコンピュータ可読媒体が含まれる。コンピュータ可読媒体は、物理的なコンピュータ記憶媒体を含む。記憶媒体は、コンピュータによってアクセスできる入手可能な媒体であってもよい。限定ではなく例として、そのようなコンピュータ可読媒体は、RAM、ROM、EEPROM、CD-ROM もしくは他の光ディスクストレージ、磁気ディスクストレージもしくは他の磁気記憶デバイス、または、所望のプログラムコードを命令もしくはデータ構造の形で記憶するために使用することができるとともに、コンピュータによってアクセスされ得る他の媒体を含むことができ、本明細書で使用するディスク (disk) およびディスク (disc) は、コンパクトディスク (disc) (CD)、レーザーディスク (登録商標) (disc)、光ディスク (disc)、デジタル多用途ディスク (disc) (DVD)、フロッピーディスクおよびブルーレイディスク (disc) を含み、ディスク (disk) は通常、データを磁氣的に再生し、ディスク (disc) はレーザーを用いてデータを光学的に再生する。上記の組合せはまた、コンピュータ可読媒体の範囲内に含まれるものとする。

20

30

【 0 0 5 2 】

コンピュータ可読媒体上のストレージに加えて、命令および / またはデータは、通信装置に含まれる伝送媒体上の信号として備えられてもよい。たとえば、通信装置は、命令およびデータを表す信号を有するトランシーバを含んでもよい。命令およびデータは、1 つまたは複数のプロセッサに、特許請求の範囲において概説する機能を実装させるように構成される。

【 0 0 5 3 】

本開示およびその利点について詳細に説明したが、添付の特許請求の範囲によって定義される本開示の技術から逸脱することなく、明細書において様々な変更、置換、および改変を施すことができることを理解されたい。たとえば、「上」および「下」などの関係語が、基板または電子デバイスに関して使用される。当然、基板または電子デバイスが反転される場合、上は下に、下は上になる。加えて、横向きの場合、上および下は、基板または電子デバイスの側面を指すことがある。さらに、本出願の範囲は、本明細書で説明したプロセス、機械、製造、ならびに組成物、手段、方法、およびステップの特定の構成に限定されることを意図していない。本開示から当業者が容易に諒解するように、本明細書で説明する対応する構成と実質的に同じ機能を実行するかまたは実質的にそれと同じ結果を達成する、現存するかまたは今後開発されるプロセス、機械、製造、組成物、手段、方法、またはステップが、本開示に従って利用されてもよい。したがって、添付の特許請求の範囲は、そのようなプロセス、機械、製造、組成物、手段、方法、またはステップをそれらの範囲内に含むことを意図する。

40

50

## 【符号の説明】

## 【 0 0 5 4 】

|   |   |    |
|---|---|----|
| 1 0 0   | ウエハ                                     |    |
| 1 0 2   | 配向                                      |    |
| 1 0 4   | ダイシングライン                                |    |
| 1 0 6   | ダイ                                      |    |
| 2 0 0   | ガラスダイ                                   |    |
| 2 0 1   | ウエハ                                     |    |
| 2 1 0 ( 2 1 0 - 1、2 1 0 - 2、2 1 0 - 3、2 1 0 - 4、2 1 0 - 5 ) | パッシベーション開口部                             | 10 |
| 2 1 2   | 最終パッシベーション層 ( V P ) 間隔                  |    |
| 2 2 0   | ダイシングストリート                              |    |
| 2 2 2   | 非機能境界領域                                 |    |
| 3 0 1   | 断面図                                     |    |
| 3 0 2   | ガラス基板                                   |    |
| 3 0 3   | レイアウト図                                  |    |
| 3 2 0   | ダイシングストリート                              |    |
| 3 2 2   | 非機能境界領域                                 |    |
| 3 3 0   | 第 3 のパッシベーション層 ( V 2 )                  |    |
| 3 4 0   | 第 2 のパッシベーション層 ( V 3 )                  | 20 |
| 3 5 0   | 第 1 のパッシベーション層 ( V P )                  |    |
| 3 5 2   | V P ブロック                                |    |
| 3 6 0   | 導電バンプパッド                                |    |
| 3 7 0   | 導電バンプアセンブリ                              |    |
| 3 7 1   | 断面図                                     |    |
| 3 7 3   | レイアウト図                                  |    |
| 4 0 0   | 導電バンプアセンブリ                              |    |
| 4 0 2   | ガラス基板                                   |    |
| 4 3 0   | 第 3 のパッシベーション層 ( V 2 )                  |    |
| 4 4 0   | 第 2 のパッシベーション層 ( V 3 )                  | 30 |
| 4 5 0   | 第 1 のパッシベーション層 ( V P )                  |    |
| 4 5 2   | V P ブロック                                |    |
| 4 6 0   | 導電バンプパッド                                |    |
| 4 6 2   | 導電バンプ                                   |    |
| 4 7 0   | 導電バンプアセンブリ                              |    |
| 6 0 0   | 無線周波数 ( R F ) フロントエンド ( R F F F ) モジュール |    |
| 6 0 2   | 電力増幅器                                   |    |
| 6 0 4   | デュプレクサ / フィルタ                           |    |
| 6 0 6   | 無線周波数 ( R F ) スイッチモジュール                 |    |
| 6 0 8   | 受動コンバイナ                                 | 40 |
| 6 1 2   | チューナ回路                                  |    |
| 6 1 2 A   | 第 1 のチューナ回路                             |    |
| 6 1 2 B   | 第 2 のチューナ回路                             |    |
| 6 1 4   | アンテナ                                    |    |
| 6 1 5   | 接地端子                                    |    |
| 6 1 6   | キャパシタ                                   |    |
| 6 1 8   | インダクタ                                   |    |
| 6 1 9   | ダイプレクサ                                  |    |
| 6 2 0   | ワイヤレストランシーバ                             |    |
| 6 3 0   | モデム                                     | 50 |

|                         |                       |    |
|-------------------------|-----------------------|----|
| 6 4 0                   | アプリケーションプロセッサ ( A P ) |    |
| 7 0 0                   | 概略図                   |    |
| 7 2 2、7 3 2、7 5 8、7 7 4 | キャパシタ                 |    |
| 7 3 0                   | モデム                   |    |
| 7 5 0                   | R Fフロントエンドモジュール       |    |
| 7 5 2                   | 電源                    |    |
| 7 5 4                   | クロック                  |    |
| 7 5 6                   | 電力管理集積回路 ( P M I C )  |    |
| 7 6 0                   | チップセット                |    |
| 7 6 2、7 6 4             | キャパシタ                 | 10 |
| 7 7 0                   | W i F iモジュール          |    |
| 7 7 2                   | W L A Nモジュール          |    |
| 7 8 0                   | デュプレクサ                |    |
| 7 9 0 - 1               | 第 1 のダイプレクサ           |    |
| 7 9 0 - 2               | 第 2 のダイプレクサ           |    |
| 7 9 2                   | アンテナ                  |    |
| 7 9 4                   | アンテナ                  |    |
| 8 2 0、8 3 0、8 5 0       | 遠隔ユニット                |    |
| 8 2 5 A、8 2 5 C、8 2 5 B | I Cデバイス               | 20 |
| 8 4 0                   | 基地局                   |    |
| 8 8 0                   | 順方向リンク信号              |    |
| 8 9 0                   | 逆方向リンク信号              |    |
| 9 0 0                   | 設計用ワークステーション          |    |
| 9 0 1                   | ハードディスク               |    |
| 9 0 2                   | ディスプレイ                |    |
| 9 0 3                   | 駆動装置                  |    |
| 9 0 4                   | 記憶媒体                  |    |
| 9 1 0                   | 回路、回路設計               |    |
| 9 1 2                   | 半導体構成要素               |    |

【 図 面 】

【 図 1 】

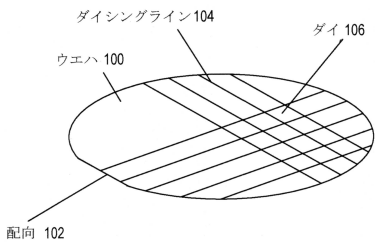


FIG. 1

【 図 2 A 】

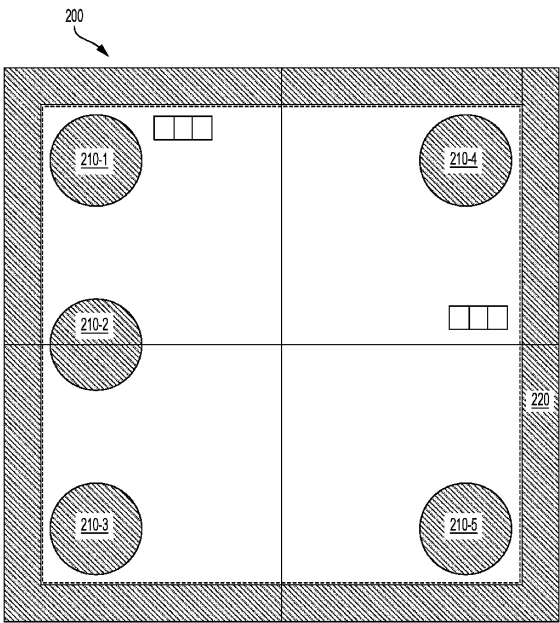
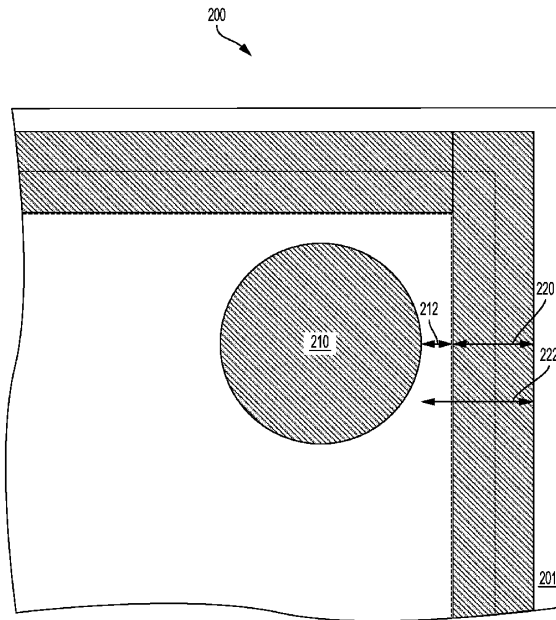


FIG. 2A

【 図 2 B 】



**FIG. 2B**

【 図 3 A 】

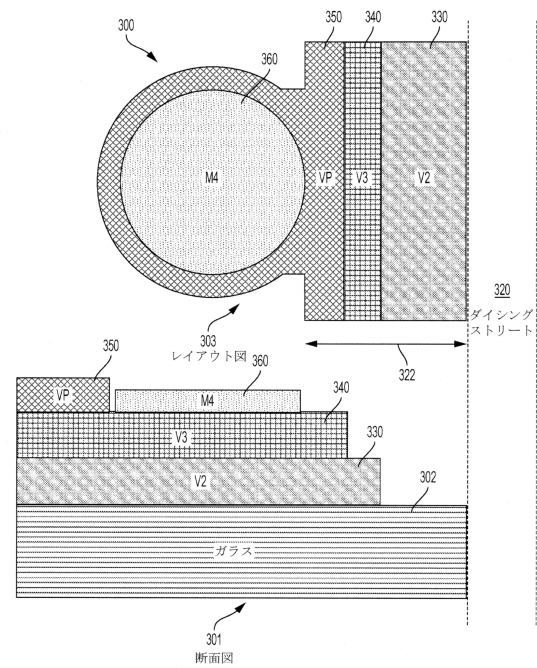
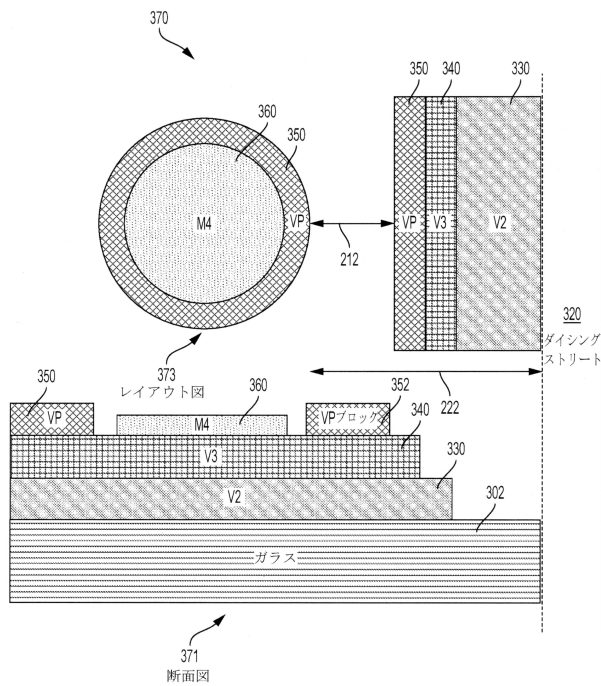


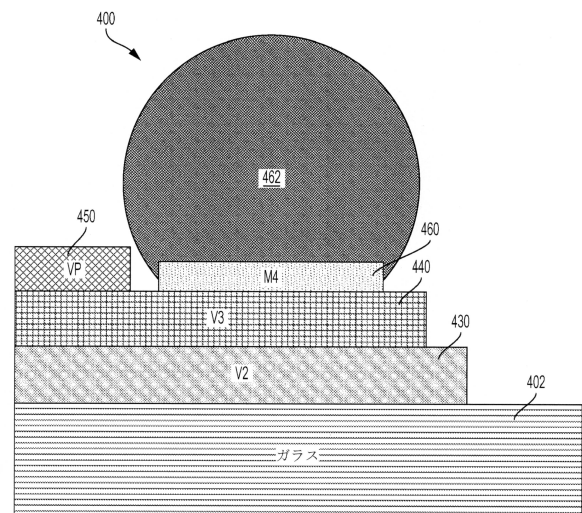
FIG. 3A

【 図 3 B 】



**FIG. 3B**

【 図 4 A 】



**FIG. 4A**



【図 4 B】

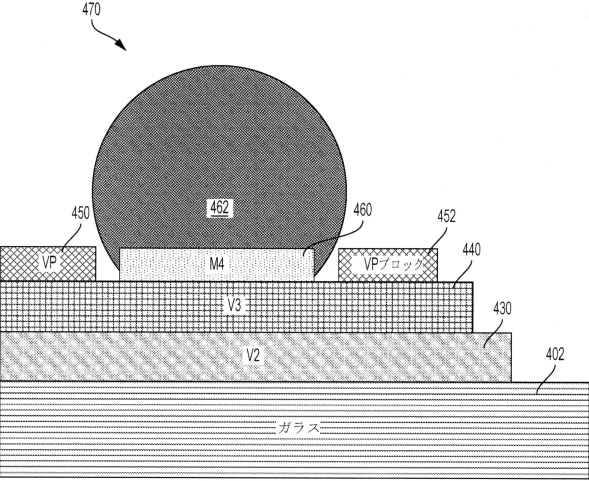


FIG. 4B

【図 5】

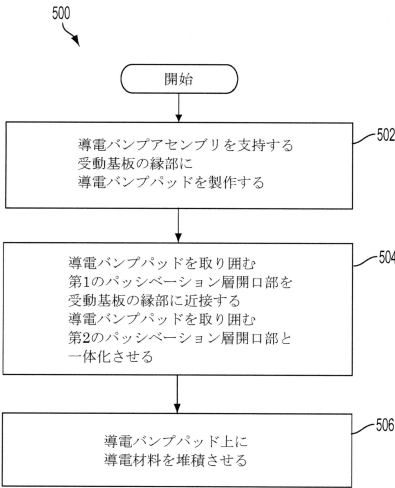


FIG. 5

【図 6】

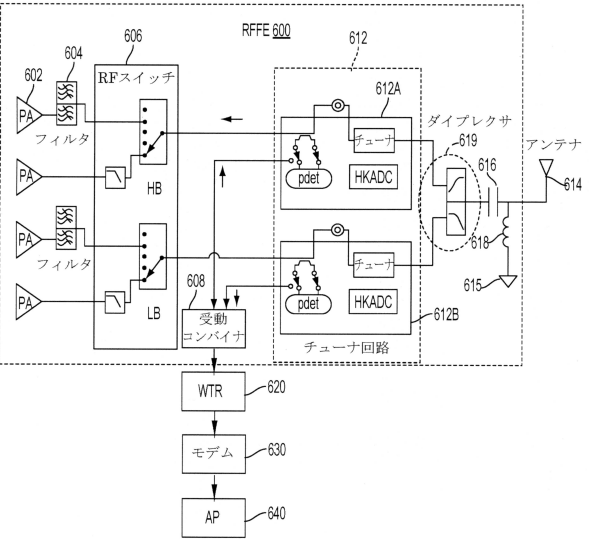


FIG. 6

【図 7】

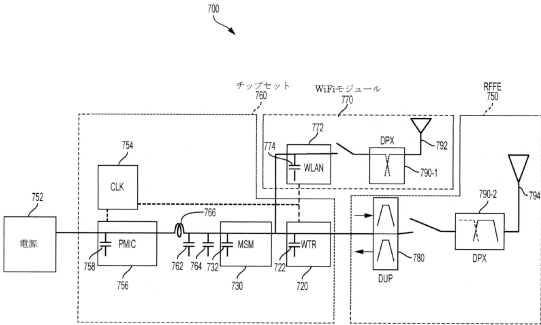


FIG. 7

10

20

30

40

50

【 図 8 】

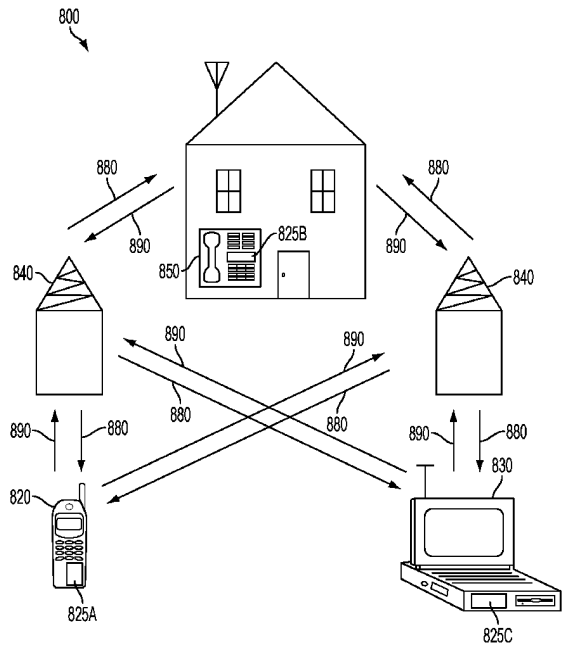


FIG. 8

【 図 9 】

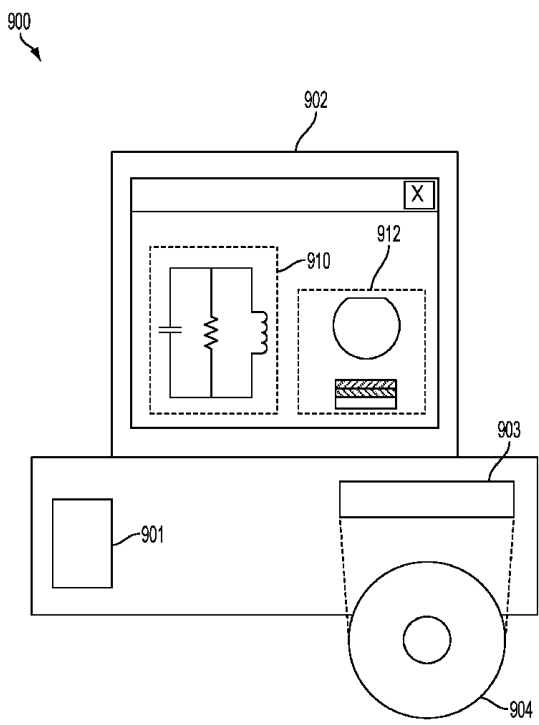


FIG. 9

10

20

30

40

50

## フロントページの続き

(33)優先権主張国・地域又は機関

米国(US)

## 前置審査

1 2 1 - 1 7 1 4 ・ サン・ディエゴ・モアハウス・ドライヴ・5 7 7 5

(72)発明者 チャンハン・ホビー・ユン

アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4 ・ サン・ディエゴ・モアハウス・ドライヴ・5 7 7 5

(72)発明者 チェンジエ・ズオ

アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4 ・ サン・ディエゴ・モアハウス・ドライヴ・5 7 7 5

(72)発明者 デイヴィッド・フランシス・バーディ

アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4 ・ サン・ディエゴ・モアハウス・ドライヴ・5 7 7 5

(72)発明者 ジョンヘ・キム

アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4 ・ サン・ディエゴ・モアハウス・ドライヴ・5 7 7 5

(72)発明者 ニランジャン・スニル・ムダカッテ

アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4 ・ サン・ディエゴ・モアハウス・ドライヴ・5 7 7 5

審査官 山口 祐一郎

(56)参考文献 国際公開第2 0 1 2 / 1 4 4 3 7 0 ( WO , A 1 )

特開2 0 0 8 - 0 4 7 6 5 2 ( JP , A )

特開2 0 0 7 - 0 5 9 4 7 0 ( JP , A )

(58)調査した分野 (Int.Cl. , DB 名)

H 0 1 L 2 1 / 6 0

H 0 5 K 3 / 3 4

H 0 5 K 3 / 0 0

H 0 5 K 1 / 1 8