

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4331276号
(P4331276)

(45) 発行日 平成21年9月16日 (2009.9.16)

(24) 登録日 平成21年6月26日 (2009.6.26)

(51) Int. Cl.

F I

H O 1 L 21/8244 (2006.01)

H O 1 L 27/10 3 8 1

H O 1 L 27/11 (2006.01)

H O 1 L 29/78 3 O 1 Y

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 (2006.01)

請求項の数 10 (全 15 頁)

(21) 出願番号 特願平9-224849
 (22) 出願日 平成9年8月21日 (1997.8.21)
 (65) 公開番号 特開平11-67933
 (43) 公開日 平成11年3月9日 (1999.3.9)
 審査請求日 平成16年8月3日 (2004.8.3)

(73) 特許権者 308014341
 富士通マイクロエレクトロニクス株式会社
 東京都新宿区西新宿二丁目7番1号
 (74) 代理人 100105337
 弁理士 眞鍋 潔
 (74) 代理人 100072833
 弁理士 柏谷 昭司
 (74) 代理人 100075890
 弁理士 渡邊 弘一
 (74) 代理人 100110238
 弁理士 伊藤 壽郎
 (72) 発明者 菅谷 慎二
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に、第1の絶縁膜を介してシリコン層を堆積させたのち、前記シリコン層上の一部に第2の絶縁膜を設け、前記第2の絶縁膜を設けた領域を含むように前記シリコン層をエッチングして配線層を形成し、少なくとも前記第2の絶縁膜を設けた領域の近傍の前記配線層の表面に自己整合的にシリサイド層を設けたのち、導電体膜を堆積させ、次いで、前記導電体膜をエッチングして相互接続配線層を形成する半導体装置の製造方法において、前記シリサイド層の形成後で、且つ、前記導電体膜の堆積前に全面に第3の絶縁膜を堆積し、異方性エッチングを施すことによって、少なくとも前記配線層及び前記第2の絶縁膜の側部に側壁サイドウォールスペーサを形成することを特徴とする半導体装置の製造方法。

10

【請求項2】

前記第1の絶縁膜は少なくとも素子分離用絶縁膜を含んでおり、前記第2の絶縁膜を設けた前記配線層が前記素子分離用絶縁膜上に配置されていることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】

前記配線層がスタティック・ランダム・アクセス・メモリを構成するトランジスタのゲート電極及び前記ゲート電極の延長部を構成する配線層であると共に、前記相互接続配線層が前記シリサイド層の形成工程において前記トランジスタのソース・ドレイン領域の表面に自己整合的に形成されたシリサイド層と、前記第2の絶縁膜を設けた配線層に形成し

20

たシリサイド層とを接続するものであることを特徴とする請求項 1 または 2 に記載の半導体装置の製造方法。

【請求項 4】

前記シリサイド層を形成する前に、前記配線層の側壁に予めサイドウォールを設けておくことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 5】

前記第 3 の絶縁膜の厚さが、10 nm 以上であることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 6】

前記第 3 の絶縁膜を、750℃以下の温度で堆積することを特徴とする請求項 5 記載の半導体装置の製造方法。

10

【請求項 7】

前記側壁サイドウォールスペーサの形成後に、第 4 の絶縁膜を堆積させ、前記導電体膜を堆積する前に、前記相互接続配線層を形成する領域の前記第 4 の絶縁膜を選択的に除去することを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 8】

ネガ型レジストとポジ型レジストを使い分けることによって、前記相互接続配線層を形成する領域の前記第 4 の絶縁膜を除去するために用いる露光用マスクと、前記導電体膜をエッチングするために用いる露光用マスクとして、同一のパターンの露光用マスクを用いることを特徴とする請求項 7 記載の半導体装置の製造方法。

20

【請求項 9】

前記相互接続配線層の形成後に、前記導電体膜をエッチングするために用いたエッチング用マスクを残存させた状態で、前記第 4 の絶縁膜を除去することを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 10】

Si を含有する半導体基板上に第 1 絶縁膜とシリコン層との積層構造を形成する工程と、前記第 1 絶縁膜及びシリコン層をエッチングしてゲート絶縁膜及びゲート電極を形成する工程と、次いで前記半導体基板全面に第 2 絶縁膜を形成する工程と、前記第 2 絶縁膜をエッチングすることにより前記ゲート電極の側壁に第 1 サイドウォールスペーサを形成する工程と、次いで前記半導体基板全面にコバルト、タングステン、ニッケル、モリブデンのいずれかの膜を形成し、アニール処理を行うことにより、前記ゲート電極上面に第 1 シリサイド層を形成し、前記半導体基板表面に第 2 シリサイド層を前記ゲート電極及び前記第 1 サイドウォールスペーサに対して自己整合的に形成する工程と、次いで前記半導体基板の全面に第 3 絶縁膜を形成する工程と、前記第 3 絶縁膜をエッチングして前記第 1 サイドウォールスペーサ上に第 2 サイドウォールスペーサを形成する工程と、次いで前記半導体基板の全面に第 1 導電膜を形成する工程と、前記第 1 導電膜をエッチングして相互接続配線層を形成する工程とを有することを特徴とする半導体装置の製造方法。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

40

本発明は半導体装置の製造方法に関するものであり、特に、高集積度のSRAM（スタティック・ランダム・アクセス・メモリ）セルを含む半導体装置等におけるローカル配線構造を形成する際の不所望なエッチング部の発生を防止する方法に特徴のある半導体装置の製造方法に関するものである。

【0002】

【従来の技術】

近年、システムオンチップ化の要請に伴い、高集積度のSRAMマクロセルを集積化したロジックデバイス技術が要求されており、このため、ローカル配線を用いてSRAMセルに特有なクロスカップル接続を立体的に行い、高密度化を図る技術が提供されている。

なお、ローカル配線とは、通常の配線とは異なり、抵抗値が高かったり、或いは、配置の

50

自由度に制限があったりする配線を意味するものである。

【0003】

ここで、図9を参照して、従来のローカル配線の形成工程を説明する。

図9(a)参照

まず、p型Si基板51の所定領域にパッド膜を介して窒化膜パターン(図示せず)を設け、選択酸化することによって、素子分離用酸化膜52を形成し、次いで、窒化膜パターン及びパッド酸化膜を除去したのち、熱酸化によってp型Si基板51の露出面にゲート酸化膜53を形成し、次いで、全面に、ノン・ドープの多結晶Si層を堆積させたのち、イオン注入によって多結晶Si層にP(リン)をドープする。

【0004】

次いで、CVD法によって酸化膜を堆積させたのち、後のサリサイド工程において自己整合的にシリサイド層を形成する部分の近傍に、例えば、素子分離用酸化膜52の上に配置する配線層上に部分的に酸化膜54が残存するようにエッチングする。

【0005】

次いで、多結晶Siゲート電極55及び多結晶Si配線層56をエッチングにより形成したのち、Asイオンをイオン注入することによって多結晶Siゲート電極55に自己整合する n^+ 型ソース・ドレイン引出領域57を形成する。

【0006】

次いで、全面にCVD法により SiO_2 膜を堆積させ、RIE(反応性イオンエッチング)により異方性エッチングすることによって、多結晶Siゲート電極55や多結晶Si配線層56等の凸部の側壁にサイドウォール58を形成したのち、再び、Asイオンを注入することによって、 n^+ 型ソース・ドレイン領域59を形成する。

なお、同時に形成される n^+ 型領域60は隣接するIGFETのソース・ドレイン領域或いは拡散配線層である。

【0007】

次いで、全面にCo(コバルト)膜を堆積させ、アニール処理を施すことによって、多結晶Siゲート電極55、多結晶Si配線層56、及び、p型Si基板51の露出表面に $CoSi_2$ からなるシリサイド層61、62、63、64を形成し、未反応のCo層を選択的エッチングにより除去する。

【0008】

図9(b)参照

次いで、全面にTi膜及びTiN膜を順次堆積させてTi/TiN膜65とし、レジストマスク66をマスクとして、 $CF_4 + BCl_3$ を原料ガスとしたRIEによってTi/TiN膜65をエッチングすることによってローカル配線が形成される。

【0009】

この様な工程でローカル配線を形成しているため、従来のローカル配線形成技術においては、ゲート電極の高さ分以上の段差での微細なパターンの加工と、配線層と下地層とのエッチングの高選択性を同時に実現する必要があった。

【0010】

【発明が解決しようとする課題】

図10(a)参照

しかし、従来のローカル配線の形成工程においては、ゲート電極等に伴う段差が高いために、Ti/TiN膜からなるエッチング残渣68が発生するという問題があり、エッチング残渣68に伴う不所望な短絡等を防止するためにエッチング残渣68をオーバーエッチングで除去する必要がある。

【0011】

図10(b)参照

しかし、エッチング残渣68を完全に除去しようとしてオーバーエッチングを十分に行うと、多結晶Si配線層56に設けたシリサイド層63の周辺端部、或いは、p型Si基板51に設けたシリサイド層62、64の周辺端部にエッチングによるしみ込み部69が

10

20

30

40

50

形成され、このしみ込み部 69 がリーク電流等の原因となるという問題がある。

【0012】

これは、オーバーエッチングに伴って、サイドウォール 58 を構成する酸化膜が後退して p 型 Si 基板 51 や多結晶 Si 配線層 56 が露出し、この露出部分がエッチングされたり、或いは、サイドウォール 58 形成のための SiO₂ 膜の堆積工程において、表面にサブオキサイドが形成され、サイドウォール 58 の端部近傍においてこのサブオキサイドが存在したままシリサイド化が行われ、この部分でシリサイド化が不均一になるため、オーバーエッチング工程でシリサイド層が後退し、p 型 Si 基板 51 等が露出するためである。

【0013】

したがって、本発明は、エッチングによるしみ込み部を発生させることなく相互接続配線層を形成して、半導体装置の信頼性を向上することを目的とする。

【0014】

【課題を解決するための手段】

図 1 は本発明の原理的構成の説明図であり、この図 1 を参照して本発明における課題を解決するための手段を説明する。

図 1 (a) 及び (b) 参照

(1) 本発明は、半導体基板 1 上に、第 1 の絶縁膜 2 を介してシリコン層を堆積させたのち、シリコン層上の一部に第 2 の絶縁膜 5 を設け、この第 2 の絶縁膜 5 を設けた領域を含むようにエッチングして配線層 3, 4 を形成し、少なくとも第 2 の絶縁膜 5 を設けた領域の近傍の配線層 4 の表面に自己整合的にシリサイド層 8 を形成したのち、導電体膜を堆積させ、次いで、導電体膜をエッチングして相互接続配線層 10 を形成する半導体装置の製造方法において、シリサイド層 8 の形成後で、且つ、導電体膜の堆積前に全面に第 3 の絶縁膜を堆積し、異方性エッチングを施すことによって、少なくとも配線層 3, 4 及び第 2 の絶縁膜 5 の側部に側壁サイドウォールスペーサ 6 を形成することを特徴とする。

【0015】

この様に、SRAM のクロスカップル接続配線等の相互接続配線層 10、特に、立体的な相互接続配線層 10 を形成する際に、予め配線層 3, 4 の側壁に側壁サイドウォールスペーサ 6 を設けておくことによって、側壁がなだらかになるのでエッチング残渣が発生することがなく、また、エッチング残渣を除去するためにオーバーエッチングしたとしても、シリサイド層 8 の周辺端部は側壁サイドウォールスペーサ 6 で覆われており、それによってシリサイド層 8 の周辺端部にエッチングガス或いはエッチング液がしみ込んでしみ込み部が形成されることがなく、半導体装置の特性、信頼性が向上する。

なお、この場合のシリコン層とは、多結晶シリコン層、微結晶シリコン層、アモルファスシリコン層、或いは、単結晶シリコン層を意味する。

【0016】

(2) また、本発明は、上記 (1) において、第 1 の絶縁膜 2 は少なくとも素子分離用絶縁膜を含んでおり、第 2 の絶縁膜 5 を設けた配線層 4 が素子分離用絶縁膜上に配置されていることを特徴とする。

【0017】

この様な側壁サイドウォールスペーサ 6 は、段差の大きな素子分離用絶縁膜上に配置された配線層 4 に対して立体的に相互接続配線層を形成する際に、特に有効である。

【0018】

(3) また、本発明は、上記 (1) または (2) において、配線層 3, 4 がスタティック・ランダム・アクセス・メモリを構成するトランジスタのゲート電極及びゲート電極の延長部を構成する配線層 3, 4 であると共に、相互接続配線層 10 が、シリサイド層 8 の形成工程においてトランジスタのソース・ドレイン領域 7 の表面に自己整合的に形成されたシリサイド層 8 と、第 2 の絶縁膜 5 を設けた配線層 4 に形成したシリサイド層 8 とを接続するものであることを特徴とする。

【0019】

この様な工程は、特に微細化の要求されている SRAM に立体的なローカル配線を形成す

10

20

30

40

50

る際に、特に有効であり、それによって、製造歩留りを向上することができる。

【0020】

(4) また、本発明は、上記(1)乃至(3)のいずれかにおいて、シリサイド層8を形成する前に、配線層3, 4の側壁に予めサイドウォールを設けておくことを特徴とする。

【0021】

この様に、シリサイド層8をシリサイド工程によって自己整合的に形成するためには、シリサイド層8を形成する前に、配線層3, 4の側壁に予めサイドウォールを設けておくことが必要になる。

【0022】

(5) また、本発明は、上記(1)乃至(4)のいずれかにおいて、第3の絶縁膜の厚さが、10nm以上であることを特徴とする。

10

【0023】

この様に、第3の絶縁膜の厚さとしては、しみ込み部の発生を防止するための最低限の厚さの側壁サイドウォールスペーサ6を形成するためには、10nm以上であることが必要であり、また、10nmはLTCVD法(低温化学気相成長法)によって実用レベルで成膜できる最低の膜厚でもある。

【0024】

(6) また、本発明は、上記(5)において、第3の絶縁膜を、750℃以下の温度で堆積することを特徴とする。

【0025】

20

第3の絶縁膜は、シリサイド層8の形成後に堆積させるものであるもので、第3の絶縁膜の堆積温度はシリサイド層8の耐熱限界から決められるものであり、特に、 CoSi_2 の場合には、750℃以下とすることが望ましい。

【0026】

(7) また、本発明は、上記(1)乃至(6)のいずれかにおいて、側壁サイドウォールスペーサ6の形成後に、第4の絶縁膜を堆積させ、導電体膜を堆積する前に、相互接続配線層10を形成する領域の第4の絶縁膜を選択的に除去することを特徴とする。

【0027】

この様に、第4の絶縁膜によって相互接続配線層10を形成する領域以外の領域を覆っておくことにより、導電体膜のエッチング工程において、コンタクト用のビアホール等を形成する領域のアライメントマージンを含む範囲において、素子分離用絶縁膜の端部等が露出することがなく、したがって、ビアホールにプラグを形成した際に、短絡等が発生することがない。

30

【0028】

(8) また、本発明は、上記(7)において、ネガ型レジストとポジ型レジストを使い分けることによって、相互接続配線層を形成する領域の第4の絶縁膜を除去するために用いる露光用マスクと、導電体膜をエッチングするために用いる露光用マスクとして同一のパターンの露光用マスクを用いることを特徴とする。

【0029】

この様に、ネガ型レジストとポジ型レジストとを使い分けることによって、第4の絶縁膜を除去するために用いる露光用マスクと、導電体膜をエッチングするために用いる露光用マスクとして同一のパターンの露光用マスク、通常は同一の露光用マスクを用いることができ、それによって必要とするマスク数を減らすことができるので、製造コストを低減することができる。

40

【0030】

(9) また、本発明は、上記(8)において、相互接続配線層の形成後に、導電体膜をエッチングするために用いたエッチング用マスクを残存させた状態で、第4の酸化膜を除去することを特徴とする。

【0031】

この様に、導電体膜をエッチングするために用いたエッチング用マスクをそのまま用い

50

ることによって、導電体膜のエッチング後に不要になった第4の酸化膜を新たなマスクを用いることなく除去することができる。

【0032】

(10) また、本発明は、半導体装置の製造方法において、Siを含有する半導体基板上に第1絶縁膜とシリコン層との積層構造を形成する工程と、第1絶縁膜及びシリコン層をエッチングしてゲート絶縁膜及びゲート電極を形成する工程と、次いで半導体基板全面に第2絶縁膜を形成する工程と、第2絶縁膜をエッチングすることによりゲート電極の側壁に第1サイドウォールスペーサを形成する工程と、次いで半導体基板全面にコバルト、タングステン、ニッケル、モリブデンのいずれかの膜を形成し、アニール処理を行うことにより、ゲート電極上面に第1シリサイド層を形成し、半導体基板表面に第2シリサイド層をゲート電極及び第1サイドウォールスペーサに対して自己整合的に形成する工程と、次いで半導体基板の全面に第3絶縁膜を形成する工程と、第3絶縁膜をエッチングして第1サイドウォールスペーサ上に第2サイドウォールスペーサを形成する工程と、次いで半導体基板の全面に第1導電膜を形成する工程と、第1導電膜をエッチングして相互接続配線層を形成する工程とを有することを特徴とする。

10

【0034】

【発明の実施の形態】

ここで、図2及び図3を参照して、本発明の第1の実施の形態の製造工程を説明する。

図2(a)参照

まず、p型Si基板11の所定領域にパッド膜を介して窒化膜パターン（図示せず）を設け、選択酸化することによって、厚さが、例えば、250nmの素子分離用酸化膜12を形成し、次いで、窒化膜パターン及びパッド酸化膜を除去したのち、熱酸化によってp型Si基板11の露出面に厚さ5nmゲート酸化膜13を形成し、次いで、全面に、厚さ、10～400nm、例えば、180nmのノン・ドープの多結晶Si層を堆積させたのち、イオン注入によって多結晶Si層にPをドープする。

20

【0035】

次いで、CVD法によって厚さ、10～200nm、例えば、80nmの酸化膜を堆積させたのち、後のシリサイド工程において自己整合的にシリサイド層を形成する部分の近傍に、例えば、素子分離用酸化膜12の上に配置する配線層上に部分的に酸化膜14が残存するようにエッチングする。

30

【0036】

次いで、多結晶Siゲート電極15及び多結晶Si配線層16をエッチングにより形成したのち、Asイオンをイオン注入することによって多結晶Siゲート電極15に自己整合し、不純物濃度が $1.0 \times 10^{19} \sim 1.0 \times 10^{21} \text{ cm}^{-3}$ 、例えば、 $3.0 \times 10^{19} \text{ cm}^{-3}$ の n^+ 型ソース・ドレイン引出領域17を形成する。

【0037】

次いで、全面にCVD法により厚さ10～200nm、例えば、100nmの酸化膜を堆積させ、RIEにより異方性エッチングすることによって、多結晶Siゲート電極15や多結晶Si配線層16等の凸部の側壁にサイドウォール18を形成したのち、再び、Asイオンを注入することによって、不純物濃度が $1.0 \times 10^{20} \sim 1.0 \times 10^{22} \text{ cm}^{-3}$ 、例えば、 $3.0 \times 10^{20} \text{ cm}^{-3}$ の n^+ 型ソース・ドレイン領域19を形成する。

40

なお、同時に形成される n^+ 型領域20は隣接するIGFETのソース・ドレイン領域或いは拡散配線層である。

【0038】

次いで、全面にCo膜を堆積させ、アルゴン雰囲気中でアニール処理（RTA：Rapid Thermal Annealing）を施すことによって、多結晶Siゲート電極15、多結晶Si配線層16、及び、p型Si基板11の露出表面に CoSi_2 からなるシリサイド層21、22、23、24を形成し、未反応のCo層を選択的エッチングにより除去する。

【0039】

50

図 2 (b) 参照

次いで、LTCVD法を用いて、750℃以下、例えば、390℃の温度において、全面に厚さ10nm以上、例えば、100nmの酸化膜を堆積させ、異方性エッチングを施すことによって、各サイドウォール18の側部に側壁サイドウォールスペーサ層となるサイドウォール25を形成して、シリサイド層21～24の周辺端部を覆う。

【0040】

図 3 (c) 及び (d) 参照

次いで、全面に厚さ3～100nm、例えば、10nmのTi膜及び厚さ3～200nm、例えば、20nmのTiN膜からなるTi/TiN膜26を順次堆積させたのち、レジストマスク27をマスクとして、 $CF_4 + BCl_3$ を原料ガスとしたRIEによってTi/TiN膜26をエッチングすることによって、ローカル配線28を形成する。

10

【0041】

この様に、本発明の第1の実施の形態においては、各サイドウォール18の側部に側壁サイドウォールスペーサ層となるサイドウォール25を設けているので、多結晶Siゲート電極15及び多結晶Si配線層16の側壁がなだらかになり、Ti/TiN膜26のエッチングに伴って、多結晶Siゲート電極15及び多結晶Si配線層16の側部にエッチング残渣が生ずることがない。

【0042】

また、エッチング残渣が生じ、このエッチング残渣を除去するためにオーバーエッチングを施した場合、シリサイド層21～24の周辺端部はサイドウォール25で覆われているので、このシリサイド層21～24の周辺端部が露出して異常エッチングによるしみ込み部29はあまり発生することがない。

20

【0043】

しかし、この第1の実施の形態の製造工程では、ローカル配線28を設けない領域の素子分離用酸化膜12の端部はサイドウォール25等で覆われる量が、多結晶Siゲート電極15及び多結晶Si配線層16の側部に比べて少ないので、しみ込み部29が発生することがあり、この領域にコンタクト電極或いはプラグを設けない場合には問題がないが、この部分にコンタクト電極或いはプラグを設けた場合には問題が発生する。

【0044】

図 4 参照

30

即ち、しみ込み部29の発生した領域にプラグを設ける場合、層間絶縁膜30を設けたのち、ビアホール31を形成し、次いで、このビアホール31内に、Ti膜及びTiN膜からなるグルーレイヤメタル32を薄く堆積させたのち、Wを埋め込み、Wプラグ33を形成し、その上に、Wプラグ33と接続する配線層34を形成することになる。

【0045】

この場合、しみ込み部29がp型Si基板11に達する程度に深く形成されていると、グルーレイヤメタル32はp型Si基板11と接することになり、 n^+ 型領域20とp型Si基板11とが短絡し、リーク電流が流れることになる。

【0046】

したがって、素子分離用酸化膜12の周辺にコンタクト電極或いはプラグを設ける場合には、ローカル配線28を形成する際に、当該箇所を予め被覆しておく必要がある。なお、コンタクト電極或いはプラグを形成する領域とは、アライメントマージンを含む範囲を意味する。

40

【0047】

次に、図5及び図6を参照して、本発明の第2の実施の形態の製造工程を説明するが、シリサイド工程までは、上記の第1の実施の形態と同様である。

図 5 (a) 参照

まず、上記の第1の実施の形態と同様に、p型Si基板11の所定領域にパッド膜を介して窒化膜パターン(図示せず)を設け、選択酸化することによって、厚さが、例えば、250nmの素子分離用酸化膜12を形成し、次いで、窒化膜パターン及びパッド酸化膜を

50

除去したのち、熱酸化によってp型Si基板11の露出面に厚さ5nmゲート酸化膜13を形成し、次いで、全面に、厚さ、10～400nm、例えば、180nmのノン・ドープの多結晶Si層を堆積させたのち、イオン注入によって多結晶Si層にPをドーピングする。

【0048】

次いで、CVD法によって厚さ、10～200nm、例えば、80nmの酸化膜を堆積させたのち、後のシリサイド工程において自己整合的にシリサイド層を形成する部分の近傍に、例えば、素子分離用酸化膜12の上に配置する配線層上に部分的に酸化膜14が残存するようにエッチングする。

【0049】

次いで、多結晶Siゲート電極15及び多結晶Si配線層16をエッチングにより形成したのち、Asイオンをイオン注入することによって多結晶Siゲート電極15に自己整合し、不純物濃度が $1.0 \times 10^{19} \sim 1.0 \times 10^{21} \text{ cm}^{-3}$ 、例えば、 $3.0 \times 10^{19} \text{ cm}^{-3}$ の n^+ 型ソース・ドレイン引出領域17を形成する。

【0050】

次いで、全面にCVD法により厚さ10～200nm、例えば、100nmの酸化膜を堆積させ、RIEにより異方性エッチングすることによって、多結晶Siゲート電極15や多結晶Si配線層16等の凸部の側壁にサイドウォール18を形成したのち、再び、Asイオンを注入することによって、不純物濃度が $1.0 \times 10^{20} \sim 1.0 \times 10^{22} \text{ cm}^{-3}$ 、例えば、 $3.0 \times 10^{20} \text{ cm}^{-3}$ の n^+ 型ソース・ドレイン領域19を形成する。

なお、同時に形成される n^+ 型領域20は隣接するIGFETのソース・ドレイン領域或いは拡散配線層である。

【0051】

次いで、全面にCo膜を堆積させ、アルゴン雰囲気中でアニール処理(RTA: Rapid Thermal Annealing)を施すことによって、多結晶Siゲート電極15、多結晶Si配線層16、及び、p型Si基板11の露出表面に CoSi_2 からなるシリサイド層21, 22, 23, 24を形成し、未反応のCo層を選択的エッチングにより除去する。

【0052】

次いで、LTCVD法を用いて、750℃以下、例えば、390℃の温度において、全面に厚さ10nm以上、例えば、100nmの酸化膜を堆積させ、異方性エッチングを施すことによって、各サイドウォール18の側部に側壁サイドウォールスペーサ層となるサイドウォール25を形成して、シリサイド層21～24の周辺端部を覆う。

【0053】

次いで、同じく、LTCVD法を用いて、750℃以下、例えば、390℃の温度において、全面に厚さ10nm～90nm、例えば、25nmの薄い酸化膜35を堆積させる。

【0054】

図5(b)参照

次いで、ローカル配線パターンに対応した開口部を設けたレジストマスク36を設け、 CHF_3 によりドライ・エッチングすることによって、露出する薄い酸化膜35を選択的に除去する。

【0055】

図6(c)参照

次いで、レジストマスク36を除去したのち、全面に厚さ3～100nm、例えば、10nmのTi膜及び厚さ3～200nm、例えば、20nmのTiN膜からなるTi/TiN膜26を順次堆積させたのち、レジストマスク36の反転パターンからなるレジストマスク37を設ける。

【0056】

この様なレジストマスク37は、レジストマスク36を形成する際に用いた露光用マスクを用いて、ネガ型レジストとポジ型レジストを使い分けることによって形成することがで

10

20

30

40

50

き、それによって、必要とする露光用マスク数を減らすことができる。

【0057】

図6(d)参照

次いで、 $\text{CF}_4 + \text{BCl}_3$ を原料ガスとしたR I EによってT i / T i N膜26をエッチングすることによってローカル配線28を形成したのち、レジストマスク27を残存させた状態で、 CHF_3 を原料ガスとしたR I Eによって露出している薄い酸化膜35を除去する。

【0058】

なお、実際には、薄い酸化膜35は、T i / T i N膜26のエッチング工程において、T i / T i N膜26と共にほとんど除去されるので、必ずしも CHF_3 を原料ガスとしたR I E工程は必要ではない。

10

【0059】

この様に、本発明の第2の実施の形態においては、側壁サイドウォールスペーサ層となるサイドウォール25の上に薄い酸化膜35を設けているので、ローカル配線28を設けない側の素子分離用酸化膜12の端部が薄い酸化膜35で覆われ、エッチング工程において端部が保護されるので、しみ込み部29が発生することがなく、信頼性がより高まる。

【0060】

次に、図7及び図8を参照して、本発明の第3の実施の形態の製造工程を説明するが、薄い酸化膜の形成工程以外は、上記の第2の実施の形態と同様である。図7(a)参照

まず、上記の第2の実施の形態と同様に、p型S i基板11の所定領域にパッド膜を介して窒化膜パターン(図示せず)を設け、選択酸化することによって、厚さが、例えば、250nmの素子分離用酸化膜12を形成し、次いで、窒化膜パターン及びパッド酸化膜を除去したのち、熱酸化によってp型S i基板11の露出面に厚さ5nmゲート酸化膜13を形成し、次いで、全面に、厚さ、10~400nm、例えば、180nmのノン・ドープの多結晶S i層を堆積させたのち、イオン注入によって多結晶S i層にPをドーピングする。

20

【0061】

次いで、C V D法によって厚さ、10~200nm、例えば、80nmの酸化膜を堆積させたのち、後のサリサイド工程において自己整合的にシリサイド層を形成する部分の近傍に、例えば、素子分離用酸化膜12の上に配置する配線層上に部分的に酸化膜14が残存するようにエッチングする。

30

【0062】

次いで、多結晶S iゲート電極15及び多結晶S i配線層16をエッチングにより形成したのち、Asイオンをイオン注入することによって多結晶S iゲート電極15に自己整合し、不純物濃度が $1.0 \times 10^{19} \sim 1.0 \times 10^{21} \text{ cm}^{-3}$ 、例えば、 $3.0 \times 10^{19} \text{ cm}^{-3}$ の n^+ 型ソース・ドレイン引出領域17を形成する。

【0063】

次いで、全面にC V D法により厚さ10~200nm、例えば、100nmの酸化膜を堆積させ、R I Eにより異方性エッチングすることによって、多結晶S iゲート電極15や多結晶S i配線層16等の凸部の側壁にサイドウォール18を形成したのち、再び、Asイオンを注入することによって、不純物濃度が $1.0 \times 10^{20} \sim 1.0 \times 10^{22} \text{ cm}^{-3}$ 、例えば、 $3.0 \times 10^{20} \text{ cm}^{-3}$ の n^+ 型ソース・ドレイン領域19を形成する。

40

なお、同時に形成される n^+ 型領域20は隣接するI G F E Tのソース・ドレイン領域或いは拡散配線層である。

【0064】

次いで、全面にCo膜を堆積させ、アルゴン雰囲気中でアニール処理(R T A : R a p i d T h e r m a l A n n e a l i n g)を施すことによって、多結晶S iゲート電極15、多結晶S i配線層16、及び、p型S i基板11の露出表面に CoSi_2 からなるシリサイド層21、22、23、24を形成し、未反応のCo層を選択的エッチングにより除去し、L T C V D法を用いて、750℃以下、例えば、390℃の温度において、全

50

面に厚さ10 nm以上、例えば、100 nmの酸化膜38を堆積させる。

【0065】

図7(b)参照

次いで、異方性エッチングを施すことによって、各サイドウォール18の側部に側壁サイドウォールスペーサ層となるサイドウォール状の酸化膜を形成してシリサイド層21~24の周辺端部を覆うと共に、サイドウォール状の酸化膜の形成されない領域には、厚さ10~90 nm、例えば、25 nmの薄い酸化膜が形成されるように異方性エッチングを途中で終了して側壁スペーサ層39を形成する。

【0066】

図8(c)参照

次いで、第2の実施の形態と同様に、ローカル配線パターンに対応した開口部を設けたレジストマスク40を設け、 CHF_3 によりドライ・エッチングすることによって、側壁スペーサ層39の露出部分である薄い酸化膜を選択的に除去する。

【0067】

図8(d)参照

次いで、レジストマスク40を除去したのち、全面に厚さ3~100 nm、例えば、10 nmのTi膜及び厚さ3~200 nm、例えば、20 nmのTiN膜からなるTi/TiN膜を順次堆積させたのち、レジストマスク40の反転パターンからなるレジストマスク(図示せず)を設け、 $\text{CF}_4 + \text{BCl}_3$ を原料ガスとしたRIEによってTi/TiN膜をエッチングすることによってローカル配線41を形成したのち、レジストマスクを残存させた状態で、 CHF_3 を原料ガスとしたRIEによって露出している側壁スペーサ層39の薄い部分を除去してサイドウォール42を形成する。

【0068】

なお、この場合にも、実際には、側壁スペーサ層39の薄い部分は、Ti/TiN膜のエッチング工程において、Ti/TiN膜と共にほとんど除去されるので、必ずしも CHF_3 を原料ガスとしたRIE工程は必要ではない。

【0069】

この様に、本発明の第3の実施の形態においては、素子分離用酸化膜12の端部を保護する薄い酸化膜を、側壁サイドウォールスペーサ層となるサイドウォールの形成工程で形成しているので、成膜工程を減らすことができ、したがって、スループットが向上する。

【0070】

以上、本発明の各実施の形態を説明してきたが、本発明は、上記の実施の形態に限られるものではなく、例えば、実施の形態においては本発明の典型的適用例としてSRAMのローカル配線の製造工程を示しているが、本発明は、SRAMのローカル配線に限られることなく、シリサイド電極間を接続する各種の半導体装置における相互接続配線層の製造工程に適用されるものである。

【0071】

また、シリサイド層は必ずしもコバルトシリサイド層(CoSi_2 層)に限られるものではなく、他のシリサイド、例えば、タングステンシリサイド、ニッケルシリサイド、或いは、モリブデンシリサイド等であっても良い。

【0072】

また、本発明の各実施の形態においては、サイドウォール等を SiO_2 等の酸化膜で形成しているが、必ずしも、 SiO_2 等の酸化膜である必要はなく、例えば、 SiON 膜や窒化膜を用いても良いものである。

【0073】

【発明の効果】

本発明によれば、シリサイド技術を用いて形成したシリサイド層を導電体層で相互接続する際に、側壁サイドウォールスペーサを設けているので、シリサイド層の周囲にエッチングしみ込み部が発生することがなく、微細化の進む半導体装置、特に、SRAMを搭載した半導体装置の信頼性及び製造歩留りを向上することができる。

【図面の簡単な説明】

【図 1】本発明の原理的構成の説明図である。

【図 2】本発明の第 1 の実施の形態の途中までの製造工程の説明図である。

【図 3】本発明の第 1 の実施の形態の図 2 以降の製造工程の説明図である。

【図 4】本発明の第 1 の実施の形態における問題点の説明図である。

【図 5】本発明の第 2 の実施の形態の途中までの製造工程の説明図である。

【図 6】本発明の第 2 の実施の形態の図 5 以降の製造工程の説明図である。

【図 7】本発明の第 3 の実施の形態の途中までの製造工程の説明図である。

【図 8】本発明の第 3 の実施の形態の図 7 以降の製造工程の説明図である。

【図 9】従来のローカル配線の形成工程の説明図である。

10

【図 10】従来のローカル配線の形成工程の問題点の説明図である。

【符号の説明】

1	半導体基板	
2	第 1 の絶縁膜	
3	配線層	
4	配線層	
5	第 2 の絶縁膜	
6	側壁サイドウォールスペーサ	
7	ソース・ドレイン領域	
8	シリサイド層	20
9	導電体膜	
10	相互接続配線層	
11	p 型 Si 基板	
12	素子分離用酸化膜	
13	ゲート酸化膜	
14	酸化膜	
15	多結晶 Si ゲート電極	
16	多結晶 Si 配線層	
17	n ⁺ 型ソース・ドレイン引出領域	
18	サイドウォール	30
19	n ⁺ 型ソース・ドレイン領域	
20	n ⁺ 型領域	
21	シリサイド層	
22	シリサイド層	
23	シリサイド層	
24	シリサイド層	
25	サイドウォール	
26	Ti/TiN 膜	
27	レジストマスク	
28	ローカル配線	40
29	しみ込み部	
30	層間絶縁膜	
31	ビアホール	
32	グルーレイヤメタル	
33	W プラグ	
34	配線層	
35	酸化膜	
36	レジストマスク	
37	レジストマスク	
38	酸化膜	50

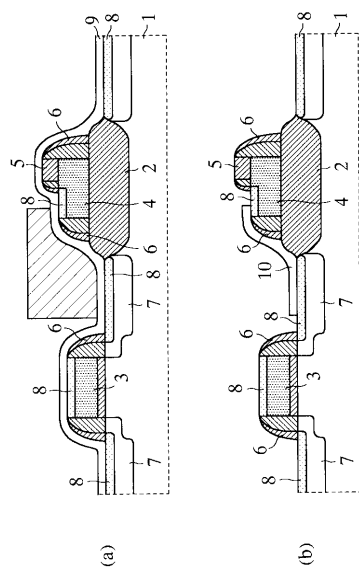
- 3 9 側壁スペーサ層
- 4 0 レジストマスク
- 4 1 ローカル配線
- 4 2 サイドウォール
- 5 1 p型Si基板
- 5 2 素子分離用酸化膜
- 5 3 ゲート酸化膜
- 5 4 酸化膜
- 5 5 多結晶Siゲート電極
- 5 6 多結晶Si配線層
- 5 7 n^+ 型ソース・ドレイン引出領域
- 5 8 サイドウォール
- 5 9 n^+ 型ソース・ドレイン領域
- 6 0 n^+ 型領域
- 6 1 シリサイド層
- 6 2 シリサイド層
- 6 3 シリサイド層
- 6 4 シリサイド層
- 6 5 Ti/TiN膜
- 6 6 レジストマスク
- 6 7 ローカル配線
- 6 8 エッチング残渣
- 6 9 しみ込み部

10

20

【図 1】

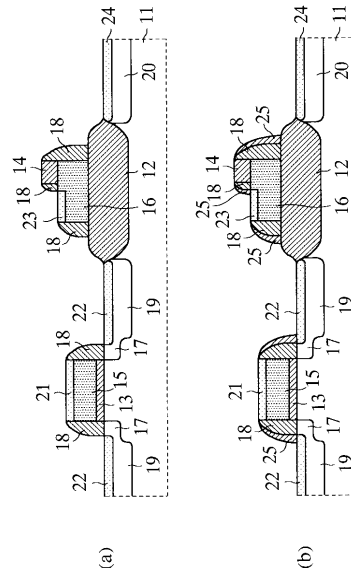
本発明の原理的構成の説明図



- 1:半導体基板
- 2:第1の絶縁膜
- 3:配線層
- 4:配線層
- 5:第2の絶縁膜
- 6:側壁サイドウォールスペーサ
- 7:ソース・ドレイン領域
- 8:シリサイド層
- 9:導電体膜
- 10:相互接続配線層

【図 2】

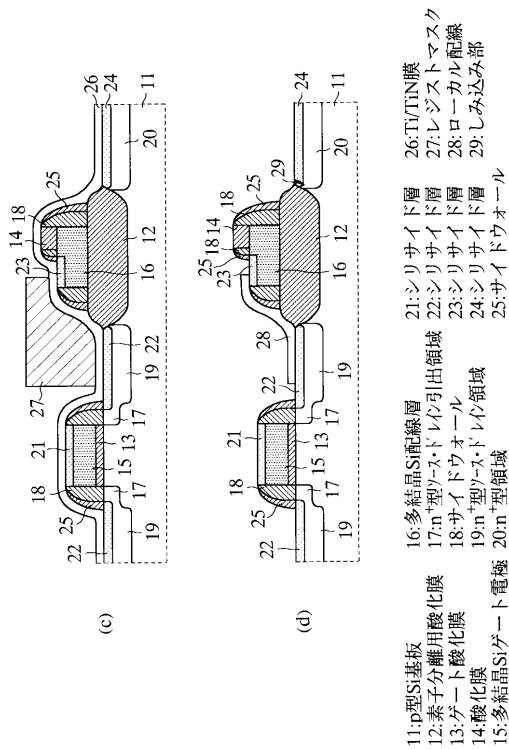
本発明の第1の実施の形態の途中までの製造工程の説明図



- 11:p型Si基板
- 12:素子分離用酸化膜
- 13:ゲート酸化膜
- 14:酸化膜
- 15:多結晶Siゲート電極
- 16:多結晶Si配線層
- 17: n^+ 型ソース・ドレイン引出領域
- 18:サイドウォール
- 19: n^+ 型ソース・ドレイン領域
- 20: n^+ 型領域
- 21:シリサイド層
- 22:シリサイド層
- 23:シリサイド層
- 24:シリサイド層
- 25:サイドウォール

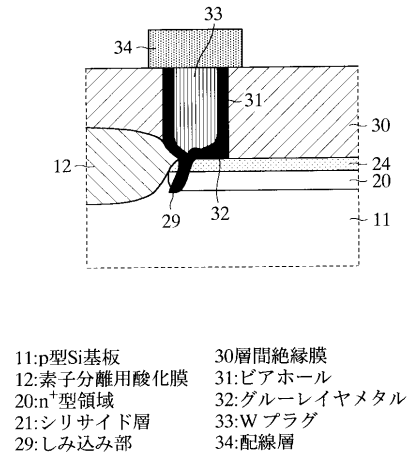
【図 3】

本発明の第1の実施の形態の図2以降の
製造工程の説明図



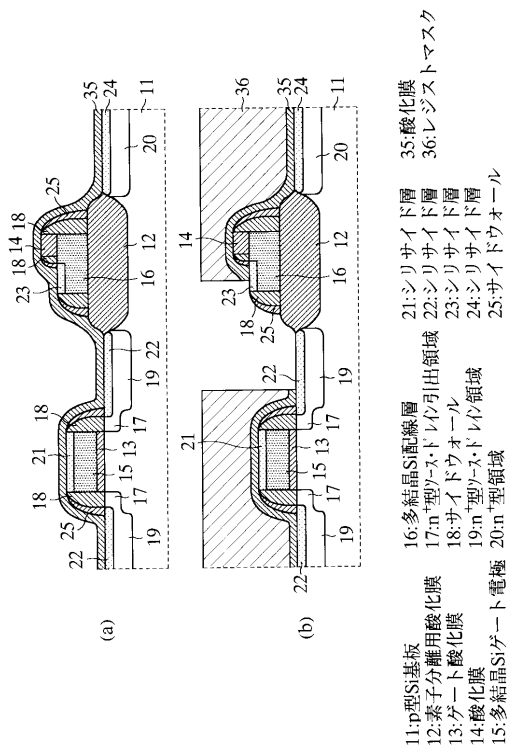
【図 4】

本発明の第1の実施の形態における問題点の説明図



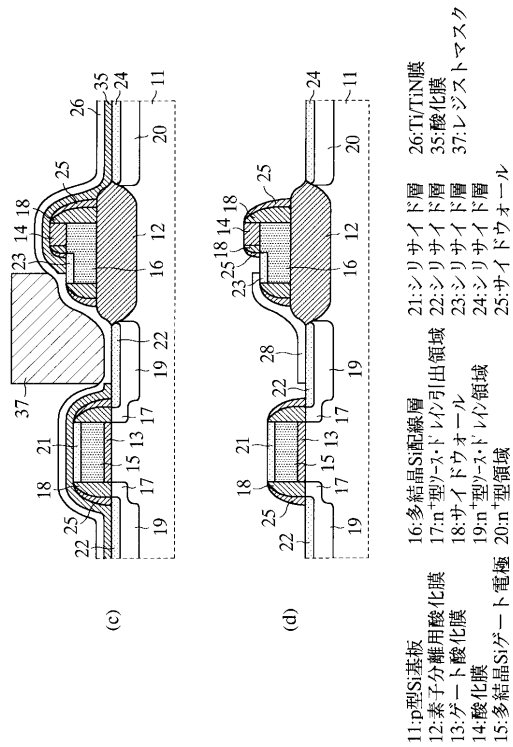
【図 5】

本発明の第2の実施の形態の途中までの
製造工程の説明図



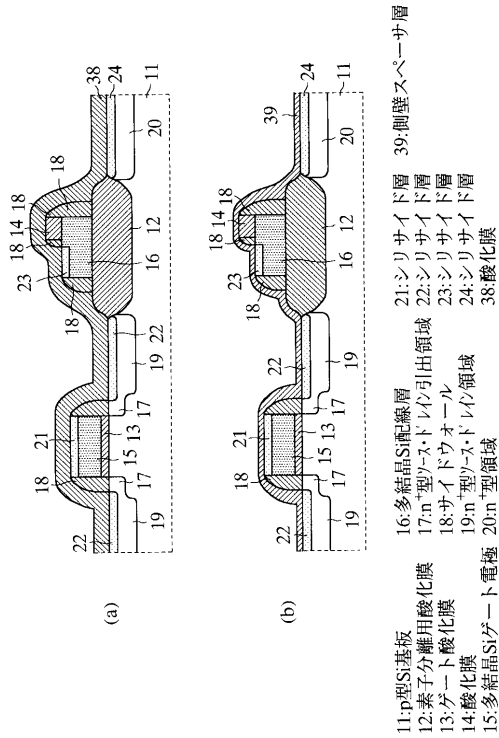
【図 6】

本発明の第2の実施の形態の図5以降の製造工程の説明図



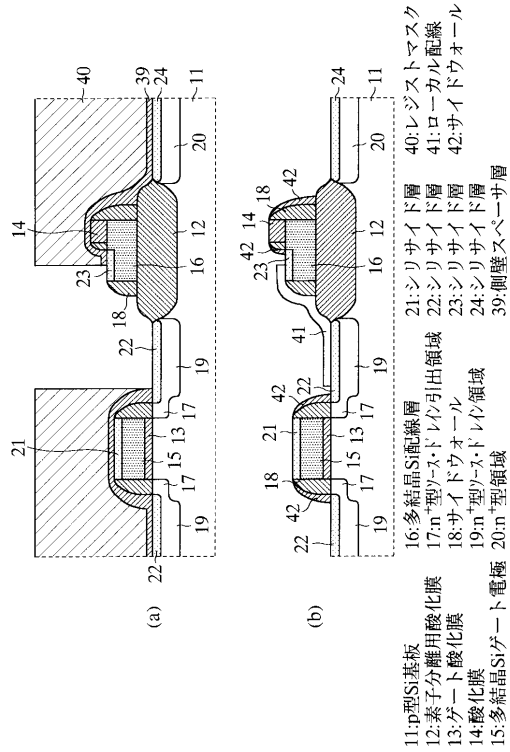
【図 7】

本発明の第3の実施の形態の途中までの製造工程の説明図



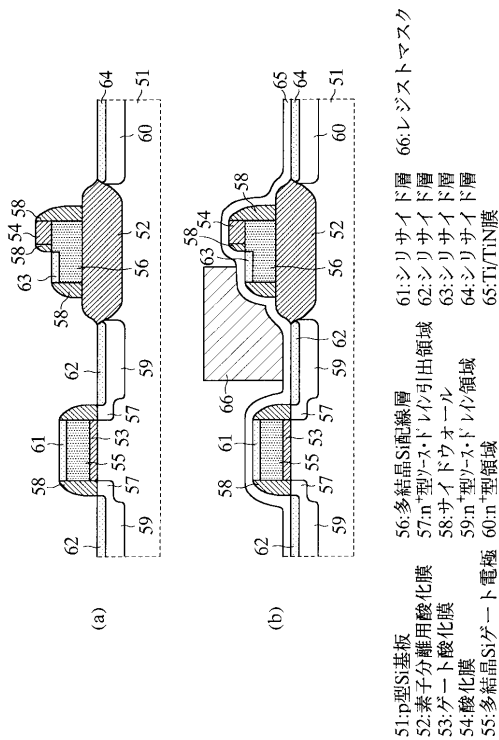
【図 8】

本発明の第3の実施の形態の図7以降の製造工程の説明図



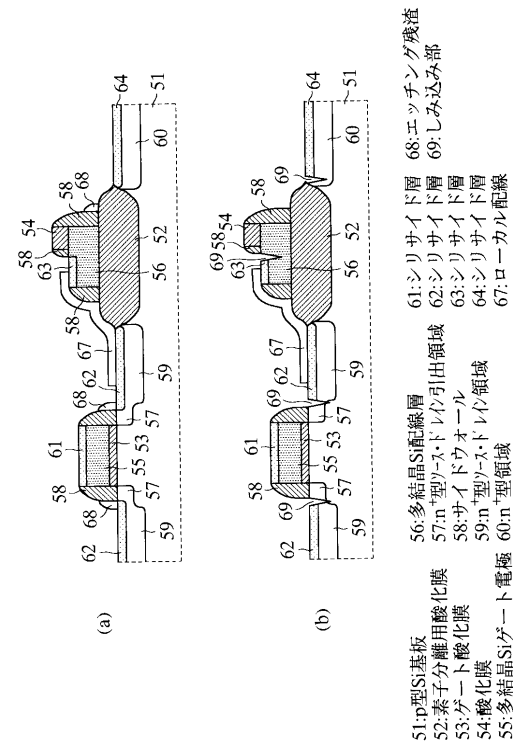
【図 9】

従来のローカル配線の形成工程の説明図



【図 10】

従来のローカル配線の形成工程の問題点の説明図



フロントページの続き

- (72)発明者 鳥居 泰伸
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 中石 雅文
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 和田 一
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 駒田 大輔
愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴィエルエスアイ株式会社内
- (72)発明者 牧 達一郎
愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴィエルエスアイ株式会社内

審査官 河口 雅英

- (56)参考文献 特開平02-303071 (JP, A)
特開平07-094595 (JP, A)
特開平07-245293 (JP, A)
特開平08-279509 (JP, A)
特開平11-067932 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/11
H01L 29/78
H01L 21/8244
H01L 21/336