



(12) 发明专利申请

(10) 申请公布号 CN 104813250 A

(43) 申请公布日 2015. 07. 29

(21) 申请号 201380061264. 1

(51) Int. Cl.

(22) 申请日 2013. 11. 25

G06F 1/08(2006. 01)

(30) 优先权数据

61/729, 699 2012. 11. 26 US

14/087, 844 2013. 11. 22 US

(85) PCT国际申请进入国家阶段日

2015. 05. 25

(86) PCT国际申请的申请数据

PCT/US2013/071631 2013. 11. 25

(87) PCT国际申请的公布数据

W02014/082029 EN 2014. 05. 30

(71) 申请人 密克罗奇普技术公司

地址 美国亚利桑那州

(72) 发明人 肖恩·斯蒂德曼 法尼·杜芬哈格

(74) 专利代理机构 北京律盟知识产权代理有限公司
责任公司 11287

代理人 路勇

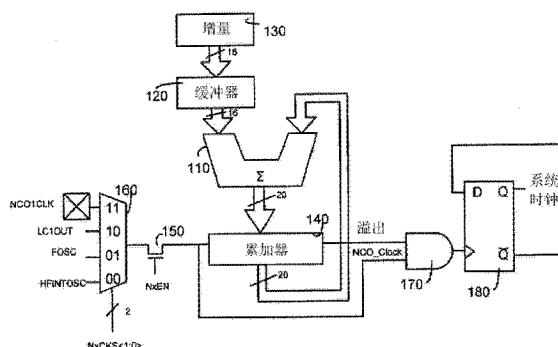
权利要求书2页 说明书4页 附图3页

(54) 发明名称

具有数字时钟源的微控制器

(57) 摘要

一种微控制器具有数值控制振荡器, 所述数值控制振荡器接收主要时钟信号且经配置以提供所述微控制器的内部系统时钟。一种用于操作微控制器的方法执行以下步骤: 从多个时钟信号选择主要时钟信号; 将所述主要时钟信号馈送到数值控制振荡器; 配置所述数值控制振荡器以产生数值控制时钟信号; 及提供所述数值控制时钟信号作为所述微控制器的内部系统时钟。



1. 一种微控制器,其包括:
数值控制振荡器,其接收主要时钟信号且经配置以提供内部系统时钟。
2. 根据权利要求 1 所述的微控制器,其中所述数值振荡器接收参考时钟 $r(x)$ 及数值 q 且提供输出时钟,其中所述数值由寄存器提供。
3. 根据权利要求 1 所述的微控制器,其中所述输出时钟 $f(q) = r(x) * A$;其中 A 为数值振荡器传递函数。
4. 根据权利要求 1 所述的微控制器,其中所述系统时钟用以操作所述微控制器的中央处理核心。
5. 根据权利要求 4 所述的微控制器,其中从所述内部系统时钟导出至少一个其它内部时钟。
6. 根据权利要求 1 所述的微控制器,其进一步包括用以提供第二内部时钟的另一数值控制振荡器。
7. 根据权利要求 1 所述的微控制器,其包括选择单元,所述选择单元可操作以从至少一个内部时钟信号及至少一个外部时钟信号选择所述主要时钟信号。
8. 根据权利要求 1 所述的微控制器,其中所述数值控制振荡器包括
加法器,其具有与增量寄存器耦合的第一输入,及
累加器,其通过使输入与所述累加器的输出耦合且使输出与所述累加器的第二输入耦合的所述主要时钟信号计时,其中所述累加器的溢出输出提供所述内部系统时钟信号。
9. 根据权利要求 8 所述的微控制器,其进一步包括多路复用器,所述多路复用器接收多个时钟信号且经控制以选择所述多个时钟信号中的一者作为所述主要时钟信号。
10. 根据权利要求 8 所述的微控制器,其中所述增量寄存器被缓冲。
11. 根据权利要求 8 所述的微控制器,其进一步包括具有与所述溢出输出耦合的第一输入及接收所述主要时钟信号的第二输入的“与”门,其中所述“与”门的输出提供所述系统时钟。
12. 根据权利要求 8 所述的微控制器,其进一步包括:
多路复用器,其接收所述数值控制振荡器的所述输出以及多个外部及内部时钟信号,其中所述多路复用器由配置寄存器控制以选择所述内部时钟。
13. 根据权利要求 12 所述的微控制器,其中所述主要时钟由所述微控制器的内部振荡器提供。
14. 根据权利要求 13 所述的微控制器,其中所述内部振荡器为具有数字修整能力的 RC 振荡器。
15. 一种用于操作微控制器的方法,其包括:
从多个时钟信号选择主要时钟信号;
将所述主要时钟信号馈送到数值控制振荡器;
配置所述数值控制振荡器以产生数值控制时钟信号;
提供所述数值控制时钟信号作为所述微控制器的内部系统时钟。
16. 根据权利要求 15 所述的方法,其中所述数值振荡器接收参考时钟 $r(x)$ 及数值 q 且提供输出时钟,其中所述数值由寄存器提供。
17. 根据权利要求 16 所述的方法,其中所述输出时钟 $f(q) = r(x) * A$;其中 A 为数值振

荡器传递函数。

18. 根据权利要求 17 所述的方法,其中所述数值振荡器传递函数包括选自加法、乘法、除法、减法及对数函数的运算。

19. 根据权利要求 15 所述的方法,其中所述系统时钟用以操作所述微控制器的中央处理核心。

20. 根据权利要求 19 所述的方法,其中从所述内部系统时钟导出至少一个其它内部时钟。

21. 根据权利要求 15 所述的方法,其中所述数值控制振荡器执行以下步骤

将增量值加到累加器,其中所述累加器是通过使输入耦合的所述主要时钟信号计时;通过所述累加器产生提供所述内部系统时钟信号的溢出输出信号。

22. 根据权利要求 21 所述的方法,其包括

提供多个外部及内部时钟信号,及

选择所述多个外部及内部时钟信号中的一者或所述数值控制振荡器的所述输出信号作为所述内部系统时钟。

23. 根据权利要求 22 所述的方法,其中所述主要时钟由所述微控制器的内部振荡器提供。

24. 根据权利要求 24 所述的方法,其中所述内部振荡器为具有数字修整能力的 RC 振荡器。

具有数字时钟源的微控制器

[0001] 相关申请案交叉参考

[0002] 本申请案主张在 2012 年 11 月 26 日提出申请的标题为“具有数字时钟源的微控制器 (MICROCONTROLLER WITH DIGITAL CLOCK SOURCE)”的第 61/729,699 号美国临时申请案的权益,所述美国临时申请案的全文并入本文中。

技术领域

[0003] 本发明涉及微控制器,特定来说涉及具有集成时钟控制单元的微控制器。

背景技术

[0004] 大多数微控制器时钟方案是基于标准时钟的二进制除法器。举例来说,在常规微控制器产品上,假设 16MHz 的基本时钟可用作系统时钟。然而,特定来说针对低功率应用,用户可按比例缩减此频率。此外,可为外围装置供应从此系统时钟除以 2^n 所导出的时钟信号,其中 $n > 1$ 。举例来说,在上文情况中,可针对系统时钟或从所述系统时钟所导出的其它时钟信号选择以下频率:[8、4、2、1、0.5、0.25、.03125]MHz。这些可选择输出频率分别是基于[2、4、8、16、32、64、512]的除法器。

发明内容

[0005] 存在对数字时钟源(其可用作系统时钟及/或用作外围装置的时钟源或者其它用途)的具有较灵活可配置性的微控制器的需要。

[0006] 根据一实施例,一种微控制器可包括接收主要时钟信号且经配置以提供内部系统时钟的数值控制振荡器。

[0007] 根据另一实施例,所述数值振荡器可接收参考时钟 $r(x)$ 及数值 q 且提供输出时钟,其中所述数值由寄存器提供。根据另一实施例,所述输出时钟 $f(q) = r(x) * A$; 其中 A 为数值振荡器传递函数。根据另一实施例,所述系统时钟可用以操作所述微控制器的中央处理核心。根据另一实施例,可从所述内部系统时钟导出至少一个其它内部时钟。根据另一实施例,所述微控制器可进一步包括用以提供第二内部时钟的另一数值控制振荡器。根据另一实施例,所述微控制器可包括选择单元,所述选择单元可操作以从至少一个内部时钟信号及至少一个外部时钟信号选择所述主要时钟信号。根据另一实施例,所述数值控制振荡器可包括:加法器,其具有与增量寄存器耦合的第一输入;及累加器,其通过使输入与所述累加器的输出耦合且使输出与所述累加器的第二输入耦合的所述主要时钟信号计时,其中所述累加器的溢位输出提供所述内部系统时钟信号。根据另一实施例,所述微控制器可进一步包括多路复用器,所述多路复用器接收多个时钟信号且经控制以选择所述多个时钟信号中的一者作为所述主要时钟信号。根据另一实施例,所述增量寄存器被缓冲。根据另一实施例,所述微控制器可进一步包括具有与所述溢出输出耦合的第一输入及接收所述主要时钟信号的第二输入的“与”门,其中所述“与”门的输出提供所述系统时钟。根据另一实施例,所述微控制器可进一步包括接收所述数值控制振荡器的所述输出以及多个外部

及内部时钟信号的多路复用器,其中所述多路复用器由配置寄存器控制以选择所述内部时钟。根据另一实施例,所述主要时钟可由所述微控制器的内部振荡器提供。根据另一实施例,所述内部振荡器可为具有数字修整能力的 RC 振荡器。

[0008] 根据另一实施例,一种用于操作微控制器的方法可包括:从多个时钟信号选择主要时钟信号;将所述主要时钟信号馈送到数值控制振荡器;配置所述数值控制振荡器以产生数值控制时钟信号;及提供所述数值控制时钟信号作为所述微控制器的内部系统时钟。

[0009] 根据所述方法的另一实施例,所述数值振荡器可接收参考时钟 $r(x)$ 及数值 q 且提供输出时钟,其中所述数值由寄存器提供。根据所述方法的另一实施例,所述输出时钟 $f(q) = r(x) * A$;其中 A 为数值振荡器传递函数。根据所述方法的另一实施例,所述数值振荡器传递函数可包括选自加法、乘法、除法、减法及对数函数的运算。根据所述方法的另一实施例,所述系统时钟可用以操作所述微控制器的中央处理核心。根据所述方法的另一实施例,可从所述内部系统时钟导出至少一个其它内部时钟。根据所述方法的另一实施例,所述数值控制振荡器可执行以下步骤:将增量值加到累加器,其中所述累加器是通过使输入耦合的所述主要时钟信号计时;及通过所述累加器产生提供所述内部系统时钟信号的溢出输出信号。根据所述方法的另一实施例,所述方法可进一步执行以下步骤:提供多个外部及内部时钟信号;及选择所述多个外部及内部时钟信号中的一者或所述数值控制振荡器的所述输出信号作为所述内部系统时钟。根据所述方法的另一实施例,所述主要时钟可由所述微控制器的内部振荡器提供。根据所述方法的另一实施例,所述内部振荡器可为具有数字修整能力的 RC 振荡器。

附图说明

[0010] 图 1 展示用作系统时钟源的数值控制振荡器的示范性框图;

[0011] 图 2 根据各种实施例的时钟控制电路的第一实施例的框图;

[0012] 图 3 根据各种实施例的时钟控制电路的另一实施例的框图;

[0013] 图 4 展示微控制器的时钟选择电路;

具体实施方式

[0014] 根据各种实施例,不同类型的芯片上时钟外围装置可用以提供可编程时钟源。举例来说,根据各种实施例的数值控制振荡器 (NCO) 可用作数字源时钟提供者。根据各种实施例,数值控制振荡器是具有两个输入 (参考时钟 $r(x)$ 及数值 q) 的模块。图 1 展示嵌入于 (举例来说) 微控制器的系统时钟电路 10 中的此种类属数值振荡器 20。数值控制振荡器 20 接收参考时钟 $r(x)$ 及可存储于配置寄存器 40 (举例来说,与所述 NCO 相关联的特殊功能寄存器) 中的数值 q 。输入到所述模块中的数值 q 对所述参考时钟执行操作以提供输出频率 $f(q)$ 。因此, $f(q) = r(x) * A$; A 是数值振荡器传递函数。所述传递函数可像加法一样简单。然而,可实施其它函数,例如加法、减法、乘法、除法、对数或任何其它数学函数。在以下实例中,使用简单加法器来形成数值控制振荡器。然而,如上文所定义的数值控制振荡器可具有用以提供如上文所陈述的数值控制时钟信号的其它函数。

[0015] 在图 1 中,数值控制振荡器 20 的输出信号被馈送到多路复用器 30,多路复用器 30 可接收可在内部产生或可从外部源馈送的一或多个其它时钟信号。或者,外部组件 (例如

晶体)可控制内部振荡器电路以提供这些额外时钟信号中的一者。多路复用器 30 可(举例来说)从非易失性配置寄存器接收控制信号以选择时钟源中的一者作为系统时钟。在上文实例中,参考时钟 $r(x)$ 可优选地为信号时钟 1 或时钟 2 中的一者。此外,可提供额外多路复用器以从多个内部及/或外部时钟信号选择参考时钟。因此,NC0 20 可用以提供(举例来说)微控制器的系统时钟。

[0016] 举例来说,作为外围装置,已知 NC0 给用户固定工作循环的频率控制输出。举例来说,微控制器 PIC10F320 包括用以产生具有固定工作循环的信号或提供脉冲宽度控制的 NC0 外围装置。然后可将此信号用于其中使用所述微控制器的应用中。

[0017] 然而,根据各种实施例,此数值控制振荡器也可用以提供系统时钟。因此,由所述 NC0 形成的时钟信号可应用于微控制器的系统时钟。

[0018] 所述系统时钟是驱动微控制器模块的操作的时钟。所述系统时钟通常是从模拟时钟源(例如可为内部振荡器或外部振荡器的主振荡器)导出。根据各种实施例,然后将主微控制器振荡器的主要时钟信号结合到所述 NC0 中,然后所述 NC0 根据其输出驱动所述系统时钟。

[0019] 所述 NC0 是对其中时钟源往往是模拟解决方案(举例来说,内部 RC 振荡器、晶体振荡器等)的问题的数字解决方案。此外,根据各种实施例,存在要解决的两种需要。一种需要是通过 NC0 外围装置实现的可以数字方式控制的可变时钟源。另一种需要是微控制器的内部时钟频率是二进制倍数,因此较大频率之间的步长大小随着频率增加而越来越大。所述 NC0 可应用于填充这些频率增加之间的间隙以允许用户优化例如以下的性能问题:功率、特定频率等。

[0020] NC0 时钟可个别地应用于不同模块以允许由用户进行可编程定时。因此,所述 NC0 时钟可有利地用作系统时钟、看门狗计时器频率源、外围时钟源等。NC0 系统时钟允许用户优化性能、从二进制经加权值选择中间频率。

[0021] 图 2 展示根据各种实施例的数值控制振荡器 100 的第一可能实施方案。可通过多路复用器 160 选择多种时钟输入。举例来说,可通过所述多路复用器选择穿过外部引脚的外部时钟 NC01CLK 或者数个内部时钟信号 LC10UT、FOSC 或 HFINTOSC 中的一者。举例来说,LC10UT 是由可编程逻辑单元提供的输出信号,FOSC 及 HFINTOSC 是来自内部或集成振荡器的内部时钟信号。然后将此主要时钟馈送到如图 1 中所展示的数值控制振荡器。所述数值控制振荡器包括与缓冲器 120 耦合的增量寄存器 130,缓冲器 120 馈送加法器 110 的第一输入。加法器输出与累加器 140 耦合,累加器 140 的输出被馈送回到加法器 110 的第二输入。通过启用门 150 来馈送主要输入时钟信号以控制累加器 140 且还馈送到“与”门 170 的第一输入。将来自所述累加器的溢出馈送到“与”门 170 的第二输入以产生数值控制输出时钟。“与”门 170 的输出与 D 触发器 180 的时钟输入耦合,D 触发器 180 的反相输出与其 D 输入耦合。D 触发器 180 的非反相输出提供时钟输出,根据各种实施例可将所述时钟输出选择为系统时钟。因此,可通过编程与 NC0 100 相关联的控制寄存器来直接控制多种多样的频率。可提供多个此类 NC0 以提供多个内部时钟,例如系统时钟及/或外围时钟。此外,可将标准数字除法器与 NC0 的输出耦合以提供所导出的内部时钟信号。

[0022] 图 3 展示数值控制振荡器 200 的另一实施例。此处,增量寄存器 130 与加法器 110 直接耦合。然而,可使用如图 2 中所展示的缓冲器。再次通过启用门 150 路由主要时钟信

号且还将所述主要时钟信号传递到计数器 210 的时钟输入。累加器 140 的溢出输出与 RS 触发器 220 的设定输入耦合。多路复用器 250 可操作以选择计数器 210 的位中的一者来对触发器 220 进行复位。通过触发器 220 的反相 Q 输出来对计数器 210 进行复位。多路复用器 230 经提供以选择 D 触发器 180 的 Q 输出或 RS 触发器 220 的 Q 输出作为数值控制振荡器的输出信号。根据一实施例,还可先将累加器 140 的溢出输出馈送到与图 1 中类似的接收主要时钟信号的“与”门。然后再将累加器 140 的溢出输出馈送到触发器 220 及多路复用器 230。

[0023] 图 4 展示如何可将 NCO 集成到微控制器内以提供可选择系统时钟的实施例。可在芯片上提供高频内部振荡器 320。另外,可提供外部高速振荡器 330 及外部低速振荡器 340。其它内部及外部时钟源是可用的。根据实施例,从内部高频振荡器 320 (举例来说,其可为具有数字修整能力 390 的 RC 振荡器) 直接向 NCO 310 馈送。此处,提供可由 (举例来说) 配置寄存器 380 或任何其它特殊功能寄存器控制的系统时钟选择多路复用器 350。因此,用户可编程配置寄存器以选择四个时钟源中的任一者,其中在选择 NCO 310 后,可即刻借助相应相关联控制寄存器来编程广泛范围的额外频率。另外,可提供另一多路复用器 360 以为 (举例来说) 一或多个外围装置 (例如,计时器、脉冲宽度调制器等) 选择第二内部时钟信号。然后,可将所选择的系统时钟直接用作系统时钟或馈送到除法器 370 用于将时钟除以 2^n , 其中 $n \geq 1$ 。

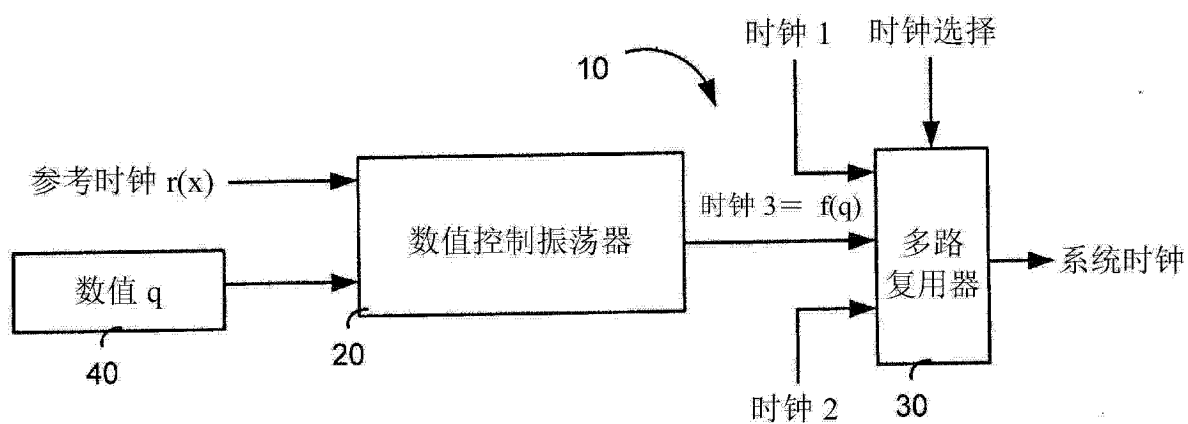


图 1

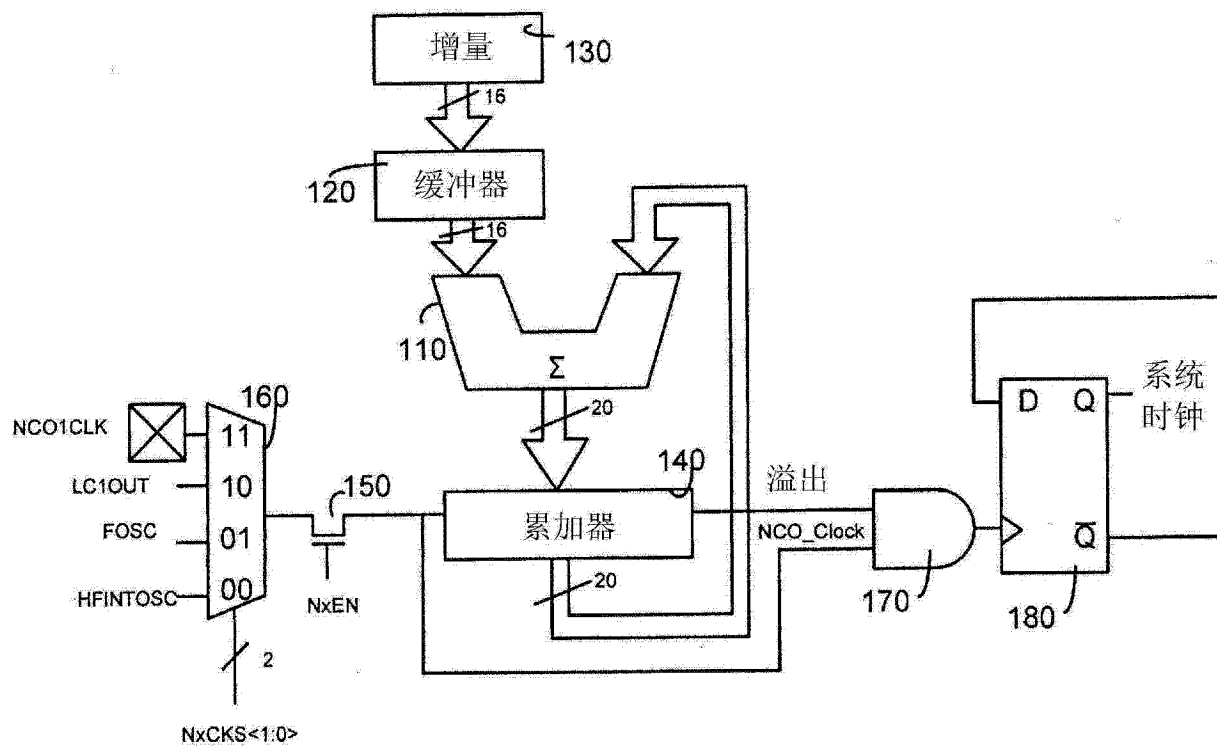


图 2

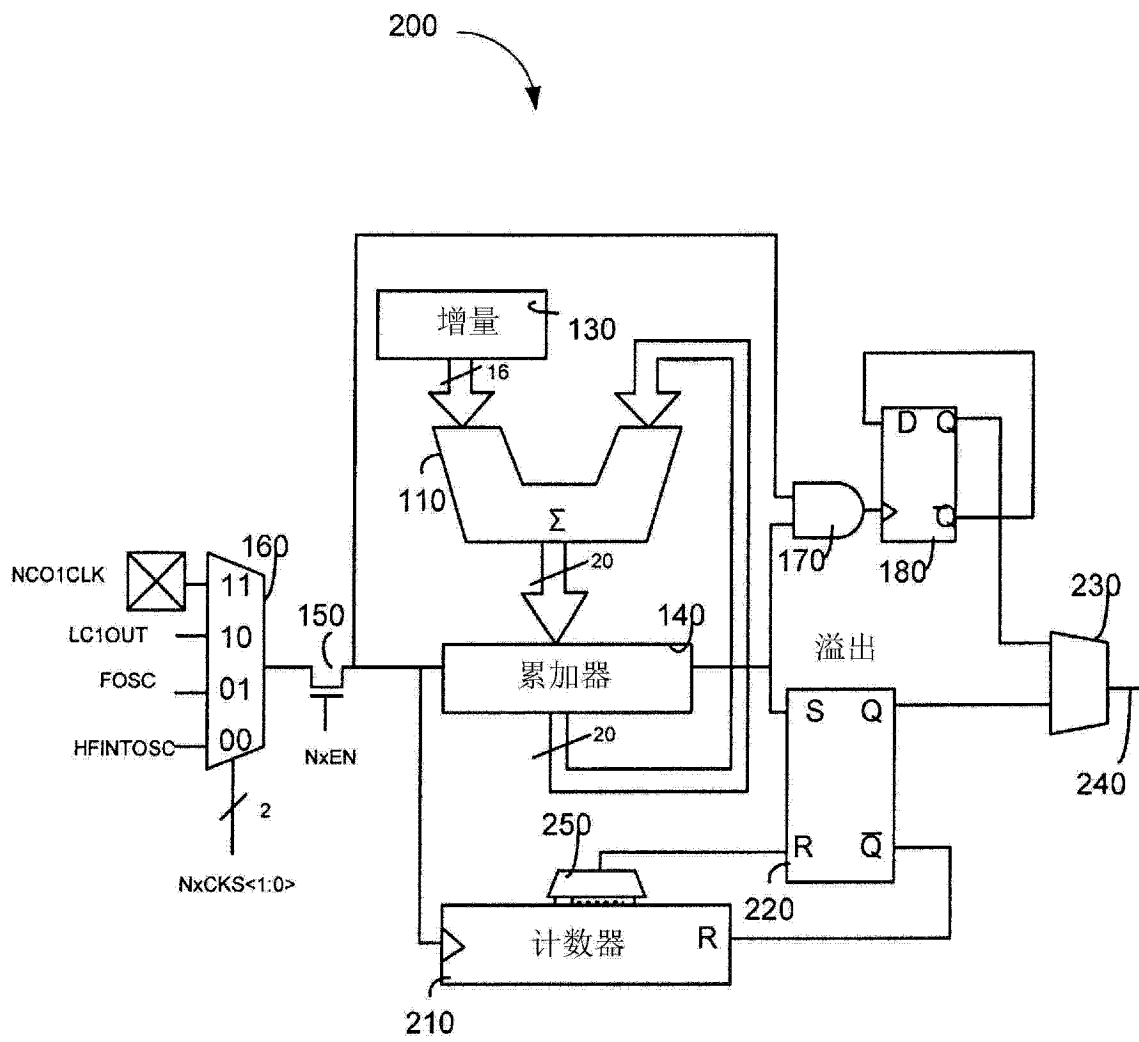


图 3

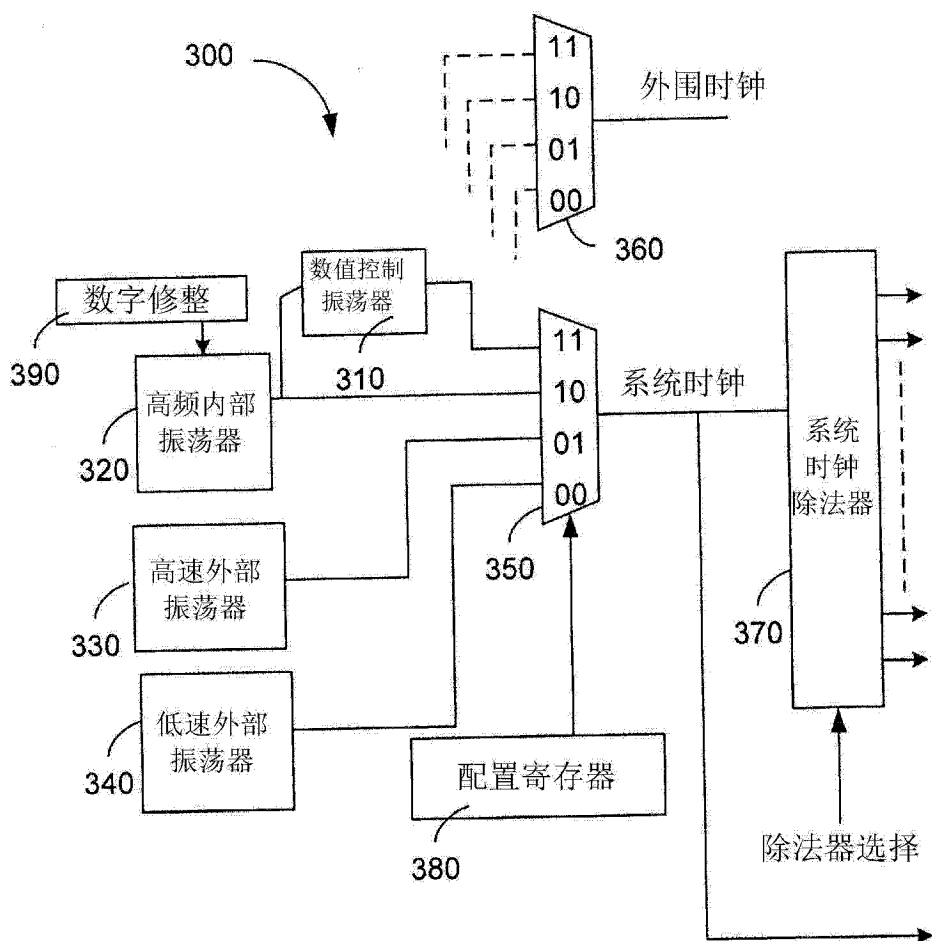


图 4