



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

218021
(11) (B1)

(51) Int. Cl.³
G 06 F 15/16

(22) Přihlášeno 28 08 81
(21) (PV 6408-81)

(40) Zveřejněno 28 05 82

(45) Vydáno 15 02 85

(75)
Autor vynálezu SMÍŠEK JIŘÍ ing., PRAHA

(54) Zapojení prioritního obvodu procesoru

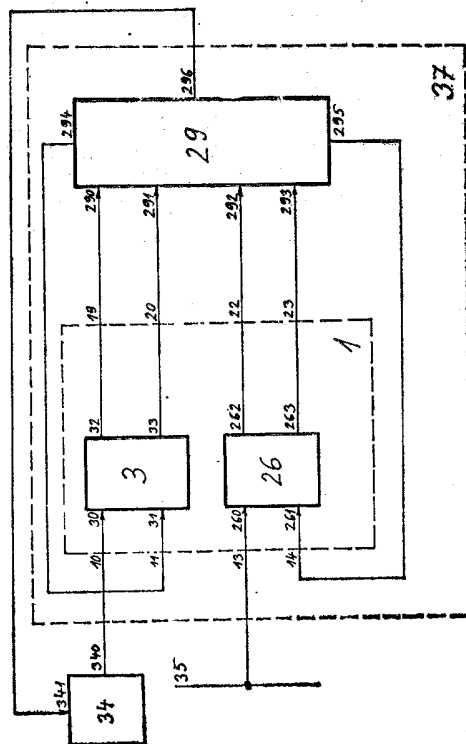
1

Vynález se týká oboru samočinné počítače — základní jednotka.

Zapojení řeší synchronizaci činnosti více počítačových systémů s asynchronním stykem na komunikačních sběrnicích, zejména pro účely testování metodou srovnání stavů sběrnic v reálném čase.

Řešení se dosahuje zpřístupněním výstupů asynchronních rozhodovacích modulů a asynchronního hradla na svorkách prioritního obvodu procesoru. Synchronizace se pak zajistí propojením výstupních svorek odpovídajících prioritních obvodů u všech komparovaných systémů, přičemž ve funkci zůstane prioritní obvod pouze u jednoho systému. V ostatních systémech je rozhodování nastaveno definovaným způsobem. V systémech se sériově zřetěženým prioritním signálem je zapojen další asynchronní rozhodovací modul, který řeší střetnutí s okamžiky, kdy jiný modul, kterému byla přidělena priorita, usiluje o převzetí řízení sběrnice.

2



Obr. 1

Předmětem vynálezu je zapojení prioritního obvodu procesoru, které řeší synchronizaci činnosti více počítačových systémů zejména pro účely testování metodou srovnání stavů komunikačních sběrnic v reálném čase.

Jednou z metod testování mikropočítačových systémů je komparace s normálovým systémem v reálném čase. Uvažujme mikropočítačový systém s asynchronní rychlostně nezávislou mezimodulovou komunikací na obousměrné sběrnici, kde procesory jsou separátně řízeny podmíněčně spouštěnými generátory hodinových impulsů. Efektivní a materiálově nenáročné řešení zpracování žádostí přídatných zařízení o přerušení poskytuje například použití asynchronních rozhodovacích modulů a hradel s detektory metastabilních stavů.

Dosud známá zapojení uvedeného typu nejsou však řešená s ohledem na synchronizaci několika systémů, což je nutné při použití komparační metodiky testování. Jednou z možností je synchronizace žádostí o přerušení pomocí fetch-signalů procesorů, čímž je zaručeno ustálení případných metastabilních stavů do okamžiku testu žádosti v posledním taktu probíhající instrukce, a tím je zajištěno i stejné pokračování v testovacím programu u všech komparovaných systémů. Toto řešení však představuje zvýšené materiálové nároky pro realizaci synchronizátoru. Podstatnou nevýhodou je pak nemožnost synchronizace činnosti přídatných zařízení v reálném čase v systému se sériově zřetězeným prioritním signálem, kde na jedné lince žádostí se sčítají žádosti od jednotlivých přídatných zařízení.

Uvedené nevýhody odstraňuje zapojení prioritního obvodu procesoru podle vynálezu, jehož podstata spočívá v tom, že první svorka prioritního obvodu procesoru je spojena s prvním vstupem prvního asynchronního rozhodovacího modulu, druhá svorka prioritního obvodu procesoru je spojena s druhým vstupem prvního asynchronního rozhodovacího modulu a dále je spojena s pátou svorkou řídicího bloku procesoru, čtvrtá svorka prioritního obvodu procesoru je spojena s prvním vstupem asynchronního hradla a dále je spojena s blokovací linkou, pátá svorka prioritního obvodu procesoru je spojena s druhým vstupem asynchronního hradla a dále je spojena se šestou svorkou řídicího bloku procesoru, první výstup prvního asynchronního rozhodovacího modulu je spojen se sedmou svorkou prioritního obvodu procesoru a dále je spojen s první svorkou řídicího bloku procesoru, druhý výstup prvního asynchronního rozhodovacího modulu je spojen s osmou svorkou prioritního obvodu procesoru a dále je spojen s druhou svorkou řídicího bloku procesoru, první výstup asynchronního hradla je spojen s desátou svorkou prioritního obvodu procesoru a dále je spojen se třetí svorkou řídicího bloku procesoru a druhý výstup

asynchronního hradla je spojen s jedenáctou svorkou prioritního obvodu procesoru a dále je spojen se čtvrtou svorkou řídicího bloku procesoru.

Výhodou uvedeného zapojení je možnost materiálově nenáročného způsobu synchronizace činnosti systémů při použití komparační metodiky testování, a to propojením odpovídajících svorek prioritních obvodů ve srovnávaných systémech.

Zapojení modifikované podle bodu 2 předmětu vynálezu navíc umožňuje použít komparační metodiky testování systémů se sériově zřetězeným prioritním signálem vzhledem k tomu, že je zde ošetřeno střetnutí žádostí o přímý přístup do operační paměti, popřípadě žádostí dalších procesorů a okamžiku ukončení intervalu, kdy procesory v komparovaných systémech čekají na provedení předepsané operace v odpovídajících přídatných zařízeních.

Na připojeném výkresu na obr. 1 je zapojení podle vynálezu, kde je uvedeno vzájemné propojení jednotlivých bloků společně s jejich označením.

První svorka 10 prioritního obvodu 1 procesoru 37 je spojena s prvním vstupem 30 prvního asynchronního rozhodovacího modulu 3 a dále je spojena s výstupem 340 prioritního přidělovače 34. Druhá svorka 11 prioritního obvodu 1 je spojena s druhým vstupem 31 prvního asynchronního rozhodovacího modulu 3 a dále je spojena s pátou svorkou 294 řídicího bloku 29 procesoru 37.

Čtvrtá svorka 13 prioritního obvodu 1 je spojena s prvním vstupem 260 asynchronního hradla 26 a dále je spojena s blokovací linkou 35. Pátá svorka 14 prioritního obvodu 1 je spojena s druhým vstupem 261 asynchronního hradla 26 a dále je spojena se šestou svorkou 295 řídicího bloku 29. První výstup 32 prvního asynchronního rozhodovacího modulu 3 je spojen se sedmou svorkou 19 prioritního obvodu 1 a dále je spojen s první svorkou 290 řídicího bloku 29. Druhý výstup 33 prvního asynchronního rozhodovacího modulu 3 je spojen s osmou svorkou 20 prioritního obvodu 1 a dále je spojen s druhou svorkou 291 řídicího bloku 29. První výstup 262 asynchronního hradla 26 je spojen s desátou svorkou 22 prioritního obvodu 1 a dále je spojen se třetí svorkou 292 řídicího bloku 29. Druhý výstup 263 asynchronního hradla 26 je spojen s jedenáctou svorkou 23 prioritního obvodu 1 a dále je spojen se čtvrtou svorkou 293 řídicího bloku 29. Sedmá svorka 296 řídicího bloku 29 je spojena s prioritním vstupem 341 prioritního přidělovače 34.

Funkce zapojení podle obr. 1 je následující: Řídicí blok 29 procesoru 37 žádá aktivní hladinou signálu z páté svorky 294 o přidělení sběrnice pro operaci čtení instrukce z operační paměti. Asynchronně vzhledem k tomuto signálu přicházejí aktivní signály z výstupu 340 prioritního při-

dělovače **34**. Tyto signály jsou nositelem centrální žádosti o přerušení a vznikají na základě žádosti od libovolného přídavného zařízení. Základem řídicího bloku **29** je synchronní automat s podmíněčně spouštěným generátorem hodinových impulsů a asynchronní automat, který řídí proces obsazování sběrnice procesorem **37**. Dokud neobdrží řídicí blok **29** aktivní signál na druhé svorce **291**, je blokována generace výstupního synchronizačního signálu, kterým procesor **37** zahajuje vnější operaci a generátor hodinových impulsů je v klidu. Ke spuštění vnější operace dojde aktivním signálem na druhé svorce **291**.

Na výstupní synchronizační signál potom odpovídá operační paměť vstupním synchronizačním signálem, kterým je spuštěn generátor hodinových impulsů. První asynchronní rozhodovací modul **3** řeší střetnutí aktivních signálů na svých vstupech **30** a **31**. Obsahuje detektor metastabilních stavů, který jednak zkracuje dobu trvání těchto stavů, jednak indukuje přítomnost těchto stavů a blokuje výstupy **32** a **33** po dobu jejich trvání. Po skončení metastabilního stavu se objeví aktivní hladina signálu buď na prvním výstupu **32**, tj. spodní, nebo na druhém výstupu **33**, tj. horní. Aktivní hladina signálu na první svorce **290** vyvolá v příslušných obvodech řídicího bloku **29** žádost o přidělení sběrnice, která je zavedena na vstup prioritního přidělovače pro žádosti procesorů a přídavných zařízení s režimem přímého přístupu do operační paměti, kde přidělovač není zakreslen. V případě akceptování této žádosti obdrží procesor **37** signál o přidělení priority a ze sedmé svorky **296** vyšle řídicí blok **29** aktivní signál do prioritního přidělovače **34**. Z prioritního přidělovače **34** se pak generuje signál o přidělení priority na prioritní vstup příslušného přídavného zařízení, které přerušení vyvolalo, a které není zakresleno.

Prioritní obvody tohoto přídavného zařízení generují na základě prioritního signálu aktivní signál na společnou blokovací linku **35**, odkud se tento signál šíří na první vstup **260** asynchronního hradla **26** a protože na druhém vstupu **261** je v tomto okamžiku neaktivní signál, generuje se aktivní signál, tj. spodní hladina, na prvním výstupu **262**. Aktivní signál ze šesté svorky **295** řídicího bloku **29** je podmíněný aktivním signálem na druhé svorce **291** řídicího bloku **29**, což v uvažovaném případě není splněno.

Aktivní signál na třetí svorce **292** řídicího bloku **29** potom způsobí ukončení vysílání aktivního signálu z procesoru **37** na linku obsazení sběrnice, která není zakreslena. Poté přídavné zařízení, kterému byla přidělena priorita, zahájí generaci vlastního signálu na lince obsazení sběrnice a zároveň vysílá na datovou sběrnici adresu svého vektoru přerušení, doprovázenou synchronizačním signálem při přerušení. Tento signál

způsobí rozeběhnutí generátoru hodinových impulsů v řídicím bloku **29** a do přídavného zařízení se posílá aktivní signál na vstupní synchronizační lince, signalizující přijetí této adresy v procesoru **37**, což není zakresleno. Tím je proces přerušení ukončen a procesor **37** žádá o přidělení sběrnice pro operaci čtení instrukce z této adresy. Není-li přítomen aktivní signál na první svorce **10** prioritního obvodu **1**, generuje se aktivní signál na druhém výstupu **33** prvního asynchronního rozhodovacího modulu **3**, který má za následek generaci aktivního signálu na šesté svorce **295** řídicího bloku **29**. Tento signál vyvolá na druhém výstupu **263** aktivní úroveň signálu, tj. horní, která se šíří na čtvrtou svorku **293** řídicího bloku **29**. V příslušných obvodech procesoru **37** vznikne žádost o přidělení sběrnice, která se vede na vstup prioritního přidělovače pro žádosti procesorů a přídavných zařízení s režimem přímého přístupu do operační paměti. V případě, že není žádná žádost s vyšší prioritou, po obdržení signálu přidělené priority se začne vysílat z procesoru **37** aktivní signál na linku obsazení sběrnice a zahájí se operace čtení instrukce.

V případě, že v kterémkoliv okamžiku je přidělena priorita žádosti jiného procesoru nebo některého přídavného zařízení s režimem přímého přístupu do operační paměti, generuje tento modul aktivní signál na blokovací linku **35**, odkud se šíří na první vstup **260** asynchronního hradla **26**. Asynchronní hradlo **26** obsahuje detektor metastabilních stavů a řeší střetnutí navzájem asynchronních signálů na vstupech **260** a **261**. Je-li vyhodnocen signál na prvním vstupu **260**, generuje se navíc k aktivnímu signálu na druhém výstupu **263** aktivní signál na prvním výstupu **262**, který má za následek ukončení generace aktivního signálu z procesoru **37** na linku obsazení sběrnice.

Na obr. 2 je modifikované zapojení prioritního obvodu procesoru podle bodu 2 předmětu vynálezu, kde je uvedeno vzájemné propojení jednotlivých bloků společně s jejich označením.

Třetí svorka **12** prioritního obvodu **1** je spojena s prvním vstupem **40** druhého asynchronního rozhodovacího modulu **4** a dále je spojena se vstupní synchronizační linkou **36**. Čtvrtá svorka **13** prioritního obvodu **1** je spojena s druhým vstupem **41** druhého asynchronního rozhodovacího modulu **4**. Pátá svorka **14** prioritního obvodu **1** je spojena s prvním vstupem **50** součínového hradla **5**. Šestá svorka **15** prioritního obvodu **1** je spojena s druhým vstupem **51** součínového hradla **5** a dále je spojena s devátou svorkou **298** řídicího bloku **29**. První výstup **42** druhého asynchronního rozhodovacího modulu **4** je spojen s devátou svorkou **21** prioritního obvodu **1** a dále je spojen s osmou svorkou **297** řídicího bloku **29**.

Druhý výstup **43** druhého asynchronního

rozhodovacího modulu 4 je spojen s prvním vstupem 260 asynchronního hradla 26. Výstup 52 součinnového hradla 5 je spojen s druhým vstupem 261 asynchronního hradla 26. První výstup 262 asynchronního hradla 26 je spojen s desátou svorkou 22 prioritního obvodu 1. Druhý výstup 263 asynchronního hradla 26 je spojen s jedenáctou svorkou 23 prioritního obvodu 1. Modifikace zapojení podle obr. 1 spočívá v tom, že mezi čtvrtou svorkou 13 prioritního obvodu 1 a první vstup 260 asynchronního hradla 26 je zapojen druhý asynchronní rozhodovací modul 4, který řeší střetnutí aktivního signálu na vstupní synchronizační lince 36 a aktivního signálu na blokovací lince 35. Nezapojené svorky 13, 14, 22 a 23 mají shodné připojení k řídicímu bloku 29, jako na obr. 1 a prioritní obvod 1 rovněž obsahuje první asynchronní rozhodovací modul 3, který není zakreslen ve stejném zapojení. Metastabilní stavy, které mohou vznikat střetnutím aktivních signálů na vstupní synchronizační lince 36 a na blokovací lince 35 ošetřuje detektor těchto stavů, obsažený ve druhém asynchronním rozhodovacím modulu 4.

Funkce zapojení je následující: Při operaci s daty se vysílá aktivní signál z deváté svorky 298 řídicího bloku 29, odkud se šíří na druhý vstup 51 součinnového hradla 5. V tomto stavu je zablokován aktivní signál na prvním vstupu 50 součinnového hradla 5 a generátor hodinových impulsů v řídicím bloku 29 čeká na aktivní signál na osmé svorce 297, aby se odstartoval. Protože tento stav klidu může v důsledku rozdílné rychlosti přidavných zařízení trvat relativně dlouho, je zde umožněn přístup operacím, které vyžadují pravidelnou obsluhu. Po přidělení

priority žádajícímu přidavnému zařízení je vyslán z tohoto zařízení aktivní signál na blokovací linku 35 a pokud se tento signál vyhodnotí na druhém asynchronním rozhodovacím modulu 4, generuje se aktivní signál na prvním výstupu 262 asynchronního hradla 26 a procesor 37 přenechá řízení sběrnice žádajícímu přidavnému zařízení. V opačném případě se generuje aktivní signál na prvním výstupu 42 druhého asynchronního rozhodovacího modulu 4 a generátor hodinových impulsů se rozeběhne. Zapojení podle obr. 1 a 2 lze s výhodou použít při testování komparační metodou.

Synchronizace se zajistí propojením odpovídajících svorek 19, 20, 21, 22, 23 a 296 u všech komparovaných systémů, přičemž svorky 10 a 13 se připojí pouze u jednoho systému. U ostatních systémů se tyto svorky zapojí na neaktivní hladiny napětí. Tím je zajištěno, že spouštěcí signály pro řídicí blok 29 jsou synchronizovány a výstupy 32 a 262 jsou opraveny podle výstupů 32 a 262 zapojeného prioritního obvodu 1.

Možnost použití uvedeného zapojení je u prioritních obvodů, které zpracovávají asynchronní signály, a kde synchronní obvody jsou ovládané podmíněně spouštěným generátorem hodinových impulsů. Zapojení podle obr. 2 lze navíc použít při testování systémů se sériově zřetězeným prioritním signálem. Tato možnost je zaručena tím, že se synchronizace činnosti přidavných zařízení v komparovaných systémech může přenést do oblasti obslužných podprogramů při čtení tzv. „ready-bitů“ ve stavových registrech a žádosti o přerušení se mohou zavést do komparovaných systémů pouze z jedné třídy přidavných zařízení.

PŘEDMĚT VYNÁLEZU

1. Zapojení prioritního obvodu procesoru sestávající z asynchronního rozhodovacího modulu a z asynchronního hradla vyznačující se tím, že první svorka (10) prioritního obvodu (1) procesoru (37) je spojena s prvním vstupem (30) prvního asynchronního rozhodovacího modulu (3), druhá svorka (11) prioritního obvodu (1) procesoru (37) je spojena s druhým vstupem (31) prvního asynchronního rozhodovacího modulu (3) a dále je spojena s pátou svorkou (294) řídicího bloku (29) procesoru (37), čtvrtá svorka (13) prioritního obvodu (1) procesoru (37) je spojena s prvním vstupem (260) asynchronního hradla (26) a dále je spojena s blokovací linkou (35), pátá svorka (14) prioritního obvodu (1) procesoru (37) je spojena s druhým vstupem (261) asynchronního hradla (26) a dále je spojena se šestou svorkou (295) řídicího bloku (29) procesoru (37), první výstup (32) prvního asynchronního rozhodovacího modulu (3) je spojen se sedmou svorkou (19) prioritního ob-

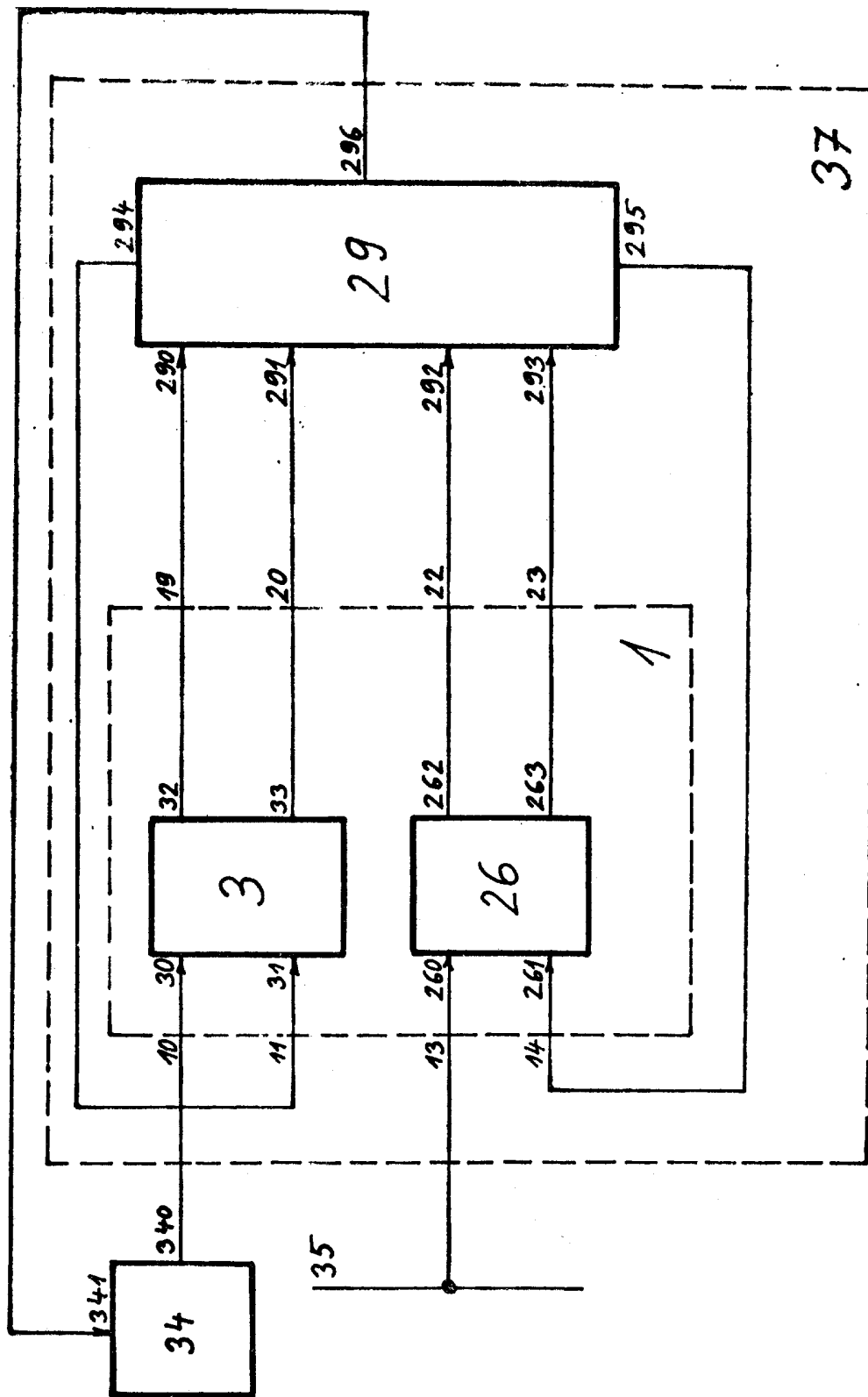
vodu (1) procesoru (37) a dále je spojen s první svorkou (290) řídicího bloku (29) procesoru (37), druhý výstup (33) prvního asynchronního rozhodovacího modulu (3) je spojen s osmou svorkou (20) prioritního obvodu (1) procesoru (37) a dále je spojen s druhou svorkou (291) řídicího bloku (29) procesoru (37), první výstup (262) asynchronního hradla (26) je spojen s desátou svorkou (22) prioritního obvodu (1) procesoru (37) a dále je spojen se třetí svorkou (292) řídicího bloku (29) procesoru (37) a druhý výstup (263) asynchronního hradla (26) je spojen s jedenáctou svorkou (23) prioritního obvodu (1) procesoru (37) a dále je spojen se čtvrtou svorkou (293) řídicího bloku (29) procesoru (37).

2. Zapojení podle bodu 1 vyznačující se tím, že třetí svorka (12) prioritního obvodu (1) je spojena s prvním vstupem (40) druhého asynchronního rozhodovacího modulu (4) a dále je spojena se vstupní syn-

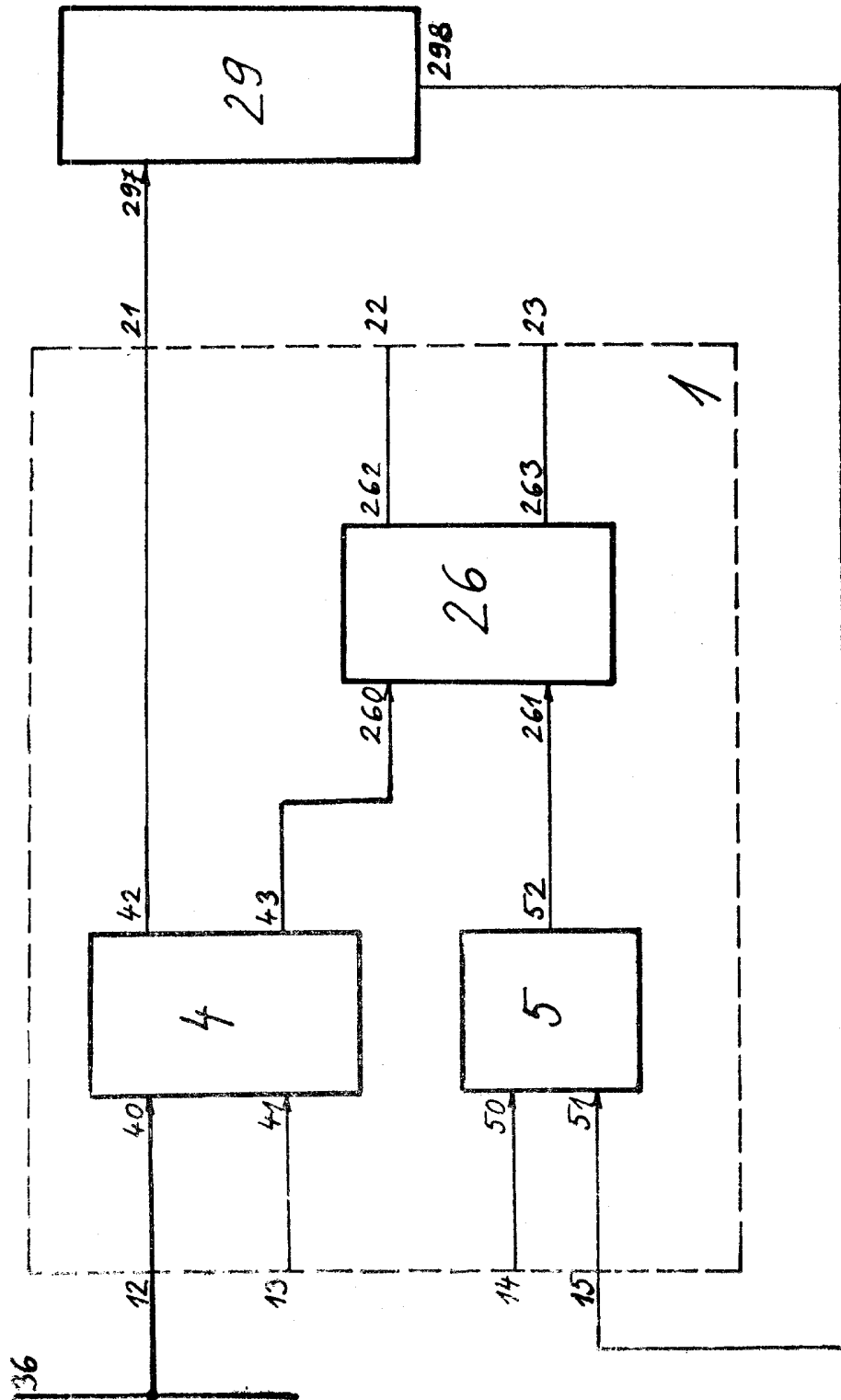
chronizační linkou (36), čtvrtá svorka (13) prioritního obvodu (1) je spojena s druhým vstupem (41) druhého asynchronního rozhodovacího modulu (4), pátá svorka (14) prioritního obvodu (1) je spojena s prvním vstupem (50) součinnového hradla (5), šestá svorka (15) prioritního obvodu (1) je spojena s druhým vstupem (51) součinnového hradla (5) a dále je spojena s devátou svorkou (298) řídicího bloku (29), první výstup

(42) druhého asynchronního rozhodovacího modulu (4) je spojen s devátou svorkou (21) prioritního obvodu (1) a dále je spojen s osmou svorkou (297) řídicího bloku (29), druhý výstup (43) druhého asynchronního rozhodovacího modulu (4) je spojen s prvním vstupem (260) asynchronního hradla (26) a výstup (52) součinnového hradla (5) je spojen s druhým vstupem (261) asynchronního hradla (26).

2 listy výkresů



Obr. 1



Obr. 2