

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7326257号
(P7326257)

(45)発行日 令和5年8月15日(2023.8.15)

(24)登録日 令和5年8月4日(2023.8.4)

(51)国際特許分類

F I

G 0 9 F	9/33	(2006.01)	G 0 9 F	9/33	
G 0 9 F	9/30	(2006.01)	G 0 9 F	9/30	3 3 8
H 0 1 L	33/00	(2010.01)	G 0 9 F	9/30	3 4 9 A
H 0 1 L	33/50	(2010.01)	G 0 9 F	9/30	3 4 9 C
			H 0 1 L	33/00	L

請求項の数 8 (全44頁) 最終頁に続く

(21)出願番号 特願2020-519205(P2020-519205)
 (86)(22)出願日 令和1年5月8日(2019.5.8)
 (86)国際出願番号 PCT/IB2019/053758
 (87)国際公開番号 WO2019/220267
 (87)国際公開日 令和1年11月21日(2019.11.21)
 審査請求日 令和4年4月27日(2022.4.27)
 (31)優先権主張番号 特願2018-95670(P2018-95670)
 (32)優先日 平成30年5月17日(2018.5.17)
 (33)優先権主張国・地域又は機関 日本国(JP)

(73)特許権者 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
 (72)発明者 楠 紘慈
神奈川県厚木市長谷398番地 株式会
社半導体エネルギー研究所内
 (72)発明者 塚本 洋介
神奈川県厚木市長谷398番地 株式会
社半導体エネルギー研究所内
 (72)発明者 吉住 健輔
神奈川県厚木市長谷398番地 株式会
社半導体エネルギー研究所内
 審査官 道祖土 新吾

最終頁に続く

(54)【発明の名称】 表示装置

(57)【特許請求の範囲】

【請求項1】

第1の基板と、第2の基板と、前記第1の基板と前記第2の基板との間にトランジスタ、
 発光素子、着色層、蛍光体層、第1の電極及び第2の電極と、を有し、

前記発光素子は、カソードとして機能する第3の電極と、アノードとして機能する第4
 の電極と、を有し、

前記第3の電極は、第1の bumps を介して前記第1の電極と電気的に接続され、

前記第4の電極は、第2の bumps を介して前記第2の電極と電気的に接続され、

前記第1の bumps の高さと同記第2の bumps の高さは異なり、

前記第1の電極は、前記トランジスタと電気的に接続され、

前記第2の電極は、前記第1の電極と同一面上に位置し、

前記着色層は、前記発光素子上に位置し、

前記蛍光体層は、前記発光素子と前記着色層との間に位置し、

前記蛍光体層、前記発光素子及び前記着色層は互いに重なる領域を有し、

前記蛍光体層と前記発光素子との間に封止膜を有し、

前記封止膜と前記第1の電極との間及び前記封止膜と前記第2の電極との間に遮光層を有
 し、

前記遮光層は、前記発光素子と隣接し、

前記発光素子は、発光ダイオードチップを有し、

前記蛍光体層は、前記発光素子の発光色の補色の光を射出する蛍光体を有する表示装置。

【請求項 2】

請求項 1 において、
前記発光素子は、青色光を射出する機能を有し、
前記蛍光体層は、黄色光を射出する蛍光体を有する表示装置。

【請求項 3】

請求項 1 において、
前記発光素子は、近紫外光又は紫色光を射出する機能を有し、
前記蛍光体層は、赤色光を射出する蛍光体と、緑色光を射出する蛍光体と、青色光を射出する蛍光体と、を有する表示装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一において、
前記発光素子は、前記着色層に向けて光を射出する機能を有する表示装置。

10

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一において、
前記第 1 のバンプ及び前記第 2 のバンプは、銀を有し、
前記第 1 の電極及び前記第 2 の電極は、銀、アルミニウム、チタン、銅のいずれか一以上を有する表示装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一において、
前記トランジスタは、チャンネル形成領域に酸化物半導体を有する表示装置。

20

【請求項 7】

請求項 1 乃至請求項 5 のいずれか一において、
前記トランジスタは、チャンネル形成領域にシリコンを有する表示装置。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一において、
前記発光素子は、光を射出する領域の面積が $10000 \mu\text{m}^2$ 以下のマイクロ LED である表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、表示装置、表示装置の作製方法に関する。

30

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置、入出力装置、それらの駆動方法、又はそれらの製造方法、を一例として挙げることができる。

【0003】

なお、本明細書等において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタ、半導体回路、演算装置、記憶装置等は半導体装置の一態様である。また、撮像装置、電気光学装置、発電装置（薄膜太陽電池、有機薄膜太陽電池等を含む）、及び電子機器は半導体装置を有している場合がある。

40

【背景技術】

【0004】

近年、表示装置の用途は多様化しており、例えば、携帯情報端末、家庭用のテレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、デジタルサイネージ（Digital Signage：電子看板）や、PID（Public Information Display）などに表示装置が用いられている。表示装置としては、代表的には有機 EL（Electro Luminescence）素子や発光ダイオード（LED：Light Emitting Diode）等の発光素子を備える表示装置、液晶素子を備える表示装置、電気泳動方式などにより表示を行う電子ペーパーなどが挙げられる。また

50

、屋外での使用にも耐えられるよう、表示装置に求められる輝度は年々増加している。

【 0 0 0 5 】

発光素子として小型のLED（マイクロLEDともいう）を用い、画素電極の各々に接続するスイッチング素子としてトランジスタを用いるアクティブマトリクス型のマイクロLED表示装置が開示されている（特許文献1）。また、画素電極の各々に接続するスイッチング素子として、半導体特性を示す金属酸化物（以下、酸化物半導体ともいう）をチャンネル形成領域とするトランジスタを用いるアクティブマトリクス型表示装置が知られている（特許文献2及び特許文献3）。

【先行技術文献】

【特許文献】

10

【 0 0 0 6 】

【文献】米国特許公開第2017/0179092号公報

特開2007-123861号公報

特開2007-96055号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 7 】

本発明の一態様は、輝度が高い表示装置の提供を課題の一とする。又は、本発明の一態様は、コントラストが高い表示装置の提供を課題の一とする。又は、本発明の一態様は、応答速度が速い表示装置の提供を課題の一とする。又は、本発明の一態様は、消費電力が低い表示装置の提供を課題の一とする。又は、本発明の一態様は、製造コストが低い表示装置の提供を課題の一とする。又は、本発明の一態様は、寿命が長い表示装置の提供を課題の一とする。又は、本発明の一態様は、新規な表示装置の提供を課題の一とする。

20

【 0 0 0 8 】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から抽出することが可能である。

【課題を解決するための手段】

【 0 0 0 9 】

本発明の一態様は、トランジスタと、発光素子と、着色層と、第1の電極と、第2の電極と、を有し、発光素子は、第1の電極及び第2の電極と電気的に接続され、第1の電極は、トランジスタと電気的に接続され、第2の電極は、第1の電極と同一面上に位置し、着色層は、発光素子上に位置し、着色層は、発光素子と重なる領域を有し、発光素子は、発光ダイオードチップを有し、発光素子は、白色光を射出する機能を有する表示装置である。

30

【 0 0 1 0 】

本発明の一態様は、トランジスタと、発光素子と、着色層と、蛍光体層と、第1の電極と、第2の電極と、を有し、発光素子は、第1の電極及び第2の電極と電気的に接続され、第1の電極は、トランジスタと電気的に接続され、第2の電極は、第1の電極と同一面上に位置し、着色層は、発光素子上に位置し、蛍光体層は、発光素子及び着色層の間に位置し、蛍光体層、発光素子及び着色層は互いに重なる領域を有し、発光素子は、発光ダイオードチップを有し、蛍光体層は、発光素子の発光色の補色の光を射出する蛍光体を有する表示装置である。

40

【 0 0 1 1 】

前述の表示装置において、さらに遮光層を有し、遮光層は、発光素子と隣接すると好ましい。

【 0 0 1 2 】

前述の表示装置において、発光素子は、青色光を射出する機能を有し、蛍光体層は、黄色光を射出する蛍光体を有すると好ましい。

【 0 0 1 3 】

50

前述の表示装置において、発光素子は、近紫外光又は紫色光を射出する機能を有し、蛍光体層は、赤色光を射出する蛍光体と、緑色光を射出する蛍光体と、青色光を射出する蛍光体と、を有すると好ましい。

【0014】

前述の表示装置において、発光素子は、着色層に向けて光を射出する機能を有すると好ましい。

【0015】

前述の表示装置において、さらに第1のバンプと、第2のバンプと、を有し、第1のバンプは、発光素子の一方の電極と、第1の電極との間に位置し、第2のバンプは、発光素子の他方の電極と、第2の電極との間に位置し、第1のバンプ及び第2のバンプは、銀を有し、第1の電極及び第2の電極は、銀、アルミニウム、チタン、銅のいずれか一以上を有すると好ましい。

10

【0016】

前述の表示装置において、トランジスタは、チャンネル形成領域に酸化物半導体を有していてもよい。トランジスタは、チャンネル形成領域にシリコンを有していてもよい。

【発明の効果】

【0017】

本発明の一態様により、輝度が高い表示装置を提供できる。又は、本発明の一態様により、コントラストが高い表示装置を提供できる。又は、本発明の一態様により、応答速度が速い表示装置を提供できる。又は、本発明の一態様により、消費電力が低い表示装置を提供できる。又は、本発明の一態様により、製造コストが低い表示装置を提供できる。又は、本発明の一態様により、寿命が長い表示装置を提供できる。又は、本発明の一態様により、新規な表示装置を提供できる。

20

【0018】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から抽出することが可能である。

【図面の簡単な説明】

【0019】

【図1】(A)、(B)、(C)表示装置の構成例。

30

【図2】(A)、(B)、(C)表示装置の構成例。

【図3】(A)、(B)、(C)発光素子の構成例。

【図4】(A)、(B)、(C)発光素子の構成例。

【図5】(A)、(B)、(C)表示装置の構成例。

【図6】(A)、(B)、(C)表示装置の上面図。

【図7】表示装置の断面図。

【図8】表示装置の断面図。

【図9】(A)、(B)、(C)表示装置の作製方法を説明する図。

【図10】(A)、(B)表示装置の作製方法を説明する図。

【図11】表示装置の作製方法を説明する図。

40

【図12】(A)、(B)表示装置の作製方法を説明する図。

【図13】表示装置の断面図。

【図14】(A)、(B)表示装置の作製方法を説明する図。

【図15】(A)、(B)表示装置の作製方法を説明する図。

【図16】(A1)、(A2)、(B1)、(B2)、(C1)、(C2)トランジスタを説明する図。

【図17】(A1)、(A2)、(B1)、(B2)、(C1)、(C2)トランジスタを説明する図。

【図18】(A1)、(A2)、(B1)、(B2)、(C1)、(C2)トランジスタを説明する図。

50

【図19】(A1)、(A2)、(B1)、(B2)、(C1)、(C2)トランジスタを説明する図。

【図20】(A)表示装置のブロック図。(B)表示装置の回路図。

【図21】(A)、(B)、(C)表示装置の回路図。

【図22】(A)、(C)、(D)表示装置の回路図。(B)表示装置のタイミングチャート。

【図23】(A)、(B)、(C)、(D)、(E)情報処理装置を説明する図。

【図24】(A)、(B)、(C)、(D)、(E)情報処理装置を説明する図。

【発明を実施するための形態】

【0020】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0021】

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

【0022】

なお、本明細書で説明する各図において、各構成の大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【0023】

なお、本明細書等における「第1」、「第2」等の序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではない。

【0024】

トランジスタは半導体素子の一種であり、電流や電圧の増幅や、導通または非導通を制御するスイッチング動作などを実現できる。本明細書におけるトランジスタは、IGFET(Insulated Gate Field Effect Transistor)や薄膜トランジスタ(TFT:Thin Film Transistor)を含む。

【0025】

なお、以下では「上」、「下」などの向きを示す表現は、基本的には図面の向きと合わせて用いるものとする。しかしながら、説明を容易にするためなどの目的で、明細書中の「上」または「下」が意味する向きが、図面とは一致しない場合がある。一例としては、積層体等の積層順(または形成順)などを説明する場合に、図面において当該積層体が設けられる側の面(被形成面、支持面、接着面、平坦面など)が当該積層体よりも上側に位置していても、その向きを下、これとは反対の向きを上、などと表現する場合がある。

【0026】

本明細書等において、表示装置の一態様である表示パネルは表示面に画像等を表示(出力)する機能を有するものである。したがって表示パネルは出力装置の一態様である。

【0027】

また、本明細書等では、表示パネルの基板に、例えばFPC(Flexible Printed Circuit)もしくはTCP(Tape Carrier Package)などのコネクタが取り付けられたもの、または基板にCOG(Chip On Glass)方式等によりICが実装されたものを、表示パネルモジュール、表示モジュール、または単に表示パネルなどと呼ぶ場合がある。

【0028】

(実施の形態1)

本実施の形態では、本発明の一態様の表示装置について説明する。

【0029】

10

20

30

40

50

< 構成例 1 >

本発明の一態様である表示装置 10 の断面構成の一例を、図 1 (A) に示す。

【 0 0 3 0 】

表示装置 10 は、基板 11 と基板 13 との間に、機能層 15、発光素子 17、蛍光体層 35、着色層 C F R、着色層 C F G、及び着色層 C F B を有する。図 1 (A) において、基板 11 側が表示装置 10 の表示面側に相当する。

【 0 0 3 1 】

発光素子 17 として、例えば、O L E D (O r g a n i c L i g h t E m i t t i n g D i o d e)、L E D、Q L E D (Q u a n t u m - d o t L i g h t E m i t t i n g D i o d e)、半導体レーザなどの、自発光性の発光素子を用いることができる。特に、L E D は輝度及びコントラストが高く、応答速度が速いことから、発光素子 17 として好適に用いることができ、輝度及びコントラストが高く、応答速度が速い表示装置 10 とすることができる。L E D は自発光素子であることからバックライトが不要であり、また偏光板も不要であるため、輝度が高く、消費電力が少ない表示装置とすることができる。また、L E D は発光層が無機材料で構成されることから劣化が少なく、寿命が長い表示装置とすることができる。

10

【 0 0 3 2 】

機能層 15 は、発光素子 17 を駆動する回路を含む層である。例えば機能層 15 は、トランジスタ、容量素子、配線、電極等により、画素回路が構成されている。また、機能層 15 は、電極 21 及び電極 23 と電気的に接続される。つまり、機能層 15 は、電極 21 及び電極 23 を介して発光素子 17 と電気的に接続される。

20

【 0 0 3 3 】

また、電極 21 及び電極 23 と、機能層 15 との間には、絶縁層 25 が設けられている。絶縁層 25 に設けられた開口を介して、電極 21 及び電極 23 と、機能層 15 とが電気的に接続されている。これにより、機能層 15 と発光素子 17 とが電気的に接続されている。

【 0 0 3 4 】

表示装置 10 は、電極 21 及び電極 23 と、基板 11 との間に接着層 27 を有する。接着層 27 により、基板 11 と基板 13 とが貼り合わされているともいえる。接着層 27 は、発光素子 17 を封止する封止層としても機能する。このように、表示装置 10 は、一对の基板の間に発光素子 17 と、発光素子を駆動する機能層 15 とを有する。

30

【 0 0 3 5 】

基板 11 の基板 13 側には、それぞれ発光素子 17 と重なる位置に、着色層 C F R、着色層 C F G、及び着色層 C F B が設けられている。着色層 C F R、着色層 C F G、及び着色層 C F B は、例えばそれぞれ赤色、緑色、または青色を透過するカラーフィルタとして機能する。着色層 C F R、着色層 C F G、及び着色層 C F B に用いることのできる材料としては、金属材料、樹脂材料、顔料又は染料が含まれた樹脂材料などが挙げられる。

【 0 0 3 6 】

着色層 C F R、着色層 C F G、及び着色層 C F B と、各発光素子 17 との間に蛍光体層 35 が設けられている。蛍光体層 35 として、蛍光体が混合された有機樹脂層などを用いることができる。蛍光体層 35 が有する蛍光体は、発光素子 17 が射出する光により励起され、発光素子 17 の発光色の補色の光を射出する材料を用いることができる。このような構成とすることにより、蛍光体層 35 は白色光を射出できる。

40

【 0 0 3 7 】

例えば、蛍光体層 35 が黄色光を射出する蛍光体を有し、発光素子 17 が青色光を射出する構成とすることにより、蛍光体層 35 から白色光が射出される。したがって、着色層 C F R が設けられた発光素子 17 が発した光は蛍光体層 35 及び着色層 C F R を透過し、赤色光 20 R として表示面側に射出される。同様に、着色層 C F G が設けられた発光素子 17 が発した光は緑色光 20 G として射出され、着色層 C F B が設けられた発光素子 17 が発した光は青色光 20 B として射出される。これにより、1 種類の発光素子 17 を用い

50

てカラー表示を行うことができる。また、表示装置に用いられる発光素子 17 は 1 種類であるため、製造プロセスを簡略にできる。つまり、本発明の一態様により、低い製造コストで、輝度及びコントラストが高く、応答速度が速く、かつ消費電力が低い表示装置とすることができる。

【0038】

例えば、蛍光体層 35 が赤色光を射出する蛍光体を有し、発光素子 17 が青緑色光を射出する構成とすることにより、蛍光体層 35 から白色光が射出される構成としてもよい。

【0039】

また、蛍光体層 35 が赤色光を射出する蛍光体、緑色光を射出する蛍光体及び青色光を射出する蛍光体を有し、発光素子 17 が近紫外光または紫色光を射出する構成とすることにより、蛍光体層 35 から白色光が射出される構成としてもよい。

10

【0040】

なお、赤色 (R)、緑色 (G)、青色 (B) の 3 色の副画素で 1 つの色を表現する構成を示したが、本発明の一態様はこれに限られない。色要素としては特に限定はなく、RGB 以外の色を用いてもよく、例えば、イエロー (Y)、シアン (C)、マゼンタ (M) などで構成されてもよい。

【0041】

また、図 1 (B) に示す表示装置 10A のように、発光素子 17 と隣接するように遮光層 33 を設けることが好ましい。遮光層 33 は、隣接する発光素子 17 の間に設けることが好ましい。隣接する発光素子 17 の間に遮光層 33 を設ける事で、隣接する画素への光漏れ、画素間の混色を抑制できる。遮光層 33 には、顔料、染料、またはカーボンブラックなどを含む樹脂を用いることができる。さらに、発光素子 17 の側面が遮光層 33 と接することが好ましい。発光素子 17 の側面を遮光層 33 で覆うことにより、隣接する画素への光漏れ、画素間の混色を抑制できる。なお、図 1 (B) では、遮光層 33 の上面の高さと、発光素子 17 の上面の高さが概略一致する構成を示しているが、本発明の一態様はこれに限られない。遮光層 33 の上面の高さが、発光素子 17 の上面の高さより低くてもよく、発光素子 17 の上面の高さより高くてもよい。遮光層 33 の上面の高さが、発光素子 17 の上面の高さと概略一致または高くすることにより、隣接する画素への光漏れ、画素間の混色を効率よく抑制できる。

20

【0042】

図 1 (B) では、発光素子 17 と、蛍光体層 35 との間に隙間がある場合を示したが、本発明の一態様はこれに限られない。図 1 (C) に示す表示装置 10B のように、発光素子 17 と、蛍光体層 35 とが接していてもよい。このような構成とすることで、着色層 CFR、着色層 CFG、及び着色層 CFB と、各発光素子 17 との距離が短くなり、隣接する画素への光漏れ、画素間の混色を抑制できる。

30

【0043】

また、図 2 (A) に示す表示装置 10C のように、遮光層 31 を設けてもよい。遮光層 31 は、隣接する着色層の間に設けられている。また、遮光層 31 は、発光素子 17 と重なる領域に開口部を有している。遮光層 31 は、隣接する発光素子 17 からの発光を遮り、隣接する発光素子 17 間における混色を抑制する。ここで、着色層 CFR、着色層 CFG、及び着色層 CFB それぞれの端部を、遮光層 31 と重なるように設けることにより、光漏れを抑制できる。遮光層 31 としては、発光素子 17 からの発光を遮る材料を用いることができ、例えば、金属材料、又は、顔料もしくは染料を含む樹脂材料等を用いることができる。

40

【0044】

また、図 2 (B) に示す表示装置 10D のように、それぞれの着色層は、隣り合う着色層と一部が重なる構成としてもよい。着色層が重なるそれぞれの領域は、遮光層としての機能を有する。なお、図 2 (B) では、着色層 CFR の一方の端部が着色層 CFG の一方の端部と重なり、着色層 CFG の他方の端部が着色層 CFB の一方の端部と重なり、着色層 CFB の他方の端部が着色層 CFR の他方の端部と重なる例を示したが、本発明の一態

50

様はこれに限られない。

【0045】

また、図2(C)に示す表示装置10Eのように、さらに着色層を含まない画素を形成し、該画素から白色光20Wが射出される構成とすることができる。このような構成とすることで、R(赤)、G(緑)、B(青)、W(白)の4色の副画素で1つの色を表現できる。この様な構成とすることで、赤色(R)、緑色(G)、青色(B)の3色の副画素で1つの色を表現する構成より発光素子17に流す電流を少なくでき、消費電力が低い表示装置とすることができる。

【0046】

発光素子17として用いることができる発光ダイオードチップ(以下、LEDチップとも記す)について、説明する。

【0047】

LEDチップは、発光ダイオードを有する。発光ダイオードの構成は特に限定されず、MIS(Metal Insulator Semiconductor)接合でもよく、PN接合又はPIN接合を有するホモ構造、ヘテロ構造又はダブルヘテロ構造などを用いることができる。また、超格子構造や、量子効果を生ずる薄膜を積層した単一量子井戸構造又は多重量子井戸(MQW: Multi Quantum Well)構造であってもよい。

【0048】

LEDチップの例を、図3(A)及び図3(B)に示す。図3(A)はLEDチップ51の断面図、図3(B)はLEDチップ51の上面図を示している。LEDチップ51は、半導体層81等を有する。半導体層81は、n型半導体層75と、n型半導体層75上の発光層77と、発光層77上のp型半導体層79とを有する。p型半導体層79の材料としては、発光層77のバンドギャップエネルギーより大きく、発光層77へのキャリアの閉じ込めができる材料を用いることができる。また、LEDチップ51は、n型半導体層75上にカソードとして機能する電極85と、p型半導体層79上にコンタクト電極として機能する電極83と、電極83上にアノードとして機能する電極87とが設けられる。また、電極83の上面及び側面が絶縁層89で覆われていると好ましい。絶縁層89は、LEDチップ51の保護膜として機能する。

【0049】

発光素子17に用いることができるLEDチップは、光を射出する領域の面積が 1mm^2 以下、好ましくは $10000\mu\text{m}^2$ 以下、より好ましくは $3000\mu\text{m}^2$ 以下、さらに好ましくは $700\mu\text{m}^2$ 以下である。なお、本明細書等において、光を射出する領域の面積が $10000\mu\text{m}^2$ 以下のLEDチップをマイクロLEDと記す場合がある。

【0050】

半導体層81の拡大図の例を、図3(C)に示す。図3(C)に示すように、n型半導体層75は、基板71側のn型コンタクト層75aと発光層77側のn型クラッド層75bとを有してもよい。p型半導体層79は、発光層77側のp型クラッド層79aとp型クラッド層79a上のp型コンタクト層79bとを有してもよい。

【0051】

発光層77は、障壁層77aと井戸層77bとが複数回に渡って積層されたMQW構造を用いることができる。障壁層77aは、井戸層77bよりバンドギャップエネルギーが大きい材料を用いることが好ましい。このような構成とすることで、エネルギーを井戸層77bに閉じ込めることができ、量子効率が向上し、LEDチップ51の発光効率を向上させることができる。

【0052】

フェイスアップ型のLEDチップ51において電極83は光を透過する材料を用いることができ、例えば、ITO($\text{In}_2\text{O}_3 - \text{SnO}_2$)、AZO($\text{Al}_2\text{O}_3 - \text{ZnO}$)、In-Zn酸化物($\text{In}_2\text{O}_3 - \text{ZnO}$)、GZO($\text{GeO}_2 - \text{ZnO}$)、ICO($\text{In}_2\text{O}_3 - \text{CeO}_2$)等の酸化物を用いることができる。フェイスアップ型のLEDチップ51

10

20

30

40

50

では、光が主に電極 87 側に射出される。フェイスダウン型の LED チップ 51 において電極 83 は光を反射する材料を用いることができ、例えば、銀、アルミニウム、ロジウムなどの金属を用いることができる。フェイスダウン型の LED チップ 51 では、光が主に基板 71 側に射出される。

【0053】

基板 71 としては、サファイア単結晶 (Al_2O_3)、スピネル単結晶 ($MgAl_2O_4$)、 ZnO 単結晶、 $LiAlO_2$ 単結晶、 $LiGaO_2$ 単結晶、 MgO 単結晶等の酸化物単結晶、 Si 単結晶、 SiC 単結晶、 $GaAs$ 単結晶、 AlN 単結晶、 GaN 単結晶、 ZrB_2 等のホウ化物単結晶等を用いることができる。フェイスダウン型の LED チップ 51 において基板 71 は光を透過する材料を用いることが好ましく、例えば、サファイア単結晶などを用いることができる。

10

【0054】

基板 71 と n 型半導体層 75 との間にバッファ層 (図示せず) を設けてもよい。バッファ層は、基板 71 と n 型半導体層 75 との格子定数の違いを緩和する機能を有する。

【0055】

発光素子 17 として用いることができる LED チップ 51 は、図 3 (A) に示すような電極 85 及び電極 87 が同じ面側に配置される水平構造が好ましい。LED チップ 51 の電極 85 及び電極 87 が同じ面側に設けられることにより、電極 21 及び電極 23 との接続が容易となり、電極 21 及び電極 23 の構造を簡易にすることができる。さらに、発光素子 17 として用いることができる LED チップ 51 は、フェイスダウン型が好ましい。フェイスダウン型の LED チップ 51 を用いることにより、LED チップ 51 から射出される光が効率良く表示装置の表示面側に射出され、輝度が高い表示装置とすることができる。LED チップ 51 として、市販の LED チップを用いてもよい。

20

【0056】

蛍光体層 35 が有する蛍光体としては、蛍光体が表面に印刷または塗装された有機樹脂層、蛍光体が混合された有機樹脂層などを用いることができる。蛍光体層 35 は、LED チップ 51 が射出する光により励起され、LED チップ 51 の発光色の補色の光を射出する材料を用いることができる。このような構成とすることにより、蛍光体層 35 から白色光を射出できる。

【0057】

例えば、青色光を射出する LED チップ 51 と、青色の補色である黄色光を射出する蛍光体とを用いることにより、蛍光体層 35 から白色光が射出される構成とすることができる。青色光の射出が可能な LED チップ 51 としては、13 族窒化物系化合物半導体からなるダイオードが代表的であり、一例としては $In_xAl_yGa_{1-x-y}N$ (x は 0 以上 1 以下、 y は 0 以上 1 以下、 $x+y$ は 0 以上 1 以下) の式で表される GaN 系を有するダイオードがある。青色光で励起され、黄色光を射出する蛍光体の代表例としては、 $Y_3Al_5O_{12}:Ce$ (YAG:Ce)、 $(Ba, Sr, Mg)_2SiO_4:Eu, Mn$ 等がある。

30

【0058】

例えば、青緑色光を射出する LED チップ 51 と、青緑色の補色である赤色光を射出する蛍光体とを用い、蛍光体層 35 から白色光が射出される構成とすることができる。

40

【0059】

蛍光体層 35 は、複数種類の蛍光体を有してもよく、該蛍光体がそれぞれ異なる色の光を射出する構成とすることもできる。例えば、青色光を射出する LED チップ 51 と、赤色光を射出する蛍光体、緑色光を射出する蛍光体とを用いて、蛍光体層 35 から白色光が射出される構成とすることができる。青色光で励起され、赤色光を射出する蛍光体の代表例としては、 $(Ca, Sr)S:Eu$ 、 $Sr_2Si_7Al_3ON_{13}:Eu$ 等がある。青色光で励起され、緑色光を射出する蛍光体の代表例としては、 $SrGa_2S_4:Eu$ 、 $Sr_3Si_{13}Al_3O_2N_{21}:Eu$ 等がある。

【0060】

50

また、近紫外光または紫色光を射出するLEDチップ51と、赤色光を射出する蛍光体、緑色光を射出する蛍光体及び青色光を射出する蛍光体とを用いて、蛍光体層35から白色光が射出される構成とすることができる。近紫外光または紫色光で励起され、赤色光を射出する蛍光体の代表例としては、 $(Ca, Sr)S:Eu$ 、 $Sr_2Si_7Al_3ON_{13}:Eu$ 、 $La_2O_2S:Eu$ 等がある。近紫外光または紫色光で励起され、緑色光を射出する蛍光体の代表例としては、 $SrGa_2S_4:Eu$ 、 $Sr_3Si_{13}Al_3O_2N_{21}:Eu$ 等がある。近紫外光または紫色光で励起され、青色光を射出する蛍光体の代表例としては、 $Sr_{10}(PO_4)_6Cl_2:Eu$ 、 $(Sr, Ba, Ca)_{10}(PO_4)_6Cl_2:Eu$ 等がある。

【0061】

10

なお、近紫外光は発光スペクトルにおいて、波長が200nm乃至380nmに最大ピークを有する。また、紫色光は発光スペクトルにおいて、波長が380nm乃至430nmに最大ピークを有する。また、青色光は発光スペクトルにおいて、波長が430nm乃至490nmに最大ピークを有する。また、緑色光は発光スペクトルにおいて、波長が490nm乃至550nmに最大ピークを有する。また、黄色光は発光スペクトルにおいて、波長が550nm乃至590nmに最大ピークを有する。また、赤色光は発光スペクトルにおいて、波長が640nm乃至770nmに最大ピークを有する。

【0062】

蛍光体層35が黄色光を射出する蛍光体を有し、青色光を射出するLEDチップ51を用いる場合、LEDチップ51が射出する光は発光スペクトルにおいて、波長が330nm乃至500nmに最大ピークを有することが好ましく、波長が430nm乃至490nmに最大ピークを有することがさらに好ましく、波長が450nm乃至480nmに最大ピークを有することがさらに好ましい。これにより、蛍光体を効率よく励起できる。また、LEDチップ51が射出する光が発光スペクトルにおいて、430nm乃至490nmに最大ピークを有することにより、励起光である青色光と蛍光体からの黄色光とを混色させて白色光とすることができる。更に、LEDチップ51が射出する光が450nm乃至480nmに最大ピークを有することにより、純度の高い白色とすることができる。

20

【0063】

なお、基板11の外側には各種光学部材を配置してもよい。光学部材としては、光拡散層（拡散フィルムなど）、反射防止層、及び集光フィルム等が挙げられる。また、基板11の外側には、ゴミの付着を抑制する帯電防止膜、汚れを付着しにくくする撥水性の膜、使用に伴う傷の発生を抑制するハードコート膜等を配置してもよい。

30

【0064】

また、基板11よりも外側にタッチセンサを設けてもよい。これにより、表示装置10と当該タッチセンサを含む構成を、タッチパネルとして機能させることができる。

【0065】

<構成例2>

前述の表示装置の異なる構成について説明する。本発明の一態様である表示装置が有する発光素子17として、LEDパッケージを用いることができる。

【0066】

発光素子17に用いることができるLEDパッケージについて、説明する。

40

【0067】

発光素子17には、砲弾型または表面実装（SMD：Surface Mount Device）型のLEDパッケージのように従来から用いられているLEDパッケージを使うことができる。発光素子17として、表面実装型のLEDパッケージを用いることが特に好ましい。表面実装型のLEDパッケージの例を、図4（A）及び図4（B）に示す。図4（A）はLEDパッケージ50の断面図、図4（B）はLEDパッケージ50の上上面図を示している。LEDパッケージ50は、基板52上のLEDチップ51と、電極55と、電極57とを有する。LEDチップ51は、ワイヤー59及びワイヤー61を介して、電極55及び電極57と電氣的に接続される。また、LEDチップ51上に蛍光体65

50

と、透光性を有する樹脂層 63 とを有する。基板 52 及び LED チップ 51 は、接着層 67 で貼り合わされている。なお、発光素子 17 として、市販の LED パッケージを用いてもよい。

【0068】

発光素子 17 に用いることができる LED パッケージは、光を射出する領域の面積が 1 mm^2 以下、好ましくは $10000\text{ }\mu\text{m}^2$ 以下、より好ましくは $3000\text{ }\mu\text{m}^2$ 以下、さらに好ましくは $700\text{ }\mu\text{m}^2$ 以下である。なお、本明細書等において、光を射出する領域の面積が $10000\text{ }\mu\text{m}^2$ 以下の LED パッケージをマイクロ LED と記す場合がある。

【0069】

基板 52 には、ガラスエポキシ樹脂基板、ポリイミド基板、セラミック基板、アルミナ基板、窒化アルミニウム基板等を用いることができる。

10

【0070】

蛍光体 65 は、蛍光体が表面に印刷または塗装された有機樹脂層、蛍光体が混合された有機樹脂層などを用いることができる。蛍光体 65 は、LED チップ 51 が射出する光により励起され、LED チップ 51 の発光色の補色の光を射出する材料を用いることができる。このような構成とすることにより、LED パッケージ 50 は白色光を射出できる。蛍光体 65 については、前述の蛍光体層 35 が有する蛍光体の説明を援用できるため、詳細な説明は省略する。

【0071】

例えば、青緑色光を射出する LED チップ 51 と、青緑色の補色である赤色光を射出する蛍光体とを用い、LED パッケージ 50 から白色光が射出される構成とすることができる。

20

【0072】

また、近紫外光または紫色光を射出する LED チップ 51 と、赤色光を射出する蛍光体、緑色光を射出する蛍光体及び青色光を射出する蛍光体とを用いて、LED パッケージ 50 から白色光が射出される構成とすることができる。

【0073】

LED パッケージ 50 として、青色光を射出する LED チップ 51 と、黄色光を射出する蛍光体 65 とを用いる場合、LED チップ 51 が射出する光は発光スペクトルにおいて、波長が 330 nm 乃至 500 nm に最大ピークを有することが好ましく、波長が 430 nm 乃至 490 nm に最大ピークを有することがさらに好ましく、波長が 450 nm 乃至 480 nm に最大ピークを有することがさらに好ましい。これにより、蛍光体 65 を効率よく励起できる。また、LED チップ 51 が射出する光が発光スペクトルにおいて、 430 nm 乃至 490 nm に最大ピークを有することにより、励起光である青色光と蛍光体 65 からの黄色光とを混色させて白色光とすることができる。更に、LED チップ 51 が射出する光が 450 nm 乃至 480 nm に最大ピークを有することにより、純度の高い白色とすることができる。

30

【0074】

樹脂層 63 は、透光性を有する有機樹脂で形成する。有機樹脂の種類には特に限定はなく、代表的には、エポキシ樹脂、シリコーン樹脂等の紫外線硬化性樹脂、可視光硬化性樹脂などを適宜用いることができる。なお、図 4 (A) では樹脂層 63 の上面が平坦な形状を示しているが、本発明の一態様はこれに限られない。例えば、樹脂層 63 の上面が凸状となってもよい。所望の指向性に応じて適宜形状を選択できる。

40

【0075】

ワイヤー 59、ワイヤー 61 には、金、金を含む合金、銅、または銅を含む合金で形成された金属の細線を用いることができる。

【0076】

電極 55、電極 57 は、LED チップ 51 が有する電極と電氣的に接続する導電層であり、ニッケル、銅、銀、白金、または金から選ばれた一元素、または該元素を 50% 以上含む合金材料で形成される。電極 55、電極 57 と、LED チップ 51 の電極とは、熱圧

50

着法または超音波ボンディング法を用いたワイヤーボンディング法により接続されている。

【0077】

LEDチップ51の周囲に、セラミック等からなるリフレクタ53を配置し、LEDチップ51から発せられた光の一部が反射することにより、より多くの光がLEDパッケージ50から放出されるようにすると好ましい。なお、図4(A)ではリフレクタ53がテーパー状に上方に広がった形状を示しているが、本発明の一態様はこれに限られない。所望の光の指向性に応じて適宜形状を選択できる。

【0078】

なお、図4(A)に示すLEDパッケージ50は、LEDチップ51の電極側に光を射出するフェイスアップ型のLEDチップを用いる構成を示したが、本発明の一態様に用いることができるLEDパッケージ50の構成は特に限定されない。

10

【0079】

図4(A)に例示したLEDパッケージと異なる例を図4(C)に示す。図4(C)はLEDパッケージ50の断面図である。上面図は図4(B)を援用できる。図4(C)に示すLEDパッケージ50は、LEDチップ51が有する電極と、電極55及び電極57とが対向するフリップチップ型のLEDパッケージである。LEDチップ51が有する電極と、電極55及び電極57とは、導電性のバンプ90を介して電氣的に接続される。図4(C)に示すLEDパッケージ50は、LEDチップ51の電極の反対側に光を射出するフェイスダウン型のLEDチップを用いる構成を示している。また、図4(A)及び図4(C)では、垂直構造のLEDチップ51を示しているが、本発明の一態様はこれに限られない。LEDパッケージ50が有するLEDチップ51は、電極85及び電極87がそれぞれ反対側の面に配置される垂直構造であってもよい。

20

【0080】

なお、図4ではLEDパッケージ50が1つのLEDチップ51を有する例を示しているが、本発明の一態様に用いることができるLEDパッケージ50の構成はこれに限られない。LEDパッケージ50が複数のLEDチップ51を有してもよい。また、蛍光体65を有さない構成とすることができる。例えば、赤色光を射出するLEDチップ51と、緑色光を射出するLEDチップ51と、緑色光を射出するLEDチップ51と、を有し、蛍光体65を有さない構成とすることで、LEDパッケージ50から白色光が射出されてもよい。

30

【0081】

発光素子17として、LEDパッケージ50を用いる表示装置の構成について説明する。

【0082】

本発明の一態様である表示装置の断面構成の一例を、図5(A)に示す。図5(A)に示す表示装置10Fは、基板11と基板13との間に、機能層15、発光素子17、着色層CFR、着色層CFG、及び着色層CFB等を有する。蛍光体層35及び遮光層33を有さない点で、図1(A)乃至図1(C)、及び図2(A)乃至図2(C)に示した発光素子17にLEDチップを用いる表示装置と主に相違している。図5(A)において、基板11側が表示装置10の表示面側に相当する。

【0083】

LEDパッケージ50はリフレクタ53を有することで光の指向性が高められており、発光素子17としてLEDパッケージ50を用いる構成とする場合、遮光層33を設けなくても隣接する画素への光漏れ、画素間の混色を抑制できる。また、発光素子17として白色光を射出するLEDパッケージ50を用いることで、蛍光体層35を設けなくともカラー表示を行うことができる。

40

【0084】

図5(A)では、着色層CFR、着色層CFG、及び着色層CFBと、発光素子17との間に隙間がある場合を示したが、本発明の一態様はこれに限られない。着色層CFR、着色層CFG、及び着色層CFBと、発光素子17とが接していてもよい。このような構成とすることで、着色層CFR、着色層CFG、及び着色層CFBと、各発光素子17と

50

の距離が短くなり、隣接する画素への光漏れ、画素間の混色を抑制できる。

【0085】

また、図5(B)に示す表示装置10Gのように、遮光層31を設けてもよい。遮光層31は、隣接する着色層の間に設けられている。また、遮光層31は、発光素子17と重なる領域に開口部を有している。遮光層31は、隣接する発光素子17からの発光を遮り、隣接する発光素子17間における混色を抑制する。ここで、着色層CFR、着色層CFG、及び着色層CFBそれぞれの端部を、遮光層31と重なるように設けることにより、光漏れを抑制できる。遮光層31としては、発光素子17からの発光を遮る材料を用いることができ、例えば、金属材料、又は、顔料もしくは染料を含む樹脂材料等を用いることができる。

10

【0086】

また、図5(C)に示す表示装置10Hのように、それぞれの着色層は、隣り合う着色層と一部が重なる構成としてもよい。着色層が重なるそれぞれの領域は、遮光層としての機能を有する。なお、図5(C)では、着色層CFRの一方の端部が着色層CFGの一方の端部と重なり、着色層CFGの他方の端部が着色層CFBの一方の端部と重なり、着色層CFBの他方の端部が着色層CFRの他方の端部と重なる例を示したが、本発明の一態様はこれに限られない。

【0087】

また、さらに着色層を含まない画素を形成し、該画素から白色光が射出される構成とすることができる。このような構成とすることで、R(赤)、G(緑)、B(青)、W(白)の4色の副画素で1つの色を表現できる。このような構成とすることで、赤色(R)、緑色(G)、青色(B)の3色の副画素で1つの色を表現する構成より発光素子17に流す電流を少なくでき、消費電力が低い表示装置とすることができる。

20

【0088】

以上が、構成例についての説明である。

【0089】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせ実施できる。

【0090】

(実施の形態2)

本実施の形態では、先の実施の形態で例示した表示装置の一例について、詳細を説明する。

30

【0091】

<構成例>

図6(A)に、表示装置700の上面図を示す。表示装置700は、シール材712により貼り合された第1の基板701と第2の基板705を有する。また第1の基板701、第2の基板705、及びシール材712で封止される領域において、第1の基板701上に画素部702、ソースドライバ回路部704、及びゲートドライバ回路部706が設けられる。また画素部702には、複数の表示素子が設けられる。

【0092】

また、第1の基板701の第2の基板705と重ならない部分に、FPC716が接続されるFPC端子部708が設けられている。FPC716によって、FPC端子部708及び信号線710を介して、画素部702、ソースドライバ回路部704、及びゲートドライバ回路部706のそれぞれに各種信号等が供給される。

40

【0093】

ゲートドライバ回路部706は、複数設けられていてもよい。また、ゲートドライバ回路部706及びソースドライバ回路部704は、それぞれ半導体基板等に別途形成され、パッケージされたICチップの形態であってもよい。当該ICチップは、第1の基板701上、またはFPC716に実装できる。

【0094】

50

画素部 702、ソースドライバ回路部 704 及びゲートドライバ回路部 706 が有するトランジスタの構成は特に限定されない。トランジスタの半導体層として、単結晶半導体、多結晶半導体、微結晶半導体、または非晶質半導体などを、単体でまたは組み合わせて用いることができる。半導体材料としては、例えば、シリコンや、ゲルマニウムなどを用いることができる。また、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、酸化物半導体、窒化物半導体などの化合物半導体や、有機半導体などを用いることができる。

【0095】

半導体層として有機半導体を用いる場合は、芳香環をもつ低分子有機材料や電子共役系導電性高分子などを用いることができる。例えば、ルブレン、テトラセン、ペンタセン、ペリレンジイミド、テトラシアノキノジメタン、ポリチオフェン、ポリアセチレン、ポリパラフェニレンビニレンなどを用いることができる。

10

【0096】

本実施の形態で用いるトランジスタは、高純度化し、酸素欠損の形成を抑制した酸化物半導体膜を有すると好ましい。該トランジスタは、オフ電流を低くできる。よって、画像信号等の電気信号の保持時間を長くでき、オン状態では書き込み間隔も長く設定できる。よって、リフレッシュ動作の頻度を少なくできるため、消費電力を低減する効果を奏する。

【0097】

また、本実施の形態で用いるトランジスタは、比較的高い電界効果移動度が得られるため、高速駆動が可能である。例えば、このような高速駆動が可能なトランジスタを表示装置に用いることで、画素部のスイッチングトランジスタと、駆動回路部に使用するドライバトランジスタを同一基板上に形成できる。すなわち、シリコンウェハ等により形成された駆動回路を適用しない構成も可能であり、半導体装置の部品点数を削減できる。また、画素部においても、高速駆動が可能なトランジスタを用いることで、高画質な画像を提供できる。

20

【0098】

図6(B)に示す表示装置700Aは、第1の基板701に換えて、可撓性を有する樹脂層743が適用され、フレキシブルディスプレイとして用いることのできる表示装置の例である。

【0099】

表示装置700Aは、画素部702が矩形形状でなく、角部が円弧状の形状を有している。また、図6(B)中の領域P1に示すように、画素部702、及び樹脂層743の一部が切りかかれた切欠き部を有する。一对のゲートドライバ回路部706は、画素部702を挟んで両側に設けられる。またゲートドライバ回路部706は、画素部702の角部において、円弧状の輪郭に沿って設けられている。

30

【0100】

樹脂層743は、FPC端子部708が設けられる部分が突出した形状を有している。また樹脂層743のFPC端子部708を含む一部は、図6(B)中の領域P2で裏側に折り返すことができる。樹脂層743の一部を折り返すことで、FPC716を画素部702の裏側に重ねて配置した状態で、表示装置700Aを電気機器に実装することができ、電子機器の省スペース化を図ることができる。

40

【0101】

また表示装置700Aに接続されるFPC716には、IC717が実装されている。IC717は、例えばソースドライバ回路としての機能を有する。このとき、表示装置700Aにおけるソースドライバ回路部704は、保護回路、バッファ回路、デマルチプレクサ回路等の少なくとも一を含む構成とすることができる。

【0102】

図6(C)に示す表示装置700Bは、大型の画面を有する電子機器に好適に用いることのできる表示装置である。例えばテレビジョン装置、モニタ装置、パーソナルコンピュータ(ノート型またはデスクトップ型を含む)、タブレット端末、デジタルサイネージなどに好適に用いることができる。

50

【0103】

表示装置700Bは、複数のソースドライバIC721と、一对のゲートドライバ回路部722を有する。

【0104】

複数のソースドライバIC721は、それぞれFPC723に取り付けられている。また、複数のFPC723は、一方の端子が基板701に、他方の端子がプリント基板724にそれぞれ接続されている。FPC723を折り曲げることで、プリント基板724を画素部702の裏側に配置して、電気機器に実装することができ、電子機器の省スペース化を図ることができる。

【0105】

一方、ゲートドライバ回路部722は、基板701上に形成されている。これにより、狭額縁の電子機器を実現できる。

【0106】

このような構成とすることで、大型で且つ高解像度の表示装置を実現できる。例えば画面サイズが対角30インチ以上、40インチ以上、50インチ以上、または60インチ以上の表示装置にも実現できる。また、解像度が4K2K、または8K4Kなどといった極めて高解像度の表示装置を実現できる。

【0107】

<断面構成例1>

図7は、それぞれ図6(A)に示す一点鎖線Q-Rにおける断面図である。

【0108】

図6及び図7に示す表示装置は、引き回し配線部711と、画素部702と、ソースドライバ回路部704と、FPC端子部708と、を有する。引き回し配線部711は、信号線710を有する。画素部702は、トランジスタ750及び容量素子790を有する。ソースドライバ回路部704は、トランジスタ752を有する。

【0109】

図7に示す容量素子790は、トランジスタ750が有する第1のゲート電極と同一の膜を加工して形成される下部電極と、半導体層と同一の金属酸化物を加工して形成される上部電極と、を有する。上部電極は、トランジスタ750のソース領域及びドレイン領域と同様に低抵抗化されている。また、下部電極と上部電極との間には、トランジスタ750の第1のゲート絶縁層として機能する絶縁膜の一部が設けられる。すなわち、容量素子790は、一对の電極間に誘電体膜として機能する絶縁膜が挟持された積層型の構造である。また、上部電極には、トランジスタのソース電極及びドレイン電極と同一の膜を加工して得られる配線が接続されている。

【0110】

また、トランジスタ750、トランジスタ752、及び容量素子790上には絶縁層770が設けられている。絶縁層770は平坦化膜としての機能を有し、絶縁層770上に設けられる導電層772及び導電層774の上面を平坦にすることができる。導電層772及び導電層774が同一面上に位置し、また導電層772及び導電層774の上面が平坦であることにより、導電層772及び導電層774と、発光素子782とが容易に電氣的に接続することができる。

【0111】

導電層772及び導電層774と、発光素子782とは、導電性のバンプ791及びバンプ793を介して電氣的に接続される。図7では、発光素子782が有する陰極側の電極と陽極側の電極の高さが異なり、それとともにバンプ791とバンプ793の高さが異なる構成を示している。なお、発光素子782が有する陰極側の電極と陽極側の電極の高さが同じの場合は、バンプ791とバンプ793の高さが概略同じとなる構成とすることができる。

【0112】

図7に示すように、画素部702が有するトランジスタ750は、導電層772の下に

10

20

30

40

50

重なるように設けられると好ましい。トランジスタ750、特にチャネル形成領域と導電層772が重なる領域を有することで、発光素子782から発せられる光や、外光がトランジスタ750に達するのを抑制でき、トランジスタ750の電気特性の変動を抑制できる。

【0113】

画素部702が有するトランジスタ750と、ソースドライバ回路部704が有するトランジスタ752とは、異なる構造のトランジスタを用いてもよい。例えば、いずれか一方にトップゲート型のトランジスタを適用し、他方にボトムゲート型のトランジスタを適用した構成としてもよい。なお、上記ゲートドライバ回路部706についてもソースドライバ回路部704と同様である。

10

【0114】

信号線710は、トランジスタ750、752のソース電極及びドレイン電極等と同じ導電膜で形成されている。このとき、銅元素を含む材料等の低抵抗な材料を用いると、配線抵抗に起因する信号遅延等が少なく、大画面での表示が可能となるため好ましい。

【0115】

FPC端子部708は、一部が接続電極として機能する配線760、異方性導電膜780、及びFPC716を有する。配線760は、異方性導電膜780を介してFPC716が有する端子と電氣的に接続される。ここでは、配線760は、トランジスタ750、752のソース電極及びドレイン電極等と同じ導電膜で形成されている。

20

【0116】

第1の基板701及び第2の基板705としては、例えばガラス基板、またはプラスチック基板等の可撓性を有する基板を用いることができる。第1の基板701に可撓性を有する基板を用いる場合には、第1の基板701とトランジスタ750等との間に、水や水素に対するバリア性を有する絶縁層を設けることが好ましい。

【0117】

また、第2の基板705側には、遮光層738と、着色層736と、蛍光体層797と、が設けられる。着色層736は、発光素子782上に設けられる。蛍光体層797は、発光素子782及び着色層736の間に設けられる。また、蛍光体層797、発光素子782及び着色層736は互いに重なる領域を有する。図7に示すように、蛍光体層797の端部は発光素子782の端部より外側に位置し、着色層736の端部は蛍光体層797の端部より外側に位置すると好ましい。このような構成とすることで、隣接する画素への光漏れ、画素間の混色を抑制できる。また、隣接する着色層736との間に遮光層738を設けることで、外光の映り込みを軽減し、コントラストが高い表示装置とすることができる。

30

【0118】

例えば、蛍光体層797が黄色光を射出する蛍光体を有し、発光素子782が青色光を射出する構成とすることにより、蛍光体層797から白色光が射出される。赤色を透過する着色層736と重なる領域に設けられた発光素子782が発した光は、蛍光体層797及び着色層736を透過し、赤色光として表示面側に射出される。同様に、緑色を透過する着色層736と重なる領域に設けられた発光素子782が発した光は、緑色光として射出される。青色を透過する着色層736と重なる領域に設けられた発光素子782が発した光は、青色光として射出される。これにより、1種類の発光素子782を用いてカラー表示を行うことができる。また、表示装置に用いられる発光素子782は1種類であるため、製造プロセスを簡略にできる。つまり、本発明の一態様により、低い製造コストで、輝度及びコントラストが高く、応答速度が速く、かつ消費電力が低い表示装置とすることができる。

40

【0119】

例えば、蛍光体層797が赤色光を射出する蛍光体を有し、発光素子782が青緑色光を射出する構成とすることにより、蛍光体層797から白色光が射出される構成としてもよい。

50

【 0 1 2 0 】

また、蛍光体層 7 9 7 が赤色光を射出する蛍光体、緑色光を射出する蛍光体及び青色光を射出する蛍光体を有し、発光素子 7 8 2 が近紫外光または紫色光を射出する構成とすることにより、蛍光体層 7 9 7 から白色光が射出される構成としてもよい。

【 0 1 2 1 】

図 7 に示す表示装置 7 0 0 は、発光素子 7 8 2 を有する。発光素子 7 8 2 として、図 3 に例示した水平構造、かつフェイスダウン型の LED チップを用いることが好ましい。

【 0 1 2 2 】

また、着色層 7 3 6 は発光素子 7 8 2 と重なる位置に設けられ、遮光層 7 3 8 は着色層 7 3 6 の端部と重なる位置、引き回し配線部 7 1 1、及びソースドライバ回路部 7 0 4 に設けられている。また、蛍光体層 7 9 7、着色層 7 3 6 及び遮光層 7 3 8 と、発光素子 7 8 2 との間は封止膜 7 3 2 で充填されている。

10

【 0 1 2 3 】

遮光層 7 9 5 は、発光素子 7 8 2 と隣接するように設けられる。遮光層 7 9 5 は、隣接する発光素子 7 8 2 の間に設けることが好ましい。隣接する発光素子 7 8 2 の間に遮光層 7 9 5 を設ける事で、隣接する画素への光漏れ、画素間の混色を抑制できる。遮光層 7 9 5 には、顔料、染料、またはカーボンブラックなどを含む樹脂を用いることができる。さらに、発光素子 7 8 2 の側面が遮光層 7 9 5 と接することが好ましい。発光素子 7 8 2 の側面を遮光層 7 9 5 で覆うことにより、隣接する画素への光漏れ、画素間の混色を抑制できる。なお、図 7 では、遮光層 7 9 5 の上面の高さと、発光素子 7 8 2 の上面の高さが概略一致する構成を示しているが、本発明の一態様はこれに限られない。遮光層 7 9 5 の上面の高さが、発光素子 7 8 2 の上面の高さより低くてもよく、発光素子 7 8 2 の上面の高さより高くてもよい。遮光層 7 9 5 の上面の高さが、発光素子 7 8 2 の上面の高さと概略一致または高くすることにより、隣接する画素への光漏れ、画素間の混色を効率よく抑制できる。

20

【 0 1 2 4 】

図 8 には、フレキシブルディスプレイに好適に適用できる表示装置の構成を示している。図 8 は、図 6 (B) に示した表示装置 7 0 0 A 中の一点鎖線 S - T における断面図である。

【 0 1 2 5 】

図 8 に示す表示装置 7 0 0 A は、図 7 で示した基板 7 0 1 に換えて、支持基板 7 4 5、接着層 7 4 2、樹脂層 7 4 3、及び絶縁層 7 4 4 が積層された構成を有する。トランジスタ 7 5 0 や容量素子 7 9 0 等は、樹脂層 7 4 3 上に設けられた絶縁層 7 4 4 上に設けられている。

30

【 0 1 2 6 】

支持基板 7 4 5 は、有機樹脂やガラス等を含み、可撓性を有する程度に薄い基板である。樹脂層 7 4 3 は、ポリイミドやアクリルなどの有機樹脂を含む層である。絶縁層 7 4 4 は、酸化シリコン、酸化窒化シリコン、窒化シリコン等の無機絶縁膜を含む。樹脂層 7 4 3 と支持基板 7 4 5 とは、接着層 7 4 2 によって貼り合わされている。樹脂層 7 4 3 は、支持基板 7 4 5 よりも薄いことが好ましい。

40

【 0 1 2 7 】

また、図 8 に示す表示装置 7 0 0 A は、図 7 で示した基板 7 0 5 に換えて保護層 7 4 0 を有する。保護層 7 4 0 は、封止膜 7 3 2 と貼り合わされている。保護層 7 4 0 としては、ガラス基板や樹脂フィルムなどを用いることができる。また、保護層 7 4 0 として、散乱板などの光学部材や、タッチセンサパネルなどの入力装置、またはこれらを 2 つ以上積層した構成を適用してもよい。

【 0 1 2 8 】

また、図 8 では、折り曲げ可能な領域 P 2 を示している。領域 P 2 では、支持基板 7 4 5、接着層 7 4 2 のほか、絶縁層 7 4 4 等の無機絶縁膜が設けられていない部分を有する。また、領域 P 2 において、配線 7 6 0 を覆って樹脂層 7 4 6 が設けられている。折り曲

50

げ可能な領域 P 2 に無機絶縁膜をできるだけ設けず、且つ、金属または合金を含む導電層と、有機材料を含む層のみを積層した構成とすることで、曲げた際にクラックが生じることを防ぐことができる。また、領域 P 2 に支持基板 7 4 5 を設けないことで、極めて小さい曲率半径で、表示装置 7 0 0 A の一部を曲げることができる。

【 0 1 2 9 】

図 7 に示した表示装置 7 0 0 の作製方法の一例について、説明する。図 9 乃至図 1 2 に示す各図は、表示装置 7 0 0 の作製方法に係る、工程の各段階における断面概略図である。

【 0 1 3 0 】

なお、表示装置を構成する薄膜（絶縁膜、半導体膜、導電膜等）は、スパッタリング法、化学気相堆積（CVD：Chemical Vapor Deposition）法、真空蒸着法、パルスレーザー堆積（PLD：Pulsed Laser Deposition）法、原子層堆積（ALD：Atomic Layer Deposition）法等を用いて形成できる。CVD法としては、プラズマ化学気相堆積（PECVD）法や、熱CVD法でもよい。熱CVD法の例として、有機金属化学気相堆積（MOCVD：Metal Organic CVD）法を使ってもよい。

【 0 1 3 1 】

また、表示装置を構成する薄膜（絶縁膜、半導体膜、導電膜等）は、スピコート、ディップ、スプレー塗布、インクジェット、ディスペンス、スクリーン印刷、オフセット印刷等の方法、ドクターナイフ、スリットコート、ロールコート、カーテンコート、ナイフコート等のツール（設備）により形成できる。

【 0 1 3 2 】

また、表示装置を構成する薄膜を加工する際には、フォトリソグラフィ法等を用いて加工できる。または、遮蔽マスクを用いた成膜方法により、島状の薄膜を形成してもよい。または、ナノインプリント法、サンドブラスト法、リフトオフ法などにより薄膜を加工してもよい。フォトリソグラフィ法としては、例えば以下の2つの方法がある。1つは、加工したい薄膜上に感光性のレジスト材料を塗布し、フォトマスクを介して露光した後、現像することによりレジストマスクを形成して、エッチング等により当該薄膜を加工し、レジストマスクを除去する方法である。もう1つは、感光性を有する薄膜を成膜した後に、露光、現像を行って、当該薄膜を所望の形状に加工する方法である。

【 0 1 3 3 】

フォトリソグラフィ法において、露光に用いる光は、例えばi線（波長365nm）、g線（波長436nm）、h線（波長405nm）、またはこれらを混合させた光を用いることができる。そのほか、紫外線やKrFレーザー光、またはArFレーザー光等を用いることもできる。また、液浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外光（EUV：Extreme Ultra-violet）やX線を用いてもよい。また、露光に用いる光に換えて、電子ビームを用いることもできる。極端紫外光、X線または電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビームなどのビームを走査することにより露光を行う場合には、フォトマスクは不要である。

【 0 1 3 4 】

薄膜のエッチングには、ドライエッチング法、ウェットエッチング法、サンドブラスト法などを用いることができる。

【 0 1 3 5 】

トランジスタ等の形成

まず、基板 7 0 1 上に導電層 3 0 1、導電層 3 0 3 及び導電層 3 0 5 を形成する。導電層 3 0 1、導電層 3 0 3 及び導電層 3 0 5 は、導電膜を成膜した後、レジストマスクを形成し、当該導電膜をエッチングした後にレジストマスクを除去することにより形成できる。

【 0 1 3 6 】

続いて、基板 7 0 1、導電層 3 0 1、導電層 3 0 3 及び導電層 3 0 5 を覆って絶縁層 3 1 1 を形成する。

10

20

30

40

50

【 0 1 3 7 】

続いて、半導体層 3 2 1、半導体層 3 2 3 及び半導体層 3 2 5 を形成する（図 9（A））。半導体層 3 2 1、半導体層 3 2 3 及び半導体層 3 2 5 は、半導体膜を成膜した後、レジストマスクを形成し、当該半導体膜をエッチングした後にレジストマスクを除去することにより形成できる。

【 0 1 3 8 】

続いて、絶縁層 3 3 1、導電層 3 4 1、導電層 3 5 1、絶縁層 3 3 3、導電層 3 4 3 及び導電層 3 5 3 を形成する。絶縁層 3 3 1 及び絶縁層 3 3 3 となる絶縁膜、導電層 3 4 1 及び導電層 3 4 3 となる導電膜、導電層 3 5 1 及び導電層 3 5 3 となる導電膜を形成した後、レジストマスクを形成し、当該絶縁膜及び導電膜をエッチングした後にレジストマスクを除去することにより形成できる。

10

【 0 1 3 9 】

続いて、絶縁層 3 6 1 及び絶縁層 3 6 3 を形成する（図 9（B））。

【 0 1 4 0 】

続いて、絶縁層 3 6 1 及び絶縁層 3 6 3 に開口を形成し、導電層 3 7 1、導電層 3 7 3 a、導電層 3 7 3 b、導電層 3 7 5、導電層 3 7 7 及び配線 7 6 0 を形成する。導電層 3 7 1、導電層 3 7 3 a、導電層 3 7 3 b、導電層 3 7 5、導電層 3 7 7 及び配線 7 6 0 は、導電層 3 0 1 等と同様の方法により形成できる。

【 0 1 4 1 】

以上の工程により、信号線 7 1 0、トランジスタ 7 5 0、容量素子 7 9 0 及びトランジスタ 7 5 2 を形成できる（図 9（C））。続いて、絶縁層 3 7 9 を形成する。絶縁層 3 7 9 はトランジスタ 7 5 0 等の保護膜としての機能を有する。

20

【 0 1 4 2 】

絶縁層 7 7 0 の形成

続いて、絶縁層 7 7 0 を形成する。絶縁層 7 7 0 に感光性の材料を用いることで、フォトリソグラフィ法等により開口を形成できる。なお絶縁層 7 7 0 として、絶縁膜を成膜した後に、レジストマスクを用いて絶縁膜の一部をエッチングして開口を形成してもよい。絶縁層 7 7 0 は、有機絶縁材料を用いると、その上面の平坦性を高めることができるため好ましい。

【 0 1 4 3 】

また、絶縁層 7 7 0 として、無機絶縁膜を用いてもよい。絶縁層 7 7 0 として、窒化シリコン、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、または窒化酸化アルミニウムなどの無機絶縁材料の層を、単層で、または積層して用いることができる。これにより、絶縁層 7 7 0 はトランジスタ 7 5 0 等の保護層として機能する。

30

【 0 1 4 4 】

また、絶縁層 7 7 0 を、無機絶縁膜と有機絶縁膜の積層構造としてもよい。

【 0 1 4 5 】

続いて、FPC 端子部 7 0 8 の配線 7 6 0 上の絶縁層 3 7 9 の一部を除去し、配線 7 6 0 を露出させる。

40

【 0 1 4 6 】

導電層 7 7 2、導電層 7 7 4 の形成

続いて、絶縁層 7 7 0 上に導電層 7 7 2 及び導電層 7 7 4 を形成する（図 10（A））。導電層 7 7 2 は、絶縁層 7 7 0 が有する開口を介してトランジスタ 7 5 0 と電氣的に接続される。導電層 7 7 2 及び導電層 7 7 4 は、導電層 3 0 1 等と同様の方法により形成できる。導電層 7 7 2 及び導電層 7 7 4 は、光に対して反射性の材料を用いると好ましい。例えば、導電層 7 7 2 及び導電層 7 7 4 として、銀、パラジウム及び銅の合金（APC ともいう）、アルミニウム、チタン、銅等を含む材料を用いることができる。

【 0 1 4 7 】

続いて、導電層 7 7 2 上及び導電層 7 7 4 上にそれぞれ、導電性のバンプ 7 9 1 及びバ

50

ンプ793を形成する(図10(B))。ランプ791及びランプ793として、金、銀、錫などの金属、これらの金属を有する合金、導電性樹脂などの異方導電性フィルム、導電性ペーストを用いることができる。ランプ791及びランプ793として、例えば、金を好適に用いることができる。ランプ791及びランプ793の形成には、印刷法、転写法、吐出法等を用いることができる。

【0148】

発光素子782の配置

続いて、発光素子782を、ランプ791及びランプ793上に配置する。発光素子782として、図3に例示した水平構造、フェイスダウン型のLEDチップを用いることが好ましい。配置の際、発光素子782の陰極側の電極と、陽極側の電極がそれぞれランプ791及びランプ793と接するように発光素子782を配置する。ランプ791、ランプ793、発光素子782、導電層772及び導電層774が圧接され、導電層772及び導電層774上に発光素子782が固定される。それとともに、導電層772及び導電層774と、発光素子782とが電氣的に接続される(図11)。

10

【0149】

発光素子782の配置には、所定の位置から発光素子782を取り上げ、移送し、所定の位置に置くピックアッププレイス装置を用いることができる。または、発光素子782の配置に、FSA(Fluidic Self Assembly)方式を用いてもよい。FSA方式では、導電層772上及び導電層774と重なる領域に、発光素子782と適合する凹状の絶縁層を形成し、液体中で凹部に発光素子782を自己整合的に配置させる。本発明の一態様では、発光素子782として用いるLEDチップは1種類であることから、複数種類を用いる場合と比較して、発光素子781の配置が容易となる。

20

【0150】

遮光層795の形成

続いて、絶縁層770、発光素子782上に遮光層795となる遮光膜を形成する(図11)。遮光膜として、金属材料、顔料または染料を含む樹脂を用い、フォトリソグラフィ法等により形成することができる。この時、発光素子782上にも遮光膜が形成されるように、該遮光膜の厚さを調整する。

【0151】

続いて、遮光層795となる遮光膜の一部を除去し、発光素子782の上面を露出させる(図12(A))。遮光膜の除去には、ドライエッチング法などを用いることができる。本発明の一態様では、発光素子782として用いるLEDチップは1種類であり、副画素間で発光素子782の高さを同じにできることから、容易に各発光素子782の上面を一様に露出させることができ、製造コストを抑制できる。つまり、本発明の一態様により、低い製造コストで、輝度及びコントラストが高く、応答速度が速く、かつ消費電力が低い表示装置とすることができる。

30

【0152】

着色層736、蛍光体層797の形成

続いて、基板705上に遮光層738及び着色層736を形成する。

【0153】

遮光層738には、金属材料または樹脂材料を用いることができる。遮光層738に金属材料を用いる場合には、導電膜を成膜した後に、フォトリソグラフィ法等を用いて不要な部分を除去することにより形成できる。また遮光層738に金属材料、顔料または染料を含む感光性の樹脂材料を用いた場合は、フォトリソグラフィ法等により形成できる。

40

【0154】

着色層736には、例えば感光性の樹脂材料を用いることが好ましい。着色層736は、基板705及び遮光層738上に材料を塗布した後、フォトマスクを介して当該材料を露光し、現像処理の後に加熱処理を行うことで、形成できる。

【0155】

続いて、着色層736上に蛍光体層797を形成する(図12(B))。蛍光体層79

50

7は、例えば、蛍光体が混合された有機樹脂層などを用いてスクリーン印刷法、ディスペンス法等により形成できる。

【0156】

基板701と基板705の貼り合せ

続いて、基板701と基板705のいずれか一方、または両方に、これらを接着する接着層を形成する。接着層は、画素が配置されている領域を囲むように形成する。接着層は、例えばスクリーン印刷法、ディスペンス法等により形成できる。接着層としては、熱硬化性樹脂や紫外線硬化樹脂等を用いることができる。また、紫外線により仮硬化した後に、熱を加えることにより硬化する樹脂などを用いてもよい。または、接着層として、紫外線硬化性と熱硬化性の両方を有する樹脂などを用いてもよい。

10

【0157】

続いて、基板701と基板705とを貼り合せ、接着層を硬化して封止膜732を形成する。貼り合せは、減圧雰囲気下で行うと基板701と基板705の間に気泡等が混入することを防ぐことができるため好ましい。

【0158】

続いて、配線760上に異方性導電膜780を設ける。異方性導電膜780上にFPC716を配置して熱圧着することにより、配線760とFPC716とを電氣的に接続させる。

【0159】

以上の工程により、表示装置700を形成できる(図7)。

20

【0160】

<断面構成例2>

先に示した表示装置700と異なる構成例を図13に示す。図13は、図7(A)に示す一点鎖線Q-Rにおける断面図である。図13に示す表示装置700Cは、発光素子782として図4に例示したLEDパッケージを有し、また遮光層795及び蛍光体層797を有さない点で、図7に示す表示装置700と主に相違している。

【0161】

図13に示した表示装置700Cの作製方法の一例について、図14及び図15を用いて説明する。図14及び図15に示す各図は、表示装置700Cの作製方法に係る、工程の各段階における断面概略図である。絶縁層770を形成するまでは、前述の表示装置700の作製方法の説明を援用できるため、詳細な説明は省略する。

30

【0162】

導電層772、導電層774の形成

絶縁層770上に導電層772及び導電層774を形成する(図14(A))。導電層772は、絶縁層770が有する開口を介してトランジスタ750と電氣的に接続される。導電層772及び導電層774は、導電層301等と同様の方法により形成できる。

【0163】

続いて、導電層772上及び導電層774上にそれぞれ、導電性のバンプ791及びバンプ793を形成する(図14(B))。バンプ791及びバンプ793として、金、銀、錫などの金属、これらの金属を有する合金、導電性樹脂などの異方導電性フィルム、導電性ペーストを用いることができる。バンプ791及びバンプ793の形成には、印刷法、転写法、吐出法等を用いることができる。

40

【0164】

例えば、バンプ791及びバンプ793として銀ペーストを用い、導電層772及び導電層774としてAPC、アルミニウム、チタン、銅のいずれか一以上を用いることができる。このような構成とすることで、発光素子782は、導電層772及び導電層774それぞれと、電氣的に良好に接続することができる。

【0165】

発光素子782の配置

続いて、発光素子782を、バンプ791及びバンプ793上に配置する。発光素子7

50

82として、図4に例示した表面実装型のLEDパッケージを用いることが好ましい。配置の際、発光素子782の陰極側の電極と、陽極側の電極がそれぞれバンプ791及びバンプ793と接するように発光素子782を配置する。バンプ791、バンプ793、発光素子782、導電層772及び導電層774が圧接され、導電層772及び導電層774上に発光素子782が固定される。それとともに、導電層772及び導電層774と、発光素子782とが電氣的に接続される(図15(A))。

【0166】

発光素子782の配置には、ピックアンドプレイス装置を用いることができる。または、発光素子782の配置に、FSA方式を用いてもよい。本発明の一態様では、発光素子782として用いるLEDチップは1種類であることから、複数種類を用いる場合と比較して、発光素子781の配置が容易となる。

10

【0167】

着色層の形成

続いて、基板705上に遮光層738及び着色層736を形成する(図15(B))。遮光層738及び着色層736は、前述の表示装置700の作製方法の説明を援用できるため、詳細な説明は省略する。

【0168】

基板701と基板705の貼り合せ

続いて、基板701と基板705のいずれか一方、または両方に、これらを接着する接着層を形成する。基板701と基板705の貼り合せは、前述の表示装置700の作製方法の説明を援用できるため、詳細な説明は省略する。

20

【0169】

続いて、配線760上に異方性導電膜780を設ける。異方性導電膜780上にFPC716を配置して熱圧着することにより、配線760とFPC716とを電氣的に接続させる。

【0170】

以上の工程により、表示装置700Cを形成できる(図13)。

【0171】

<表示装置に入力装置を設ける構成例>

また、図7、図8及び図13に示す表示装置に入力装置を設けてもよい。当該入力装置としては、例えば、タッチセンサ等が挙げられる。

30

【0172】

例えばセンサの方式としては、静電容量方式、抵抗膜方式、表面弾性波方式、赤外線方式、光学方式、感圧方式など様々な方式を用いることができる。または、これら2つ以上を組み合わせ用いてもよい。

【0173】

なお、タッチパネルの構成は、入力装置を一对の基板の内側に形成する、所謂インセル型のタッチパネル、入力装置を表示装置700上に形成する、所謂オンセル型のタッチパネル、または入力装置を表示装置700に貼り合わせて用いる、所謂アウトセル型のタッチパネルなどがある。

40

【0174】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせ実施することができる。

【0175】

(実施の形態3)

本実施の形態では、先の実施の形態に示した表示装置に用いることができるトランジスタの一例について、説明する。

【0176】

本発明の一態様の表示装置は、ボトムゲート型のトランジスタや、トップゲート型トランジスタなどの様々な形態のトランジスタを用いて作製することができる。よって、既存

50

の製造ラインに合わせて、使用する半導体層の材料やトランジスタ構造を容易に置き換えることができる。

【0177】

<ボトムゲート型トランジスタ>

図16(A1)は、ボトムゲート型のトランジスタの一種であるチャンネル保護型のトランジスタ1810のチャンネル長方向の断面図である。図16(A1)において、トランジスタ1810は基板1771上に形成されている。また、トランジスタ1810は、基板1771上に絶縁層1772を介して電極1746を有する。また、電極1746上に絶縁層1726を介して半導体層1742を有する。電極1746はゲート電極として機能できる。絶縁層1726はゲート絶縁層として機能できる。

10

【0178】

また、半導体層1742のチャンネル形成領域上に絶縁層1741を有する。また、半導体層1742の一部と接して、絶縁層1726上に電極1744aおよび電極1744bを有する。電極1744aは、ソース電極またはドレイン電極の一方として機能できる。電極1744bは、ソース電極またはドレイン電極の他方として機能できる。電極1744aの一部、および電極1744bの一部は、絶縁層1741上に形成される。

【0179】

絶縁層1741は、チャンネル保護層として機能できる。チャンネル形成領域上に絶縁層1741を設けることで、電極1744aおよび電極1744bの形成時に生じる半導体層1742の露出を防ぐことができる。よって、電極1744aおよび電極1744bの形成時に、半導体層1742のチャンネル形成領域がエッチングされることを防ぐことができる。本発明の一態様によれば、電気特性の良好なトランジスタを実現することができる。

20

【0180】

また、トランジスタ1810は、電極1744a、電極1744bおよび絶縁層1741上に絶縁層1728を有し、絶縁層1728の上に絶縁層1729を有する。

【0181】

半導体層1742に酸化物半導体を用いる場合、電極1744aおよび電極1744bの、少なくとも半導体層1742と接する部分に、半導体層1742の一部から酸素を奪い、酸素欠損を生じさせることが可能な材料を用いることが好ましい。半導体層1742中の酸素欠損が生じた領域はキャリア濃度が増加し、当該領域はn型化し、n型領域(n⁺層)となる。したがって、当該領域はソース領域またはドレイン領域として機能することができる。半導体層1742に酸化物半導体を用いる場合、半導体層1742から酸素を奪い、酸素欠損を生じさせることが可能な材料の一例として、タングステン、チタン等を挙げることができる。

30

【0182】

半導体層1742にソース領域およびドレイン領域が形成されることにより、電極1744aおよび電極1744bと半導体層1742の接触抵抗を低減することができる。よって、電界効果移動度や、しきい値電圧などの、トランジスタの電気特性を良好なものとするすることができる。

【0183】

半導体層1742にシリコンなどの半導体を用いる場合は、半導体層1742と電極1744aの間、および半導体層1742と電極1744bの間に、n型半導体またはp型半導体として機能する層を設けることが好ましい。n型半導体またはp型半導体として機能する層は、トランジスタのソース領域またはドレイン領域として機能することができる。

40

【0184】

絶縁層1729は、外部からのトランジスタへの不純物の拡散を防ぐ、または低減する機能を有する材料を用いて形成することが好ましい。なお、必要に応じて絶縁層1729を省略することもできる。

【0185】

図16(A2)に示すトランジスタ1811は、絶縁層1729上にバックゲート電極

50

として機能できる電極 1723 を有する点が、トランジスタ 1810 と異なる。電極 1723 は、電極 1746 と同様の材料および方法で形成できる。

【0186】

一般に、バックゲート電極は導電層で形成され、ゲート電極とバックゲート電極で半導体層のチャンネル形成領域を挟むように配置される。よって、バックゲート電極は、ゲート電極と同様に機能させることができる。バックゲート電極の電位は、ゲート電極と同電位としてもよいし、接地電位（GND 電位）や、任意の電位としてもよい。また、バックゲート電極の電位をゲート電極と連動させず独立して変化させることで、トランジスタのしきい値電圧を変化させることができる。

【0187】

また、電極 1746 および電極 1723 は、どちらもゲート電極として機能することができる。よって、絶縁層 1726、絶縁層 1728、および絶縁層 1729 は、それぞれがゲート絶縁層として機能することができる。なお、電極 1723 は、絶縁層 1728 と絶縁層 1729 の間に設けてもよい。

【0188】

なお、電極 1746 または電極 1723 の一方を、「ゲート電極」という場合、他方を「バックゲート電極」という。例えば、トランジスタ 1811 において、電極 1723 を「ゲート電極」と言う場合、電極 1746 を「バックゲート電極」と言う。また、電極 1723 を「ゲート電極」として用いる場合は、トランジスタ 1811 をトップゲート型のトランジスタの一種と考えることができる。また、電極 1746 および電極 1723 のどちらか一方を、「第 1 のゲート電極」といい、他方を「第 2 のゲート電極」という場合がある。

【0189】

半導体層 1742 を挟んで電極 1746 および電極 1723 を設けることで、更には、電極 1746 および電極 1723 を同電位とすることで、半導体層 1742 においてキャリアの流れる領域が膜厚方向においてより大きくなるため、キャリアの移動量が増加する。この結果、トランジスタ 1811 のオン電流が大きくなると共に、電界効果移動度が高くなる。

【0190】

したがって、トランジスタ 1811 は、占有面積に対して大きいオン電流を有するトランジスタである。すなわち、求められるオン電流に対して、トランジスタ 1811 の占有面積を小さくすることができる。本発明の一態様によれば、トランジスタの占有面積を小さくすることができる。よって、本発明の一態様によれば、集積度の高い半導体装置を実現することができる。

【0191】

また、ゲート電極とバックゲート電極は導電層で形成されるため、トランジスタの外部で生じる電界が、チャンネルが形成される半導体層に作用しないようにする機能（特に静電気などに対する電界遮蔽機能）を有する。なお、バックゲート電極を半導体層よりも大きく形成し、バックゲート電極で半導体層を覆うことで、電界遮蔽機能を高めることができる。

【0192】

また、バックゲート電極を、遮光性を有する導電膜で形成することで、バックゲート電極側から半導体層に光が入射することを防ぐことができる。よって、半導体層の光劣化を防ぎ、トランジスタのしきい値電圧がシフトするなどの電気特性の劣化を防ぐことができる。

【0193】

本発明の一態様によれば、信頼性の良好なトランジスタを実現することができる。また、信頼性の良好な半導体装置を実現することができる。

【0194】

図 16 (B1) は、図 16 (A1) とは異なる構成のチャンネル保護型のトランジスタ 1

10

20

30

40

50

820のチャンネル長方向の断面図である。トランジスタ1820は、トランジスタ1810とほぼ同様の構造を有しているが、絶縁層1741が半導体層1742の端部を覆っている点が異なる。また、半導体層1742と重なる絶縁層1741の一部を選択的に除去して形成した開口部において、半導体層1742と電極1744aが電氣的に接続している。また、半導体層1742と重なる絶縁層1741の一部を選択的に除去して形成した他の開口部において、半導体層1742と電極1744bが電氣的に接続している。絶縁層1741の、チャンネル形成領域と重なる領域は、チャンネル保護層として機能できる。

【0195】

図16(B2)に示すトランジスタ1821は、絶縁層1729上にバックゲート電極として機能できる電極1723を有する点が、トランジスタ1820と異なる。

10

【0196】

絶縁層1729を設けることで、電極1744aおよび電極1744bの形成時に生じる半導体層1742の露出を防ぐことができる。よって、電極1744aおよび電極1744bの形成時に半導体層1742の薄膜化を防ぐことができる。

【0197】

また、トランジスタ1820およびトランジスタ1821は、トランジスタ1810およびトランジスタ1811よりも、電極1744aと電極1746の間の距離と、電極1744bと電極1746の間の距離が長くなる。よって、電極1744aと電極1746の間に生じる寄生容量を小さくすることができる。また、電極1744bと電極1746の間に生じる寄生容量を小さくすることができる。本発明の一態様によれば、電気特性の良好なトランジスタを実現できる。

20

【0198】

図16(C1)に示すトランジスタ1825は、ボトムゲート型のトランジスタの一つであるチャンネルエッチング型のトランジスタ1825のチャンネル長方向の断面図である。トランジスタ1825は、絶縁層1741を用いずに電極1744aおよび電極1744bを形成する。このため、電極1744aおよび電極1744bの形成時に露出する半導体層1742の一部がエッチングされる場合がある。一方、絶縁層1741を設けないため、トランジスタの生産性を高めることができる。

【0199】

図16(C2)に示すトランジスタ1826は、絶縁層1729上にバックゲート電極として機能できる電極1723を有する点が、トランジスタ1825と異なる。

30

【0200】

図17(A1)乃至図17(C2)にトランジスタ1810、1811、1820、1821、1825、1826のチャンネル幅方向の断面図をそれぞれ示す。

【0201】

図17(B2)、図17(C2)に示す構造では、ゲート電極とバックゲート電極とが接続され、ゲート電極とバックゲート電極との電位が同電位となる。また、半導体層1742は、ゲート電極とバックゲート電極と挟まれている。

【0202】

ゲート電極およびバックゲート電極のそれぞれのチャンネル幅方向の長さは、半導体層1742のチャンネル幅方向の長さよりも長く、半導体層1742のチャンネル幅方向全体は、絶縁層1726、1741、1728、1729を間に挟んでゲート電極またはバックゲート電極に覆われた構成である。

40

【0203】

当該構成とすることで、トランジスタに含まれる半導体層1742を、ゲート電極およびバックゲート電極の電界によって電氣的に取り囲むことができる。

【0204】

トランジスタ1821またはトランジスタ1826のように、ゲート電極およびバックゲート電極の電界によって、チャンネル形成領域が形成される半導体層1742を電氣的に取り囲むトランジスタのデバイス構造を *Surrounded channel (S-c*

50

h a n n e l) 構造と呼ぶことができる。

【 0 2 0 5 】

S - c h a n n e l 構造とすることで、ゲート電極およびバックゲート電極の一方または双方によってチャンネルを誘起させるための電界を効果的に半導体層 1 7 4 2 に印加することができるため、トランジスタの電流駆動能力が向上し、高いオン電流特性を得ることが可能となる。また、オン電流を高くすることが可能であるため、トランジスタを微細化することが可能となる。また、S - c h a n n e l 構造とすることで、トランジスタの機械的強度を高めることができる。

【 0 2 0 6 】

< トップゲート型トランジスタ >

図 1 8 (A 1) に例示するトランジスタ 1 8 4 2 は、トップゲート型のトランジスタの 1 つである。トランジスタ 1 8 4 2 は、絶縁層 1 7 2 9 を形成した後に電極 1 7 4 4 a および電極 1 7 4 4 b を形成する点がトランジスタ 1 8 1 0 やトランジスタ 1 8 2 0 と異なる。電極 1 7 4 4 a および電極 1 7 4 4 b は、絶縁層 1 7 2 8 および絶縁層 1 7 2 9 に形成した開口部において半導体層 1 7 4 2 と電氣的に接続する。

【 0 2 0 7 】

また、電極 1 7 4 6 と重ならない絶縁層 1 7 2 6 の一部を除去し、電極 1 7 4 6 と残りの絶縁層 1 7 2 6 をマスクとして用いて不純物を半導体層 1 7 4 2 に導入することで、半導体層 1 7 4 2 中に自己整合 (セルフアライメント) 的に不純物領域を形成できる。トランジスタ 1 8 4 2 は、絶縁層 1 7 2 6 が電極 1 7 4 6 の端部を越えて延伸する領域を有する。半導体層 1 7 4 2 の絶縁層 1 7 2 6 を介して不純物が導入された領域の不純物濃度は、絶縁層 1 7 2 6 を介さずに不純物が導入された領域よりも小さくなる。半導体層 1 7 4 2 は、電極 1 7 4 6 と重ならない領域に L D D (L i g h t l y D o p e d D r a i n) 領域が形成される。

【 0 2 0 8 】

図 1 8 (A 2) に示すトランジスタ 1 8 4 3 は、電極 1 7 2 3 を有する点がトランジスタ 1 8 4 2 と異なる。トランジスタ 1 8 4 3 は、基板 1 7 7 1 の上に形成された電極 1 7 2 3 を有する。電極 1 7 2 3 は、絶縁層 1 7 7 2 を介して半導体層 1 7 4 2 と重なる領域を有する。電極 1 7 2 3 は、バックゲート電極として機能することができる。

【 0 2 0 9 】

また、図 1 8 (B 1) に示すトランジスタ 1 8 4 4 および図 1 8 (B 2) に示すトランジスタ 1 8 4 5 のように、電極 1 7 4 6 と重ならない領域の絶縁層 1 7 2 6 を全て除去してもよい。また、図 1 8 (C 1) に示すトランジスタ 1 8 4 6 および図 1 8 (C 2) に示すトランジスタ 1 8 4 7 のように、絶縁層 1 7 2 6 を残してもよい。

【 0 2 1 0 】

トランジスタ 1 8 4 3 乃至トランジスタ 1 8 4 7 も、電極 1 7 4 6 を形成した後に、電極 1 7 4 6 をマスクとして用いて不純物を半導体層 1 7 4 2 に導入することで、半導体層 1 7 4 2 中に自己整合的に不純物領域を形成できる。本発明の一態様によれば、電気特性の良好なトランジスタを実現することができる。また、本発明の一態様によれば、集積度の高い半導体装置を実現することができる。

【 0 2 1 1 】

図 1 9 (A 1) 乃至図 1 9 (C 2) にトランジスタ 1 8 4 2 、 1 8 4 3 、 1 8 4 4 、 1 8 4 5 、 1 8 4 6 、 1 8 4 7 のチャンネル幅方向の断面図をそれぞれ示す。

【 0 2 1 2 】

トランジスタ 1 8 4 3 、 トランジスタ 1 8 4 5 、 およびトランジスタ 1 8 4 7 は、それぞれ先に説明した S - c h a n n e l 構造である。ただし、これに限定されず、トランジスタ 1 8 4 3 、 トランジスタ 1 8 4 5 、 およびトランジスタ 1 8 4 7 を S - c h a n n e l 構造としなくてもよい。

【 0 2 1 3 】

以下では、トランジスタのチャンネル形成領域に好適に用いることができる金属酸化物に

10

20

30

40

50

ついて説明する。

【0214】

トランジスタに用いる半導体材料としては、エネルギーギャップが2 eV以上、好ましくは2.5 eV以上、より好ましくは3 eV以上である金属酸化物を用いることができる。代表的には、インジウムを含む金属酸化物などであり、例えば、後述するCAC-O-Sなどを用いることができる。

【0215】

シリコンよりもバンドギャップが広く、且つキャリア密度の小さい金属酸化物を用いたトランジスタは、その低いオフ電流により、トランジスタと直列に接続された容量素子に蓄積した電荷を長期間に亘って保持することが可能である。

10

【0216】

半導体層は、例えばインジウム、亜鉛およびM（アルミニウム、チタン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、セリウム、スズ、ネオジムまたはハフニウム等の金属）を含むIn-M-Zn系酸化物で表記される膜とすることができる。

【0217】

半導体層を構成する金属酸化物がIn-M-Zn系酸化物の場合、In-M-Zn酸化物を成膜するために用いるスパッタリングターゲットの金属元素の原子数比は、In-M-Znを満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、In:M:Zn=1:1:1、In:M:Zn=1:1:1.2、In:M:Zn=3:1:2、In:M:Zn=4:2:3、In:M:Zn=4:2:4.1、In:M:Zn=5:1:6、In:M:Zn=5:1:7、In:M:Zn=5:1:8等が好ましい。なお、成膜される半導体層の原子数比はそれぞれ、上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス40%の変動を含む。

20

【0218】

半導体層としては、キャリア密度の低い金属酸化物膜を用いる。例えば、半導体層は、キャリア密度が $1 \times 10^{17} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{13} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{11} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上のキャリア密度の金属酸化物を用いることができる。そのような金属酸化物を、高純度真性または実質的に高純度真性な金属酸化物と呼ぶ。当該金属酸化物は不純物濃度が低く、欠陥準位密度が低いいため、安定な特性を有する金属酸化物であるといえる。

30

【0219】

なお、これらに限られず、必要とするトランジスタの半導体特性および電気特性（電界効果移動度、しきい値電圧等）に応じて適切な組成の酸化物半導体を用いればよい。また、必要とするトランジスタの半導体特性を得るために、半導体層のキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

【0220】

半導体層を構成する金属酸化物において、第14族元素の一つであるシリコンや炭素が含まれると、半導体層において酸素欠損が増加し、n型化してしまう。このため、半導体層におけるシリコンや炭素の濃度（二次イオン質量分析法により得られる濃度）を、 $2 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

40

【0221】

また、アルカリ金属およびアルカリ土類金属は、金属酸化物と結合するとキャリアを生成する場合があります、トランジスタのオフ電流が増大してしまうことがある。このため半導体層における二次イオン質量分析法により得られるアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms} / \text{cm}^3$ 以下にする。

【0222】

50

また、半導体層を構成する金属酸化物に窒素が含まれていると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている金属酸化物を用いたトランジスタはノーマリーオン特性となりやすい。このため半導体層における二次イオン質量分析法により得られる窒素濃度は、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下にすることが好ましい。

【0223】

酸化物半導体は、単結晶酸化物半導体と、非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、CAAC-OS(c-axis-aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS(nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体(a-like OS:amorphous-like oxide semiconductor)、及び非晶質酸化物半導体などがある。

10

【0224】

また、本発明の一態様で開示されるトランジスタの半導体層には、CAC-OS(Cloud-Aligned Composite oxide semiconductor)を用いてもよい。

【0225】

なお、本発明の一態様で開示されるトランジスタの半導体層は、上述した非単結晶酸化物半導体またはCAC-OSを好適に用いることができる。また、非単結晶酸化物半導体としては、nc-OSまたはCAAC-OSを好適に用いることができる。

20

【0226】

なお、本発明の一態様では、トランジスタの半導体層として、CAC-OSを用いると好ましい。CAC-OSを用いることで、トランジスタに高い電気特性または高い信頼性を付与することができる。

【0227】

なお、半導体層がCAAC-OSの領域、多結晶酸化物半導体の領域、nc-OSの領域、擬似非晶質酸化物半導体の領域、及び非晶質酸化物半導体の領域のうち、二種以上を有する混合膜であってもよい。混合膜は、例えば上述した領域のうち、いずれか二種以上の領域を含む単層構造、または積層構造を有する場合がある。

【0228】

以下では、本発明の一態様で開示されるトランジスタに用いることができるCAC-OSの構成について説明する。

30

【0229】

CAC-OSとは、例えば、金属酸化物を構成する元素が、0.5nm以上10nm以下、好ましくは、1nm以上2nm以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つあるいはそれ以上の金属元素が偏在し、該金属元素を有する領域が、0.5nm以上10nm以下、好ましくは、1nm以上2nm以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

【0230】

なお、金属酸化物は、少なくともインジウムを含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

40

【0231】

例えば、In-Ga-Zn酸化物におけるCAC-OS(CAC-OSの中でもIn-Ga-Zn酸化物を、特にCAC-IGZOと呼称してもよい。)とは、インジウム酸化物(以下、InO_{X1}(X1は0よりも大きい実数)とする。)、またはインジウム亜鉛

50

酸化物（以下、 $I n_x Z n_y O_z$ （ x 、 y 、および z は0よりも大きい実数）とする。）と、ガリウム酸化物（以下、 $G a O_x$ （ x は0よりも大きい実数）とする。）、またはガリウム亜鉛酸化物（以下、 $G a_x Z n_y O_z$ （ x 、 y 、および z は0よりも大きい実数）とする。）などと、に材料が分離することでモザイク状となり、モザイク状の $I n O_x$ 、または $I n_x Z n_y O_z$ が、膜中に均一に分布した構成（以下、クラウド状ともいう。）である。

【0232】

つまり、CAC-OSは、 $G a O_x$ が主成分である領域と、 $I n_x Z n_y O_z$ 、または $I n O_x$ が主成分である領域とが、混合している構成を有する複合金属酸化物である。なお、本明細書において、例えば、第1の領域の元素Mに対するInの原子数比が、第2の領域の元素Mに対するInの原子数比よりも大きいことを、第1の領域は、第2の領域と比較して、Inの濃度が高いとする。

10

【0233】

なお、IGZOは通称であり、In、Ga、Zn、およびOによる1つの化合物をいう場合がある。代表例として、 $I n G a O_3 (Z n O)_{m_1}$ （ m_1 は自然数）、または $I n_{(1+x_0)} G a_{(1-x_0)} O_3 (Z n O)_{m_0}$ （ $-1 < x_0 < 1$ 、 m_0 は任意数）で表される結晶性の化合物が挙げられる。

【0234】

上記結晶性の化合物は、単結晶構造、多結晶構造、またはCAAC構造を有する。なお、CAAC構造とは、複数のIGZOのナノ結晶がc軸配向を有し、かつa-b面においては配向せずに連結した結晶構造である。

20

【0235】

一方、CAC-OSは、金属酸化物の材料構成に関する。CAC-OSとは、In、Ga、Zn、およびOを含む材料構成において、一部にGaを主成分とするナノ粒子状に観察される領域と、一部にInを主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。従って、CAC-OSにおいて、結晶構造は副次的な要素である。

【0236】

なお、CAC-OSは、組成の異なる二種類以上の膜の積層構造は含まないものとする。例えば、Inを主成分とする膜と、Gaを主成分とする膜との2層からなる構造は、含まない。

30

【0237】

なお、 $G a O_x$ が主成分である領域と、 $I n_x Z n_y O_z$ 、または $I n O_x$ が主成分である領域とは、明確な境界が観察できない場合がある。

【0238】

なお、ガリウムの代わりに、アルミニウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれている場合、CAC-OSは、一部に該金属元素を主成分とするナノ粒子状に観察される領域と、一部にInを主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。

40

【0239】

CAC-OSは、例えば基板を加熱しない条件で、スパッタリング法により形成することができる。また、CAC-OSをスパッタリング法で形成する場合、成膜ガスとして、不活性ガス（代表的にはアルゴン）、酸素ガス、及び窒素ガスの中から選ばれたいずれか一つまたは複数を用いればよい。また、成膜時の成膜ガスの総流量に対する酸素ガスの流量比は低いほど好ましく、例えば酸素ガスの流量比を0%以上30%未満、好ましくは0%以上10%以下とすることが好ましい。

【0240】

50

CAC-OSは、X線回折(XRD: X-ray diffraction)測定法のひとつであるOut-of-plane法による $\theta/2$ スキャンを用いて測定したときに、明確なピークが観察されないという特徴を有する。すなわち、X線回折測定から、測定領域のa-b面方向、およびc軸方向の配向は見られないことが分かる。

【0241】

またCAC-OSは、プローブ径が1nmの電子線(ナノビーム電子線ともいう。)を照射することで得られる電子線回折パターンにおいて、リング状に輝度の高い領域(リング領域)と、該リング領域に複数の輝点が観測される。従って、電子線回折パターンから、CAC-OSの結晶構造が、平面方向、および断面方向において、配向性を有さないnc(nano-crystal)構造を有することがわかる。

10

【0242】

また例えば、In-Ga-Zn酸化物におけるCAC-OSでは、エネルギー分散型X線分光法(EDX: Energy Dispersive X-ray spectroscopy)を用いて取得したEDXマッピングにより、 $GaOx_3$ が主成分である領域と、 $Inx_2Zny_2Oz_2$ 、または $InOx_1$ が主成分である領域とが、偏在し、混合している構造を有することが確認できる。

【0243】

CAC-OSは、金属元素が均一に分布したIGZO化合物とは異なる構造であり、IGZO化合物と異なる性質を有する。つまり、CAC-OSは、 $GaOx_3$ などが主成分である領域と、 $Inx_2Zny_2Oz_2$ 、または $InOx_1$ が主成分である領域と、に互いに相分離し、各元素を主成分とする領域がモザイク状である構造を有する。

20

【0244】

ここで、 $Inx_2Zny_2Oz_2$ 、または $InOx_1$ が主成分である領域は、 $GaOx_3$ などが主成分である領域と比較して、導電性が高い領域である。つまり、 $Inx_2Zny_2Oz_2$ 、または $InOx_1$ が主成分である領域を、キャリアが流れることにより、金属酸化物としての導電性が発現する。従って、 $Inx_2Zny_2Oz_2$ 、または $InOx_1$ が主成分である領域が、金属酸化物中にクラウド状に分布することで、高い電界効果移動度(μ)が実現できる。

【0245】

一方、 $GaOx_3$ などが主成分である領域は、 $Inx_2Zny_2Oz_2$ 、または $InOx_1$ が主成分である領域と比較して、絶縁性が高い領域である。つまり、 $GaOx_3$ などが主成分である領域が、金属酸化物中に分布することで、リーク電流を抑制し、良好なスイッチング動作を実現できる。

30

【0246】

従って、CAC-OSを半導体素子に用いた場合、 $GaOx_3$ などに起因する絶縁性と、 $Inx_2Zny_2Oz_2$ 、または $InOx_1$ に起因する導電性とが、相補的に作用することにより、高いオン電流(I_{on})、および高い電界効果移動度(μ)を実現することができる。

【0247】

また、CAC-OSを用いた半導体素子は、信頼性が高い。従って、CAC-OSは、ディスプレイをはじめとするさまざまな半導体装置に最適である。

40

【0248】

また、半導体層にCAC-OSを有するトランジスタは電界効果移動度が高く、且つ駆動能力が高いので、該トランジスタを、駆動回路、代表的にはゲート信号を生成する走査線駆動回路に用いることで、額縁幅の狭い(狭額縁ともいう)表示装置を提供することができる。また、該トランジスタを、表示装置が有する信号線駆動回路(とくに、信号線駆動回路が有するシフトレジスタの出力端子に接続されるデマルチプレクサ)に用いることで、表示装置に接続される配線数が少ない表示装置を提供することができる。

【0249】

また、半導体層にCAC-OSを有するトランジスタは低温ポリシリコンを用いたトラ

50

ンジスタのように、レーザ結晶化工程が不要である。このため、大面積基板を用いた表示装置であっても、製造コストを低減することが可能である。さらに、ウルトラハイビジョン(「4K解像度」、「4K2K」、「4K」)、スーパーハイビジョン(「8K解像度」、「8K4K」、「8K」)のような高解像度であり、且つ大型の表示装置において、半導体層にCAC-OSを有するトランジスタを駆動回路及び表示部に用いることで、短時間での書き込みが可能であり、表示不良を低減することが可能であり好ましい。

【0250】

または、トランジスタのチャンネルが形成される半導体にシリコンを用いてもよい。シリコンとしてアモルファスシリコンを用いてもよいが、特に結晶性を有するシリコンを用いることが好ましい。例えば、微結晶シリコン、多結晶シリコン、単結晶シリコンなどを用いることが好ましい。特に、多結晶シリコンは、単結晶シリコンに比べて低温で形成でき、且つアモルファスシリコンに比べて高い電界効果移動度と高い信頼性を備える。

10

【0251】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせ実施することができる。

【0252】

(実施の形態4)

本実施の形態では、本発明の一態様である表示装置について、説明する。

【0253】

図20(A)に示す表示装置は、画素部502と、駆動回路部504と、保護回路506と、端子部507と、を有する。なお、保護回路506は、設けない構成としてもよい。

20

【0254】

画素部502や駆動回路部504が有するトランジスタに、本発明の一態様のトランジスタを適用することができる。また保護回路506にも、本発明の一態様のトランジスタを適用してもよい。

【0255】

画素部502は、X行Y列(X、Yはそれぞれ独立に2以上の自然数)に配置された複数の表示素子を駆動する複数の画素回路501を有する。

【0256】

駆動回路部504は、ゲート線GL__1乃至GL__Xに走査信号を出力するゲートドライバ504a、データ線DL__1乃至DL__Yにデータ信号を供給するソースドライバ504bなどの駆動回路を有する。ゲートドライバ504aは、少なくともシフトレジスタを有する構成とすればよい。またソースドライバ504bは、例えば複数のアナログスイッチなどを用いて構成される。また、シフトレジスタなどを用いてソースドライバ504bを構成してもよい。

30

【0257】

端子部507は、外部の回路から表示装置に電源、制御信号、及び画像信号等を入力するための端子が設けられた部分をいう。

【0258】

保護回路506は、自身が接続する配線に一定の範囲外の電位が与えられたときに、該配線と別の配線とを導通状態にする回路である。図20(A)に示す保護回路506は、例えば、ゲートドライバ504aと画素回路501の間の配線である走査線GL、またはソースドライバ504bと画素回路501の間の配線であるデータ線DL等の各種配線に接続される。

40

【0259】

また、ゲートドライバ504aとソースドライバ504bは、それぞれ画素部502と同じ基板上に設けられていてもよいし、ゲートドライバ回路またはソースドライバ回路が別途形成された基板(例えば、単結晶半導体膜、多結晶半導体膜で形成された駆動回路基板)をCOGやTAB(Tape Automated Bonding)によって基板に実装する構成としてもよい。

50

【0260】

また、図20(A)に示す複数の画素回路501は、例えば、図20(B)に示す構成とすることができる。図20(B)に示す画素回路501は、トランジスタ552と、トランジスタ554と、容量素子562と、発光素子572と、を有する。また画素回路501には、データ線DL_n、走査線GL_m、電位供給線VL_a、電位供給線VL_b等が接続されている。

【0261】

なお、電位供給線VL_a及び電位供給線VL_bの一方には、高電源電位VDDが与えられ、他方には、低電源電位VSSが与えられる。トランジスタ554のゲートに与えられる電位に応じて、発光素子572に流れる電流が制御されることにより、発光素子572からの発光輝度が制御される。

10

【0262】

図20(B)に示した画素回路501中のトランジスタ554として、nチャネル型のトランジスタを用いる例を、図21(A)に示す。図21(A)に示す画素回路501は、トランジスタ552と、トランジスタ554aと、容量素子562と、発光素子572aと、を有する。トランジスタ552はnチャネル型のトランジスタ、トランジスタ554aはnチャネル型のトランジスタである。例えば、トランジスタ552として、先の実施の形態に示したチャネル形成領域に酸化物半導体を有するトランジスタを適用し、トランジスタ554aとしてチャネル形成領域にシリコンを有するトランジスタを適用できる。

【0263】

また、例えば、トランジスタ552及びトランジスタ554aとして、先の実施の形態に示したチャネル形成領域に酸化物半導体を有するトランジスタを適用できる。このような構成とすることで、トランジスタが画素内で占める面積が小さくなり、極めて高精細な画像を表示することができる。

20

【0264】

図21(A)に示す画素回路501において、トランジスタ552のソースまたはドレインの一方は、データ線DL_nと電氣的に接続される。トランジスタ552のソースまたはドレインの他方は、容量素子562の一方の電極、およびトランジスタ554aのゲートと電氣的に接続される。容量素子562の他方の電極は、電位供給線VL_aと電氣的に接続される。トランジスタ552のゲートは、走査線GL_mと電氣的に接続される。トランジスタ554aのソースまたはドレインの一方は、電位供給線VL_aと電氣的に接続される。トランジスタ554aのソースまたはドレインの他方は、発光素子572aの一方の電極と電氣的に接続される。発光素子572aの他方の電極は、電位供給線VL_bと電氣的に接続される。電位供給線VL_aには低電源電位VSSが与えられ、電位供給線VL_bには高電源電位VDDが与えられる。

30

【0265】

図21(A)に示す画素回路501と異なる構成を図21(B)に示す。図21(B)に示す画素回路501において、トランジスタ552のソースまたはドレインの一方は、データ線DL_nと電氣的に接続される。トランジスタ552のソースまたはドレインの他方は、容量素子562の一方の電極、およびトランジスタ554aのゲートと電氣的に接続される。トランジスタ552のゲートは、走査線GL_mと電氣的に接続される。トランジスタ554aのソースまたはドレインの一方は、電位供給線VL_aと電氣的に接続される。トランジスタ554aのソースまたはドレインの他方は、容量素子562の他方の電極、および発光素子572aの一方の電極と電氣的に接続される。発光素子572aの他方の電極は、電位供給線VL_bと電氣的に接続される。電位供給線VL_aには高電源電位VDDが与えられ、電位供給線VL_bには低電源電位VSSが与えられる。

40

【0266】

図20(B)に示した画素回路501中のトランジスタ554として、pチャネル型のトランジスタを用いる例を、図21(C)に示す。図21(C)に示す画素回路501は、トランジスタ552と、トランジスタ554bと、容量素子562と、発光素子572

50

aと、を有する。トランジスタ552はnチャンネル型のトランジスタ、トランジスタ554bはpチャンネル型のトランジスタである。例えば、トランジスタ552として、先の実施の形態に示したチャンネル形成領域に酸化物半導体を有するトランジスタを適用し、トランジスタ554bとして、チャンネル形成領域にシリコンを有するトランジスタを適用できる。

【0267】

図21(C)に示す画素回路501において、トランジスタ552のソースまたはドレインの一方は、データ線DL_nと電氣的に接続される。トランジスタ552のソースまたはドレインの他方は、容量素子562の一方の電極、およびトランジスタ554bのゲートと電氣的に接続される。容量素子562の他方の電極は、電位供給線VL_aと電氣的に接続される。トランジスタ552のゲートは、走査線GL_mと電氣的に接続される。トランジスタ554bのソースまたはドレインの一方は、電位供給線VL_aと電氣的に接続される。トランジスタ554aのソースまたはドレインの他方は、発光素子572aの一方の電極と電氣的に接続される。発光素子572aの他方の電極は、電位供給線VL_bと電氣的に接続される。電位供給線VL_aには高電源電位VDDが与えられ、電位供給線VL_bには低電源電位VSSが与えられる。

10

【0268】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0269】

(実施の形態5)

画素に表示される階調を補正するためのメモリを備える画素回路と、これを有する表示装置について説明する。先の実施の形態で例示したトランジスタは、以下で例示する画素回路に用いられるトランジスタに適用することができる。

20

【0270】

<回路構成>

図22(A)に、画素回路400の回路図を示す。画素回路400は、トランジスタM1、トランジスタM2、容量C1、及び回路401を有する。また画素回路400には、配線S1、配線S2、配線G1、及び配線G2が接続される。

【0271】

トランジスタM1は、ゲートが配線G1と、ソース及びドレインの一方が配線S1と、ソース及びドレインの他方が容量C1の一方の電極と、それぞれ接続する。トランジスタM2は、ゲートが配線G2と、ソース及びドレインの一方が配線S2と、ソース及びドレインの他方が容量C1の他方の電極、及び回路401と、それぞれ接続する。

30

【0272】

回路401は、少なくとも一の表示素子を含む回路である。表示素子としてLED素子を適用することができる。

【0273】

トランジスタM1と容量C1とを接続するノードをN1、トランジスタM2と回路401とを接続するノードをN2とする。

40

【0274】

画素回路400は、トランジスタM1をオフ状態とすることで、ノードN1の電位を保持することができる。また、トランジスタM2をオフ状態とすることで、ノードN2の電位を保持することができる。また、トランジスタM2をオフ状態とした状態で、トランジスタM1を介してノードN1に所定の電位を書き込むことで、容量C1を介した容量結合により、ノードN1の電位の変位に応じてノードN2の電位を変化させることができる。

【0275】

ここで、トランジスタM1、トランジスタM2のうちの一方または両方に、前述の実施の形態で例示した、酸化物半導体が適用されたトランジスタを適用することができる。そのため極めて低いオフ電流により、ノードN1及びノードN2の電位を長期間に亘って保

50

持することができる。なお、各ノードの電位を保持する期間が短い場合（具体的には、フレーム周波数が30Hz以上である場合等）には、シリコン等の半導体を適用したトランジスタを用いてもよい。

【0276】

<駆動方法例>

続いて、図22(B)を用いて、画素回路400の動作方法の一例を説明する。図22(B)は、画素回路400の動作に係るタイミングチャートである。なおここでは説明を容易にするため、配線抵抗などの各種抵抗や、トランジスタや配線などの寄生容量、及びトランジスタのしきい値電圧などの影響は考慮しない。

【0277】

図22(B)に示す動作では、1フレーム期間を期間T1と期間T2とに分ける。期間T1はノードN2に電位を書き込む期間であり、期間T2はノードN1に電位を書き込む期間である。

【0278】

[期間T1]

期間T1では、配線G1と配線G2の両方に、トランジスタをオン状態にする電位を与える。また、配線S1には固定電位である電位 V_{ref} を供給し、配線S2には第1データ電位 V_w を供給する。

【0279】

ノードN1には、トランジスタM1を介して配線S1から電位 V_{ref} が与えられる。また、ノードN2には、トランジスタM2を介して第1データ電位 V_w が与えられる。したがって、容量C1には電位差 $V_w - V_{ref}$ が保持された状態となる。

【0280】

[期間T2]

続いて期間T2では、配線G1にはトランジスタM1をオン状態とする電位を与え、配線G2にはトランジスタM2をオフ状態とする電位を与える。また、配線S1には第2データ電位 V_{data} を供給する。配線S2には所定の定電位を与える、またはフローティングとしてもよい。

【0281】

ノードN1には、トランジスタM1を介して第2データ電位 V_{data} が与えられる。このとき、容量C1による容量結合により、第2データ電位 V_{data} に応じてノードN2の電位が電位 dV だけ変化する。すなわち、回路401には、第1データ電位 V_w と電位 dV を足した電位が入力されることとなる。なお、図22(B)では dV が正の値であるように示しているが、負の値であってもよい。すなわち、電位 V_{data} が電位 V_{ref} より低くてもよい。

【0282】

ここで、電位 dV は、容量C1の容量値と、回路401の容量値によって概ね決定される。容量C1の容量値が回路401の容量値よりも十分に大きい場合、電位 dV は第2データ電位 V_{data} に近い電位となる。

【0283】

このように、画素回路400は、2種類のデータ信号を組み合わせることで表示素子を含む回路401に供給する電位を生成することができるため、画素回路400内で階調の補正を行うことが可能となる。

【0284】

また画素回路400は、配線S1及び配線S2に供給可能な最大電位を超える電位を生成することも可能となる。発光素子を用いた場合では、ハイダイナミックレンジ(HDR)表示等を行うことができる。

【0285】

図22(C)に示す画素回路400ELは、回路401ELを有する。回路401ELは、発光素子EL、トランジスタM3、及び容量C2を有する。

10

20

30

40

50

【 0 2 8 6 】

トランジスタ M 3 は、ゲートがノード N 2 及び容量 C 2 の一方の電極と、ソース及びドレインの一方が電位 V_L が与えられる配線と、他方が発光素子 E L の一方の電極と、それぞれ接続される。容量 C 2 は、他方の電極が電位 V_{com} が与えられる配線と接続する。発光素子 E L は、他方の電極が電位 V_H が与えられる配線と接続する。

【 0 2 8 7 】

トランジスタ M 3 は、発光素子 E L に供給する電流を制御する機能を有する。容量 C 2 は保持容量として機能する。容量 C 2 は不要であれば省略できる。

【 0 2 8 8 】

なお、ここでは発光素子 E L のカソード側がトランジスタ M 3 と接続する構成を示しているが、図 2 2 (D) に示すようにアノード側にトランジスタ M 3 を接続してもよい。そのとき、電位 V_H と電位 V_L の値を適宜変更できる。

10

【 0 2 8 9 】

画素回路 4 0 0 E L は、トランジスタ M 3 のゲートに高い電位を与えることで、発光素子 E L に大きな電流を流すことができるため、例えば H D R 表示などを実現できる。また、配線 S 1 または配線 S 2 に補正信号を供給することで、トランジスタ M 3 や発光素子 E L の電気特性のばらつきの補正を行うこともできる。

【 0 2 9 0 】

なお、図 2 2 (C)、図 2 2 (D) で例示した回路に限られず、別途トランジスタや容量などを追加した構成としてもよい。

20

【 0 2 9 1 】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施できる。

【 0 2 9 2 】

(実施の形態 6)

本実施の形態では、本発明の一態様の情報処理装置の構成について、図 2 3 および図 2 4 を参照しながら説明する。

【 0 2 9 3 】

図 2 3 および図 2 4 は、本発明の一態様の情報処理装置の構成を説明する図である。図 2 3 (A) は情報処理装置のブロック図であり、図 2 3 (B) 乃至図 2 3 (E) は情報処理装置の構成を説明する斜視図である。また、図 2 4 (A) 乃至図 2 4 (E) は情報処理装置の構成を説明する斜視図である。

30

【 0 2 9 4 】

< 情報処理装置 >

本実施の形態で説明する情報処理装置 5 2 0 0 B は、演算装置 5 2 1 0 と、入出力装置 5 2 2 0 と、を有する (図 2 3 (A) 参照)。

【 0 2 9 5 】

演算装置 5 2 1 0 は、操作情報を供給される機能を備え、操作情報に基づいて画像情報を供給する機能を備える。

【 0 2 9 6 】

入出力装置 5 2 2 0 は、表示部 5 2 3 0、入力部 5 2 4 0、検知部 5 2 5 0、通信部 5 2 9 0、操作情報を供給する機能および画像情報を供給される機能を備える。また、入出力装置 5 2 2 0 は、検知情報を供給する機能、通信情報を供給する機能および通信情報を供給される機能を備える。

40

【 0 2 9 7 】

入力部 5 2 4 0 は操作情報を供給する機能を備える。例えば、入力部 5 2 4 0 は、情報処理装置 5 2 0 0 B の使用者の操作に基づいて操作情報を供給する。

【 0 2 9 8 】

具体的には、キーボード、ハードウェアボタン、ポインティングデバイス、タッチセンサ、照度センサ、撮像装置、音声入力装置、視線入力装置、姿勢検出装置などを、入力部

50

5 2 4 0 に用いることができる。

【 0 2 9 9 】

表示部 5 2 3 0 は表示パネルおよび画像情報を表示する機能を備える。例えば、先の実施の形態に示す表示装置を表示部 5 2 3 0 に用いることができる。

【 0 3 0 0 】

検知部 5 2 5 0 は検知情報を供給する機能を備える。例えば、情報処理装置が使用されている周辺の環境を検知して、検知情報として供給する機能を備える。

【 0 3 0 1 】

具体的には、照度センサ、撮像装置、姿勢検出装置、圧力センサ、人感センサなどを検知部 5 2 5 0 に用いることができる。

10

【 0 3 0 2 】

通信部 5 2 9 0 は通信情報を供給される機能および供給する機能を備える。例えば、無線通信または有線通信により、他の電子機器または通信網と接続する機能を備える。具体的には、無線構内通信、電話通信、近距離無線通信などの機能を備える。

【 0 3 0 3 】

< 情報処理装置の構成例 1 >

例えば、円筒状の柱などに沿った外形を表示部 5 2 3 0 に適用することができる（図 2 3 (B) 参照）。また、情報処理装置 5 2 0 0 B は、使用環境の照度に応じて、表示方法を変更する機能を備える。また、情報処理装置 5 2 0 0 B は、人の存在を検知して、表示内容を変更する機能を備える。これにより、情報処理装置 5 2 0 0 B は、例えば、建物の柱に設置することができる。または、広告または案内等を表示することができる。または、情報処理装置 5 2 0 0 B は、デジタルサイネージ等に用いることができる。

20

【 0 3 0 4 】

< 情報処理装置の構成例 2 >

情報処理装置 5 2 0 0 B は、例えば、使用者が使用するポインタの軌跡に基づいて画像情報を生成する機能を備える（図 2 3 (C) 参照）。具体的には、対角線の長さが 2 0 インチ以上、好ましくは 4 0 インチ以上、より好ましくは 5 5 インチ以上の表示パネルを用いることができる。または、複数の表示パネルを並べて 1 つの表示領域に用いることができる。または、複数の表示パネルを並べてマルチスクリーンに用いることができる。これにより、情報処理装置 5 2 0 0 B は、例えば、電子黒板、電子掲示板、電子看板等に用いることができる。

30

【 0 3 0 5 】

< 情報処理装置の構成例 3 >

情報処理装置 5 2 0 0 B は、例えば、使用環境の照度に応じて、表示方法を変更する機能を備える（図 2 3 (D) 参照）。これにより、例えば、スマートウオッチの消費電力を低減することができる。または、例えば、晴天の屋外等の外光の強い環境においても好適に使用できるように、画像をスマートウオッチに表示することができる。

【 0 3 0 6 】

< 情報処理装置の構成例 4 >

表示部 5 2 3 0 は、例えば、筐体の側面に沿って緩やかに曲がる曲面を備える（図 2 3 (E) 参照）。または、表示部 5 2 3 0 は表示パネルを備え、表示パネルは、例えば、前面、側面および上面に表示する機能を備える。これにより、例えば、携帯電話の前面だけでなく、側面および上面に画像情報を表示することができる。

40

【 0 3 0 7 】

< 情報処理装置の構成例 5 >

情報処理装置 5 2 0 0 B は、例えば、使用環境の照度に応じて、表示方法を変更する機能を備える（図 2 4 (A) 参照）。これにより、スマートフォンの消費電力を低減することができる。または、例えば、晴天の屋外等の外光の強い環境においても好適に使用できるように、画像をスマートフォンに表示することができる。

【 0 3 0 8 】

50

< 情報処理装置の構成例 6 >

情報処理装置 5 2 0 0 B は、例えば、使用環境の照度に応じて、表示方法を変更する機能を備える（図 2 4（B）参照）。これにより、晴天の日に屋内に差し込む強い外光が当たっても好適に使用できるように、映像をテレビジョンシステムに表示することができる。

【 0 3 0 9 】

< 情報処理装置の構成例 7 >

情報処理装置 5 2 0 0 B は、例えば、使用環境の照度に応じて、表示方法を変更する機能を備える（図 2 4（C）参照）。これにより、例えば、晴天の屋外等の外光の強い環境においても好適に使用できるように、画像をタブレットコンピュータに表示することができる。

【 0 3 1 0 】

< 情報処理装置の構成例 8 >

情報処理装置 5 2 0 0 B は、例えば、使用環境の照度に応じて、表示方法を変更する機能を備える（図 2 4（D）参照）。これにより、例えば、晴天の屋外等の外光の強い環境においても好適に閲覧できるように、被写体をデジタルカメラに表示することができる。

【 0 3 1 1 】

< 情報処理装置の構成例 9 >

情報処理装置 5 2 0 0 B は、例えば、使用環境の照度に応じて、表示方法を変更する機能を備える（図 2 4（E）参照）。これにより、例えば、晴天の屋外等の外光の強い環境においても好適に使用できるように、画像をパーソナルコンピュータに表示することができる。

【 0 3 1 2 】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせ実施できる。

【 符号の説明 】

【 0 3 1 3 】

1 0、1 0 A、1 0 B、1 0 C、1 0 D、1 0 E、1 0 F、1 0 G、1 0 H：表示装置、
1 1、1 3：基板、1 5：機能層、1 7：発光素子、2 0 B：青色光、2 0 G：緑色光、
2 0 R：赤色光、2 1、2 3：電極、2 5：絶縁層、2 7：接着層、3 1、3 3：遮光層、
3 5：蛍光体層、5 0：LEDパッケージ、5 1：LEDチップ

10

20

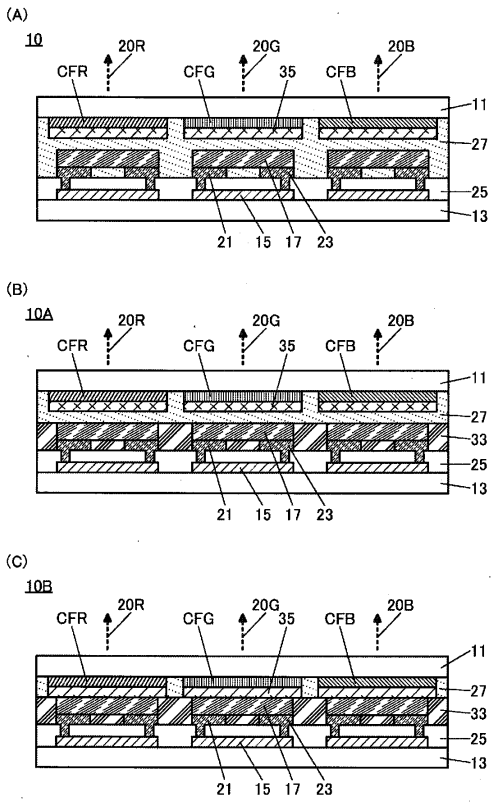
30

40

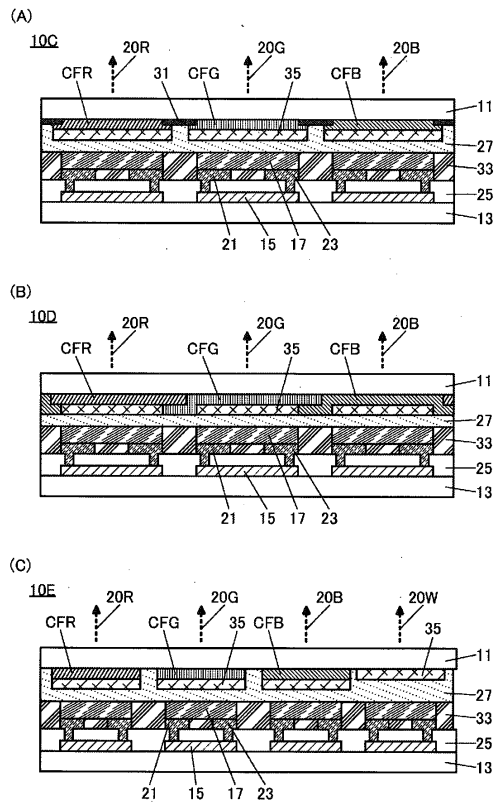
50

【図面】

【図 1】



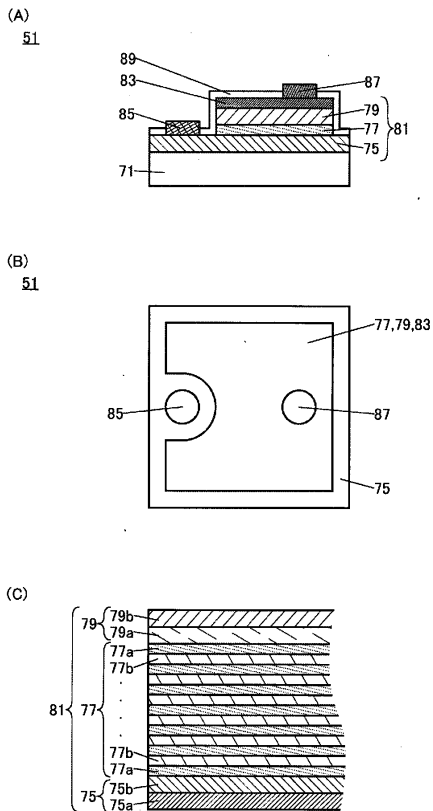
【図 2】



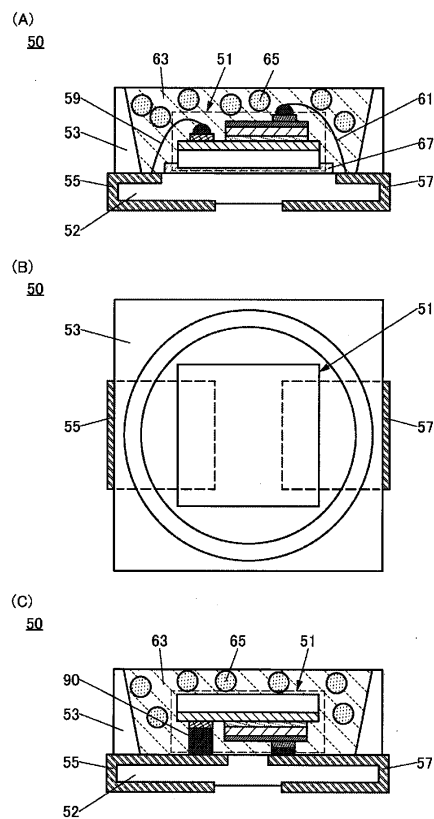
10

20

【図 3】



【図 4】

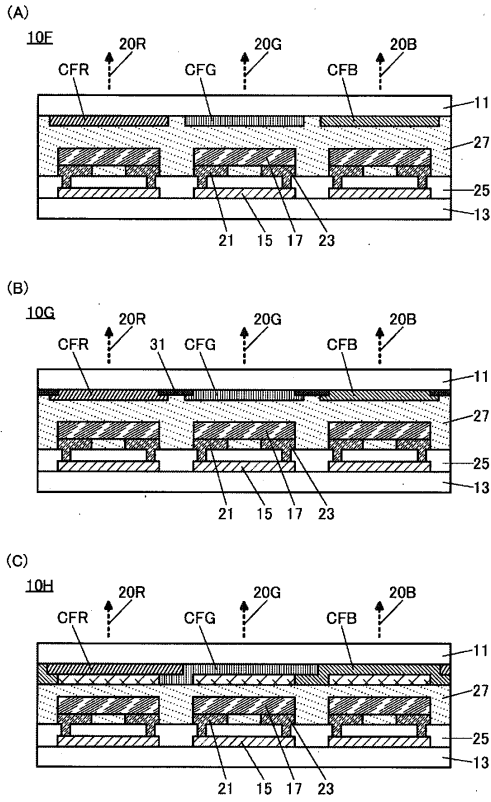


30

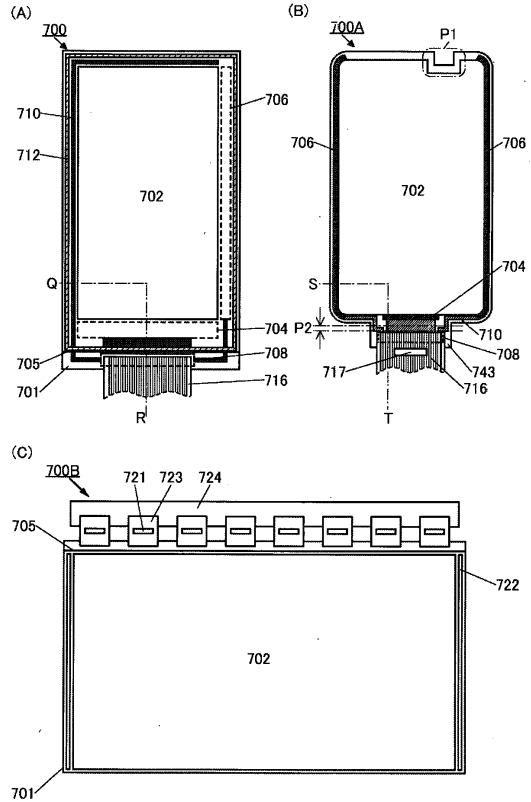
40

50

【 図 5 】



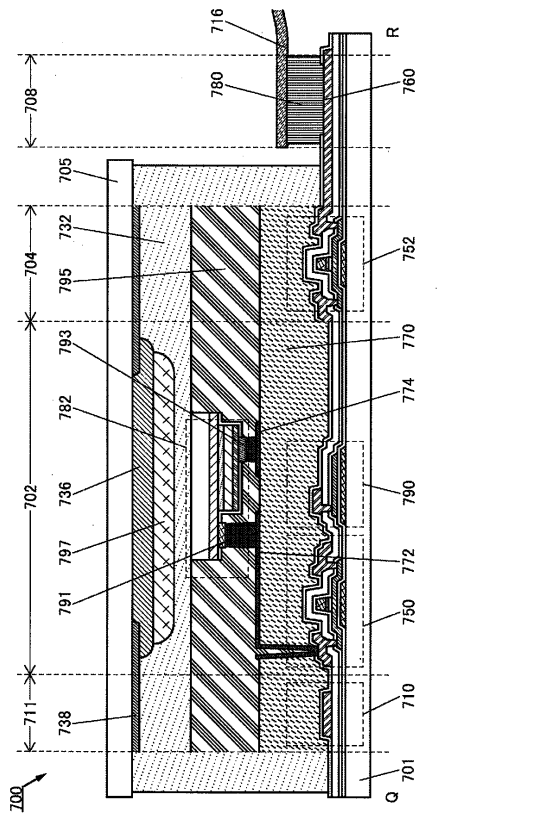
【 図 6 】



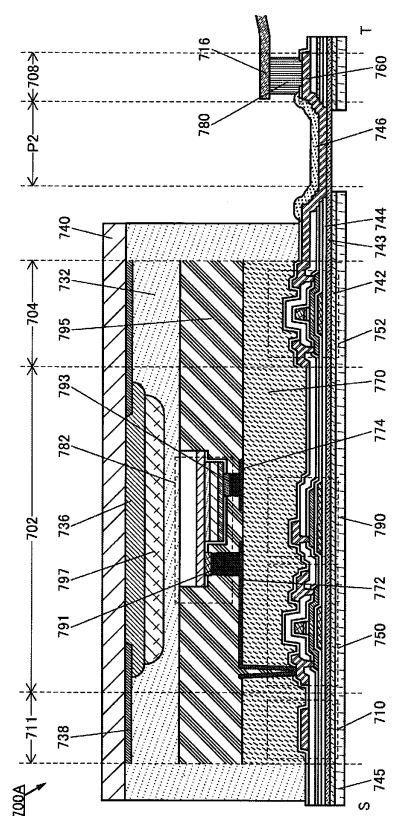
10

20

【 図 7 】



【 図 8 】

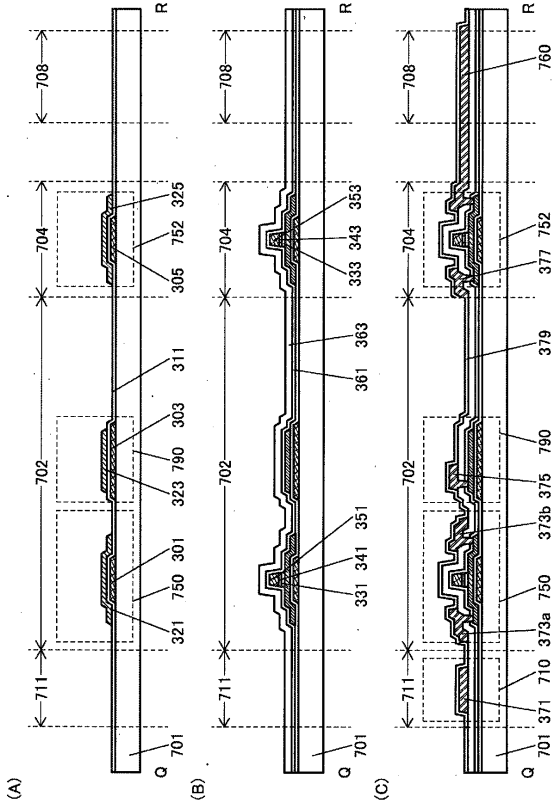


30

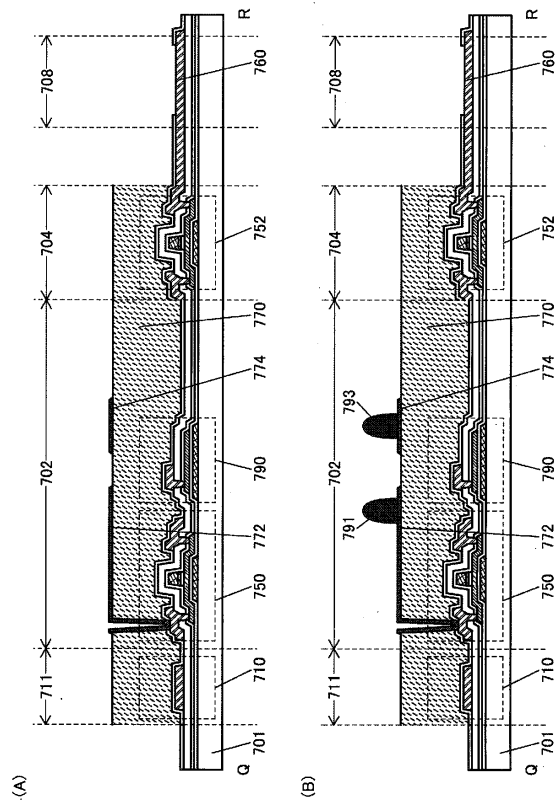
40

50

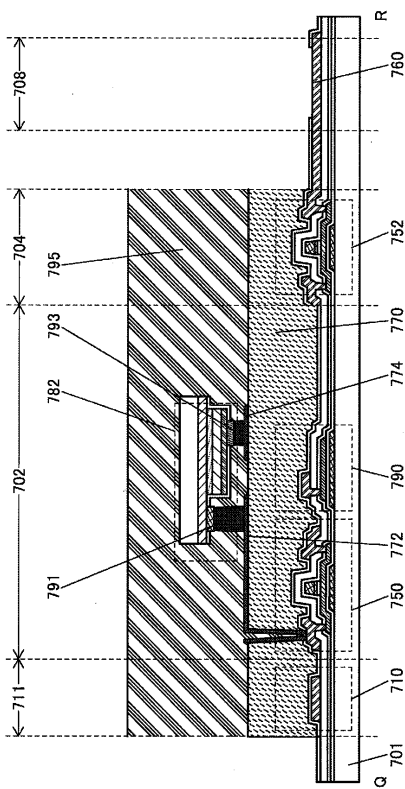
【 9 】



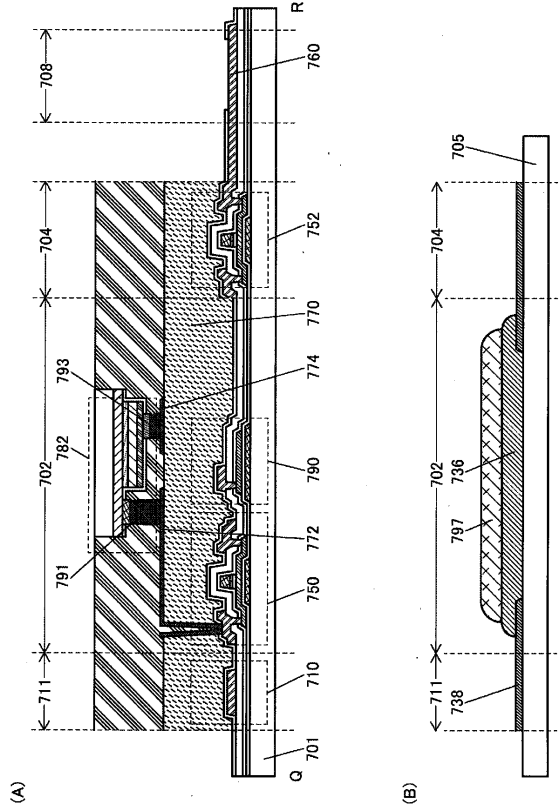
【 10 】



【 11 】



【 12 】



10

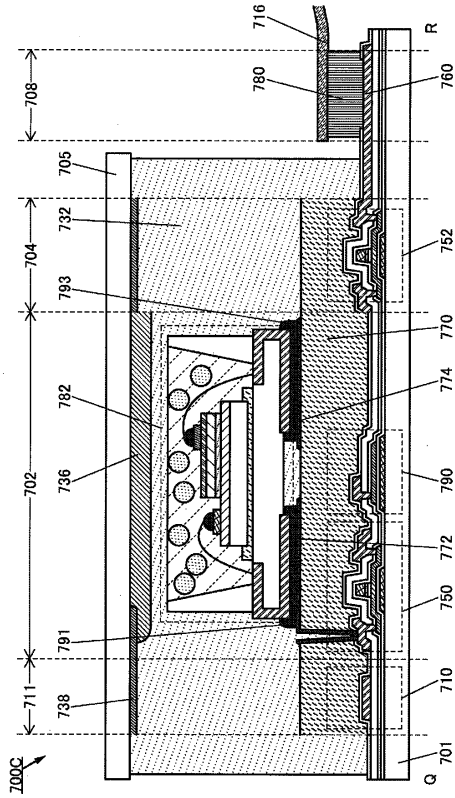
20

30

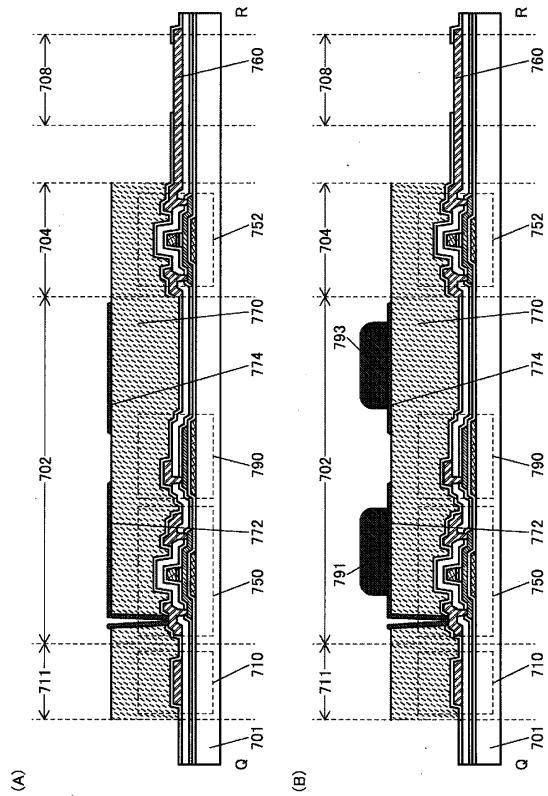
40

50

【 13 】



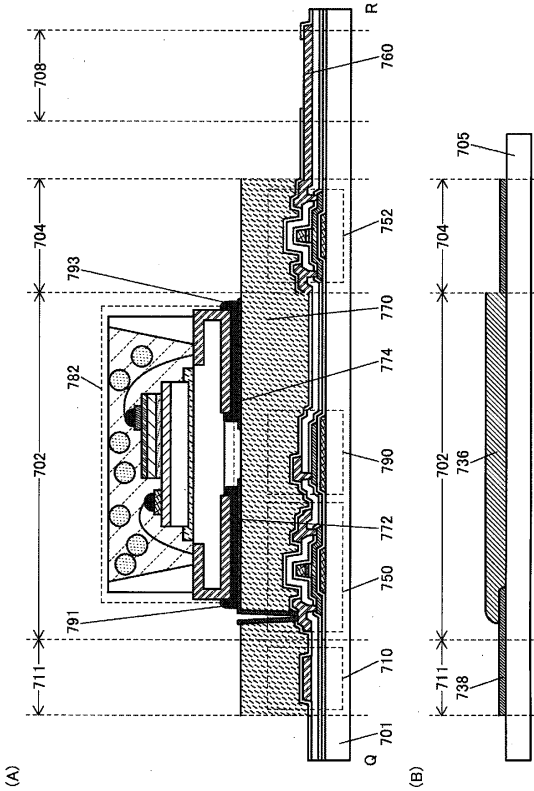
【 14 】



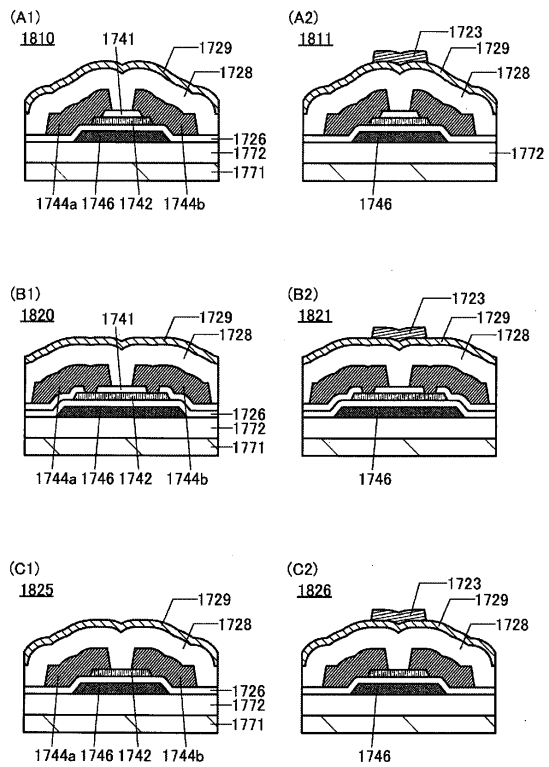
10

20

【 15 】



【 16 】

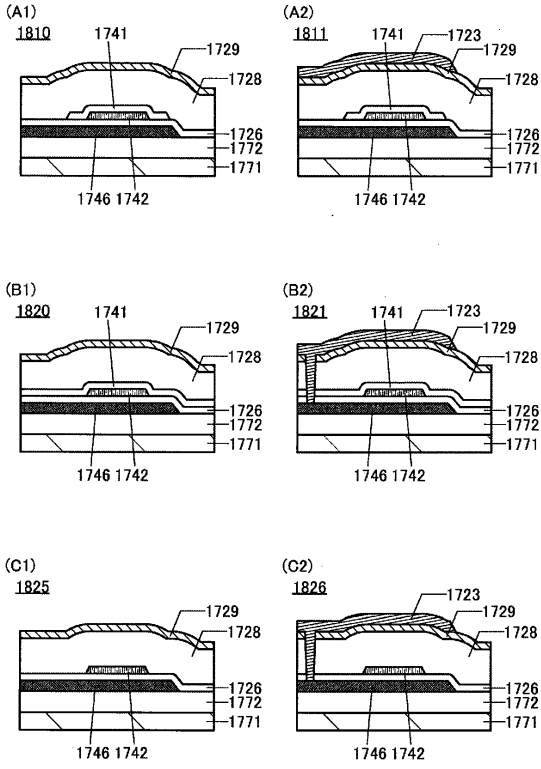


30

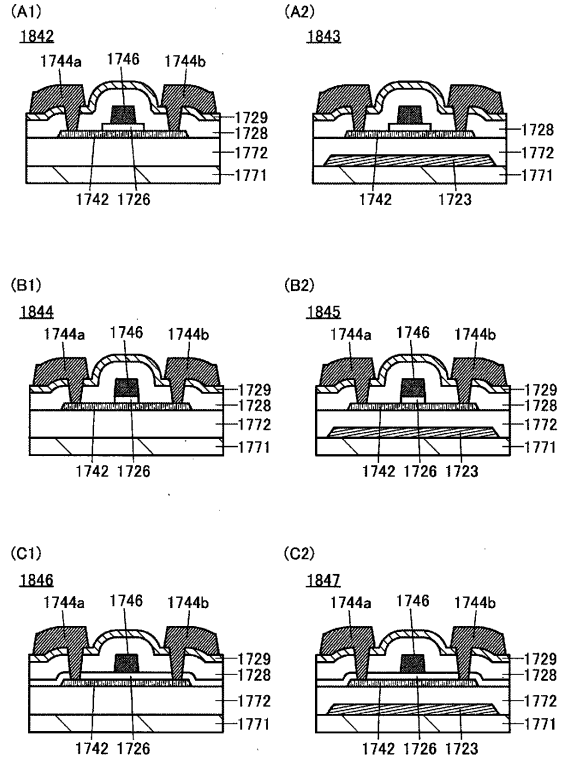
40

50

【 図 1 7 】



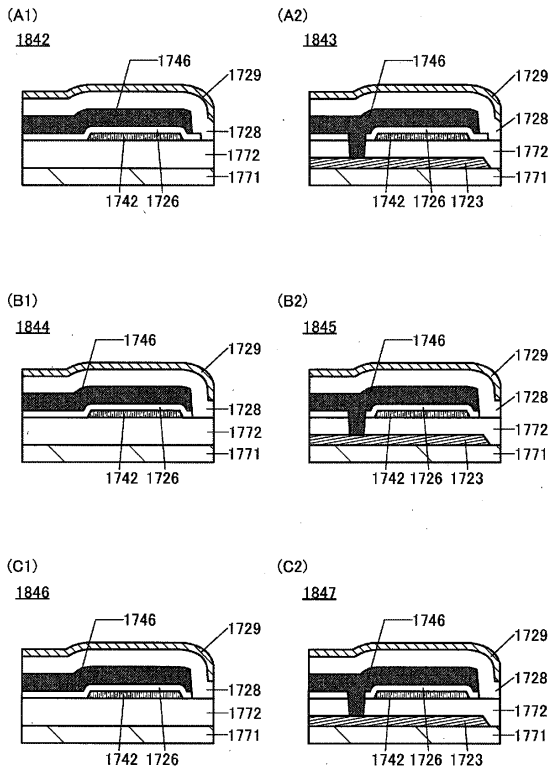
【 図 1 8 】



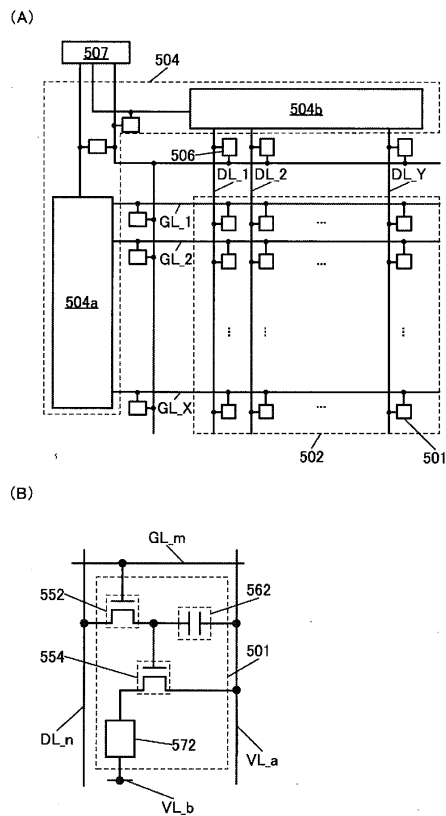
10

20

【 図 1 9 】



【 図 2 0 】

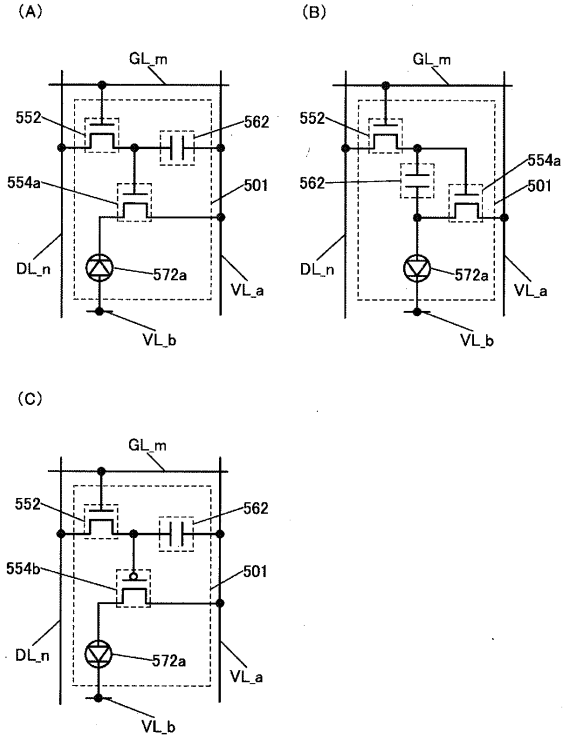


30

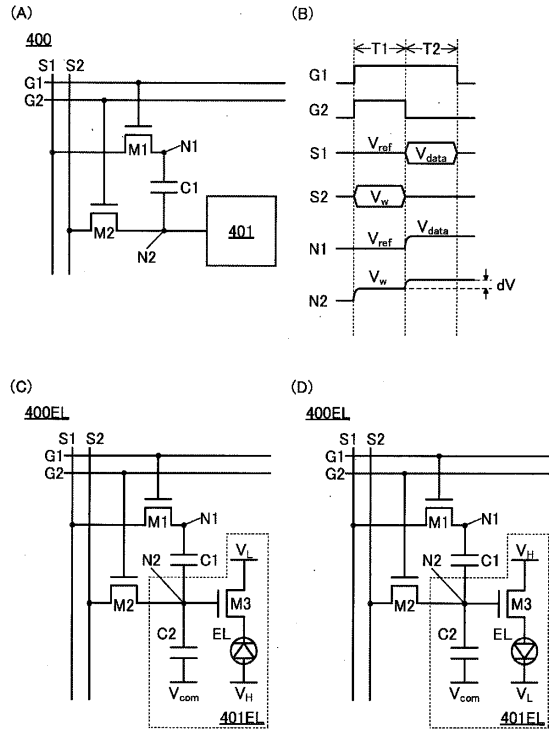
40

50

【 2 1 】



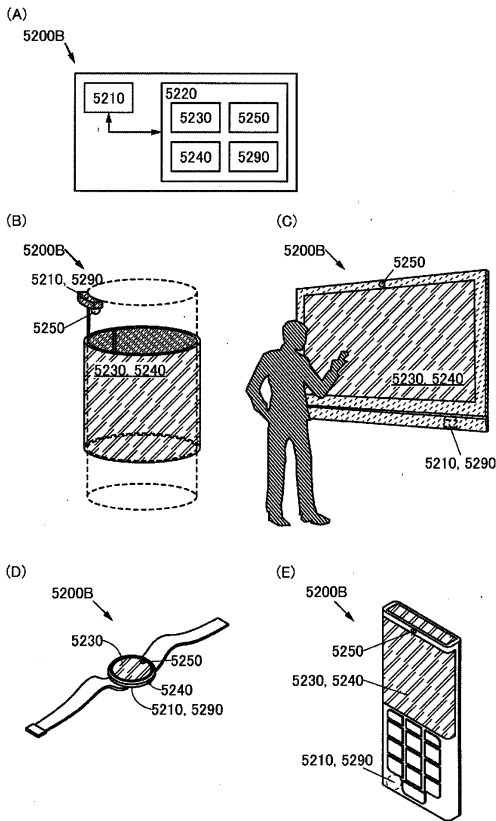
【 2 2 】



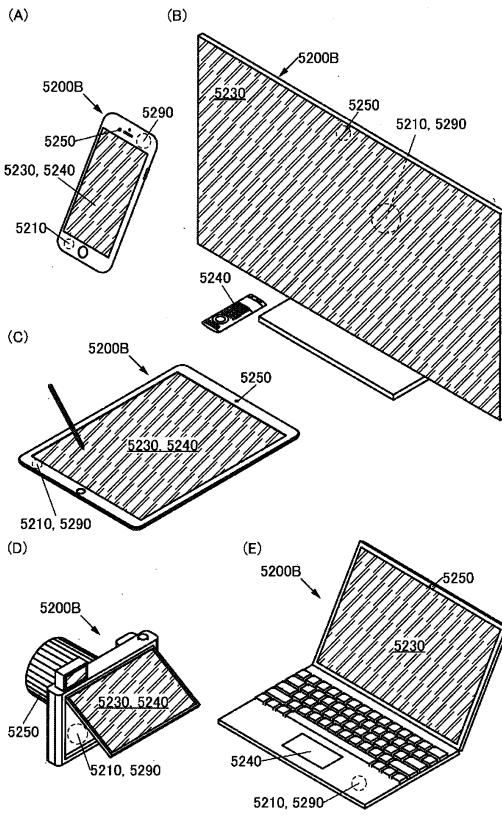
10

20

【 2 3 】



【 2 4 】



30

40

50

フロントページの続き

(51)国際特許分類

F I
H 0 1 L 33/50

(56)参考文献

特開 2 0 1 7 - 1 5 7 7 2 4 (J P , A)
特開 2 0 1 7 - 1 6 7 5 1 5 (J P , A)
特表 2 0 1 6 - 5 0 8 2 3 1 (J P , A)
国際公開第 2 0 1 3 / 1 0 8 5 4 7 (W O , A 1)
特開 2 0 1 6 - 1 7 1 3 1 9 (J P , A)
米国特許出願公開第 2 0 1 8 / 0 0 1 2 9 4 9 (U S , A 1)

(58)調査した分野 (Int.Cl., D B 名)

G 0 9 F 9 / 3 3
G 0 9 F 9 / 3 0
H 0 1 L 3 3 / 0 0
H 0 1 L 3 3 / 5 0