(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2006 年5 月4 日 (04.05.2006)

PCT

(10) 国際公開番号
WO 2006/046640 A1

(51) 国際特許分類:
H01L 21/02 (2006.01) *H01L 27/12* (2006.01)
H01L 21/20 (2006.01) *H01L 29/786* (2006.01)

(21) 国際出願番号: PCT/JP2005/019779

(22) 国際出願日: 2005 年10 月27 日 (27.10.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2004-314882
2004 年10 月28 日 (28.10.2004) JP

(71) 出願人 (米国を除く全ての指定国について): 古河電気工業株式会社 (THE FURUKAWA ELECTRIC CO., LTD.) [JP/JP]; 〒1008322 東京都千代田区丸の内２丁目６番１号 Tokyo (JP). 国立大学法人奈良先端科学技術大学院大学 (NARA INSTITUTE OF SCIENCE AND TECHNOLOGY) [JP/JP]; 〒6300192 奈良県生駒市高山町８９１６－５ Nara (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 冬木 隆 (FUYUKI, Takashi) [JP/JP]; 〒6300192 奈良県生駒市高山町８９１６－５ 奈良先端科学技術大学院大学内 Nara (JP). 鈴木 堅吉 (SUZUKI, Kenkichi) [JP/JP]; 〒3058565 茨城県つくば市東１－１－１ 独立行政法人産業技術総合研究所 つくば第５事業所内 株式会社オンファイバーシステム内 Ibaraki (JP). 戸田 貞行 (TODA, Sadayuki) [JP/JP]; 〒1008322 東京都千代田区丸の内２丁目６番１号古河電気工業株式会社内 Tokyo (JP). 小相澤 久 (KOAIZAWA, Hisashi) [JP/JP]; 〒1008322 東京都千代田区丸の内２丁目６番１号古河電気工業株式会社内 Tokyo (JP).

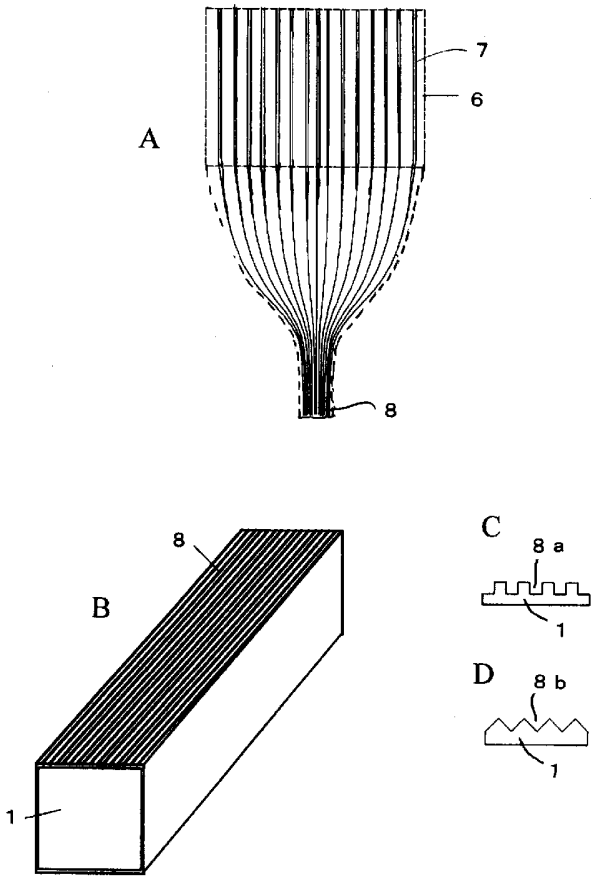
(74) 代理人: 川和高穂 (KAWAWA, Takaho); 〒1080073 東京都港区三田三丁目１－１０三田マルハチビルディング７階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,

/続葉有/

(54) Title: FIBER SOI SUBSTRATE, SEMICONDUCTOR DEVICE USING SAME AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: ファイバーＳＯＩ基板及びこれを用いた半導体素子並びにその製造方法



(57) Abstract: Disclosed is an SOI substrate which enables to form a composite device of an MOS integrated circuit and a passive device, while contributing to reduce the size and production cost of a semiconductor device. Specifically disclosed is an SOI substrate (5) having a fiber (1) having a polygonal cross section and a semiconductor thin film (3) which is formed on at least one surface of the fiber (1) and then crystallized thereon. The surface of the fiber (1) is provided with a plurality of grooves (8) extending in the longitudinal direction of the fiber (1) with intervals in transverse direction.

(57) 要約: 【課題】ＭＯＳ集積回路と受動素子の複合デバイスが可能で、半導体装置のサイズ並びに製造コストも低減できるＳＯＩ基板を提供すること。【解決手段】多角形の断面を有するファイバー１と、ファイバー１の少なくとも一面上で成膜後に結晶化された半導体薄膜３とを有するファイバーＳＯＩ基板５であって、ファイバー１の表面には、ファイバー１の線方向に延び且つ幅方向に間隔をおいて複数配置される溝８が形成されている。

WO 2006/046640 A1

BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

ファイバーSOI基板及びこれを用いた半導体素子並びにその製造方法

技術分野

[0001] 本発明は、ファイバーSOI基板及びこれを用いた半導体素子並びにその製造方法に関し、より詳しくは、石英ファイバーを用いるファイバーSOI基板と、このファイバーSOI基板を用いて形成される半導体素子、及びその製造方法に関する。

背景技術

[0002] 半導体製品は多岐に亘り、あらゆる分野で無数の使用形態がある。このうち大きな比率を占めるのがMOS(Metal Oxide Semiconductor)トランジスタにより構成されるマイクロプロセッサ(MPU(Micro Processing Unit))、マイクロコントローラユニット(MCU(micro-controller unit))、ロジック、メモリ等である。これらの半導体製品が適用されるのは主としてコンピューターであり、この市場の拡大は、大型計算機から始まりパーソナルコンピューターに至るダウンサイジング、即ち集積回路技術の進展とコストダウンによるところが大きい。

[0003] 半導体製品の性能向上とコストダウンは微細化とシリコン(Si)ウェハーサイズの拡大により対応が図られて来たが、この結果個々の装置の大形化と高性能化で設備投資が上昇している。この設備コスト上昇は製造のみならず製品開発のコストも引き上げており、これがまた更なる微細化と基板サイズ拡大と言う循環になっている。

[0004] また、最近の携帯電話の爆発的な普及とその展開として、ユビキタス・ワイヤレスネットワークが張り巡らされたユビキタス社会なるものが現実化されようとしている。これは端末集積回路チップがあらゆるものに埋め込まれており、インターネットを介して端末アクセス系とサーバーが互いに無線で接続されるシステムと考えられている。この様なシステムで要求される技術は、サーバー、通信系においては高速、大容量ということで、今までのMOS集積回路の更なる微細化、低電力化である。一方、最終端末に対する要求はダウンサイジングと低コスト化である。

[0005] CMOS(Complementary Metal Oxide Semiconductor)集積回路技術は、1980年から1995年の間は電圧一定で比例縮小を続け、その結果、消費電力が3年で4倍

づつ増大した。これを抑えるため電源電圧を下げてきたが、微細化と高集積化により効果が上がらないのが実情である。

[0006] 消費電力を抑えるための方法として低電圧以外に能動素子の低閾値化があるが、これでは漏れ電流が増える。これらは、Siウェハーによる MOS構造の原理的なもので、結局はアーキテクチャ、回路構成、デバイス動作設計の面で解決を図るしかない。

[0007] 一方、ICタグで代表される最終端末では、IC部は比較的簡単な回路構成であるが、アンテナ、インダクタンス、容量といった比較的大きな受動素子が必要である。

[0008] ところが、Siウェハー上に800MHz～5GHzの高周波受動素子を作る場合、シリコン基板が低抵抗のためにインダクタなどはシリコン基板とカップリングしてQ(quality factor)が下がる。容量も特に大容量を形成する場合、容量をオンチップにしようとすると材料の選択が困難になるのでプリント基板に作り込むことになる。これらの結果として、プリント基板(PCB(print-circuit board))実装コストがかかることになり、ICタグ等の根本要請である低コスト化が難しい。

[0009] 以上の問題はSOI(semiconductor on insulator)基板を用いることにより大部分解決が可能であることは周知である。MOSトランジスタ特性に関しては完全空乏型SOI(fully depleted SOI)基板を用いることにより優れた特性が実現できる。しかも、自己発熱効果、基板浮遊効果、素子耐圧等のデメリットに関してもSOI基板の使用によりいろいろ対応策を講じることが出来、下記の特許文献1に記載されているように、高速ロジック回路やDRAM(dynamic random access memory)が試作されている。SOI基板は半導体層の下が絶縁基板であるので、高性能の受動素子のオンチップ化も容易である。

特許文献1:特開2004－228206号公報

発明の開示

発明が解決しようとする課題

[0010] しかし、SOI基板における問題は、基板製造のコストであり、現在ウェハーより1桁以上高価である。これはSOI基板の製造方法が、Siウェハーを用いて絶縁基板化するために種々の工程を経るためである。従って、SOI基板を用いた半導体装置は上記したような有効性を有することは分かっているが、なかなか実用化されていない。

[0011] 本発明の目的は、従来の二次元基板に比べて種々のMOS半導体デバイス、更にはMOS集積回路と受動素子の複合デバイスの形成が可能で、半導体装置のサイズ並びに製造コストも低減できるファイバーSOI基板及びこれを用いた半導体素子並びにその製造方法を提供することである。

課題を解決するための手段

[0012] 上記の課題を解決するための本発明の第1の態様は、多角形の断面を有するファイバーと、前記ファイバーの少なくとも一面上で成膜後に結晶化された半導体薄膜とを有するファイバーSOI基板である。

本発明の第2の態様は、第1の態様に係るファイバーSOI基板において、前記半導体薄膜は、前記ファイバーの表面に前記ファイバーの線方向に延び且つ幅方向に間隔をおいて複数配置された溝の上に形成されていることを特徴とする。

[0013] 本発明の第3の態様は、第1又は第2の態様に係るファイバーSOI基板において、前記ファイバーと前記半導体薄膜の間に形成された絶縁材、半導体のいずれかよりなる薄膜をさらに有することを特徴とする。

[0014] 本発明の第4の態様は、第1乃至第3の態様に係るファイバーSOI基板において、前記半導体薄膜上には絶縁膜が形成されていることを特徴とする。

[0015] 本発明の第5の態様は、多角形の断面を有するファイバー上に成膜後結晶化された半導体薄膜を有するファイバーSOI基板と、前記ファイバーの少なくとも1面の前記半導体薄膜に形成された半導体能動素子と、前記ファイバーのいずれかの面に形成された受動素子とを有する半導体素子である。

[0016] 本発明の第6の態様は、第5の態様に係る半導体素子において、前記ファイバ上の少なくとも1面には回路チップが接続されていることを特徴とする。

[0017] 本発明の第7の態様は、第5又は第6の態様に係る半導体素子において、前記受動素子は、インダクタンス、容量の少なくとも1つであることを特徴とする。

[0018] 本発明の第8の態様は、多角形の断面を有するファイバーの少なくとも一面上に非晶質、微結晶、多結晶のいずれかの半導体薄膜を成膜する工程と、前記半導体薄膜を熱、レーザーアニールのいずれかにより結晶化する工程とを有することを特徴とするファイバーSOI基板の製造方法である。

本発明の第9の態様は、第8の態様において、前記半導体薄膜を形成する前に、前記ファイバーの線方向に延び且つ幅方向に間隔をおいて複数配置される溝を前記ファイバーの表面に形成する工程をさらに有することを特徴とする。

[0019] 本発明の第10の態様は、第9の態様に係るファイバーSOI基板の製造方法において、前記ファイバーを形成するための母材の表面に複数の初期の溝を予め形成する工程と、前記母材の線引により前記ファイバーを形成すると同時に前記ファイバーの前記初期の溝を所定の幅に細くして前記ファイバーの前記溝となす工程とをさらに有することを特徴とする。

[0020] 本発明の第11の態様は、第9又は第10に係るファイバーSOI基板の製造方法において、前記半導体薄膜の結晶化の前に、前記溝を有する前記ファイバーの表面に絶縁性、半導体のいずれかの薄膜を形成する工程を有することを特徴とする。

[0021] 本発明の第12の態様は、第8乃至第11のいずれかに係るファイバーSOI基板の製造方法において、前記半導体薄膜の結晶化の後に、前記半導体膜の上に二酸化シリコン膜を形成する工程をさらに有することを特徴とする。

[0022] 本発明の第13の態様は、第12の態様に係るファイバーSOI基板の製造方法において、前記二酸化シリコン膜の形成工程は、熱酸化炉において熱酸化膜を形成し更に連続して気相成長二酸化シリコンを成膜し且つ高温でアニールする工程であることを特徴とする。

[0023] 本発明の第14の態様は、多角形の断面を有するファイバーの少なくとも一面上に成膜後結晶化された半導体薄膜を有するファイバーSOI基板を用意し、前記ファイバーSOI基板の少なくとも一面の前記半導体薄膜に能動素子を形成する工程と、前記ファイバーのいずれかの面に受動素子を形成する工程とを有することを特徴とする半導体素子の製造方法である。

[0024] 本発明の第15の態様は、第14の態様に係る半導体装置の製造方法において、前記ファイバーSOI基板の少なくとも一面に回路チップを接続する工程をさらに有することを特徴する。

[0025] 本発明の第16の態様は、多角形の断面を有するファイバーの少なくとも一面上に半導体薄膜を有するファイバーSOI基板が保護膜により覆われた状態で第1のリー

ルに巻き取り、前記第1のリールから前記ファイバーSOI基板を引き出している領域において前記ファイバーSOI基板に半導体素子を製造するための処理を行った後に前記保護膜、新たな保護膜のいずれかに覆われた前記ファイバーSOI基板を第2のリールに巻き取ることを特徴とする半導体素子の製造方法である。

[0026] 本発明の第17の態様は、第16の態様に係る半導体素子の製造方法において、前記保護膜はレジストであり、前記処理はレジスト剥離、洗浄、乾燥、成膜、レジスト塗布。プリベーク、露光、現像、エッチングの少なくとも1つであることを特徴とする。

発明の効果

[0027] 本発明によれば、多角形の断面形状を有するファイバー上に成膜された半導体薄膜の結晶化により低コストの「一次元」SOI基板が可能であり、これを用いることにより、能動素子と受動素子を搭載した複合デバイスの形成が可能になり、SOI基板、製造プロセス、製造装置の各コストが低減される。

ここで、「一次元」SOI基板とは、幅、厚さ、径などの断面のディメンジョンに比べて例えば10倍以上の十分な長さを有するSOI基板である。

[0028] しかも、ファイバSOI基板を2つのリールで巻き出し、巻き取りする間の領域を半導体素子形成のための処理領域としているので、ファイバーの各面を露出させて処理することができ、これらによって製造されるMOS集積回路、並びにMOS集積回路と受動素子の複合デバイス等のコスト低減と同時にファイバーの4面利用による立体レイアウトでデバイスサイズが縮小される。

図面の簡単な説明

[0029] [図1]図1A, 図1Bは、本発明の実施形態に係る角型ファイバー上に成膜されたSi膜のレーザーアニール結晶化による単結晶化の方法を示す斜視図と結晶化の様相を模式的に示す図である。

[図2]図2A, 図2Bは、本発明の実施形態に適用される融液相からの結晶化の原理を示す特性図、図2Cは、この原理をファイバーに適用する方法を示す本発明の実施形態に係る装置の構成図である。

[図3]図3A～図3Cは、グラフォエピタキシの原理を示す図である。

[図4]図4Aは、本発明の実施形態において母材を線引してファイバを形成する状態

を示す側面図、図4Bは表面に微細な溝を有する本発明の実施形態に係るファイバを示す斜視図、図4C、図4Dは本発明の実施形態に係るファイバー表面の微細な溝を示す断面図である。

[図5]図5Aは、本発明の実施形態に係るICタグの回路構成、図5Bは、ICタグのファイバー上のレイアウトの例を示す斜視図である。

[図6]図6Aは、本発明の実施形態に係るファイバーSOI基板に形成されるMOSトランジスタの形成工程のフローチャート、図6Bは、本発明の実施形態に係るMOSトランジスタの形成工程を示す断面図である。

[図7]図7は、本発明の実施形態においてファイバーSOI基板を用いてMOSトランジスタの形成をリール・ツウ・リール工程で分割したプロセスフローを示す図である。

[図8]図8A, 図8Bは、本発明の実施形態においてリール・ツウ・リール工程を実現する装置の原理を示す構成図である。

[図9]図9A, 図9Bは、本発明の実施形態に用いられるファイバー基板用露光機の光学系とサーボ制御系の原理を示す図である。

[図10]図10A～図10Dは、断面角型ファイバーの4辺の露光の態様を示す図である。

[図11]図11A, 図11Bは、本発明の実施形態における露光光学系の原理図と照明光のインコヒーレント化の方法を示す構成図である。

[図12]図12は、本発明の実施形態に各工程のプロセスレートを示す表である。

[図13]図13は、本発明の実施形態に用いられる熱CVD装置の原理を示す構成図である。

[図14]図14Aは、本発明の実施形態に用いられるドライエッチング装置の原理を示す構成図、図14B, 図14Cは、ドライエッチング装置におけるファイバーと電極を示す断面図である。

[図15]図15Aは、本発明の実施形態に用いられるレジスト塗布装置の構成図、図15Bは、本発明の実施形態に用いられるウェット工程用装置の構成図である。

符号の説明

[0030] 1:ファイバー

2:下地膜

3:シリコン薄膜

4:レーザー照射部

5:ファイバーSOI基板

6:母材

7:母材の溝

8、8’ ファイバーの溝

10:レーザー光

11:温度調節器

12:温度調節媒体

20a, 20b:アンテナ(インダクタンス)

21:容量

25, 26, 27:集積回路

30a:捲き出しリール

30b:巻き取りリール

31a～31d:補助リール

32～36:真空槽以外の各種プロセス装置

40a:捲き出しリール

40b:巻き取りリール

40a, 40:真空槽

42a～42c:差動排気室またはドライ剥離室またはアッシング室

43:プロセス室

44:構成部品

50:露光光学系

51:結像レンズ

52:露光マスク

53:ケーラー照明光学系

55:サーボ制御用コンピューター

56:結像レンズ制御系

57:検出系

58:ファイバー制御系

60～62:ファイバー面位置検出光学系

66a, 66b, 67a, 67b:ファイバーサーボメカニカル制御系

70a:捲き出しリール

70b:巻き取りリール

80:レーザー光

81a, 81b:分割レンズ

82:インコヒーレント化部

83:コンデンサレンズ

84:フィールドレンズ

85:露光マスク

86:結像レンズ

87:結像面

88a, 88b:ファイバー入・出射レンズ

89:光路差用光ファイバー

90:成膜室

91:ヒーター

92a, 92b:ガス導入口

93a. 93b:排気口

100:ドライエッチング室

101a, 101b:ガス導入口

102a, 102b:排気口

103, 104:線状電極

105, 106:高周波電源

107, 108:電界

110:レジスト塗布部

111:ベーク炉

112:液槽

113:バイパス部

114:出口

発明を実施するための最良の形態

[0031] 本発明の実施形態に係るSOI基板は例えば次の3形態である。

第一は、断面が正方形または長方形の石英ファイバー、又はその石英ファイバー上に絶縁材である窒化シリコン(Si_3N_4)または半導体である炭化シリコン(SiC)の薄膜を成膜した表面の少なくとも一部、又は断面から見た一辺に厚さ100nm以下の非晶質または微結晶または多結晶のシリコン(Si)薄膜を成膜し、これを熱ないしはレーザーアニールによりファイバーの線方向にラテラル成長結晶化させたものである。

[0032] 第二は、断面が正方形または長方形の石英ファイバーの少なくとも一部又は断面から見た一辺に、石英ファイバーの線方向に間隔が数μm以下の微細な溝を形成し、その表面の上、又はその上に窒化シリコンまたは炭化シリコンの薄膜を成膜した表面の上に、膜厚100nm以下の非晶質または微結晶または多結晶のSi薄膜を成膜し、これを熱ないしはレーザーアニールによりファイバーの線方向にラテラル成長結晶化させたものである。

[0033] 第三は、MOSデバイスの形成に便利なように、上記SOI基板を熱酸化により全面に亘ってゲート酸化膜を形成したもので、ゲート酸化膜の厚みによっては熱酸化に引き続いて高温で二酸化シリコン(SiO_2)の成膜を行ったものである。

[0034] 次に、以上のSOI基板を用いた半導体デバイス構造として、例えば以下のような3つの態様が適用できる。

第一の構造は、石英ファイバーの少なくとも一部又は断面面から見た一辺に、一個乃至は複数個のMOS・ICと、石英ファイバのいずれかの箇所に設けられ、MOS・ICと組み合せて用いられる配線並びにインダクタンス、容量等の受動素子とを形成したものである。この受動素子は、MOS・ICと同じ部分若しくは異なる部分、又は同じ辺(面)若しくは他の辺(面)に形成することができる。

第二の構造は、別のSiウェハー等から製作されたICチップを第一の構造に積載し

て用いるものである。

第三の構造は、ファイバー上には配線並びにインダクタンス、容量、抵抗等の受動素子が形成されており、これに別のSiウェハー等から形成されたICチップを積載したものである。

[0035] 次に、これらの半導体デバイスを製造する方法として、例えば、リール・ツウ・リール(reel to reel)法を提案する。これは1本の長尺ファイバーを対象とする方法で、出発点はリールに巻かれたファイバーで、これを一つのフォトリソグラフィー工程をリール・ツウ・リールで行う方法である。即ち、前のフォトリソグラフィー工程でレジスト剥離前にリール巻き取った状態を出発点として、レジスト剥離、洗浄、乾燥、例えば成膜、レジスト塗布、プリベーク、露光、現像、エッチング、洗浄の順でフォト工程を進め、レジスト剥離前で止め、リールに巻き取り、これをまた次の工程に送り、以下同様な過程を繰り返す。

[0036] 以下に本発明の実施例を図面に基づいて説明する。

図1Aは、基板に使用される断面が角型の石英製のファイバー1の表面全面に、又はファイバー1の一部の表面に下地膜として成膜された窒化シリコン又は炭化シリコンよりなる絶縁性の薄膜2と、絶縁性の薄膜2の表面全面又は一部の表面に、四塩化シリコン($SiCl_4$)を用いて熱CVD(chemical vapor deposition)法により100nm厚の多結晶のシリコン膜3を形成し、その一面の領域4に波長308nm、パルス幅20nsのXeClパルスエキシマレーザー10を均一に照射しシリコン膜3を溶融結晶化する。このようなファイバー1とその上の絶縁性薄膜2及びシリコン(半導体)膜3とによりファイバーSOI基板5が構成される。

[0037] 窒化シリコン又は炭化シリコンの薄膜2の役割は結晶化の過程においてはシリコン融液の濡れ性の改善であり、結果として基板－Si結晶界面のパッシベーションである。

[0038] ここで、レーザー照射位置は固定され、ファイバー1は一定の速度で長手方向に移動される。結晶化の過程は図1Bに示すように、1発目の領域aは多結晶である。そして、レーザパルス印加のタイミングを石英ファイバー1の移動と同期させ、レーザ照射により多結晶Si膜3のうち結晶化の終わった部分に少し重なるように後のレーザを照

射する。この動作を数回繰り返すことにより領域b、cと結晶粒が次第に大きくなり終には領域dの様に単結晶化する。

[0039] このような結晶成長法は1970年代末から1980年代前半にかけてレーザーアニールの研究が精力的になされた結果であって周知の事実であるが、James S. ImらのUS特許96/07730(WO97/45828)においてACSLG(Artificially controlled super lateral growth)として開示されている。Imらの方法は一般的な「二次元」基板においてスリット状のエキシマレーザー光を上記の様に照射し、粒径の拡大を図っているが、粒径は高々数μのサイズでありこれ以上の制御は出来ていない。即ち、通常の二次元基板では核発生に伴って結晶成長方向の自由度が高く、これを制御することは非常に困難である。

[0040] シリコン融液からの結晶化のためには液相から固相への熱の流れが必要であるが、この状況を模式的に描いたのが図2Aである。固－液界面の近傍では液相の温度は融点(Tm)以下、即ち過冷却状態でなければならない。固－液界面で温度が上昇するのは液相から固相への転移の潜熱による。発生する潜熱を逃がすのに十分な温度勾配が固相中に形成されていなければならない。

[0041] 固相の成長速度は、図2Bの界面応答関数(interface response function)に示すように、過冷却(ΔT)の関数である。この過冷却を決定するのはレーザーによる熱注入量と固相シリコン膜の温度勾配である。この2つによって冷却速度が決まり、冷却速度と結晶成長速度は対数的に比例する。

[0042] 石英製ファイバ1のような「一次元」基板を用いる場合、図2Cに示すように温度調節器11と冷媒等の温度調節媒体12により、基板である石英製ファイバー1の任意の部分を任意の温度に高精度で制御出来るので、レーザーの注入熱量と共に結晶成長の外部パラメーターである温度勾配を完全に制御出来る。従って「一次元」の基板を用いる場合、この制御性により上記Imらの特許とは本質的に異なる内容になる。

[0043] 結晶成長に於いては熱過程と同時に結晶方位の制御が重要である。特に「一次元」基板を用いた場合はウェハのような通常の二次元基板より結晶化領域が限定されていると言うものの、今回実用を考えている石英製ファイバー1の幅は200μm以上であり、少なくとも200μm以上の種結晶の成長とこれを少なくとも数mm以上の長さ

に成長させる必要がある。

[0044] 大面積の単結晶化の具体的な制御方法として、1979年にM.W.Geisらが報告したグラフォエピタキシ法がある(1979IEDM No.9、1)。図3Aに示すように、通常は基板121に垂直な軸の回りの結晶122の配向はランダムであるが、図3B, 図3Cに示すように、基板121に微細な溝123があると液晶分子の配向と同様に結晶方位を限定することができる。この結果、彼等は石英基板上で0．5μmの膜厚、15mm角の大きさのシリコン単結晶を得ている。

[0045] 本発明では同様な原理を適用するが、その際、溝の形成方法としては、図4Aに示すように、石英製のファイバー1を形成するための線引き時に用いられる母材6に予め溝7を形成しておき、この母材6を線引きしファイバー化することにより図4Bに示すように相似的に微細化された溝7をファイバー1の面上に径形成することができる。

[0046] 例えば一辺100mmの角形の母材6に線引方向に幅1mmの溝7をつけておくと、その母材6を線引きして一辺0．3mmとなったファイバー表面では溝7は幅は3μmとなる。溝7の形状として、図4Cに示すような断面が方形状の溝8a、或いは、図4Dに示すような断面が三角形の溝8b、その他任意の形状を作ることができる。この他、既に出来上がったファイバーにレーザー干渉パターンを照射する方法、超鋼等による微細突起による機械的方法も採用できる。このような溝8のパターン上に、場合によっては窒化シリコンまたは炭化シリコンの下地膜を形成しておく。

[0047] そして、そのような溝7が形成されたファイバー1の表面にシリコン薄膜3を形成し、その後に図1Aに示すようなパルスレーザをシリコン薄膜3に照射することにより結晶配向の揃った結晶シリコン薄膜に変えることができ、これをファイバSOI基板5として用いることができる。

[0048] 本実施例に於いてはXeClエキシマレーザー10を用いているが、KrF エキシマレーザを用いても同様の効果が得られる。連続発振YAGレーザー三倍高調波(波長353nm)をEOモジュレーター(電気光学変調器)でパルス化しても良い。さらにファイバーの線速と冷却速度の兼ね合いで連続発振のレーザーを用いても良い。

[0049] 図4Aに示す母材6は線引き炉内で加熱されてキャプスタンに掛けられて所定速度で線引されてファイバー1となる。そして、線引き炉とキャプスタンの間の領域で、ファ

イバー1の表面にシリコン膜が形成される。シリコン膜の形成方法としては、後述するような熱CVD法や、シリコンペースト塗布後に焼成する方法や、溶融シリコン塗布後にアニールする方法などがある。

[0050] 上記のファイバーSOI基板5によりDRAM、フラッシュメモリー等全て半導体デバイスの製作は可能であるが、本実施例では効果が顕著に現れる能動－受動複合素子の一例としてファイバーSOI基板5をICタグに適用し、その一例について以下に説明する。

[0051] 図5Aは、ICタグ回路の一例のブロックダイアグラムである。

ICタグ回路では、アンテナ14と受送信回路15の整流回路（不図示）中の平滑コンデンサが面積を占める主要な受動素子である。受送信回路15は高周波（RF）回路とアナログインターフェイス（IF）を有し、デジタル信号処理回路16からデータを外部に送信するか、外部のデータを送り込む。これらを全て一括して集積化するのが理想であるが、通常はこれら各回路が分離してチップ化される例が多い。なお、デジタル信号処理回路16にはクロック回路17が接続され、また、受送信回路15とクロック回路17には電源回路18が接続される。

[0052] 図5Bは、ファイバーSOI基板を用いて形成されるICタグのレイアウトを模式的に描いた斜視図である。

断面四角形のファイバーSOI基板5の一面には能動素子である3種類の回路25～27が分離して構成され、別の面には受動素子である2種類のアンテナまたはインダクタ20a、2bが形成されている。残る面には受動素子である平滑容量21が形成されている。この構成から明らかなように、各受動素子と能動素子とは分離され完全な絶縁基板上に構成されており、高性能の機能を持たせることができる。

[0053] この実施例では、各集積回路25～27はファイバーSOI基板5に形成されているが、ファイバー1をプリント配線基板の一種と見なして予め必要な受動素子、配線等を形成したものに別に製作したシリコンチップをボンディングしてICタグを構成しても良い。

[0054] 図6Aにファイバー上におけるトランジスタ形成のプロセスフローを示し、図6Bにその形成プロセスの断面図を示す。

[0055] 図6A、図6Bは、ファイバSOI基板5を用いた場合のMOSトランジスタ形成工程の一例を示す図である。まず、図6A、図6Bのステップ(1－3)に示すように、シリコン膜3をパターニングしてシリコン膜3のアイランドを形成する。

[0056] 次に、ステップ(4－6)、(7－10)に示すように、シリコン膜3の表面をプラズマ酸化、熱酸化、酸化膜成膜等の手段によりゲート酸化膜9aで覆い、ゲート電極9bをゲート酸化膜9aの上に形成する。ゲート電極9bの構成材料としてはタングステン、タングステンシリサイド等の金属、金属シリサイドを用いた。続いて、ステップ(11－17)に示すように、ゲート電極9bの両側に不純物イオン打ち込みを行ってソース・ドレイン(S／D)を構成する第一不純物導入領域3sと第二不純物導入領域3dを形成する。

[0057] その後、ステップ(18－21)、(22－27)に示すように、例えば熱CVD法により第一層間絶縁膜9cを成膜し、さらに、レジストマスクを用いたエッチングにより第一層間絶縁膜9cのうちゲート電極9b、第一及び第二不純物導入領域3s, 3dの上にコンタクトホール9d～9fを開けてゲート配線9g、ソース配線9i、ドレイン配線9hを形成した。この際、それらの配線9g、9i、9hのうち下層としてバリヤメタルとしてチタン(Ti)を用い、その上の金属層としてアルミニウム(Al)を用いた。

[0058] さらに、ステップ(28－30)、(31－38)に示すように、例えば熱CVD法により第二層間絶縁膜9jを成膜した後に、レジストマスクを用いて第二層間絶縁膜9jをエッチングして、ゲート配線9g、ソース配線9i、ドレイン配線9hの上にそれぞれスルーホール9k、9m、9nを形成し、さらに、第二層間絶縁膜9j上とスルーホール9k、9m、9n内にアルミニウム膜を形成する。その後に、レジストマスクを使用してアルミニウム膜をエッチングして、スルーホール9k、9m、9nのそれぞれを通してゲート電極9g、ソース配線9i、ドレイン配線9hに別々に接続される複数の二層目配線9p、9r、9sを形成する。レジストマスクはエッチングの後に除去される。

[0059] 以上のようなファイバーSOI基板5上でMOSトランジスタの製造プロセスを適用するにはリール・ツウ・リール法を用いる。リール・ツウ・リール法は、ファイバーをリールから巻き出して所定の工程を行い、その後に再びリールに巻き取って次の工程に移るという方法である。

[0060] リール・ツウ・リール法では、巻取りの段階でレジストまたは薄膜が全面乃至はかなり

の部分でファイバーを覆っている必要がある。これはファイバー巻き取りには保護膜が必要であり、同時に形成されたパターンの保護から必須の条件である。この巻取りの原則に従い図6のプロセスを分割したのが図7の表である。

[0061] 図7は、一次元基板であるファイバーSOI基板の形成フロー、シリコン膜のアイランドの形成フロー、ゲート電極の形成フロー、ソース／ドレイン（S／D）の形成フロー、第一層間絶縁膜／コンタクトホール（第一層PAS/CONT）の形成フロー、ゲート、ドレイン／ソース（D／S）の配線の形成フロー、第二層間絶縁膜／スルーホール（第二層PAS/CONT）の形成フロー及び第二層配線の形成フローを示している。

[0062] この表に示すように、装置の方式には3つの範疇がある。第一の範疇は原則として真空槽を必要としないプロセスに対応するもので、図7においてブロック内の右下に○のあるプロセス部分である。第二の範疇は真空槽内のプロセスであり、リールは槽内に装着されるプロセスであり、図7においてブロック内に●印の記載があるプロセス部分がこれに対応する。第三は露光工程であり、図7においてブロック内に△印の記載がある部分である。

これら三つの範疇の装置イメージを図8、図9に示す。

[0063] 図8Aにおいて、巻き出しリール30aから引き出されたファイバー1が種々のプロセス装置32～36を通過して最後に巻き取りリール30bに巻き取られる。各プロセス装置32～36における工程、装置構成によってファイバー1の進行方向を別のリール31a～31d等で変更する。一方、真空槽を用いる場合は図8Bに示すように、プロセス室43の前後に配置されるリール40a，40bは真空槽41a，41b内で巻き出し、巻き取りを行う。プロセス室43内では、スパッタ用電極、ドライエッチング電極又はイオンガンの構成部品44が配置されている。

[0064] ファイバー1は原則的には方向変更せず一直線で走行する構成とする。この方式を採用する工程として、成膜、ドライエッチング及びインプランテーションがある。成膜工程では、成膜前に塗布されたレジストを真空槽内でアッシング、紫外線照射等で完全に剥離する工程を含んでいる。この場合のレジストは単なる保護膜であり、剥離し易い材料を選ぶ。ドライエッチング、インプランテーション工程では、プロセスで生じたレジストの硬化部分を除去する工程を含む。このように、ファイバー1は、いくつか

の作業ガスの異なるステージを連続して通過してゆくので、異なる槽間を差動排気等によって分離する必要がある。

[0065] 図8B中で、成膜、イオンインプラテーション、ドライエッチング等のプロセス室43の周辺の差動排気室、ドライ剥離室又はアッシング室42a～42dがこれらの槽に対応する。レジストが塗布されたファイバー1をリール40bに巻き取る場合はリール40bの直径は300mm以上、金属、SiO_2等が形成されファイバー1を巻き取る場合にはリール40bの直径は600mm以上とする。

[0066] レジストの露光工程は、高い精度が要求されるので独立のリール・ツウ・リールを行う。本発明において使用される露光機の概念を図9に示す。

[0067] 図9Aは、ミニチュア化された縮小投影露光光学系50をファイバ1の上に一列に並べたその原理図である。

縮小投影露光光学系50において、結像レンズ51は顕微鏡の対物レンズ程度のサイズを有し、ケーラー照明光学系53により照明された露光マスク52をファイバー1上に5:1で縮小投影を行う。

[0068] ファイバ1のアラインメントは、ファイバー1の位置、直線性等を行う検出系57の信号をサーボ制御コンピューター55で処理し、各個別結像レンズ制御系56及びファイバー制御系58にフィードバックして行う。

[0069] ファイバー1のアラインメント系の概念を図9Bに示す。そのアライメント径は、ファイバー1の露光面以外の3面を用いてファイバー面位置検出光学系60～62とミラー67a, 67bによりファイバー1の位置、角度の検出を行い、この結果をファイバー制御系58を介してファイバーサーボメカニカル制御系65a, 65b,66a, 66bの位置を制御することによりファイバー1の位置決めが行われる。アラインメント・露光過程においてファイバー1は静止されており、露光工程でのファイバー1の送りはステップワイズとなる。

[0070] 角型ファイバー1の4つの各面における露光は、図10に示すように、露光機とリールの置き方を変えることにより容易に行われる。図10Aは、ファイバー1の上面を露光光学系50の結合レンズ51に向けるように捲き出し、巻き取りの各リール70a, 70bを配置した状態を示し、図10Bはファイバー1の下面を結合レンズ51に向けるように各リ

ール70a，70bを配置した状態を示し、図10Cはファイバー1の上面に隣接する側面を結合レンズ51に向けるように各リール70a，70bを配置した状態を示している。また、図10Dは各リール70a，70bの位置を固定し、複数の露光光学系50の結合レンズ51をファイバー1の4つの各面に向けた状態で配置している。即ち、複数の露光光学系50は、それらの結合レンズ51がファイバー1の異なる面を向くように向きを変えてファイバー1の周囲で4方向に配置されている。この場合にも、各面の長手方向に対して複数の露光光学系50が配置されようにしてもよい。

[0071] 現状の半導体生産ラインの標準的な投資による生産処理能力は、200mmφの半導体ウェハーを用いる場合には、9，000枚／月であり、最先端の大型投資となると300mmφの半導体ウェハーを用いる場合には、20，000枚／月と言う計画もある。

[0072] タクトタイムとしては前者の場合は200秒／ウェハー、後者では90秒／ウェハーとなる。本実施例においては、0．3mm幅の角型ファイバー1を用いており、そのうち一辺の有効幅は0．2mmである。

[0073] 露光機における第一の例は、ファイバー1を200mmφ（直径8インチ）の半導体ウェハーに対応させたものである。即ち、この半導体ウェハーに対応するファイバー長は157mであり、図9Aにおいて50cm単位で露光すると200秒の間に314回の露光・アラインメント、即ち1露光・アラインメント時間は0．6秒である。現状の標準的エキシマステッパーの1露光・アラインメント時間は約1秒でこの内の露光時間は0．1～0．3秒、アラインメント時間は0．9～0．7秒である。なお、一次元ファイバーについてはメカニカルなアラインメント時間に0．5秒、露光時間を0．1秒とした。露光光学系に関しては現状のエキシマ露光機を図9Aで示した形態に変更したものである。

[0074] 露光機に関する第二の例は、300mmφ（直径12インチ）の半導体ウェハーに対応するもので、この場合はファイバー長は約350mで、図9Aにおいて50cm単位で露光すると90秒の間に700回の露光・アラインメント、即ち1露光・アラインメント時間は約0．1秒である。従って、現状の標準的エキシマステッパーの1露光・アラインメント時間を一桁下げることになるが、一次元ファイバーにおいてDVD等の高速サーボ制御を参考にして、メカニカルなアラインメント時間を70msにすることは十分可能である。

[0075] 一方、露光時間はドーズ量の側面とインコヒーレント化の側面がある。ウェハー用エキシマ標準装置ではドーズ量は露光面積25mm×25mmに対して10mJ／1shot、最少100shots、従って必要エネルギー密度は160mJ/cm^{2}である。露光時間を10～30msとすると発振周波数1kHz なので10～30shots、即ち1 shot当りのドーズ量としては16～5mJ/cm^{2}となりこれも全く問題がない。

[0076] 問題はインコヒーレント化が10乃30shotsで十分かどうかという点のみである。これに対してエキシマ光の照明光のコヒーレンスを下げて対応する方式を図11に示す。

図11Aは露光光学系の原理図である。光源からの光80は、第1の分割レンズ81aにより二次光源化されてインコヒーレント化部82を透過し、さらに第二の分割レンズ81bとコンデンサレンズ83によって露光マスク85に均一に照明される。さらに、露光マスク85前後に配置されるフィールドレンズ84と結像レンズ86によりマスクパターンが二度フーリエ変換され、結像面87で結像が得られる。インコヒーレント化部82におけるインコヒーレント化の操作は、分割レンズ81a、81bの中間で、図11Bに示すように分割された各光をそのコヒーレント長より長い種々の長さの光路差用光ファイバー89の一端に入射側レンズ88aを通して導入し、その光路差用光ファイバー89の他端から出射側レンズ88bを介して分割レンズ81bに整合するように出射する。これにより原理的には1shotでもインコヒーレントな照明となる。

[0077] 露光機について上述した2つの例に於いて、結像レンズ51の有効露光領域は1mm×5mm、NA（開口数）は0．42、解像度は0．3μmである。この縮小投影露光光学系50は、17個で、30mmピッチで配列し500mmを一括露光する構成とした。

[0078] ICタグの回路はウェハー面での設計では1mm^2 の領域内に収まるので、これを断面が0．3mm角のファイバー1上に作り込む場合には、有効幅0．2mm、長さ5mmとなる。この場合、図5Bに示したアンテナ20等の配置を考慮するとICタグのサイズが30mmになるが、これより長い場合は縮小投影露光光学系50の結像レンズ51のピッチを広げ、場合によっては結像レンズ51の数を減らして露光する。ICタグのサイズが短い場合は、ICタグの長さの整数倍になるように結像レンズ51間の位置を調節してその長さだけずらせながら露光する。

[0079] 全体の工程に関して本実施例では、上記露光機の第一の例に示した8インチウェ

ハー月産9，000枚に整合した工程を組んだ。その露光工程では、ファイバー1の送りはステップワイズであるが、それ以外は原則として等速走行でのプロセスである。走行速度の大きさは15，700cm／200＝79cm／sであるが、リールの入れ替え等を勘案して1m／sとした。

[0080] 図12に示す表は、現行の平面基板と本実施例のファイバーSOI基板を用いた場合の種々のプロセスレートの比較を示している。

[0081] ファイバーに於けるシリコン酸化膜、シリコン窒化膜等の膜の成長は、例えば図13に示すような熱CVD装置を用いる。

図13において、排気により減圧される石英管からなる成膜室90を外周のヒータ91により高温に加熱し、また成膜ガスをガス導入口92a，92bを通して石英管90内に導入し、さらにガス導入口91a，92bから所定の距離をおいて配置される排気口93a，93bから排出して減圧し、これによりファイバー1の表面に膜を形成する。ガス導入口91a，91bから排気口93a，93bに至る間の領域、即ち成膜有効部の長さは例えば1mである。そのような熱CVD装置は、例えば図8Bに示したプロセス室43に対応する。

[0082] 膜やファイバSOI基板をエッチングする場合には、例えば図14に示すような反応性イオンエッチング（RIE：reactive ion etching）装置を用いる。

図14において、RIE装置は、管状のドライエッチング室100にガス導入口101a，101bを通して大気圧程度の圧力でエッチングガスを導入するとともに、ガス導入口101a，101bから所定の距離をおいて反応管100に設けられた排気口102a，102bを通して排気して減圧される。これにより、反応環100内に密度プラズマを発生させる構造となっている。また、反応管100内ではファイバー1に近接し且つ平行に配置された線状電極103，104に高周波電源105，106の電力を印加し、電界集中によりエッチングレートを上げる。

[0083] 線状電極103，104は、ガス流れ方向に2つに分離されて間隔をおいて隣接される。反応ガス流路の上流側の一方の線状電極103は、図14AのI－I線断面図である図14Bに示すようにファイバー1に近い部分が先鋭となる形状を有し、これによりファイバー1に電界107を集中させてエッチングレートを上げてエッチングできる。さらに、その線状電極103の下で膜がかなりエッチングされた状態で、反応ガス流路の下流

側の他方の線状電極104の領域にファイバ1を送ることにより、図14AのII－II線断面図である図14Cに示すように、電界108の密度を低下させてダメージの少ない弱いエッチングが行われる。下流側の線状電極104のファイバー1の対向部分は例えば平坦になっている。上流側の線状電極103の実行部分の長さは例えば1m、下流側の線状電極104の実効部分の長さは0．5mである。そのようなRIE装置は、例えば図8Bに示したプロセス室43に対応する。

[0084] アルミニウム(Al)、タングステン(W)等の金属膜はイオンプレーティングでファイバー1上に成膜する。現状の平面状の半導体基板でのイオンプレーティング方式では、開口30mmφの蒸着源を用いて$1m^2$の基板に成膜する際、基板は1m／分の移動速度で150nmの膜厚が得られる。従って蒸着源開口の近傍では3．6μm／sとなる。本実施例では、蒸着源開口を4×170mmの線状にし、これを2個直線状に配列して必要膜厚を得ることができる。

[0085] 金属成膜以外の成膜とドライエッチングでは成膜レート、エッチングレートが不足しているので10本並行して処理を行っている。500mmφのリール径の場合、1枚のウェハー分は100ターンであってリール幅が30mmであり、10リール配列してもリール自体は幅500mmの容器に収まる。またファイバー1はプロセス領域内では幅10mm程度に集められる。通常、半導体に倣って1ロット25枚分を一つのリールに巻く。リール・ツウ・リールで扱えないのがイオンインプラテーション後の活性化アニールとH_2アニールである。図7に示すように両者ともバッチ処理工程として扱う。特に活性化アニールは高温で長時間行うので、石英またはセラミックスのリールに巻き変える。

[0086] ウェット工程は、レジスト塗布・プリベーク、現像・洗浄・乾燥、剥離・洗浄・乾燥の三種類に区分される。レジスト塗布・プリベークは図15Aに示すようにレジスト塗布部110、プリベーク炉111へとファイバー1が連続して送られており、光ファイバー線引き工程の保護膜塗布と類似の工程である。現像、洗浄、剥離は模式的には図15Bに示すようにファイバー1が液槽112に導入される形式である。液はバイパス部113で循環、置換、温調され常に一定条件となるように制御されている。乾燥はイソプロピルアルコール(IPA:isopropyl alcohol)の蒸気を用いるIPA乾燥であり、図15Bと同様の構成を採用しているが、出口114ではIPAの蒸気相となっている。

[0087] 以上のプロセスを用いて図5に示すような2．45GHz用高周波半導体素子（REID）を製作した。ファイバー1は断面が幅0．3mmの四角型で長さ60mm、一面に棒状アンテナ20a（14）を形成、隣の他の一面にSOI構造の回路25～27が形成されており、ここに整流回路、RF部、EEPROMを含むデジタル信号処理回路16が作りこまれている。アンテナ20aの裏側でSOI構造の形成面と隣接するさらに別の面には電源用の600pFのコンデンサ21が形成されている。

[0088] なお、上述した実施形態では、四角形の断面を有するファイバーを用いたが、3角形、五角形、それ以上の多角形の断面を有するファイバーを用いても良い。

産業上の利用可能性

[0089] 本発明はSOI基板を用いた全ての種類の半導体デバイスを低価格で利用可能であり、同時に石英ファイバーをPCBとしての利用を可能にする。

請求の範囲

[1] 多角形の断面を有するファイバーと、

前記ファイバーの少なくとも一面上で成膜後に結晶化された半導体薄膜と

を有するファイバーSOI基板。

[2] 前記半導体薄膜は、前記ファイバーの表面に前記ファイバーの線方向に延び且つ幅方向に間隔をおいて複数配置された溝の上に形成されていることを特徴とする請求項1に記載のファイバーSOI基板。

[3] 前記ファイバーと前記半導体薄膜の間に形成された絶縁材、半導体のいずれかよりなる薄膜をさらに有することを特徴とする請求項1又は請求項2に記載のファイバーSOI基板。

[4] 前記半導体薄膜上には絶縁膜が形成されていることを特徴とする請求項1乃至請求項3のいずれかに記載のファイバーSOI基板。

[5] 多角形の断面を有するファイバー上に成膜後結晶化された半導体薄膜を有するファイバーSOI基板と、

前記ファイバーの少なくとも1面の前記半導体薄膜に形成された半導体能動素子と、

前記ファイバーのいずれかの面に形成された受動素子と

を有する半導体素子。

[6] 前記ファイバ上の少なくとも1面には回路チップが接続されていることを特徴とする請求項5に記載の半導体素子。

[7] 前記受動素子は、インダクタンス、容量の少なくとも1つであることを特徴とする請求項5又は請求項6に記載の半導体素子。

[8] 多角形の断面を有するファイバーの少なくとも一面上に非晶質、微結晶、多結晶のいずれかの半導体薄膜を成膜する工程と、

前記半導体薄膜を熱、レーザーアニールのいずれかにより結晶化する工程と

を有することを特徴とするファイバーSOI基板の製造方法。

[9] 前記半導体薄膜を形成する前に、前記ファイバーの線方向に延び且つ幅方向に間隔をおいて複数配置される溝を前記ファイバーの表面に形成する工程を有すること

を特徴とする請求項8に記載のファイバーSOI基板の製造方法。

[10] 前記ファイバーを形成するための母材の表面に複数の初期の溝を予め形成する工程と、

前記母材の線引により前記ファイバーを形成すると同時に前記ファイバーの前記初期の溝を所定の幅に細くして前記ファイバーの前記溝となす工程とをさらに有することを特徴とする請求項9に記載のファイバーSOI基板の製造方法。

[11] 前記半導体薄膜の結晶化の前に、前記溝を有する前記ファイバーの表面に絶縁性、半導体のいずれかの薄膜を形成する工程を有することを特徴とする請求項9又は請求項10に記載のファイバーSOI基板の製造方法。

[12] 前記半導体薄膜の結晶化の後に、前記半導体薄膜の上に二酸化シリコン膜を形成する工程をさらに有することを特徴とする請求項8乃至請求項11のいずれかに記載のファイバーSOI基板の製造方法。

[13] 前記二酸化シリコン膜の形成工程は、熱酸化炉において熱酸化膜を形成し更に連続して気相成長二酸化シリコンを成膜し且つ高温でアニールする工程であることを特徴とする請求項12に記載のファイバーSOI基板の製造方法。

[14] 多角形の断面を有するファイバーの少なくとも一面上に成膜後結晶化された半導体薄膜を有するファイバーSOI基板を用意し、

前記ファイバーSOI基板の少なくとも一面の前記半導体薄膜に能動素子を形成する工程と、

前記ファイバーのいずれかの面に受動素子を形成する工程と

を有することを特徴とする半導体素子の製造方法。

[15] 前記ファイバーSOI基板の少なくとも一面に回路チップを接続する工程をさらに有することを特徴する請求項14に記載の半導体素子の製造方法。

[16] 多角形の断面を有するファイバーの少なくとも一面上に半導体薄膜を有するファイバーSOI基板が保護膜により覆われた状態で第1のリールに巻き取り、

前記第1のリールから前記ファイバーSOI基板を引き出している領域において前記ファイバーSOI基板に半導体素子を製造するための処理を行った後に前記保護膜、新たな保護膜のいずれかに覆われた前記ファイバーSOI基板を第2のリールに巻き

取る

ことを特徴とする半導体素子の製造方法。

[17] 前記保護膜はレジストであり、前記処理はレジスト剥離、洗浄、乾燥、成膜、レジスト塗布、プリベーク、露光、現像、エッチングの少なくとも1つであることを特徴とする請求項16に記載の半導体素子の製造方法。

[図1]

FIG. 1A

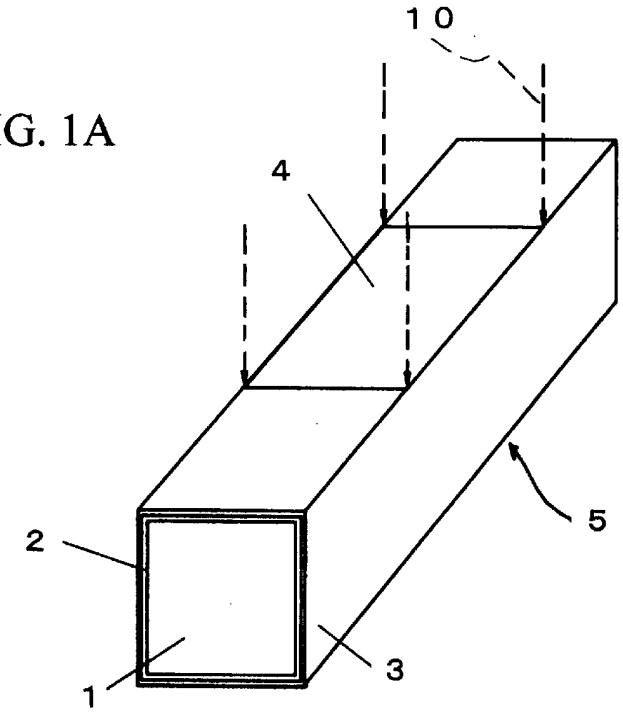
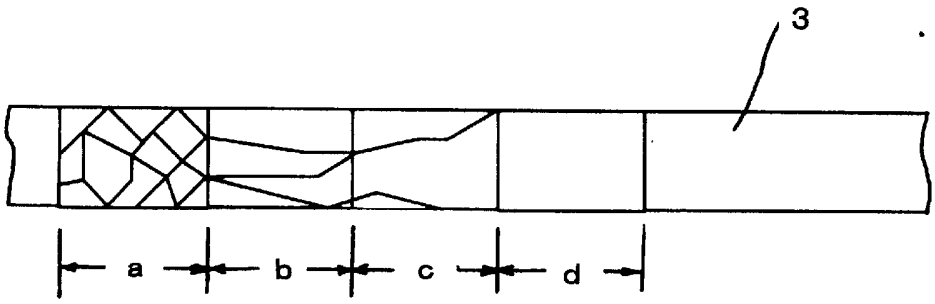


FIG. 1B



[図2]

FIG. 2A

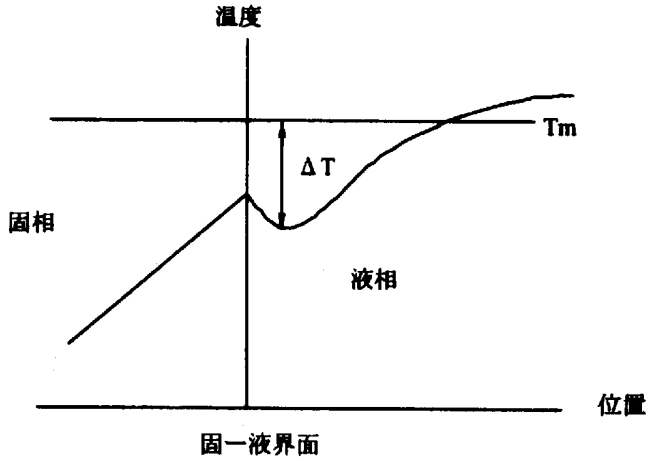


FIG. 2B

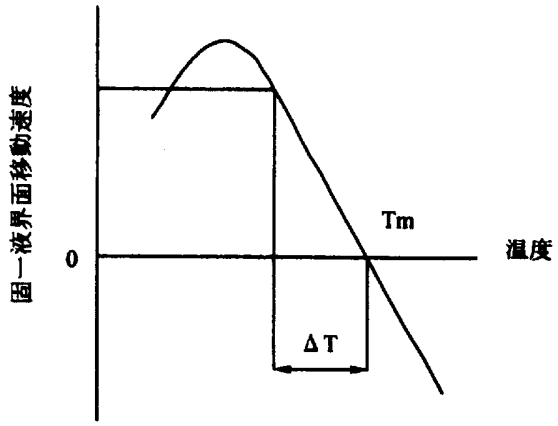
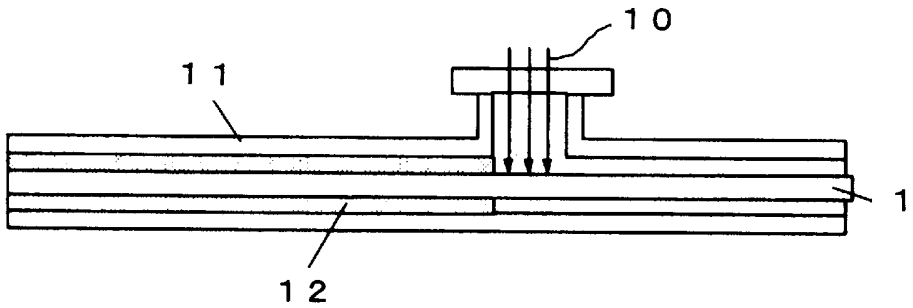


FIG. 2C



[図3]

FIG. 3A

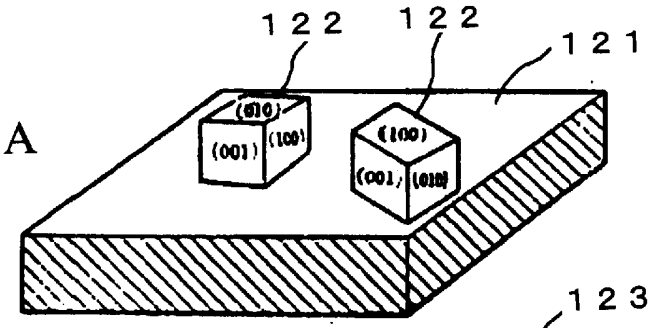


FIG. 3B

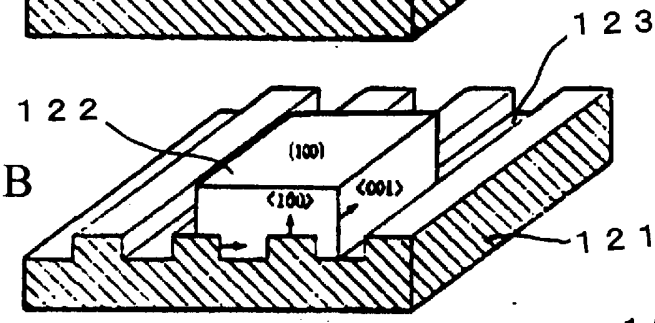
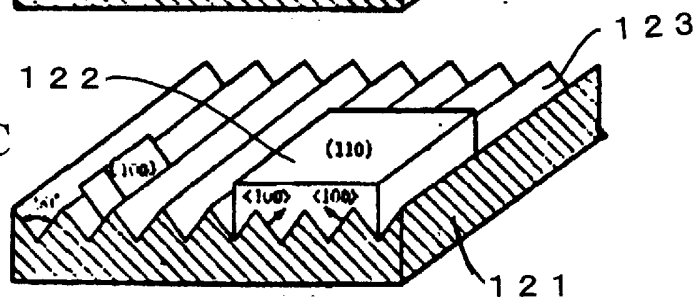


FIG. 3C



[図4]

FIG. 4A

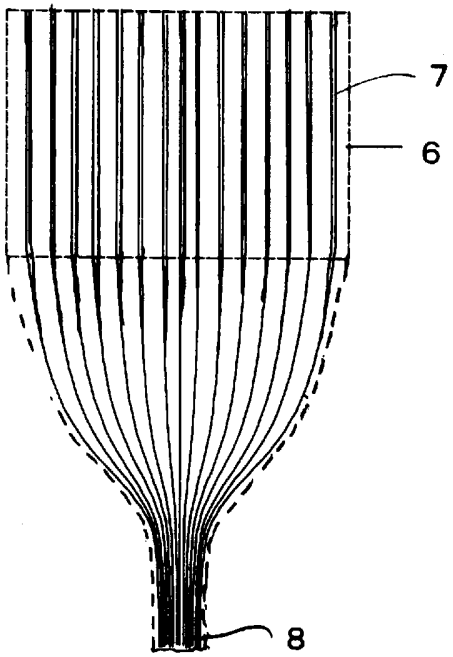


FIG. 4B

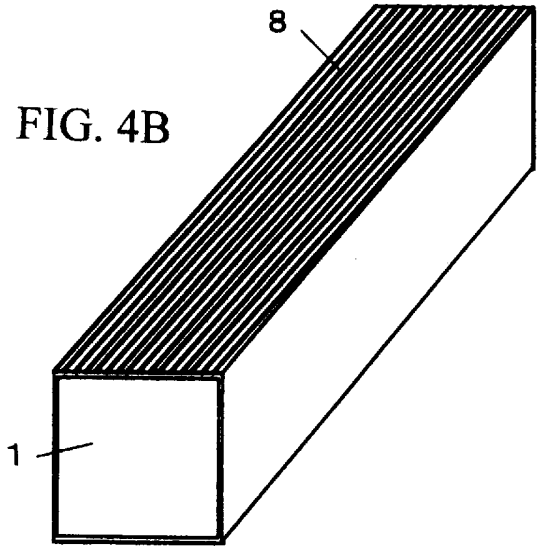


FIG. 4C

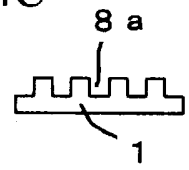
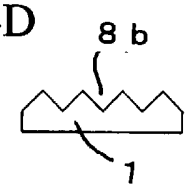


FIG. 4D



[図5]

FIG. 5A

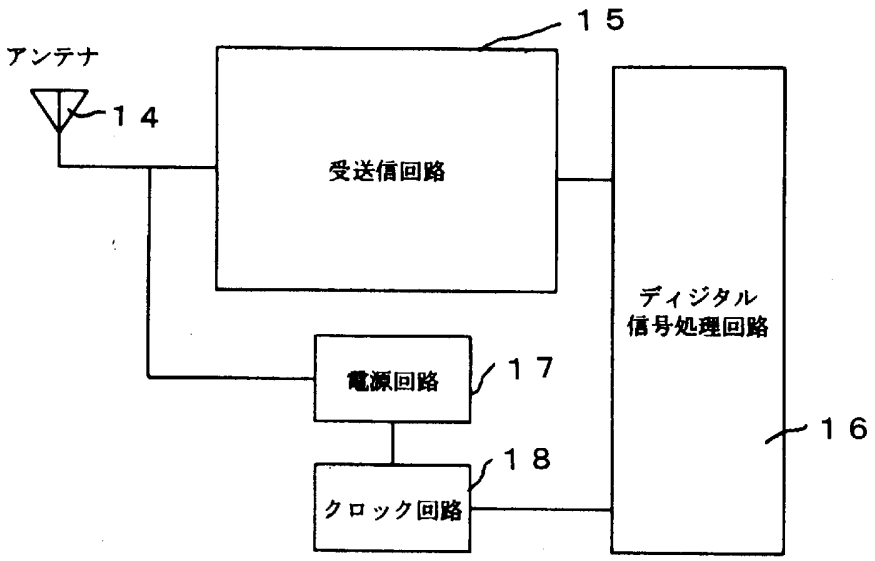
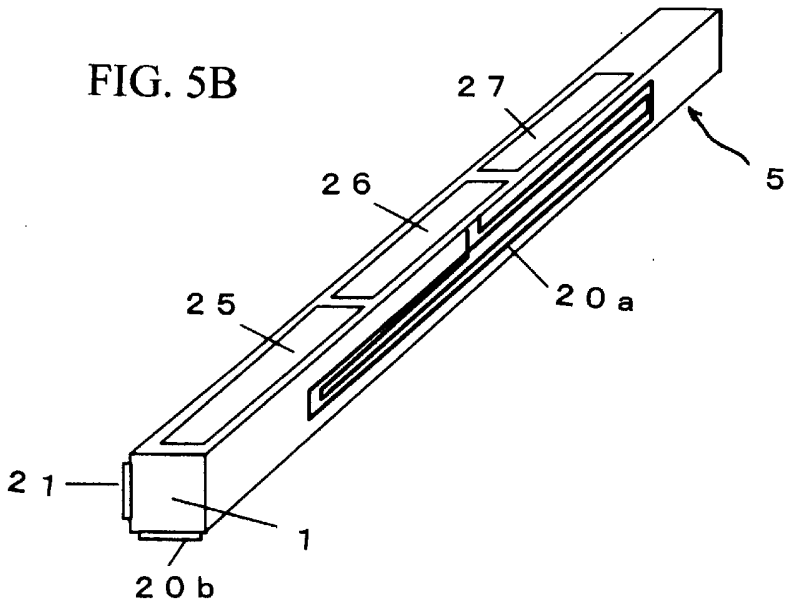


FIG. 5B

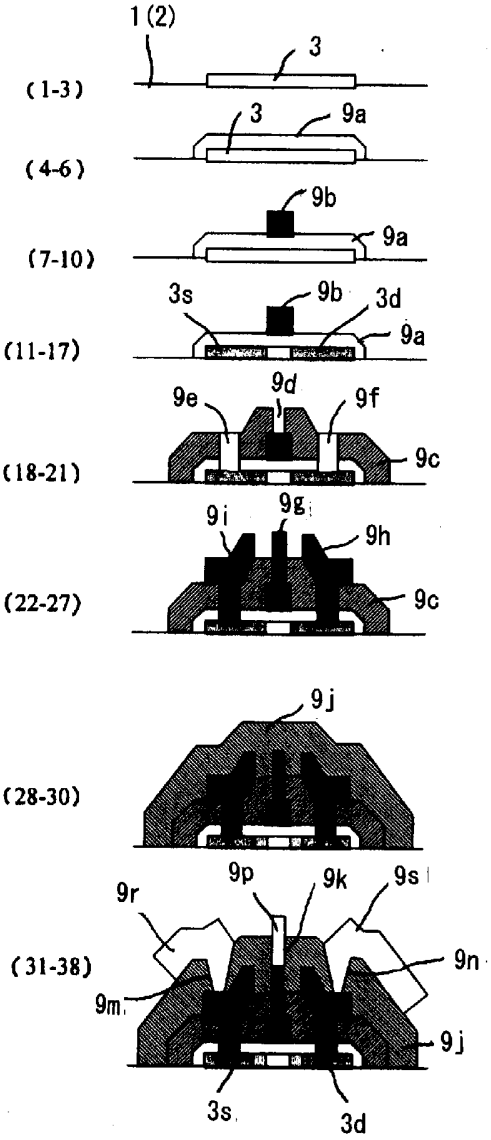


[図6]

FIG. 6A

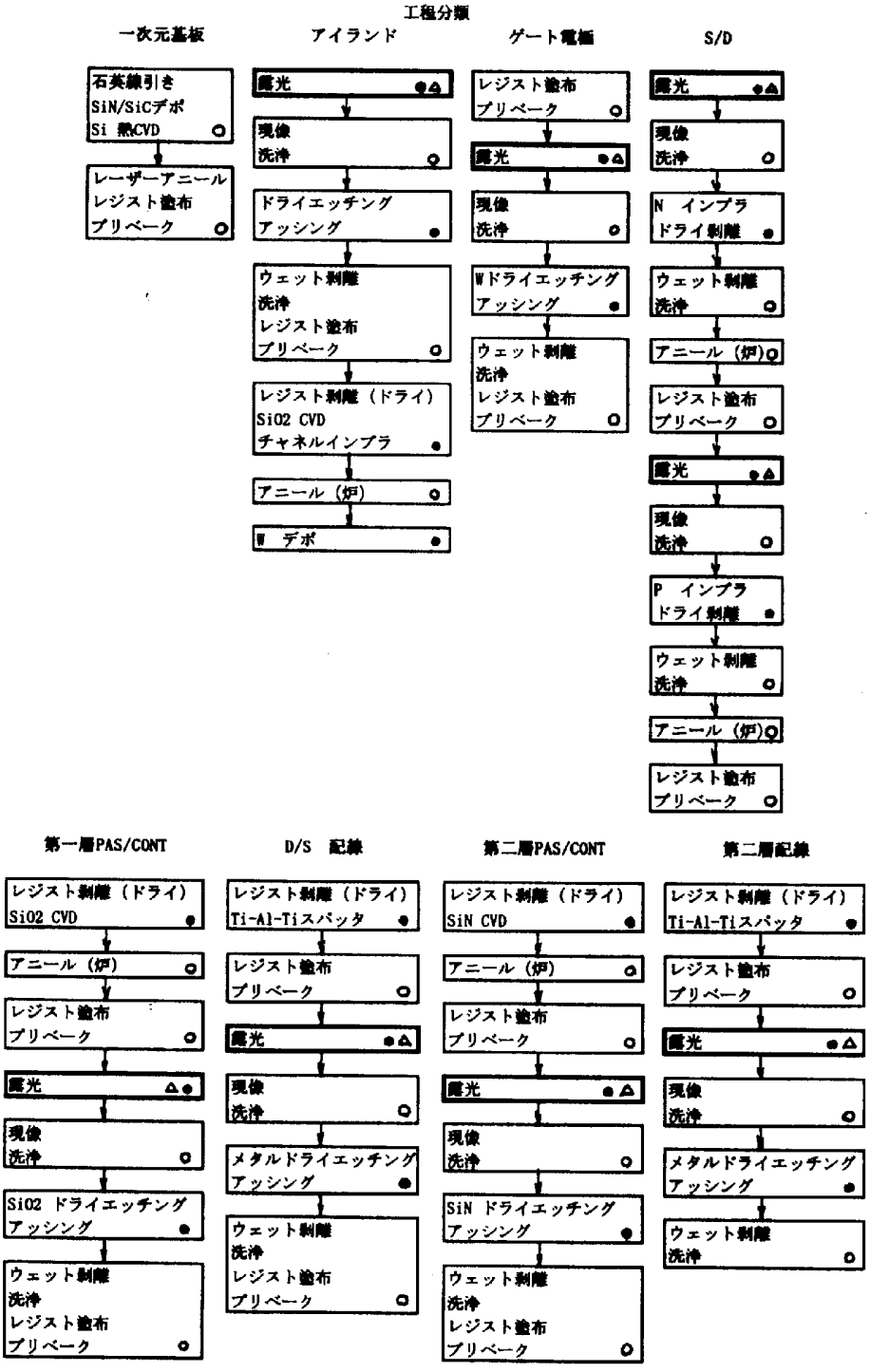
アイランド	1	フォト：Si島形成
	2	エッチング
	3	レジスト除去
（ゲート酸化膜側面）	4	ゲート酸化膜デポ
Vth調整	5	チャネルインプラ
	6	アニール
ゲート電極	7	ゲート電極デポ
	8	フォト：ゲート
	9	エッチング
	10	レジスト除去
S/D	11	フォト
	12	Nインプラ
	13	レジスト除去
	14	フォト：P
	15	Pインプラ
	16	レジスト除去
	17	レーザーアニール
第一層PAS/CONT	18	PAS SiO2デポ
	19	フォト：CONT
	20	エッチング
	21	レジスト除去
S/D-配線	22	バッファメタルデポ
	23	Al デポ
	24	キャップメタルデポ
	25	フォト：D-配線
	26	エッチング
	27	レジスト除去
第二層PAS/CONT	28	SiNデポ
	29	H2アニール
	30	PAS SiO2デポ
	31	フォト：TH
	32	エッチング
	33	レジスト除去
第二層配線	34	Alデポ
	35	キャップメタルデポ
	36	フォト：配線、パッド
	37	エッチング
	38	レジスト除去

FIG. 6B



[図7]

FIG. 7


工程分類
一次元基板
石英線引き
SiN/SiCデポ
Si 熱CVD
レーザーアニール
レジスト塗布
プリベーク
アイランド
露光
現像
洗浄
ドライエッチング
アッシング
ウェット剥離
洗浄
レジスト塗布
プリベーク
レジスト剥離（ドライ）
SiO2 CVD
チャネルインプラ
アニール（炉）
W デポ
ゲート電極
レジスト塗布
プリベーク
露光
現像
洗浄
Wドライエッチング
アッシング
ウェット剥離
洗浄
レジスト塗布
プリベーク
S/D
露光
現像
洗浄
N インプラ
ドライ剥離
ウェット剥離
洗浄
アニール（炉）
レジスト塗布
プリベーク
露光
現像
洗浄
P インプラ
ドライ剥離
ウェット剥離
洗浄
アニール（炉）
レジスト塗布
プリベーク
第一層PAS/CONT
レジスト剥離（ドライ）
SiO2 CVD
アニール（炉）
レジスト塗布
プリベーク
露光
現像
洗浄
SiO2 ドライエッチング
アッシング
ウェット剥離
洗浄
レジスト塗布
プリベーク
D/S 配線
レジスト剥離（ドライ）
Ti-Al-Tiスパッタ
レジスト塗布
プリベーク
露光
現像
洗浄
メタルドライエッチング
アッシング
ウェット剥離
洗浄
レジスト塗布
プリベーク
第二層PAS/CONT
レジスト剥離（ドライ）
SiN CVD
アニール（炉）
レジスト塗布
プリベーク
露光
現像
洗浄
SiN ドライエッチング
アッシング
ウェット剥離
洗浄
レジスト塗布
プリベーク
第二層配線
レジスト剥離（ドライ）
Ti-Al-Tiスパッタ
レジスト塗布
プリベーク
露光
現像
洗浄
メタルドライエッチング
アッシング
ウェット剥離
洗浄

[図8]

FIG. 8A

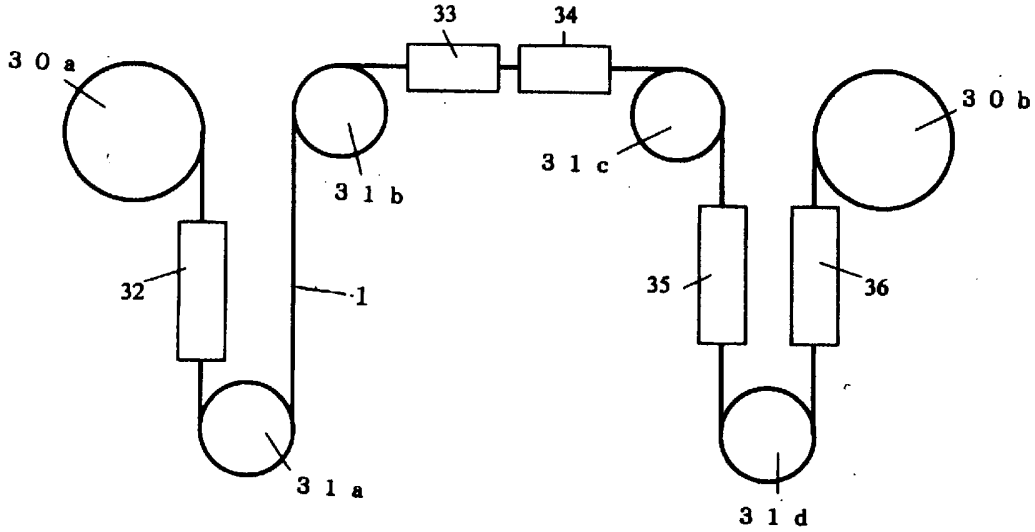
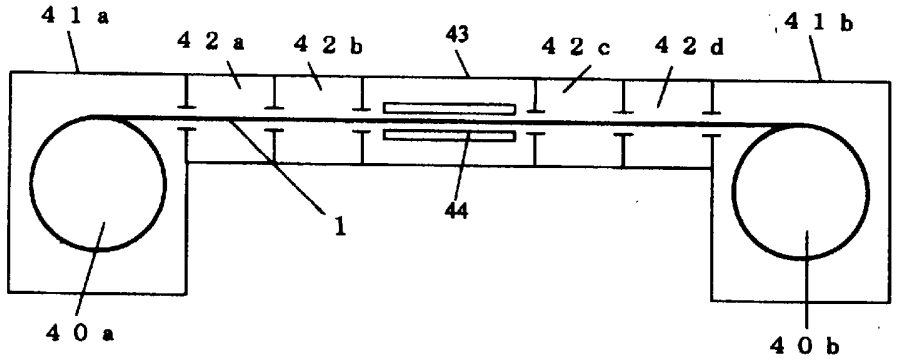


FIG. 8B



[図9]

FIG. 9A

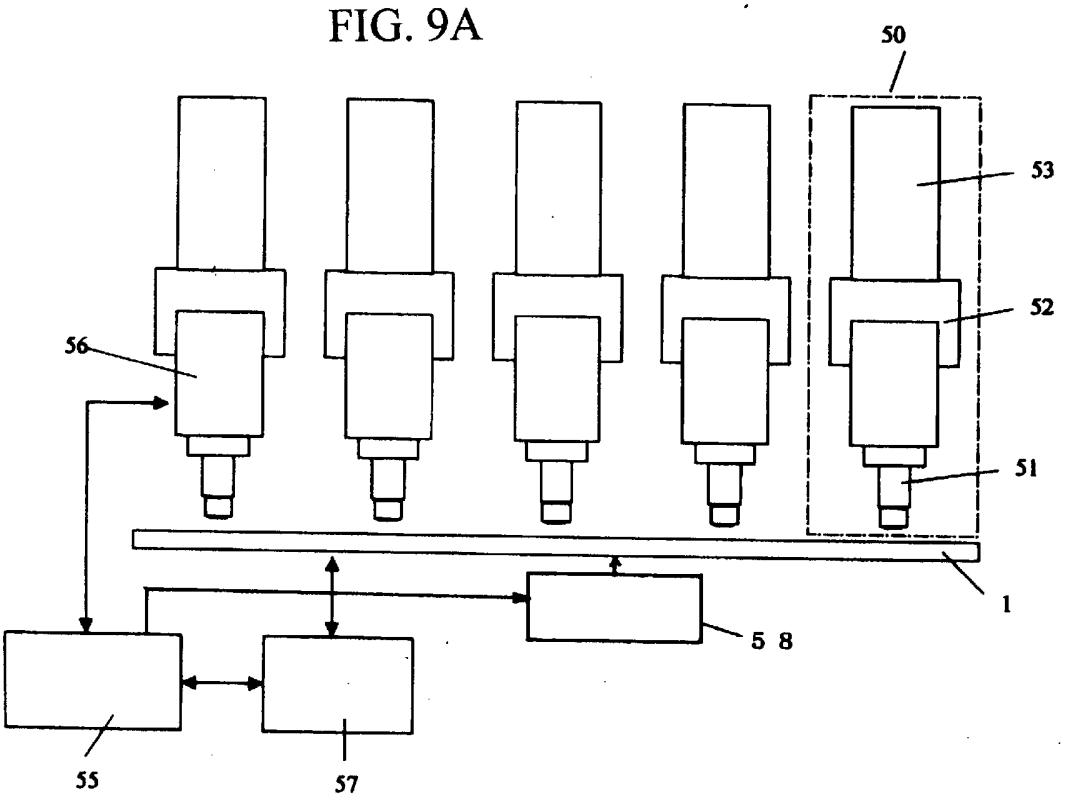
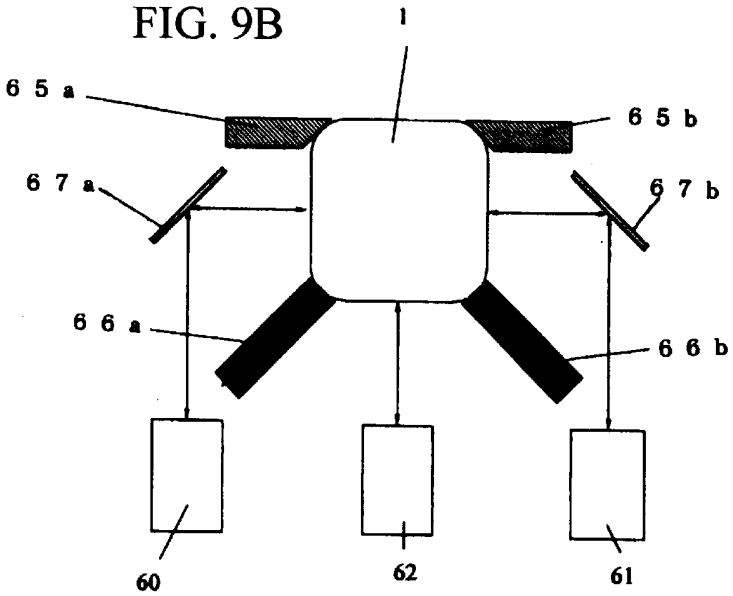


FIG. 9B



[図10]

FIG. 10A

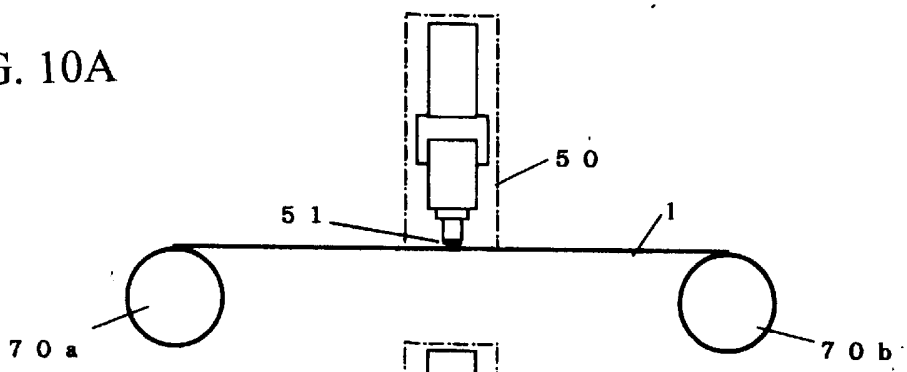


FIG. 10B

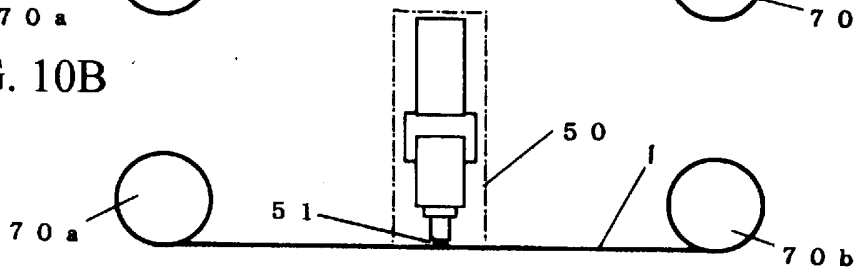


FIG. 10C

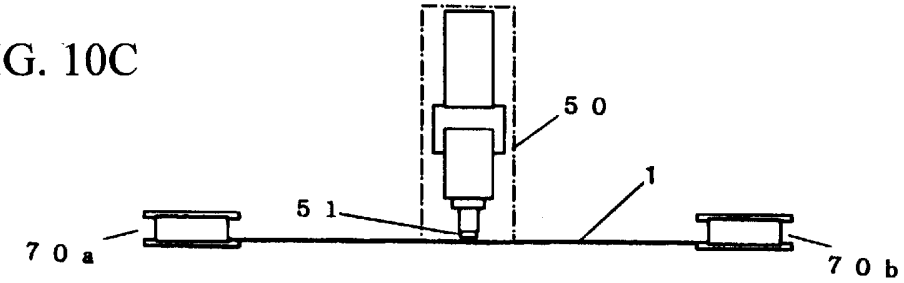
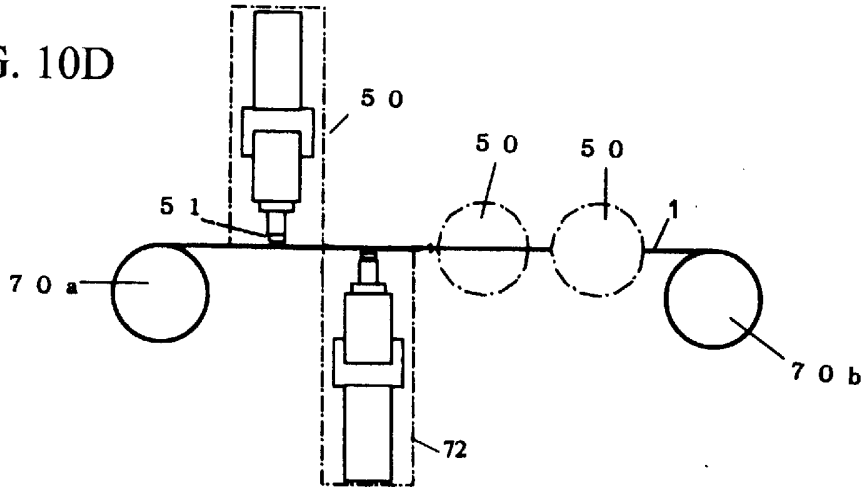


FIG. 10D



[図11]

FIG. 11A

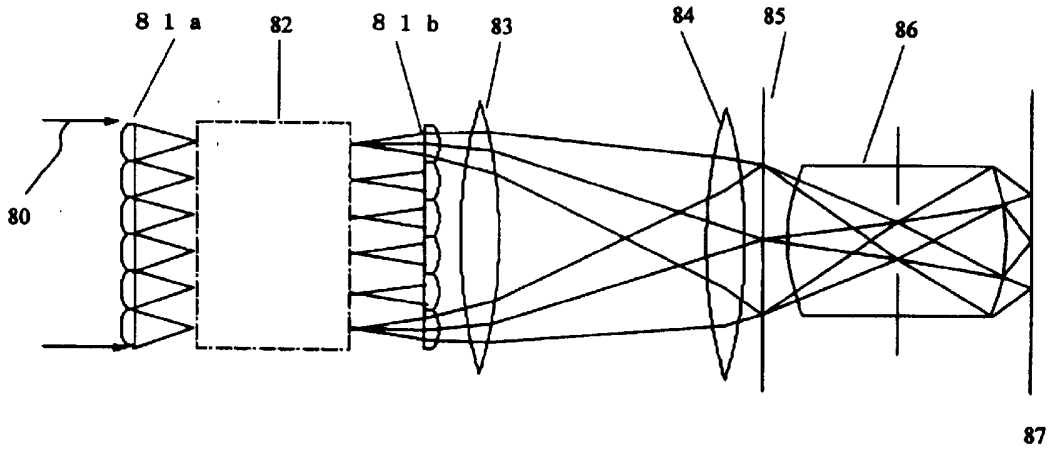
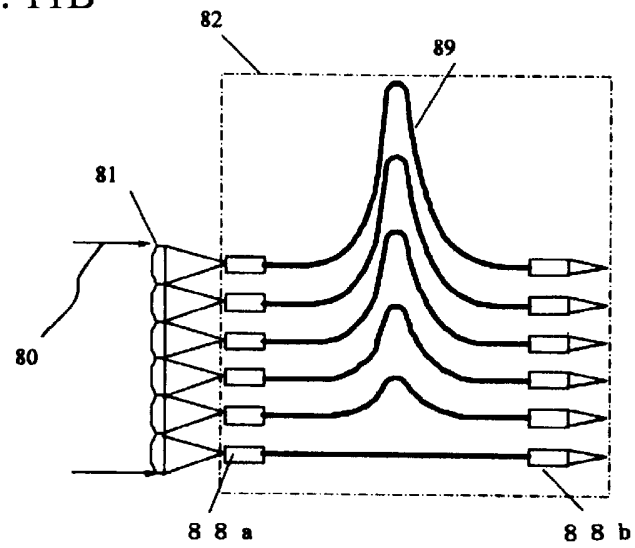


FIG. 11B



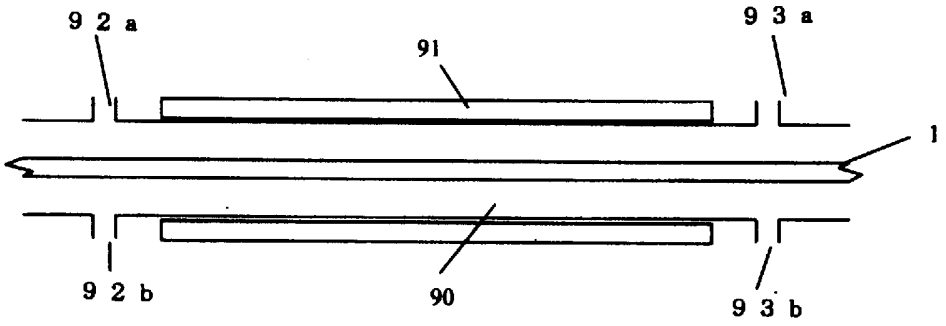
[図12]

FIG. 12

プロセス	平板レート	ファイバー・レート	必要膜厚	時間/1ファイバー
CVD SiN depo	0.1nm/s	30nm/s	300nm	10s
CVD SiO2 depo	1nm/s	30nm/s	300nm	10s
steam 酸化(1200℃)	2nm/s	2nm/s	2nm	1s
ion plating (metal)	150nm/s	3.6μm/s	0.3～1μm	0.1～0.3s
dry etching (RIE)	10nm/s	100nm/s	300nm～1μm	3～10s
活性化アニール(950℃)				1200s
水素アニール(400℃)				3600s

[図13]

FIG. 13



[図14]

FIG. 14A

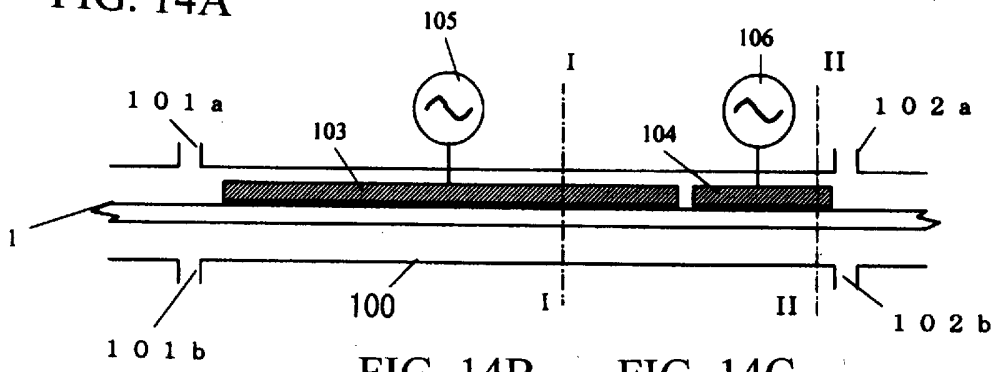


FIG. 14B

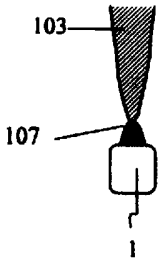
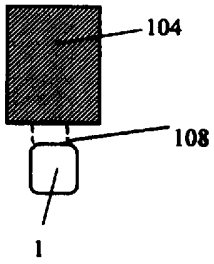


FIG. 14C



[図15]

FIG. 15A

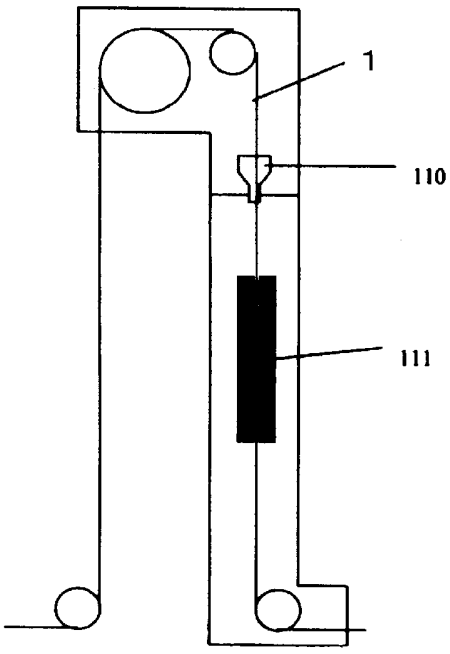
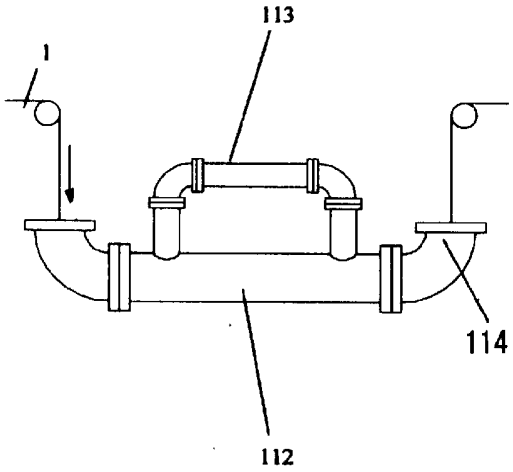


FIG. 15B



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2005/019779

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/02(2006.01), ***H01L21/20***(2006.01), ***H01L27/12***(2006.01), ***H01L29/786***(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/02, H01L21/20, H01L21/336, H01L27/12, H01L29/06, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006
Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2004-258206 A (Kenkichi SUZUKI), 16 September, 2004 (16.09.04), Full text; all drawings (Family: none)	1-17
X	JP 2004-273817 A (Semiconductor Energy Laboratory Co., Ltd.), 30 September, 2004 (30.09.04), Full text; all drawings & US 2004/0179767 A1	1-17

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
19 January, 2006 (19.01.06)	31 January, 2006 (31.01.06)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号 ＰＣＴ／ＪＰ２００５／０１９７７９

Ａ． 発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl. *H01L21/02(2006.01), H01L21/20(2006.01), H01L27/12(2006.01), H01L29/786(2006.01)*

Ｂ． 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl. H01L21/02, H01L21/20, H01L21/336, H01L27/12, H01L29/06, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００６年
日本国実用新案登録公報	１９９６－２００６年
日本国登録実用新案公報	１９９４－２００６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ． 関連すると認められる文献

引用文献のカテゴリー＊	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X	JP 2004-258206 A（鈴木堅吉）2004.09.16, 全文、全図（ファミリーなし）	1-17
X	JP 2004-273817 A（株式会社半導体エネルギー研究所）2004.09.30, 全文、全図 & US 2004/0179767 A1	1-17

☐ Ｃ欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１９．０１．２００６	３１．０１．２００６

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員） 4M 2934
綿引 隆
電話番号 ０３－３５８１－１１０１ 内線 ３４６２