



(12)发明专利

(10)授权公告号 CN 103676491 B

(45)授权公告日 2016.12.28

(21)申请号 201210353546.6

审查员 丁文

(22)申请日 2012.09.20

(65)同一申请的已公布的文献号

申请公布号 CN 103676491 A

(43)申请公布日 2014.03.26

(73)专利权人 中国科学院微电子研究所

地址 100029 北京市朝阳区北土城西路3#

(72)发明人 孟令款 贺晓彬 李春龙

(74)专利代理机构 北京蓝智辉煌知识产权代理

事务所(普通合伙) 11345

代理人 陈红

(51)Int.Cl.

G03F 7/20(2006.01)

G03F 1/20(2012.01)

H01L 21/027(2006.01)

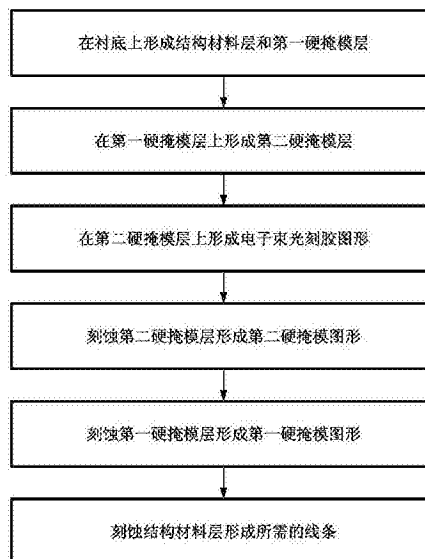
权利要求书1页 说明书3页 附图3页

(54)发明名称

降低电子束光刻时光刻胶粗糙度的方法

(57)摘要

本发明公开了一种降低电子束光刻时光刻胶粗糙度的方法,包括:在衬底上形成结构材料层和第一硬掩模层;在第一硬掩模层上形成第二硬掩模层;在第二硬掩模层上形成电子束光刻胶图形;以电子束光刻胶图形为掩模,刻蚀第二硬掩模层形成第二硬掩模图形;以第二硬掩模图形为掩模,刻蚀第一硬掩模层形成第一硬掩模图形;以第一和第二硬掩模图形为掩模,刻蚀结构材料层,形成所需要的线条。依照本发明的方法,采用材质不同的多层硬掩模层并且多次刻蚀,防止了电子束光刻胶侧壁粗糙度传递到下层的结构材料层,有效降低了线条的粗糙度,提高了工艺的稳定性,降低了器件性能的波动变化。



1. 一种降低电子束光刻时光刻胶粗糙度的方法,包括:
在衬底上形成结构材料层和第一硬掩模层;
在第一硬掩模层上形成第二硬掩模层,第二硬掩模层包括多晶硅、非晶硅、微晶硅、非晶碳、非晶锗、SiC、SiGe、类金刚石无定形碳及其组合;
在第二硬掩模层上形成电子束光刻胶图形;
以电子束光刻胶图形为掩模,刻蚀第二硬掩模层形成第二硬掩模图形;
以第二硬掩模图形为掩模,刻蚀第一硬掩模层形成第一硬掩模图形;
以第一和第二硬掩模图形为掩模,刻蚀结构材料层,形成所需要的线条。
2. 如权利要求1所述的方法,其中,第一硬掩模层包括氧化硅、氮化硅、氮氧化硅及其组合。
3. 如权利要求2所述的方法,其中,第一硬掩模层为氧化硅与氮化硅的叠层结构。
4. 如权利要求1所述的方法,其中,第一硬掩模层和/或第二硬掩模层和/或结构材料层的刻蚀采用等离子体干法刻蚀技术。
5. 如权利要求4所述的方法,其中,等离子体干法刻蚀采用CCP或ICP或TCP设备。
6. 如权利要求4所述的方法,其中,刻蚀之后还包括干法去胶和/或湿法腐蚀清洗。
7. 如权利要求6所述的方法,其中,湿法腐蚀清洗采用SPM+APM。
8. 如权利要求1所述的方法,其中,结构材料层为假栅电极层、金属栅电极层、局部互连层中的一种。
9. 如权利要求1所述的方法,其中,第一和/或第二硬掩模层采用LPCVD、PECVD、HDPCVD、MBE、ALD方法制备。

降低电子束光刻时光刻胶粗糙度的方法

技术领域

[0001] 本发明涉及半导体集成电路制造领域,更具体地,涉及一种降低电子束光刻时光刻胶粗糙度的方法。

背景技术

[0002] 随着超大规模集成电路特征尺寸逐渐缩小,在半导体器件的制造方法中,进入22nm技术代后,普通的光学曝光的技术极限也已经到来。目前,45nm工艺节点之后,普遍采用i193nm浸入式光刻技术结合双曝光双刻蚀技术以制备更小的线条。22nm以下节点的精细图形通常需要采用电子束或EUV进行曝光和光刻。

[0003] 关于EUV光刻技术,目前还处于研发阶段,尚有若干关键技术需要攻克及改进,还无法应用于大规模集成电路制造当中。相比之下,电子束曝光技术经过多年的发展,比较成熟,并且电子束曝光具有很高的精度,分辨率可以达到几个纳米,写出超精细图形的线条来,但效率较低,因而扫描精度和扫描效率的矛盾成为电子束光刻的主要矛盾。

[0004] 另一方面,进入32nm节点工艺之后,线条粗糙度成为必须考虑的关键问题,具体包括线条边缘粗糙度(LER)与线条宽度粗糙度(LWR)。对于EUV或者电子束技术而言,都会遇到线条粗糙度的问题。特别地,当采用电子束曝光技术,对光刻胶(抗蚀剂)的要求更高,往往在线条分辨率与光刻胶厚度之间存在矛盾。越薄的光刻胶越能曝光出越小的线条,然而,这样薄的光刻胶由于刻蚀工艺不够高的选择性,往往在刻蚀过程中会早早损失掉,进而无法制得所需的线条,并且存在严重的线条粗糙度问题。

发明内容

[0005] 有鉴于此,本发明的目的在于独立于光刻胶之外,结合一种新的硬掩模技术,使得线条粗糙度大大降低,使得工艺更加稳定,阈值电压的变化也得以降低。

[0006] 实现本发明的上述目的,是通过提供一种降低电子束光刻时光刻胶粗糙度的方法,包括:在衬底上形成结构材料层和第一硬掩模层;在第一硬掩模层上形成第二硬掩模层;在第二硬掩模层上形成电子束光刻胶图形;以电子束光刻胶图形为掩模,刻蚀第二硬掩模层形成第二硬掩模图形;以第二硬掩模图形为掩模,刻蚀第一硬掩模层形成第一硬掩模图形;以第一和第二硬掩模图形为掩模,刻蚀结构材料层,形成所需要的线条。

[0007] 其中,第一硬掩模层包括氧化硅、氮化硅、氮氧化硅及其组合。

[0008] 其中,第一硬掩模层为氧化硅与氮化硅的叠层结构。

[0009] 其中,第二硬掩模层包括多晶硅、非晶硅、微晶硅、非晶碳、非晶锗、SiC、SiGe、类金刚石无定形碳及其组合。

[0010] 其中,第一硬掩模层和/或第二硬掩模层和/或结构材料层的刻蚀采用等离子体干法刻蚀技术。

[0011] 其中,等离子体干法刻蚀采用CCP或ICP或TCP设备。

[0012] 其中,刻蚀之后还包括干法去胶和/或湿法腐蚀清洗。

[0013] 其中,湿法腐蚀清洗采用SPM+APM。

[0014] 其中,结构材料层为假栅电极层、金属栅电极层、局部互连层中的一种。

[0015] 其中,第一和/或第二硬掩模层采用LPCVD、PECVD、HDPCVD、MBE、ALD方法制备。

[0016] 依照本发明的方法,采用材质不同的多层硬掩模层并且多次刻蚀,防止了电子束光刻胶侧壁粗糙度传递到下层的结构材料层,有效降低了线条的粗糙度,提高了工艺的稳定性,降低了器件性能的波动变化。

附图说明

[0017] 以下参照附图来详细说明本发明的技术方案,其中:

[0018] 图1为电子束光刻版图的示意图;

[0019] 图2至图5为依照本发明的降低电子束光刻时光刻胶粗糙度的方法各步骤的剖面示意图;以及

[0020] 图6为依照本发明的降低电子束光刻时光刻胶粗糙度的方法的流程图。

具体实施方式

[0021] 以下参照附图并结合示意性的实施例来详细说明本发明技术方案的特征及其技术效果。需要指出的是,类似的附图标记表示类似的结构,本申请中所用的术语“第一”、“第二”、“上”、“下”、“厚”、“薄”等等可用于修饰各种器件结构。这些修饰除非特别说明并非暗示所修饰器件结构的空、次序或层级关系。

[0022] 参考附图1,为采用电子束技术制备的小线宽图形的俯视示意图。其中,图示中的多个平行的矩形线条表示需要采用电子束曝光的图形,可以制备图形尺寸小于22nm以下节点的线条。线条例如是假栅极层、金属栅极层、局部互连层等各种结构材料层的线条。以下图2至图5将以栅极制造为例进行说明。

[0023] 参考图2,提供衬底1,在衬底1上依次形成结构材料层2/3、以及第一硬掩膜层4A,并在第一硬掩膜层4A上形成第二硬掩膜层4B。衬底1依照器件用途需要而合理选择,可包括单晶硅(Si)、SOI、单晶体锗(Ge)、GeOI、应变硅(Strained Si)、锗硅(SiGe),或是化合物半导体材料,例如氮化镓(GaN)、砷化镓(GaAs)、磷化铟(InP)、锑化铟(InSb),以及碳基半导体例如石墨烯、SiC、碳纳管等等。出于与CMOS工艺兼容的考虑,衬底1优选地为体Si或者SSOI。以制作栅极线条为例,结构材料层包括栅极绝缘层2以及栅极导电层3。在衬底1上通过LPCVD、PECVD、HDPCVD、RTO、化学氧化、MBE、ALD等方法沉积形成栅极绝缘层2,其材质可以是氧化硅、氮氧化硅、高k材料,其中高k材料包括但不限于铪基氧化物(例如HfO₂、HfSiON、HfLaON)、金属氧化物(主要为副族和镧系金属元素氧化物,例如Al₂O₃、Ta₂O₅、TiO₂、ZnO、ZrO₂、CeO₂、Y₂O₃、La₂O₃)、钙钛矿相氧化物(例如PbZr_xTi_{1-x}O₃(PZT)、Ba_xSr_{1-x}TiO₃(BST))。在栅极绝缘层2上通过PECVD、HDPCVD、MOCVD、MBE、ALD、蒸发、溅射等沉积方法形成栅极导电层3。在前栅工艺中,栅极导电层3为掺杂多晶硅、金属及其氮化物,其中所述金属包括Al、Cu、Ti、Ta、W、Mo及其组合。在后栅工艺中,栅极导电层3可以是假栅极,包括多晶硅、非晶硅、微晶硅、非晶碳、非晶锗等及其组合。在栅极导电层3上通过LPCVD、PECVD、HDPCVD等方法沉积第一硬掩膜层4A,其可以是单层也可以是多层的层叠结构,其材质可以包括氧化硅、氮化硅、氮氧化硅及其组合。在本发明一个实施例中,硬掩膜层4A是ONO的多层结构,也即包括氧化

硅的底层、氮化硅的中层以及氧化硅的顶层(图中并未显示该ONO的分层结构)。通过LPCVD、PECVD、HDPCVD、MBE、ALD、蒸发、溅射等常规工艺,在绝缘材料的第一硬掩模层4A上沉积材质不同的第二硬掩模层4B。层4B的材料例如是多晶硅、非晶硅、微晶硅、非晶碳、非晶锗、SiC、SiGe、类金刚石无定形碳(DLC)等及其组合。可选地,层4B与作为假栅极的栅极导电层3的材质相同,例如均为非晶硅。

[0024] 参照图3,在硬掩膜4A/4B上涂覆光刻胶5,为适应于电子束直写技术的光刻胶,例如PMMA、环氧618、COP等等。采用电子束直写技术进行曝光,在异丙酮等显影液中显影得出例如在22nm节点或以下的超精细图形,也即图中所示的光刻胶图形5P。在此过程中,由于电子束直写技术以及光刻胶自身的特性(例如邻近效应等),图形5P的侧面可能不够准直,线条边缘粗糙度(LER)和线条宽度粗糙度(LWR)较大,因此需要硬掩模层4A特别是层4B来修饰调整。

[0025] 参照图4,以光刻胶图形5P为掩模,采用各向异性刻蚀技术刻蚀硬掩模层4A/4B,形成硬掩模图形4P。具体地,采用等离子体刻蚀、反应离子刻蚀(RIE)等干法刻蚀技术,先刻蚀上层的第二硬掩模层4B,停止在第一硬掩模层4A上,形成具有略陡直的形貌的第二硬掩模图形(图中4P的上部4PB)。刻蚀气体可以是碳氟基气体,并且还可以包括惰性气体以及氧化性气体以调节刻蚀速率。其中,干法刻蚀设备可以是ICP、TCP、CCP设备。然后以第二硬掩模图形为掩模,同样采用上述干法刻蚀技术,刻蚀第一硬掩模层4A,停止在结构材料层(具体为栅极导电层3)上,形成更陡直的第一硬掩模图形(图中4P的下部4PA)。由于第二硬掩模层的存在,使得干法刻蚀时先得到初步陡直的图形,然后继续深入刻蚀形成更陡直的图形,由此可以避免光刻胶图形侧壁粗糙度向下转移到结构材料层2/3,有效降低了线条的粗糙度(LER与LWR)。随后,优选地,采用干法刻蚀和/或湿法腐蚀工艺去除刻蚀过程中产生的聚合物及其颗粒,干法刻蚀例如采用氟基等离子体刻蚀,湿法腐蚀例如SPM(例如硫酸:双氧水=4:1)/APM(例如氨水:双氧水:去离子水=1:1:5或者0.5:1:5)湿法清洗。

[0026] 参照图5,以硬掩模图形4P为掩模,刻蚀结构材料层,形成最终的线条。例如采用各向异性的干法刻蚀技术,如等离子体刻蚀、RIE等,刻蚀栅极导电层3直至暴露栅极绝缘层2,形成了陡直的栅电极图案3P。之后,采用上述湿法腐蚀工艺去除刻蚀过程中形成的聚合物。

[0027] 以上以刻蚀栅极线条为例说明了本发明的一个实施例,然而实际上本发明的方法可以应用于各种半导体结构,层2和3可以是任何的结构材料层,例如假栅极堆叠结构、局部互连结构、顶部焊垫结构等等。

[0028] 依照本发明的方法,采用材质不同的多层硬掩模层并且多次刻蚀,防止了电子束光刻胶侧壁粗糙度传递到下层的结构材料层,有效降低了线条的粗糙度,提高了工艺的稳定性,降低了器件性能的波动变化。

[0029] 尽管已参照一个或多个示例性实施例说明本发明,本领域技术人员可以知晓无需脱离本发明范围而对形成器件结构的方法做出各种合适的改变和等价方式。此外,由所公开的教导可做出许多可能适于特定情形或材料的修改而不脱离本发明范围。因此,本发明的目的不在于限定在作为用于实现本发明的最佳实施方式而公开的特定实施例,而所公开的器件结构及其制造方法将包括落入本发明范围内的所有实施例。

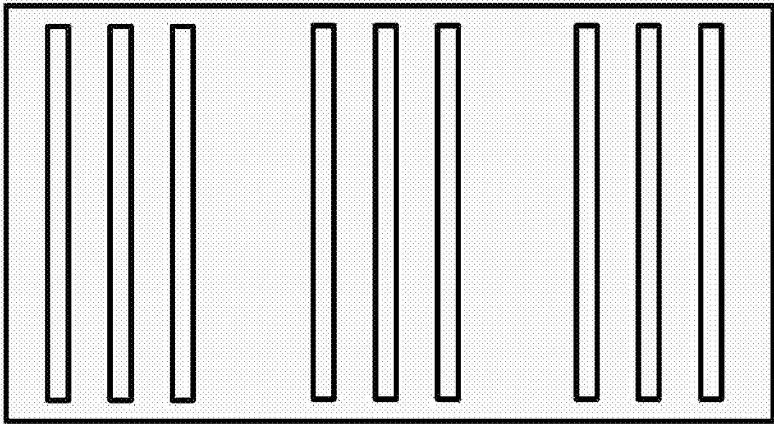


图1

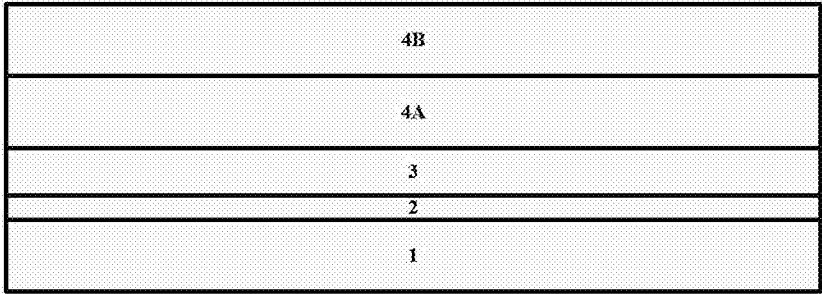


图2

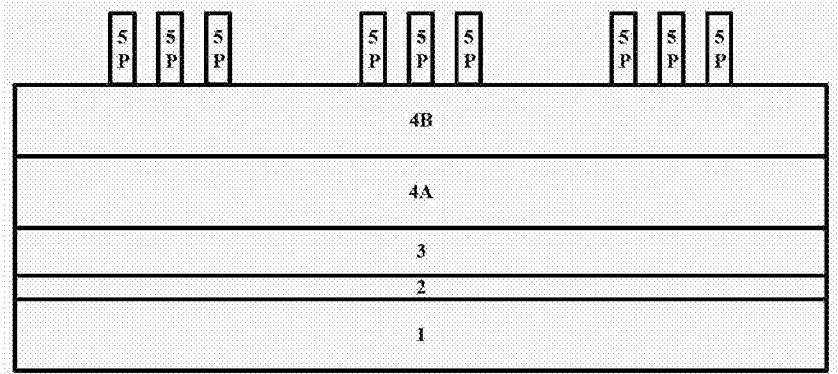


图3

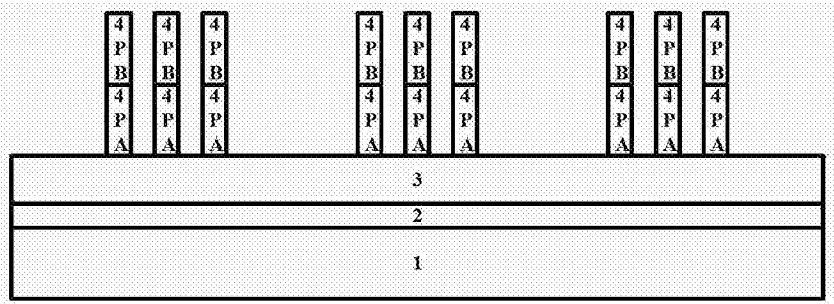


图4

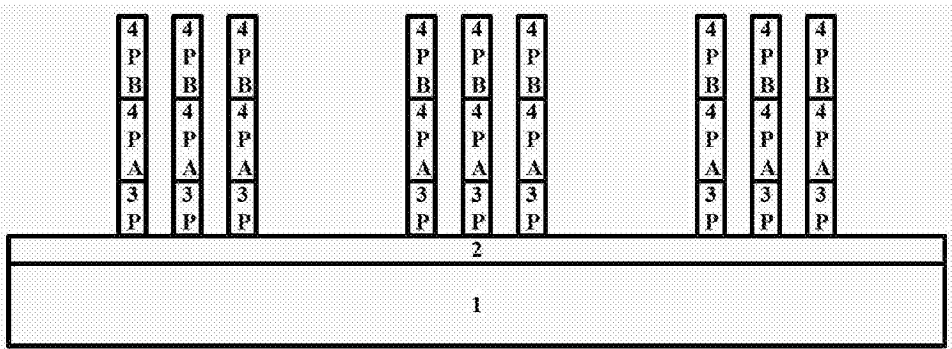


图5

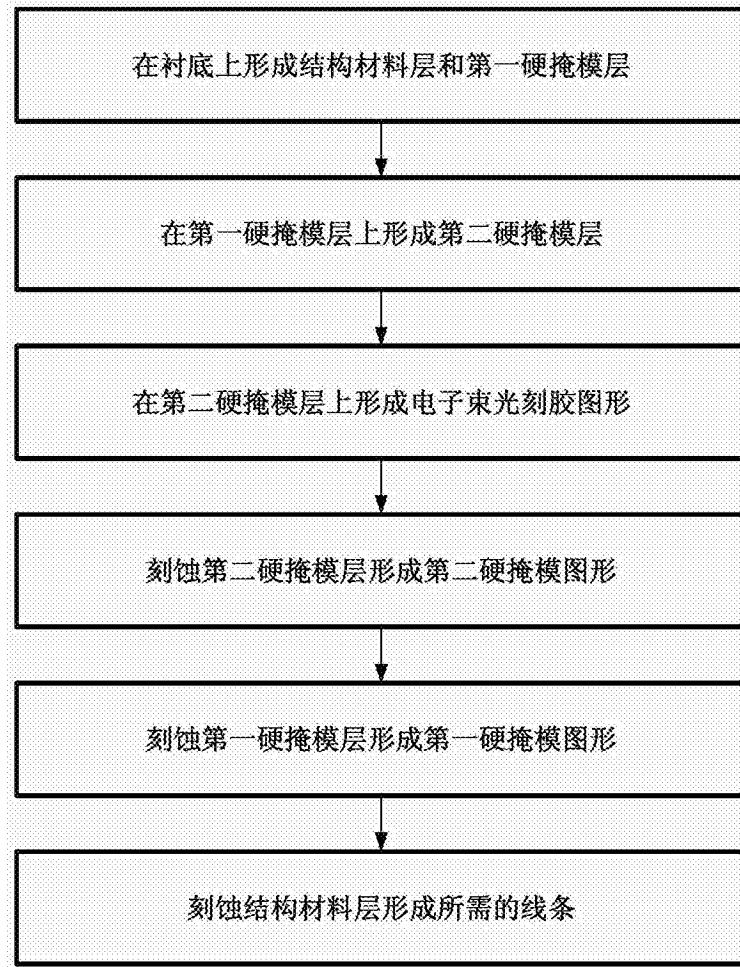


图6