

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 9 月 16 日 (16.09.2004)

PCT

(10) 国際公開番号
WO 2004/079746 A1

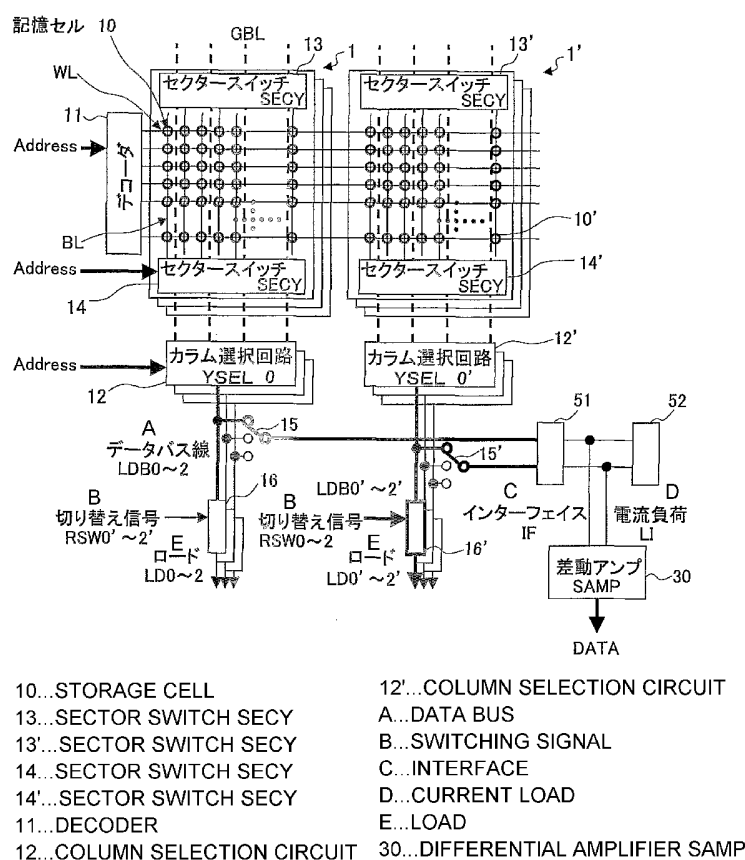
- (51) 国際特許分類: G11C 16/26
- (21) 国際出願番号: PCT/JP2003/002514
- (22) 国際出願日: 2003 年 3 月 4 日 (04.03.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒211-8588 神奈川県 川崎市 中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 池田 稔美

(IKEDA,Toshimi) [JP/JP]; 〒211-8588 神奈川県 川崎市 中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 畠山 淳 (HATAKEYAMA,Atsushi) [JP/JP]; 〒211-8588 神奈川県 川崎市 中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 谷口 暢孝 (TANIGUCHI,Nobutaka) [JP/JP]; 〒211-8588 神奈川県 川崎市 中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 菊竹 陽 (KIKUTAKE,Akira) [JP/JP]; 〒211-8588 神奈川県 川崎市 中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 川畑 邦範 (KAWABATA,Kuninori) [JP/JP]; 〒211-8588 神奈川県 川崎市 中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 竹内 淳 (TAKEUCHI,Atsushi) [JP/JP]; 〒211-8588 神奈

[続葉有]

(54) Title: NON-VOLATILE SEMICONDUCTOR STORAGE DEVICE

(54) 発明の名称: 不揮発性半導体記憶装置



(57) Abstract: A non-volatile semiconductor storage device includes a storage cell array in which a plurality of storage cells holding information are arranged, a plurality of reference cells for supplying a plurality of different reference currents, and a read out circuit. Upon data read out, the read out circuit is electrically connected to a first global bit line connected to a bit line of a selected storage cell and electrically connected to one of a plurality of second global bit lines provided in the vicinity of the first global bit line, not connected to the selected storage cell, and connected to a bit line of only non-selected storage cells, so that read out current from the selected storage cell is compared to respective reference currents from the reference cells, thereby judging the storage cell information.

(57) 要約: 情報を保持する複数の記憶セルが配置された記憶セルアレイと、複数の異なる基準電流を供給する複数のリファレンスセルと、読み出し回路とを備える不揮発性半導体記憶装置であって、読み出し回路が、データ読み出しの際に、選択された記憶セルのビット線に接続された第1のグローバルビット線に導通されると共に、第1のグローバルビット線の近傍に設けられ、選択された記憶セルには非接続

で、非選択の記憶セルのみのビット線に接続された複数の第2のグローバルビット線のうちの1つにそれぞれ導通されることにより、選択された記憶セルからの読み出し電

[続葉有]



川県 川崎市 中原区上小田中 4 丁目 1 番 1 号 富士通
株式会社内 Kanagawa (JP).

(74) 代理人: 伊東 忠彦 (ITOH,Tadahiko); 〒150-6032 東京
都 渋谷区 恵比寿 4 丁目 2 0 番 3 号 恵比寿ガーデン
プレイスタワー 3 2 階 Tokyo (JP).

(81) 指定国 (国内): CN, JP, KR, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY,
CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,
NL, PT, RO, SE, SI, SK, TR).

添付公開書類:
— 国際調査報告書

2 文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

明細書

不揮発性半導体記憶装置

技術分野

- 5 本発明は、不揮発性半導体記憶装置の記憶セル情報の読み出し動作に関し、特に、記憶セルに保持された多値情報を高速に読み出すための読み出し回路を設けた不揮発性半導体記憶装置に関するものである。

背景技術

- 10 フラッシュメモリ等の不揮発性半導体記憶装置においては、記憶セル情報の格納は、不揮発性記憶セルにおける不揮発性トランジスタの電流駆動能力により行われる。即ち、“1”、“0”の記憶セル情報に対して、不揮発性トランジスタが、電流を流す／流さない、又はより多くの電流を流す／より少ない電流を流す、等の違いにより記憶セル情報の格納を行っている。
- 15 近年の不揮発性半導体記憶装置では、記録密度を高めるために、1つの記憶セルが保持する電位を“1”、“2／3”、“1／3”、“0”の様に4つの状態に分けることによって2ビットのデータを記憶する技術が導入されている。例えば、記憶セル電位“1”に対し“1 1”、記憶セル電位“2／3”に対し“1 0”、記憶セル電位“1／3”に対し“0 1”、記憶セル電位“0”に対し“0 0”の様に、
- 20 データを割当てることによって各記憶セルに記憶される情報を2ビットの値で表現できる。

- 図1は、各記憶セルが2値のデータを保持する従来の不揮発性半導体記憶装置の読み出し回路を示す。メモリコア部1は、ワード線WLとビット線BLにより二次元マトリックス状の配列で接続された複数の不揮発性記憶セル10（記憶セルアレイ）と、アドレス信号が入力されるデコーダ11と、カラム選択回路（YSEL）12と、セクタスイッチ（SECY）13と、セクタスイッチ（SECY）14とを含む。この不揮発性半導体記憶装置においては、読み出し回路（センス回路部）が、選択された記憶セルに接続されるビット線又はグローバルビット線に流れる電流の大きさと、リファレンスセルからの基準電流の大きさと

を比較することにより、読み出したデータが“1”であるか、“0”であるかを判定する。

図1の不揮発性半導体記憶装置では、各記憶セル10が“1”、“0”の2値のデータを記憶し保持する。データの読み出し動作時において、入力したアドレス信号 (Address) により選択された記憶セル10のビット線BLに接続されたグローバルビット線GBLに流れる電流IGBLが、データバス線LDBを経由してカスコード回路 (CASCOD) 31に供給される。カスコード回路31は、供給されたデータ読み出し電流IGBLを電圧信号に変換して差動アンプ (SAMP) 30の第1の入力に出力する。

リファレンスセル (RC) 20は、メモリア部1の外部に設けられており、基準電流IREFを差動アンプ30へ供給するための記憶セルである。リファレンスセル20が差動アンプ30へ供給する基準電流IREFは、記憶セル10の保持するデータが“1”のときにグローバルビット線GBLに流れる電流と、記憶セル10の保持するデータが“0”のときにグローバルビット線GBLに流れる電流との中間の電流値に設定される。リファレンスセル20からの基準電流IREFは、リファレンスセル (RC) 20が接続されたリファレンスバス線を経由してカスコード回路 (CASCOD) 32に供給される。カスコード回路32は、供給された基準電流IREFを電圧信号に変換して差動アンプ30の第2の入力に出力する。

差動アンプ30では、データ読み出し時の記憶セル電流IGBLの電圧レベルと基準電流IREFの電圧レベルとを比較することで、該当の記憶セル10の読み出しデータが“1”であるか、あるいは“0”であるかについての判定を行う。

図1の不揮発性半導体記憶装置において、グローバルビット線GBLは、セクタスイッチ13を介してメモリア部1の複数のビット線BLと接続され、階層構造を有している。グローバルビット線GBLは、所定の本数毎のカラム選択回路12に入力され、カラム選択回路12によりそのうちの1本が選択されてデータバス線LDBに接続される。

図1の不揮発性半導体記憶装置では、メモリア部1側に存在するセクタスイッチ13やセクタスイッチ14、カラム選択回路12等の寄生素子の容量のアン

バランスを補正するために、記憶セル10側のカスコード回路31と差動アンプ30の間に負荷容量CLD2と、リファレンスセル20側の電流経路の途中に負荷容量CLD1とが付加されている。

一方、各記憶セルが4値のデータを保持する不揮発性半導体記憶装置の場合は、
5 データ読み出し時の記憶セル電流を、“1”と“2/3”の中間値の電位“3/4”、“2/3”と“1/3”の中間値の電位“1/2”、“1/3”と“0”の中間値の電位“1/4”の3つの異なる基準電流値のそれぞれと比較することによって検知する。

図2は、各記憶セルが4値のデータを保持する従来の不揮発性半導体記憶装置
10 の読み出し回路の構成を示す。図3は、図2の不揮発性半導体記憶装置における読み出し動作時のデータバス線の動作波形図である。

図2の不揮発性半導体記憶装置においても、図1の構成と同様に、読み出し回路（センス回路部）が、選択された記憶セル10に接続されるビット線BL又はグローバルビット線GBLに流れる電流の大きさと、リファレンスセルからの基準電流の大きさとを比較して、読み出したデータが“1”であるか、“0”であるかを判定する。
15

図2に示したように、各記憶セルが保持するデータが4値の場合は、中間電位“3/4”に対応する基準電流を流すリファレンスセル（RC1）21と、中間電位“1/2”に対応する基準電流を流すリファレンスセル（RC2）22と、
20 中間電位“1/4”に対応する基準電流を流すリファレンスセル（RC3）23の3つの異なるリファレンスセルを、切り替えスイッチ24でそれぞれ切り替えて比較することによって、読み出した記憶セルの保持する電位が“1”、“2/3”、“1/3”、“0”のいずれかであることを判定する。

また、図1の構成と同様に、寄生素子の容量のアンバランスを補正するために、
25 リファレンスセル21、22、23側の電流経路の途中に負荷容量CLD11、CLD12、CLD13と、記憶セル10側のカスコード回路31と差動アンプ30の間に負荷容量CLD2とが付加されている。

上記リファレンスセル21－23は、記憶セル10への書き込み動作や消去動作のストレスを避けるために、各記憶セル10を配置した記憶セルアレイとは異

なる外部領域に配置されている。このため、記憶セルアレイ側に存在するセクタスイッチ13、14、カラム選択回路12等の寄生抵抗、セクタスイッチ13、14、カラム選択回路12等の接合容量、隣接する非選択のビット線BLやグローバルビット線GBL、データバス線LDB等との寄生素子成分を補正するために、負荷容量CLD11、CLD12、CLD13を、リファレンスセル21、22、23が接続されるリファレンスバス線に接続している。これらの負荷容量を付加することにより、リファレンスバス線と記憶セル側のデータバス線の過渡応答特性を同等にして、差動アンプ30のセンス時間の短縮を図っている。

以上説明したように、図2の従来の不揮発性半導体記憶装置は、リファレンスセル側の電流経路に負荷容量CLD11、CLD12、CLD13を設けることにより、記憶セル10から差動アンプ30に至る記憶セル側の電流経路における寄生素子の容量特性と擬似的に一致させる方式を取っている。

しかしながら、記憶セル側の電流経路の寄生素子の容量は、製造上の許容範囲内のある幅を有する分布をもってばらついてしまう。すなわち、各配線のエッチング加工のばらつきにより、隣接配線との間隔にはばらつきが生じる場合があり、隣接配線との線間容量はある幅を有する分布をもってばらついてしまう。

また、層間絶縁膜の膜厚のばらつきにより、上/下層の配線との間隔にもばらつきが生じる場合があり、隣接配線との線間容量もある幅を有する分布をもってばらついてしまう。さらに、ゲート酸化膜や、拡散層の濃度、深さ等のトランジスタの各種パラメータのバラツキにより、接合容量やON抵抗もある幅を有する分布をもってばらついてしまう場合がある。

また、不揮発性半導体記憶装置の大容量化が進展することに伴い、チップのダイサイズが大きくなる傾向にある。したがって、同一チップ内においても、寄生容量のチップ面内の差異は大きくなる傾向にある。同時に、ウェハの大口径化も進展しており、ウェハ面内における差異も大きくなる可能性がある。

厳密に言えば、セクタ内に配置される記憶セルから階層構造を有するビット線を介して形成される電流経路と、専用領域に配置されるリファレンスセルから直結される基準電流経路とは、ビット線が配置される周囲環境や形成される電流経路の物理的パラメータが異なる。このため、設計段階において、両者の寄生素子

成分による特性を合せこむ負荷容量CLD1、CLD2、CLD3を付加したとしても、製造上のばらつきや、チップあるいはウェハの面内分布による差異の傾向は個々の製品で異なっているため、これらの変動要因を含めて、リファレンスセル側の特性を寄生素子成分による特性と一致させることは、従来の不揮発性半導体記憶装置では困難である。

- また、図4Aは、従来の不揮発性半導体記憶装置のデータバス線の動作波形を示す。図4Aに示したように、従来の不揮発性半導体記憶装置では、読み出し動作中の過渡状態において、寄生素子成分による信号の伝播遅延に伴い、記憶セル側とリファレンスセル側の電流経路における電位変化は一致しないこととなる。
- 10 記憶セル情報の検出タイミングを、電位変化が所定範囲内に収束する時点より前に前倒しにした場合には、記憶セル情報を誤検出してしまう可能性がある。従って、記憶セル情報の検出には電位変化が所定範囲内に収束するまで遅延させる必要があり、このことが読み出し動作を高速化する妨げとなっている。

15 発明の開示

- 本発明は、上記の問題点に鑑みてなされたものであって、記憶セル側の電流経路における寄生素子成分の影響を排除して、記憶セル情報の高速な読み出し動作を可能とする読み出し回路を備えた不揮発性半導体記憶装置を提供することを目的とする。
- 20 上記課題を解決するために、本発明の不揮発性半導体記憶装置は、情報を保持する複数の記憶セルが配置された記憶セルアレイと、複数の異なる基準電流を供給する複数のリファレンスセルと、読み出し回路とを備える不揮発性半導体記憶装置であって、前記読み出し回路が、データ読み出しの際に、選択された記憶セルのビット線に接続された第1のグローバルビット線に導通されると共に、前記
- 25 第1のグローバルビット線の近傍に設けられ、前記選択された記憶セルには非接続で、非選択の記憶セルのみのビット線に接続された複数の第2のグローバルビット線のうちの1つとそれぞれ導通されることにより、前記選択された記憶セルからの読み出し電流と、前記リファレンスセルからの各基準電流とを比較して記憶セル情報を判定することを特徴とする。

本発明の不揮発性半導体記憶装置によれば、選択された記憶セルのビット線と接続されたグローバルビット線近傍に設けられ、非選択の記憶セルのみのビット線と接続された3本のグローバルビット線に、それぞれ“3/4”、“1/2”、“1/4”に相当するリファレンスセルを接続して、これら3本のグローバルビット線と、選択された記憶セルのビット線と接続された1本のグローバルビット線とを一組として、各基準電流と記憶セルの電流を読み出すことによって、記憶セル側の電流経路における寄生素子成分の影響を排除して、記憶セル情報の高速な読み出し動作を可能とする。

また、上記課題を解決するために、本発明の不揮発性半導体記憶装置は、情報を保持する複数の記憶セルが配置された記憶セルアレイと、複数の異なる基準電流を供給する複数のリファレンスセルと、読み出し回路とを備える不揮発性半導体記憶装置であって、前記読み出し回路が、データ読み出しの際に、選択された記憶セルに接続された第1のビット線に導通されると共に、前記第1のビット線の近傍に設けられ、前記選択された記憶セルに非接続で、非選択の記憶セルのみに接続された複数の第2のビット線のうちの1つとそれぞれ導通されることにより、前記選択された記憶セルからの読み出し電流と、前記リファレンスセルからの各基準電流とを比較して記憶セル情報を判定することを特徴とする

本発明の不揮発性半導体記憶装置によれば、選択された記憶セルに接続されたビット線近傍に設けられ、非選択の記憶セルのみに接続された3本のビット線に、それぞれ“3/4”、“1/2”、“1/4”に相当するリファレンスセルを接続して、これら3本のビット線と、選択された記憶セルに接続された1本のビット線とを一組として、各基準電流と記憶セルの電流を読み出すことによって、記憶セル側の電流経路における寄生素子成分の影響を排除して、記憶セル情報の高速な読み出し動作を可能とする。

25

図面の簡単な説明

本発明の他の目的、特徴及び利点については、添付の図面に基づき下記の発明の詳細な説明を参照することにより明確となる。

図1は、各記憶セルが2値のデータを保持する従来の不揮発性半導体記憶装置

の読み出し回路を示す概略図である。

図2は、各記憶セルが4値のデータを保持する従来の不揮発性半導体記憶装置の読み出し回路を示す概略図である。

図3は、図2の不揮発性半導体記憶装置における読み出し動作時のデータバス線の動作波形図である。

図4Aは、従来の不揮発性半導体記憶装置の読み出し動作を説明するための動作波形図である。

図4Bは、本発明を適用した不揮発性半導体記憶装置の読み出し動作を説明するための動作波形図である。

10 図5は、本発明の第1の実施例に係る、各記憶セルが4値のデータを保持する不揮発性半導体記憶装置の読み出し回路を示す概略図である。

図6は、図5の読み出し回路におけるロード回路を示す回路図である。

図7は、図5の読み出し回路における差動アンプとデータバス線間の切り替えスイッチを示す回路図である。

15 図8は、本発明の第2の実施例に係る、各記憶セルが4値のデータを保持する不揮発性半導体記憶装置の読み出し回路を示す概略図である。

図9は、図7の切り替えスイッチの動作を説明するためのタイミング図である。

発明を実施するための最良の形態

20 本発明の実施の形態を添付の図面を用いて説明する。

図5は、本発明の第1の実施例に係る不揮発性半導体記憶装置の読み出し回路を示す。図5の不揮発性半導体記憶装置では、図2の構成と同様、各記憶セルは4値のデータを保持する。

25 図5の不揮発性半導体記憶装置は、第1のメモリコア部1と、メモリコア部1と同様のメモセルアレイを有する第2のメモリコア部1'と、読み出し回路とから構成される。

第1のメモリコア部1は、ワード線WLとビット線BLにより二次元マトリクス状配列で接続された複数の不揮発性記憶セル10（第1の記憶セルアレイ）と、アドレス信号（Address）が入力されるデコーダ11と、アドレス信

号が入力されるカラム選択回路 (YSEL) 12 と、セクタースイッチ (SECY) 13 と、アドレス信号が入力されるセクタースイッチ (SECY) 14 とを含む。第2のメモリコア部 1' は、複数の不揮発性記憶セル 10' (第2の記憶セルアレイ) と、カラム選択回路 12' と、セクタースイッチ 13' と、セクタースイッチ 14' とを含む。

図5の不揮発性半導体記憶装置において、第1及び第2の記憶セルアレイ 10、10'、カラム選択回路 12、12'、セクタースイッチ 13、13'、及びセクタースイッチ 14、14' はそれぞれ3層の階層構造を有し、各層ごとの回路要素はその参照記号に添え字 0、1、2 を付して識別している。例えば、最上層
10 のカラム選択回路 12、12' は、YSEL0、YSEL0' で表される。

図5の不揮発性半導体記憶装置は、上記したように、各記憶セルが4値の記憶セル情報を保持し、データ読み出しの際にアドレス信号にしたがって選択可能に設けた複数の記憶セルからなる第1の記憶セルアレイと、各記憶セルが前記アドレス信号で選択されないよう設けた複数の記憶セルからなる第2の記憶セルアレイとを含むよう構成されている。

また、図5の不揮発性半導体記憶装置においては、読み出し回路が、選択された記憶セル 10 に接続されるビット線又はグローバルビット線に流れる電流の大きさと、リファレンスセルからの基準電流の大きさとを比較することにより、読み出したデータが“1”であるか、“0”であるかを判定する。この読み出し回路
20 は、データバス線 (LDB0-LDB2) を介しカラム選択回路 (YSEL0-2) 12 と接続されたインターフェイス用カスコード回路 51 と、リファレンスバス線 (LDB0'-LDB2') を介しリファレンスセル (図示なし) と接続された電流負荷用カスコード回路 52 と、カスコード回路 51 及びカスコード回路 52 と接続された差動アンプ (SAMP) 30 とを含む。

また、図5の読み出し回路は、カラム選択回路 12 とカスコード回路 31 間の電流経路の途中に設けられたスイッチ 15 と、カラム選択回路 12' とカスコード回路 31 間の電流経路の途中に設けられたスイッチ 15' とを含む。さらに、図5の読み出し回路は、カラム選択回路 (YSEL0-2) 12 からの電流経路と接続されたロード回路 (LD0-LD2) 16 と、カラム選択回路 (YSEL

0' - 2') 1 2' からの電流経路と接続されたロード回路 (LD 0' - LD 2') 1 6' とを含む。切り替え信号 (RSW 0' - RSW 2') がロード回路 (LD 0 - LD 2) 1 6 に入力されると共に、切り替え信号 (RSW 0 - RSW 2) がロード回路 (LD 0' - LD 2') 1 6 に入力される。

5 図5の不揮発性半導体記憶装置のデータ読み出し動作では、入力したアドレス信号によってワード線WLが選択され、選択された記憶セル10が保持するデータに応じた読み出し電流がビット線BLに流れる。このビット線BLを含む複数のビット線は、セクタスイッチ13、14によって選択されて、一本のグローバルビット線GBL0に接続される。

10 さらに、このグローバルビット線GBL0を含む3本のグローバルビット線GBL0 - GBL2は、カラム選択回路 (YSEL0) 12によって選択されて、データバス線LDB0と導通される。同時に、スイッチ15によってデータバス線LDB0が差動アンプ (SAMP) 30と導通される。データバス線 (LDB 0 ~ LDB 2) は、ロード回路 (LD 0 ~ LD 2) 1 6 にも接続されているが、
15 各ロード回路16内で導通が切られている。

一方、非選択の記憶セル10' のみのビット線が接続された3本のグローバルビット線GBL0' - GBL2' は、同様に、カラム選択回路 (YSEL0') 1 2' によって選択されてデータバス線LDB0' - LDB2' と導通される。これらのデータバス線 (LDB 0' - LDB 2') にもロード回路 (LD 0' - LD 2') 1 6' が接続されている。
20

データバス線LDB0 - LDB2を流れる電流を読み出す時には、それぞれ“1/4”、“1/2”、“3/4”に相当する3個のリファレンスセルからの各基準電流がデータバス線LDB0' - LDB2' に流れるように設定されている。また、データバス線LDB0 - LDB2と同様に、データバス線LDB0' - LDB 2' も、スイッチ15' を介して差動アンプ30へ接続されている。
25

スイッチ15' の切り替え動作により、データバス線LDB0' - LDB2' が順に切り替えられて導通されることにより、差動アンプ30はデータバス線LDB0からの読み出し電流と、3個のリファレンスセルからの各基準電流とを比較して、選択された記憶セル10の読み出しデータを判定する。

一方、データバス線 $LDB\ 0'$ - $LDB\ 2'$ 側のデータを呼び出す時は、データバス線 $LDB\ 0$ - $LDB\ 2$ とロード回路 $LD\ 0$ - $LD\ 2$ が接続され、同様に切り替えて読み出し動作を行う。

図 4 B は、本発明を適用した不揮発性半導体記憶装置のデータバス線の動作波形を示す。

図 5 の実施例で説明したように、本発明の不揮発性半導体記憶装置では、選択した記憶セル 10 のビット線に接続されたグローバルビット線と物理的に近い 3 本のグローバルビット線をカラム選択回路 12' で選択したデータバス線を、それぞれ “3/4”、“1/2”、“1/4” に相当する 3 個のリファレンスセルのそれぞれに導通して、選択された記憶セル 10 側のデータバス線と 1 対として読み出し動作を行う。これらの 3 本のデータバス線には、それぞれセクタスイッチ 13'、14'、カラム選択回路 12' 等の接合容量、隣接する配線との寄生容量等が含まれるので、読み出す記憶セル 10 側と同一になる。3 本のリファレンスバス読み出し動作における記憶セル側のデータバス線の過渡変化も同一となるので、図 4 B に示したように、データ読み出し動作を早めることが可能になる。

また、第 1 の記憶セルアレイ側のグローバルビット線と物理的に近いグローバルビット線を利用するので、第 1 の記憶セルアレイ側にノイズ等の影響があった際には、同等の影響が第 2 の記憶セルアレイ側のグローバルビット線にも生じるため、両者の影響を相殺することができ。従って、本発明の不揮発性半導体記憶装置によれば、読み出し動作の開始から読み出し動作完了までの時間を短縮することが可能になるため、読み出し動作全体の時間を短縮することが可能になる。

図 6 は、図 5 の読み出し回路におけるロード回路の一例を示す。

図 6 に示したように、リファレンスセル回路 54 には、バイアス電圧 $B\ I\ A\ S$ と負荷電圧 $P\ L\ O\ A\ D$ が入力されている。リファレンスセル回路 54 では、リファレンスセル $R\ C\ 0$ から、例えば、記憶セル電位 “1/4” に相当する基準電流 $I\ R\ E\ F\ 0$ を流し、その基準電流 $I\ R\ E\ F\ 0$ を電流電圧変換する。その出力電圧 $I\ B\ I\ A\ S\ 0$ を、各データバス線 $LDB\ 0$ 、 $LDB\ 0'$ に接続されたロード回路 ($LD\ 0$) 16、ロード回路 ($LD\ 0'$) 16' に導通することによって、データバス線 $LDB\ 0$ 、 $LDB\ 0'$ に基準電流 $I\ R\ E\ F\ 0$ を流すことができる。

ロード回路 (LD0) 16 は、例えば、電源電圧 V_{cc} が入力されるとともに、ソース側端子がデータバス線 LDB0 に接続されたトランジスタ 16T1 と、電源電圧 V_{cc} が入力されるトランジスタ 16T2 と、電圧 IBIAS0 が入力されるトランジスタ 16T3 と、切り替え信号 RSW0' が入力されるとともに、
 5 ドレイン側端子が接地されたトランジスタ 16T4 とを含む。ロード回路 (LD0') 16' は、例えば、電源電圧 V_{cc} が入力されるとともに、ソース側端子がデータバス線 LDB0' に接続されたトランジスタ 16T1' と、電源電圧 V_{cc} が入力されるトランジスタ 16T2' と、電圧 IBIAS0 が入力されるトランジスタ 16T3' と、切り替え信号 RSW0 が入力されるとともに、ドレイン側端子が接地されたトランジスタ 16T4' とを含む。
 10

同様に、記憶セル電位 “1/2” に相当する基準電流を流すリファレンスセル RC1 を含むリファレンスセル回路 54 からの出力電圧 IBIAS1 を、各データバス線 LDB1, LDB1' に接続されたロード回路 (LD1) 16、ロード回路 (LD1') 16' に導通する。記憶セル電位 “3/4” に相当する基準電流を流すリファレンスセル RC2 を含むリファレンスセル回路 54 からの出力電圧 IBIAS2 をデータバス線 LDB2, LDB2' に接続されたロード回路 (LD2) 16、ロード回路 (LD2') 16' に導通する。
 15

上述のようにロード回路 16 とロード回路 16' を構成することで、記憶セル電位 “1/4”、“1/2”、“3/4” に相当する基準電流をそれぞれデータバス線に流すことができる。
 20

図 5 の不揮発性半導体装置で実際に読み出し動作を行う場合、データバス線 LDB0-LDB2 側を流れる電流を読み出すときには、切り替え信号 RSW0-RSW2 を ON 状態に、切り替え信号 RSW0'-RSW2' を OFF 状態に設定して、データバス線 LDB0'-LDB2' 側に各基準電流を流す。逆に、データバス線 LDB0'-LDB2' 側を流れる電流を読み出すときには、切り替え信号 RSW0'-RSW2' を ON 状態に、切り替え信号 RSW0-RSW2 を OFF 状態に設定して、データバス線 LDB0-LDB2 側に各基準電流を流す。
 25

図 7 は、図 5 の読み出し回路における差動アンプ 30 とデータバス線間の切り

替えスイッチ15の一例を示す。

図7の切り替えスイッチ15は、トランジスタ15T0と、トランジスタ15T1と、トランジスタ15T2とを含む。トランジスタ15T0のゲート端子には切り替え信号RDSW0が入力され、ソース端子にはデータバス線LDB0が
5 接続され、ドレイン端子は差動アンプ30の入力に接続されている。トランジスタ15T1のゲート端子には切り替え信号RDSW1が入力され、ソース端子にはデータバス線LDB1が接続され、ドレイン端子は差動アンプ30の入力に接続されている。トランジスタ15T2のゲート端子には切り替え信号RDSW2
10 が入力され、ソース端子にはデータバス線LDB2が接続され、ドレイン端子は差動アンプ30の入力に接続されている。

データバス線LDB0-LDB2が読み出し側のときには、スイッチ15に入力される切り替え信号RDSW0-RDSW2のいずれか1つがON状態に設定される。この切り替え信号にしたがって、3個のトランジスタ15T0-15T2がそれぞれ接続されるデータバス線の内1本だけが選択されてON状態になり、
15 差動アンプ30に導通される。

一方、データバス線LDB0-LDB2がリファレンス側のときには、スイッチ15に入力される切り替え信号RDSW0-RDSW2が順に1つずつON状態に設定される。この切り替え信号にしたがって、3個のトランジスタ15T0-15T2がそれぞれ接続されるデータバス線の1本が順にそれぞれ、差動アンプ30に導通されることで、データバス線LDB0'-LDB2'側の読み出し動作が行われる。
20

図7では、切り替えスイッチ15の構成と動作について説明したが、図5の読み出し回路における切り替えスイッチ15'も同様に構成することができ、切り替えスイッチ15'入力される切り替え信号RDSW0'-RDSW2'にした
25 がって、切り替えスイッチ15と同様に動作させることができる。

図9は、図7の切り替えスイッチの動作を説明するためのタイミング図である。

図9の例では、データバス線LDB0-LDB2が読み出し側のときを想定している。入力したアドレス信号(Address)によってワード線WLが選択され、選択された記録セル10に保持されたデータに応じた電流がビット線BL

に流れる。このビット線BLを含む複数のビット線が、セクタスイッチSECYによって選択されて、グローバルビット線GBL0に接続される。さらに、このグローバルビット線GBL0を含む3本のグローバルビット線GBL0-GBL2が、カラム選択回路(YSEL0)12によって選択されて、データバス線LDB0と導通される。同時に、切り替えスイッチ15によってデータバス線LDB0が差動アンプ30と導通される。データバス線(LDB0~LDB2)は、ロード回路(LD0~LD2)16にも接続されているが、各ロード回路16内で導通が切られている。

一方、非選択の記憶セル10'のみのビット線が接続された3本のグローバルビット線GBL0'-GBL2'は、同様に、カラム選択回路(YSEL0')12'によって選択されてデータバス線LDB0'-LDB2'と導通される。これらデータバス線LDB0'-LDB2'にはロード回路(LD0'-LD2')16'が接続されている。それぞれ“1/4”、“1/2”、“3/4”に相当する3個のリファレンスセルRC0、RC1、RC2からの各基準電流がデータバス線LDB0'-LDB2'に流れるように設定されている。

このとき、図9に示したように、スイッチ15'に入力される切り替え信号RDSW0-RDSW2順に1つずつON状態に設定される。この切り替え信号RDSW0-RDSW2にしたがって、スイッチ15'の切り替え動作により、データバス線LDB0'-LDB2'が順に切り替えられて差動アンプ30と導通されることにより、データバス線LDB0-LDB2側の読み出し動作が行われる。

上記実施例の不揮発性半導体記憶装置では、記憶セルはビット線に接続され、複数のビット線を、セクタスイッチ13、14においてグローバルビット線に接続するビット線を選択するような階層構造を有している。本発明は、上記実施例の構成のみに限定されるものではなく、記憶セルが接続されたビット線が直接カラム選択回路12に接続されて、ビット線の階層構造を有していない構成に適用した場合でもその効果は同等である。

図8は、本発明の第2の実施例に係る不揮発性半導体記憶装置の読み出し回路を示す。図8の不揮発性半導体記憶装置では、図5の構成と同様、各記憶セルは

4 値のデータを保持する。

図 8 の実施例は、記憶セルを接続したビット線 BL が直接、カラム選択回路 ($YSEL0-2$) 12 、カラム選択回路 ($YSEL0'-2'$) $12'$ に接続しており、ビット線 BL が階層構造を有していない構成の一例である。

5 図 8 の構成は、第 1 のメモリコア部 1 と第 2 のメモリコア部 $1'$ の部分の構成を除けば、図 5 の構成と基本的に同一である。すなわち、図 8 において、図 5 の対応する回路要素と同じ回路要素には同一の参照符号を付し、その説明は省略する。図 8 の不揮発性半導体記憶装置においても、図 5 と同様の動作で、同様の効果が得られる。

10 図 8 の不揮発性半導体記憶装置では、選択された記憶セル 10 のデータを読み出す時に、選択された記憶セルに接続されたデータバス線と、非選択の記憶セルが接続されたデータバス線 3 本とを組み合わせ、4 値の記憶データを読み出している。

以上説明したように、本発明の不揮発性半導体記憶装置によれば、読み出し動作において、選択される記憶セルが接続されるグローバルビット線と、そのグローバルビット線に近傍のグローバルビット線 3 本とを 1 組として、1 組のデータバス線に接続される負荷を理想的に同等とし、グローバルビット線とデータバス線とを接続するパスゲート等に付随する寄生容量を最小にして、読み出し動作における初期の過渡応答期間において記憶セル情報を画定することができ、高速な読み出し動作を実現することができる。

また、近傍のグローバルビット線を 1 組とすることにより、一方に印加されるノイズは他方にも同様に印加されるので、ノイズの影響が相殺され、記憶セル情報の読み出し信頼性を向上させることができる。

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、請求項に記載した範囲内で様々な変形が可能である。

請求の範囲

1. 情報を保持する複数の記憶セルが配置された記憶セルアレイと、複数の異なる基準電流を供給する複数のリファレンスセルと、読み出し回路とを備える不揮発性半導体記憶装置であって、

5 前記読み出し回路が、データ読み出しの際に、選択された記憶セルのビット線に接続された第1のグローバルビット線に導通されると共に、前記第1のグローバルビット線の近傍に設けられ、前記選択された記憶セルには非接続で、非選択の記憶セルのみのビット線に接続された複数の第2のグローバルビット線のうち
10 の1つとそれぞれ導通されることにより、前記選択された記憶セルからの読み出し電流と、前記リファレンスセルからの各基準電流とを比較して記憶セル情報を判定することを特徴とする不揮発性半導体記憶装置。

2. 前記記憶セルアレイは、各記憶セルが4値の記憶セル情報を保持し、データ読み出しの際にアドレス信号にしたがって選択可能に設けた複数の記憶セルからなる第1の記憶セルアレイと、各記憶セルが前記アドレス信号で選択されないよう設けた複数の記憶セルからなる第2の記憶セルアレイとを含むことを特徴とする請求項1記載の不揮発性半導体記憶装置。

- 20 3. 前記複数のリファレンスセルは3つの異なる基準電流を供給する3個のリファレンスセルを含み、前記第2のグローバルビット線は前記第1のグローバルビット線の近傍に設けられた3本のグローバルビット線を含むことを特徴とする請求項1記載の不揮発性半導体記憶装置。

- 25 4. 情報を保持する複数の記憶セルが配置された記憶セルアレイと、複数の異なる基準電流を供給する複数のリファレンスセルと、読み出し回路とを備える不揮発性半導体記憶装置であって、

前記読み出し回路が、データ読み出しの際に、選択された記憶セルに接続された第1のビット線に導通されると共に、前記第1のビット線の近傍に設けられ、

前記選択された記憶セルに非接続で、非選択の記憶セルのみに接続された複数の第2のビット線のうちの1つとそれぞれ導通されることにより、前記選択された記憶セルからの読み出し電流と、前記リファレンスセルからの各基準電流とを比較して記憶セル情報を判定することを特徴とする不揮発性半導体記憶装置。

5

5. 前記記憶セルアレイは、各記憶セルが4値の記憶セル情報を保持し、データ読み出しの際にアドレス信号によって選択可能に形成された複数の記憶セルからなる第1の記憶セルアレイと、各記憶セルが前記アドレス信号によって非選択に形成された複数の記憶セルからなる第2の記憶セルアレイとを含むことを特徴とする請求項4記載の不揮発性半導体記憶装置。

10

6. 前記複数のリファレンスセルは3つの異なる基準電流を供給する3個のリファレンスセルを含み、前記第2のグローバルビット線は前記第1のグローバルビット線の近傍に設けられた3本のグローバルビット線を含むことを特徴とする請求項4記載の不揮発性半導体記憶装置。

15

20

25

30

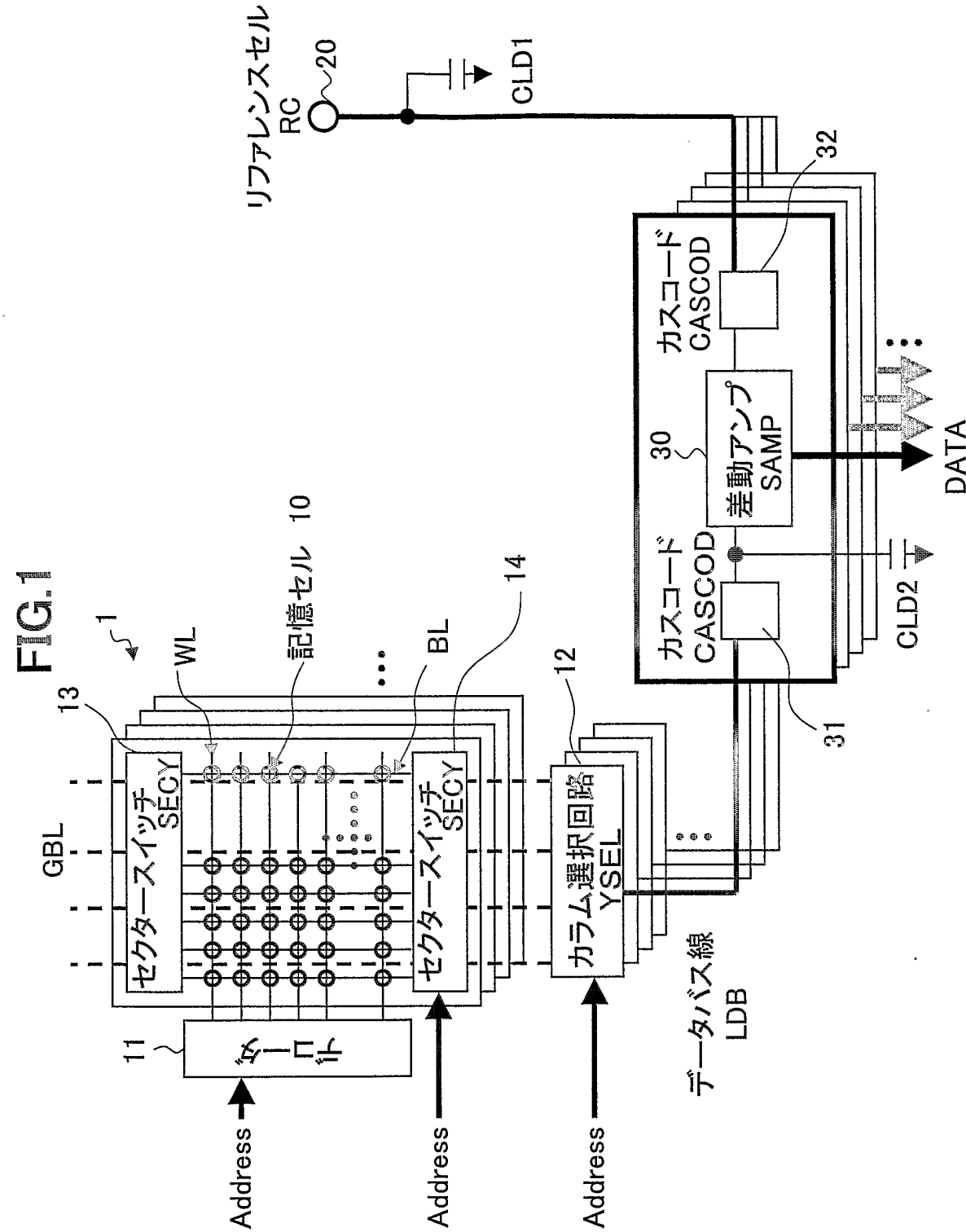


FIG. 2

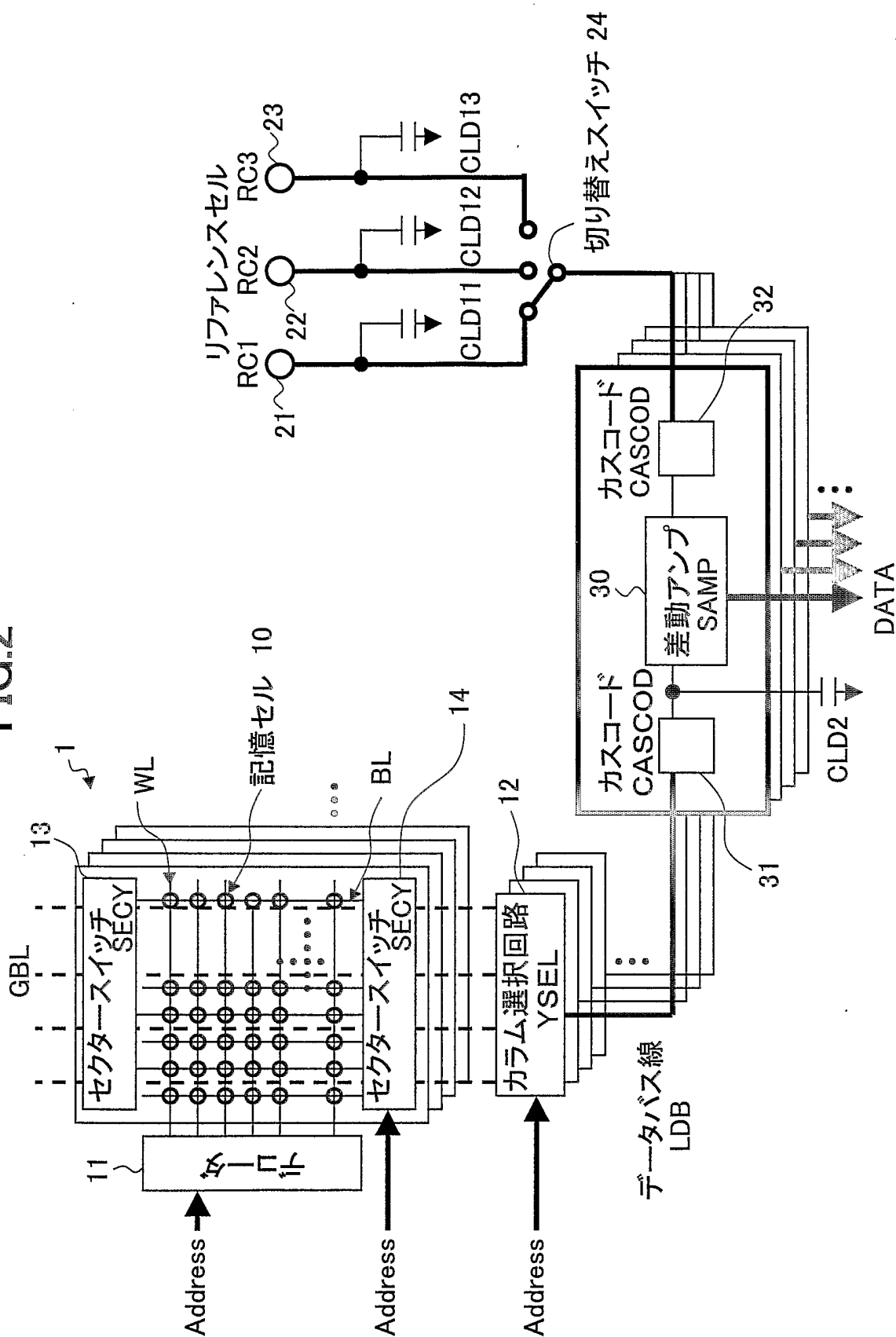


FIG.3

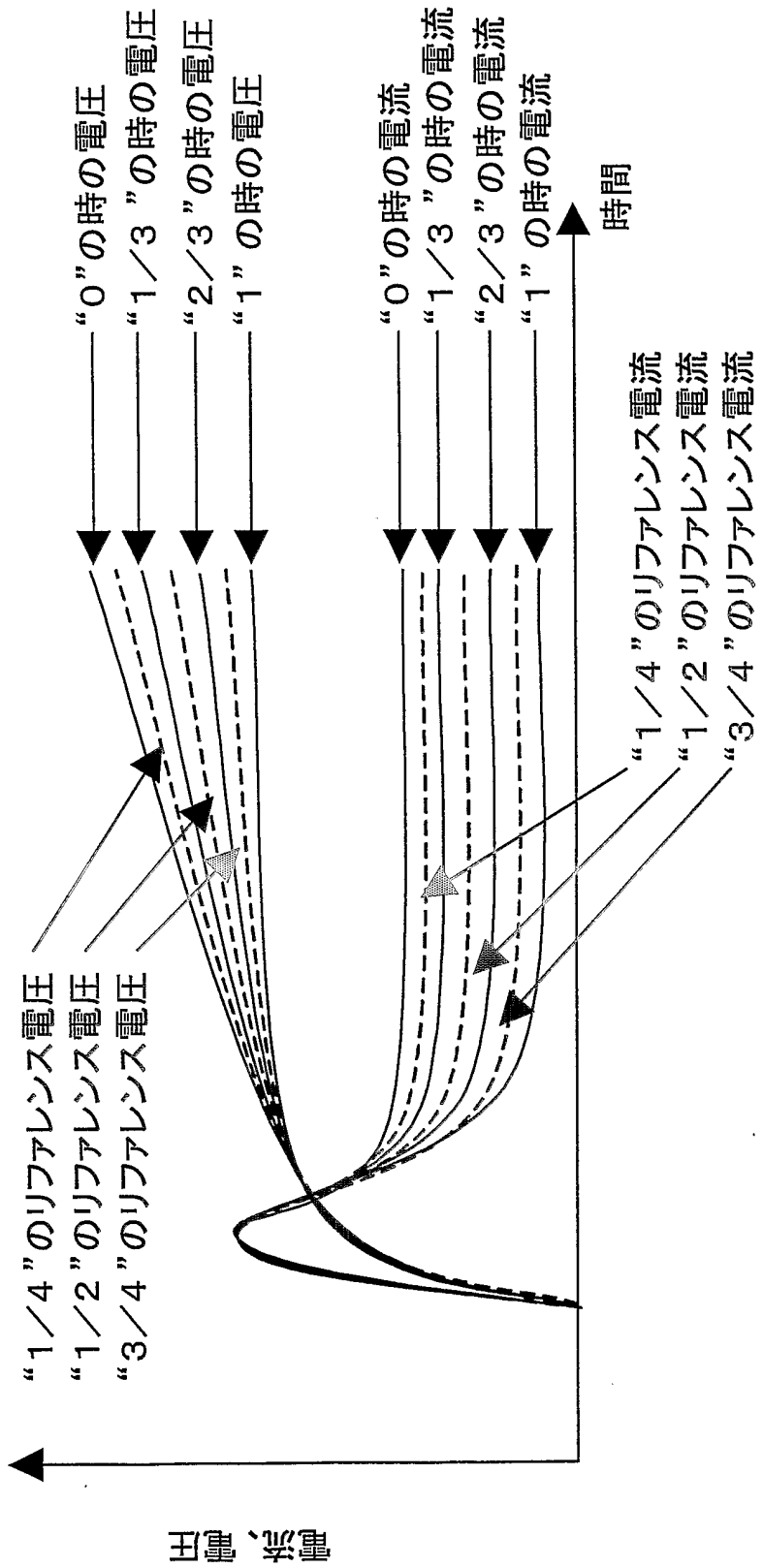


FIG.4A

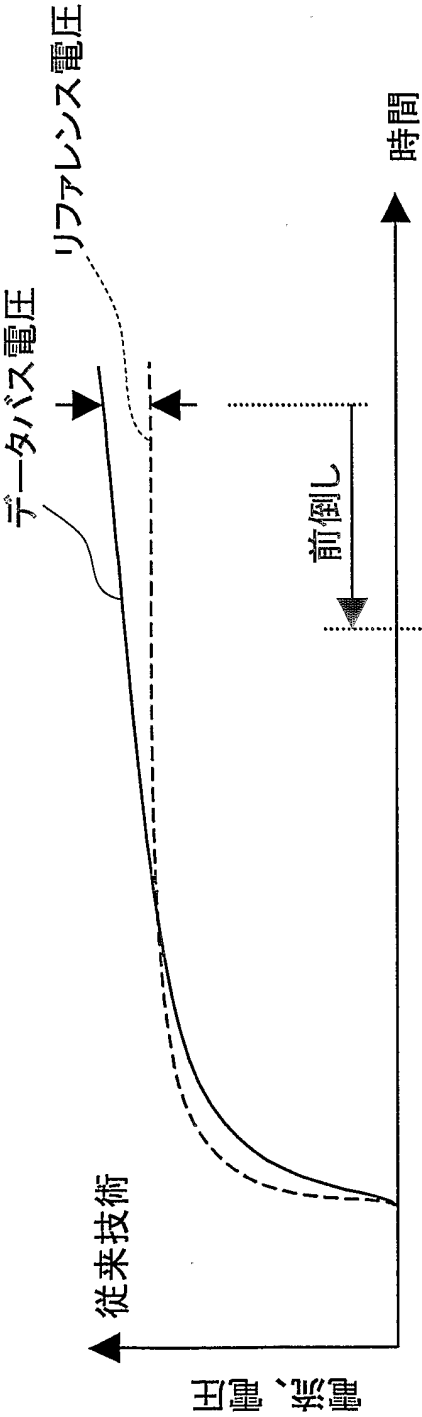


FIG.4B

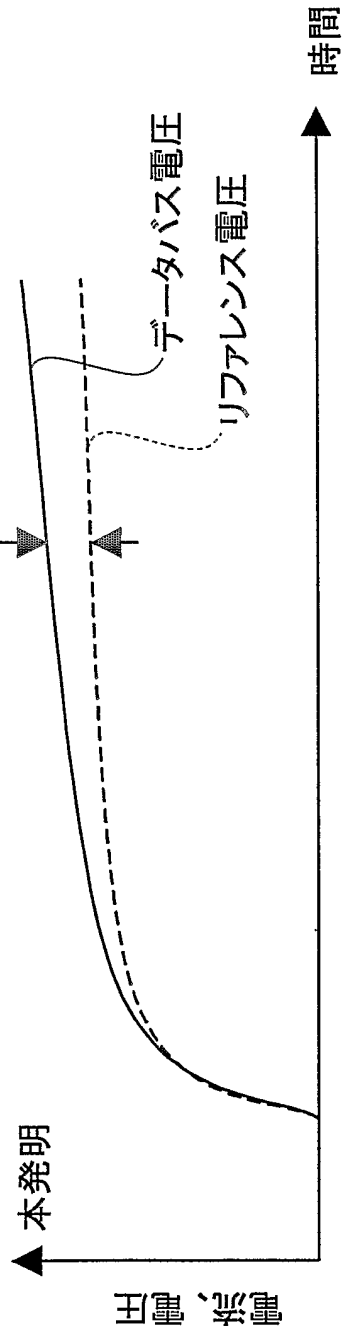


FIG.5

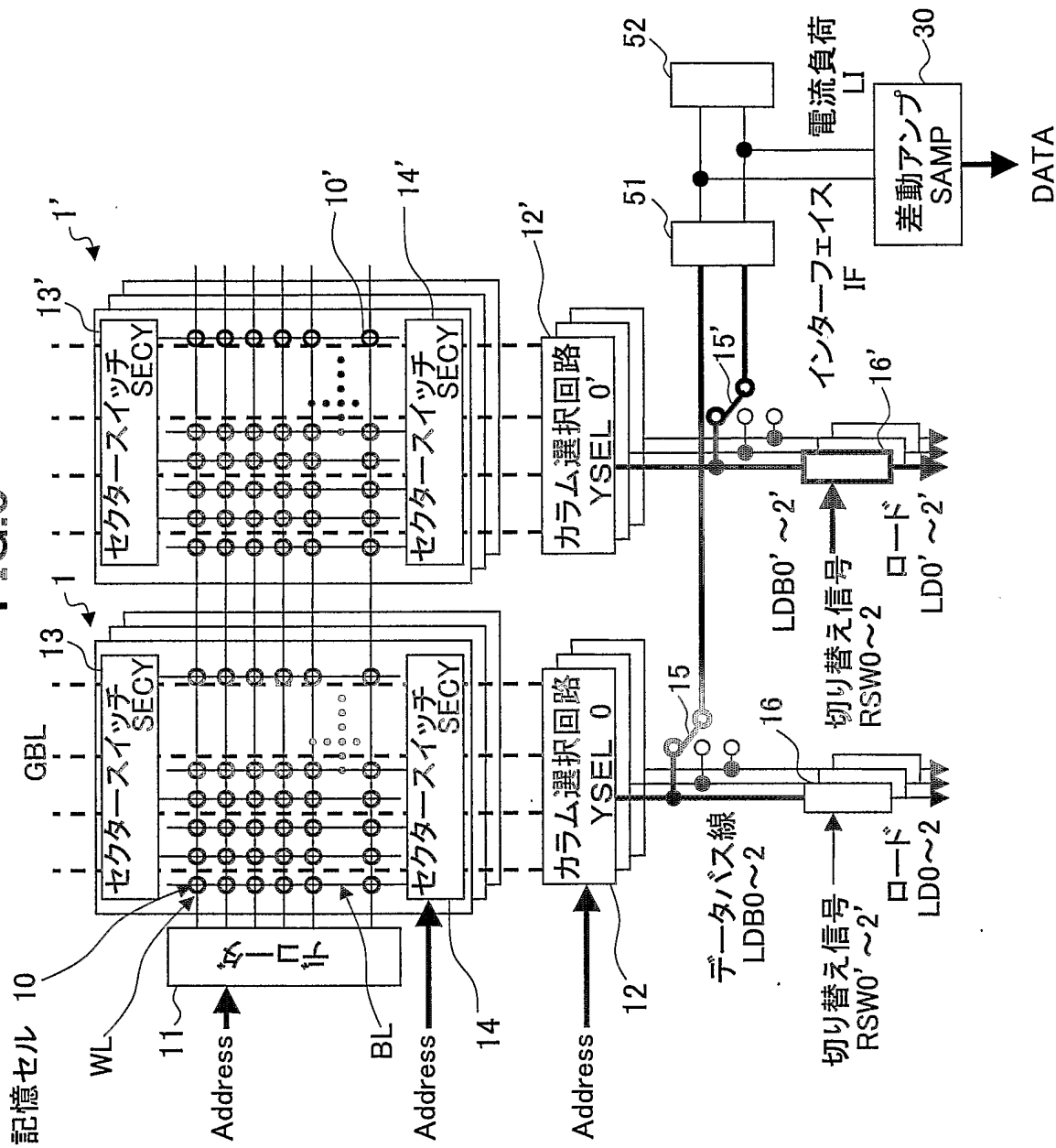


FIG.6

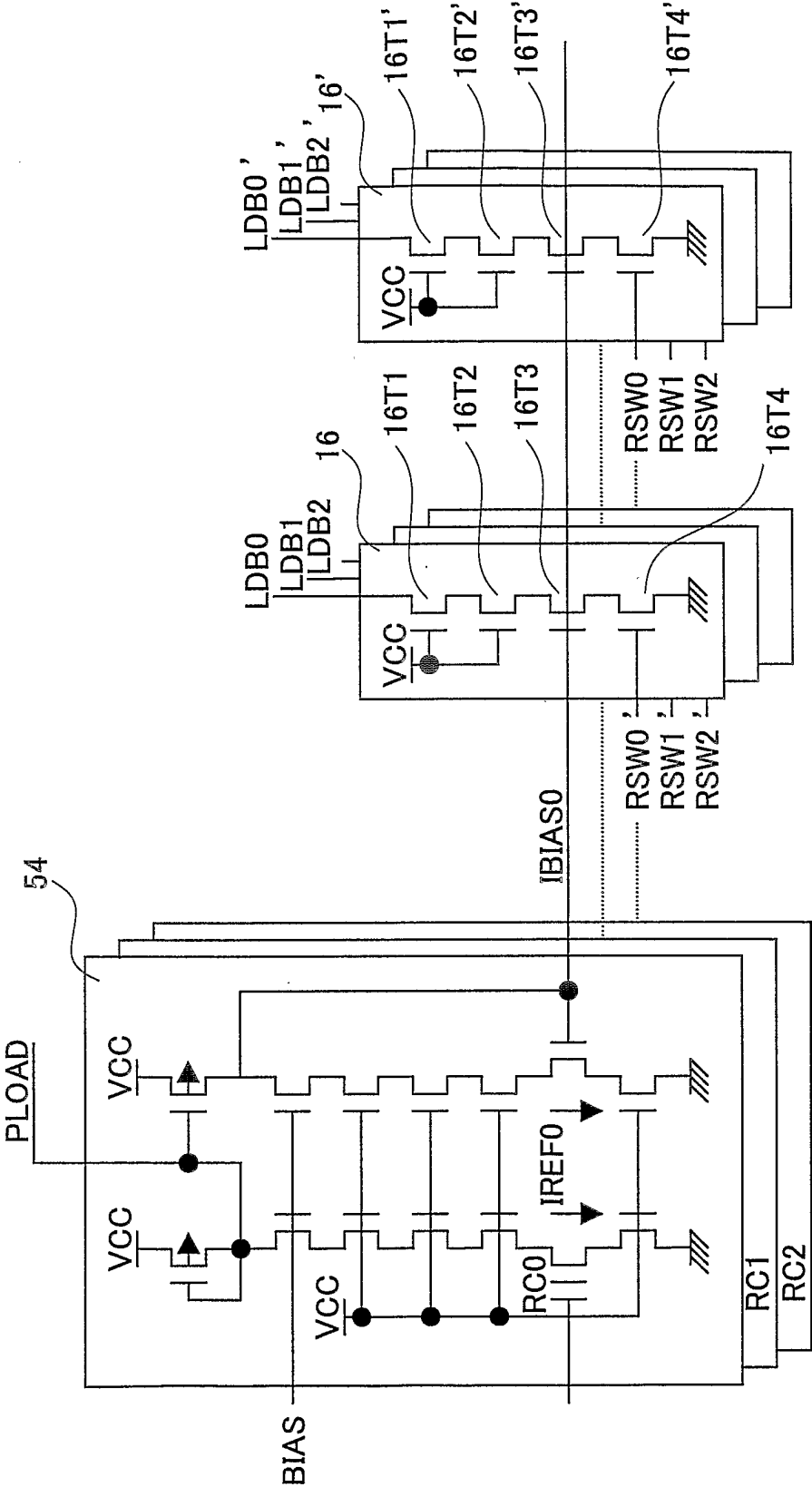


FIG.7

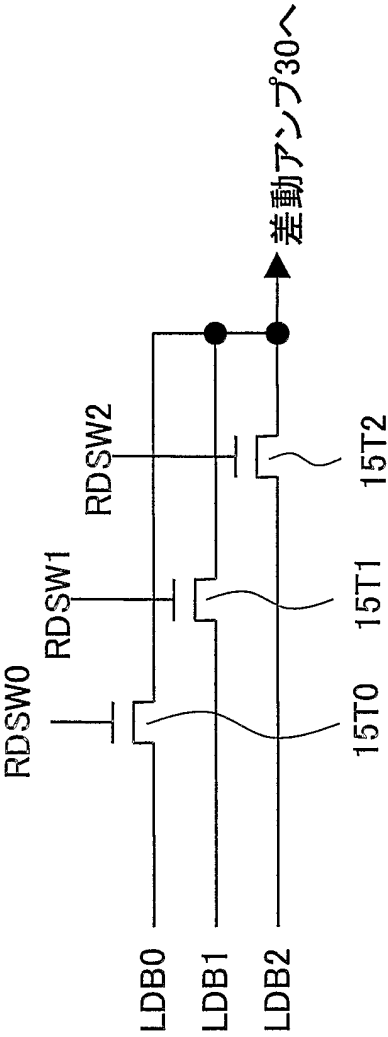


FIG. 8

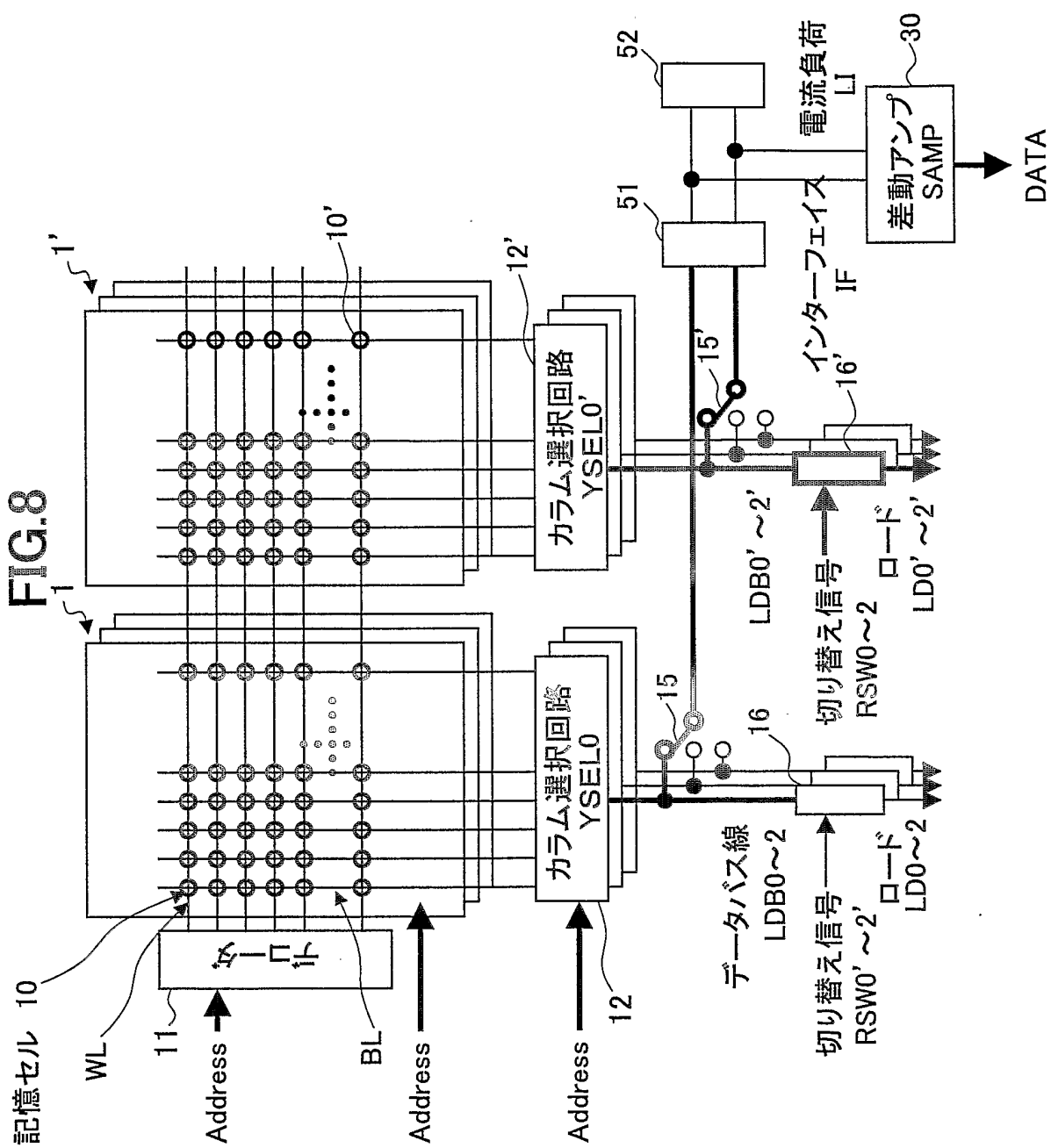
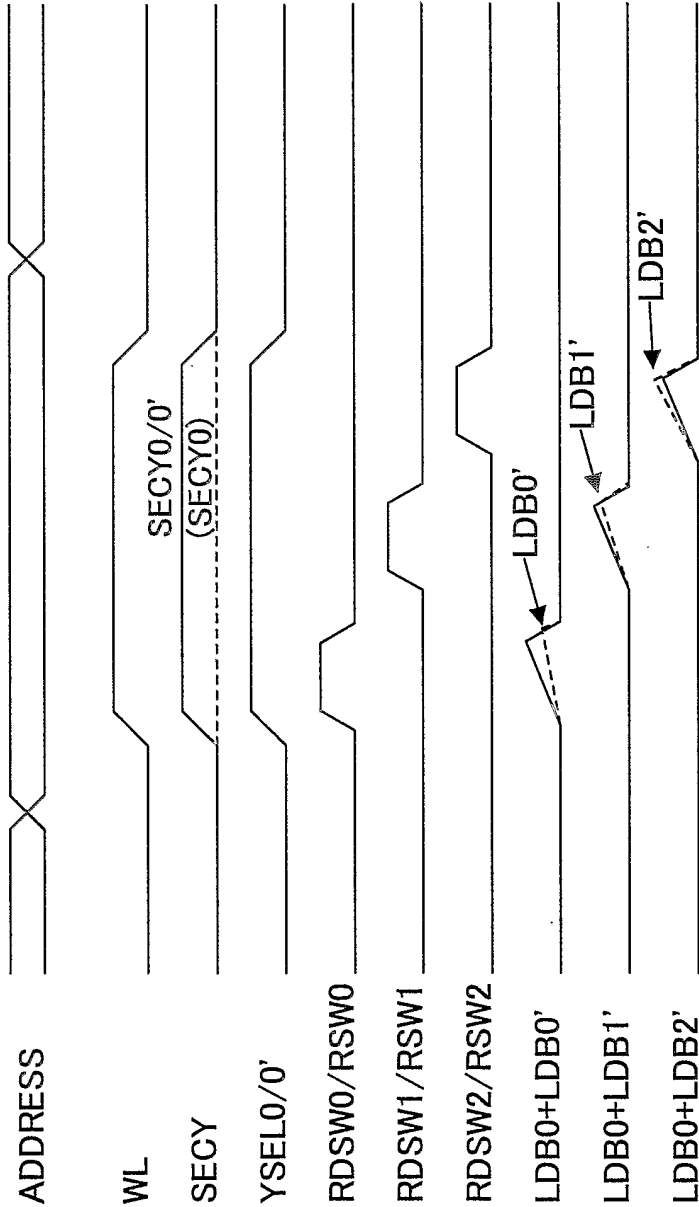


FIG.9



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/02514

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G11C16/26

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G11C16/26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E, A	JP 2003-77282 A (Fujitsu Ltd.), 14 March, 2003 (14.03.03), Full text; all drawings (Family: none)	1-6
A	JP 11-16379 A (NEC IC Miconsystem Kabushiki Kaisha), 22 January, 1999 (22.01.99), Full text; all drawings & US 6016276 A & TW 440852 B & CN 1203426 A	1-6
A	JP 11-306771 A (Sanyo Electric Co., Ltd.), 05 November, 1999 (05.11.99), Full text; all drawings (Family: none)	1-6

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 21 May, 2003 (21.05.03)	Date of mailing of the international search report 03 June, 2003 (03.06.03)
--	--

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/02514

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-344983 A (Fujitsu Ltd.), 14 December, 2001 (14.12.01), Full text; all drawings & US 2001/48610 A1	1-6
A	JP 2000-222896 A (NEC Corp.), 11 August, 2000 (11.08.00), Full text; all drawings & US 2001/28587 A1 & TW 459233 B	1-6
A	JP 2001-307494 A (Sharp Corp.), 02 November, 2001 (02.11.01), Full text; all drawings & US 2001/33514 A1	1-6
A	JP 2002-8386 A (Toshiba Corp.), 11 January, 2002 (11.01.02), Full text; all drawings (Family: none)	1-6

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ G11C16/26

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ G11C16/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2003年
日本国実用新案登録公報 1996-2003年
日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
EA	JP 2003-77282 A (富士通株式会社) 2003.03.14, 全文, 全図 (ファミリーなし)	1-6
A	JP 11-16379 A (日本電気アイシー・マイクロシステム株式会社) 1999.01.22, 全文, 全図 & US 6016276 A & TW 440852 B & CN 1203426 A	1-6
A	JP 11-306771 A (三洋電機株式会社) 1999.11.05, 全文, 全図 (ファミリーなし)	1-6

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

21.05.03

国際調査報告の発送日

03.06.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

飯田 清司



5N 8731

電話番号 03-3581-1101 内線 6842

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-344983 A (富士通株式会社) 2001. 12. 14, 全文, 全図 & US 2001/486 10 A1	1-6
A	JP 2000-222896 A (日本電気株式会社) 2000. 08. 11, 全文, 全図 & US 2001/285 87 A1 & TW 459233 B	1-6
A	JP 2001-307494 A (シャープ株式会社) 2001. 11. 02, 全文, 全図 & US 2001/335 14 A1	1-6
A	JP 2002-8386 A (株式会社東芝) 2002. 01. 11, 全文, 全図 (ファミリーなし)	1-6