



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0033690

(43) 공개일자 2015년04월01일

- (51) 국제특허분류(Int. Cl.)
H01L 27/112 (2006.01) H01L 21/8239 (2006.01)
H01L 23/525 (2006.01) H01L 27/105 (2006.01)
- (52) CPC특허분류
H01L 27/11206 (2013.01)
H01L 21/8239 (2013.01)
- (21) 출원번호 10-2015-7002134
(22) 출원일자(국제) 2013년06월27일
심사청구일자 없음
- (85) 번역문제출일자 2015년01월26일
(86) 국제출원번호 PCT/US2013/048088
(87) 국제공개번호 WO 2014/004770
국제공개일자 2014년01월03일
- (30) 우선권주장
61/666,649 2012년06월29일 미국(US)
13/684,107 2012년11월21일 미국(US)

- (71) 출원인
켈컴 인코퍼레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자
왕, 총제
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
추, 존 지안홍
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
리, 시아
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (74) 대리인
특허법인 남앤드남

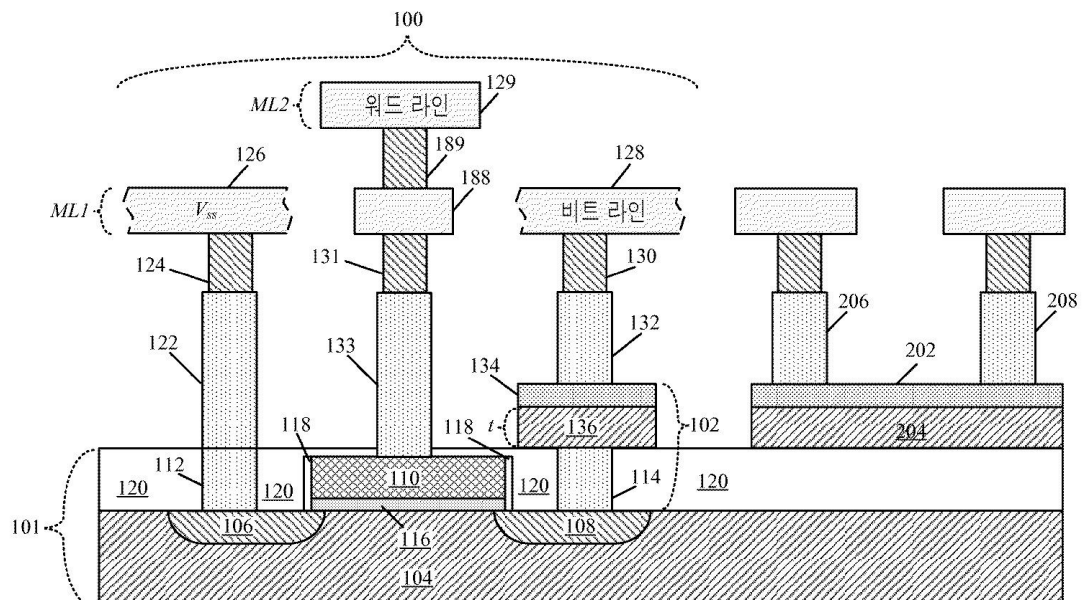
전체 청구항 수 : 총 43 항

(54) 발명의 명칭 안티퓨즈를 특징으로 하는 집적 회로 디바이스 및 이를 제조하는 방법

(57) 요약

집적 회로, 예를 들면, OTP 또는 MTP 메모리 회로는 액세스 트랜지스터(10) 및 안티퓨즈(102)를 포함한다. 액세스 트랜지스터는 적어도 하나의 소스/드레인 영역(106,108)을 포함하고, 안티퓨즈는 도전체-절연체-도전체 구조를 갖는다. 안티퓨즈는 제 1 전극(134)으로서 역할을 하는 제 1 도전체를 포함하고, 또한 안티퓨즈 유전체(136) (뒷면에 계속)

대표도



및 제 2 도전체(114, 304)를 포함한다. 제 1 전극의 제 1 표면은 안티퓨즈 유전체의 제 1 표면에 연결되고, 안티퓨즈 유전체의 제 2 표면은 제 2 도전체의 제 1 표면에 연결된다. 제 2 도전체는 액세스 트랜지스터의 소스/드레인 영역에 전기적으로 연결된다. 안티퓨즈는, 안티퓨즈 유전체 파괴 전압 미만이거나 이와 동일한 프로그래밍 전압(V_{pp})이 제 1 전극과 제 2 도전체 사이에 인가되는 경우에 개방 회로 상태로부터 폐쇄 회로 상태로 전이하도록 구성된다. 저항기(202)가 또한 제공될 수 있고, 안티퓨즈의 제 1 전극(134)과 동일한 층으로부터 형성된다. 저항기는 안티퓨즈 유전체와 동일한 층으로부터 제조되는 절연층(204) 상에 위치된다.

(52) CPC특허분류

H01L 23/5252 (2013.01)

H01L 27/1052 (2013.01)

명세서

청구범위

청구항 1

집적 회로로서,

적어도 하나의 소스/드레인 영역을 포함하는 액세스 트랜지스터, 및

도전체-절연체-도체 구조를 갖는 안티퓨즈(antifuse) — 상기 안티퓨즈는 제 1 전극인 제 1 도전체, 안티퓨즈 유전체(dielectric), 및 제 2 도전체를 포함하고, 상기 제 1 전극의 제 1 표면은 상기 안티퓨즈 유전체의 제 1 표면에 연결되고, 상기 안티퓨즈 유전체의 제 2 표면은 상기 제 2 도전체의 제 1 표면에 연결되고, 상기 제 2 도전체는 상기 액세스 트랜지스터의 소스/드레인 영역에 전기적으로 연결됨 — 를 포함하는,

집적 회로.

청구항 2

제 1 항에 있어서,

상기 안티퓨즈는, 안티퓨즈 유전체 파괴 전압(breakdown voltage)보다 더 크거나 이와 동일한 프로그래밍 전압(V_{pp})이 상기 제 1 전극과 상기 제 2 도전체 사이에 인가되면 개방 회로 상태에서부터 폐쇄 회로 상태로 전이하도록 구성되는,

집적 회로.

청구항 3

제 2 항에 있어서,

상기 프로그래밍 전압(V_{pp})은 상기 집적 회로의 입력/출력(I/O) 전압($V_{I/O}$)과 대략 동일한,

집적 회로.

청구항 4

제 2 항에 있어서,

상기 안티퓨즈 유전체는 두께(t)를 갖고, t 를 증가시키는 것은 상기 안티퓨즈 유전체 파괴 전압을 증가시키는,

집적 회로.

청구항 5

제 2 항에 있어서,

상기 액세스 트랜지스터는 게이트 단자, 게이트 유전체 파괴 전압을 갖는 게이트 유전체, 및 본체를 더 포함하고,

상기 게이트 유전체는 상기 게이트와 상기 본체 사이에 개재되고,

상기 안티퓨즈 유전체 파괴 전압은 상기 게이트 유전체 파괴 전압 미만인,

집적 회로.

청구항 6

제 5 항에 있어서,

상기 게이트 유전체 및 상기 안티퓨즈 유전체는 적어도 하나의 상이한 유전체 물질로 제조되는,

집적 회로.

청구항 7

제 1 항에 있어서,

상기 안티퓨즈는 상기 소스/드레인 영역 위에 적어도 부분적으로 위치되는,

집적 회로.

청구항 8

제 1 항에 있어서,

상기 안티퓨즈는 상기 소스/드레인 영역과 동일한 수직 평면에 적어도 부분적으로 위치되는,

집적 회로.

청구항 9

제 1 항에 있어서,

상기 제 2 도전체는 상기 소스/드레인 영역에 연결된 금속 소스/드레인 콘택트인,

집적 회로.

청구항 10

제 1 항에 있어서,

상기 제 2 도전체는 상기 소스/드레인 영역에 전기적으로 연결된 제 2 표면을 갖는 제 2 전극인,

집적 회로.

청구항 11

제 1 항에 있어서,

상기 안티퓨즈 유전체의 제 1 표면은 상기 안티퓨즈 유전체의 제 2 표면의 반대 방향을 향하는,

집적 회로.

청구항 12

제 1 항에 있어서,

상기 제 1 전극, 상기 안티퓨즈 유전체 및/또는 상기 제 2 도전체 중 적어도 하나는 실질적으로 평면 및/또는 직사각형 직육면체 형상 중 적어도 하나를 갖는,

집적 회로.

청구항 13

제 1 항에 있어서,

상기 제 1 전극은 상기 집적 회로의 저항기와 동일한 수평 평면에 적어도 부분적으로 놓이는,

집적 회로.

청구항 14

제 13 항에 있어서,

상기 제 1 전극 및 상기 저항기는 동일한 물질로 제조되는,

집적 회로.

청구항 15

제 13 항에 있어서,

상기 안티퓨즈 유전체는 상기 저항기 아래에 위치한 유전체 지지부와 동일한 수평 평면에 적어도 부분적으로 놓이고,

상기 안티퓨즈 유전체 및 상기 유전체 지지부는 동일한 유전체 물질로 제조되는,

집적 회로.

청구항 16

제 1 항에 있어서,

상기 집적 회로는 OTP(one-time programmable) 메모리 셀인,

집적 회로.

청구항 17

제 1 항에 있어서,

상기 집적 회로는 MTP(multi-time programmable) 메모리 셀인,

집적 회로.

청구항 18

제 1 항에 있어서,

상기 집적 회로는 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 폰, 스마트폰, 개인 휴대 정보 단말, 고정 위치 단말, 태블릿 컴퓨터 및/또는 랩톱 컴퓨터 중 적어도 하나에 통합되는,

집적 회로.

청구항 19

집적 회로를 제조하는 방법으로서,

기판을 제공하는 단계,

상기 기판에 적어도 하나의 소스/드레인 영역을 포함하는 액세스 트랜지스터를 형성하는 단계,

제 1 전극을 형성하기 위해 제 1 도전체를 제공하는 단계,

안티퓨즈 유전체를 제공하는 단계,

제 2 도전체를 제공하는 단계,

상기 제 1 전극의 제 1 표면을 상기 안티퓨즈 유전체의 제 1 표면에 연결하고, 상기 안티퓨즈 유전체의 제 2 표면을 상기 제 2 도전체의 제 1 표면에 연결함으로써 안티퓨즈를 형성하는 단계, 및

상기 제 2 도전체를 상기 액세스 트랜지스터의 소스/드레인 영역에 전기적으로 연결하는 단계를 포함하는,

집적 회로를 제조하는 방법.

청구항 20

제 19 항에 있어서,

상기 제 1 전극 및 저항기를 제공하기 위해 마스크를 공유하는 단계 - 상기 저항기 및 상기 제 1 전극은 동일한 물질로 제조됨 - 을 더 포함하는,

집적 회로를 제조하는 방법.

청구항 21

제 19 항에 있어서,

상기 안티퓨즈는, 안티퓨즈 유전체 파괴 전압보다 더 크거나 이와 동일한 프로그래밍 전압(V_{pp})이 상기 제 1 전극과 상기 제 2 도전체 사이에 인가되면 개방 회로 상태에서부터 폐쇄 회로 상태로 전이하도록 구성되는,

집적 회로를 제조하는 방법.

청구항 22

제 21 항에 있어서,

상기 프로그래밍 전압(V_{pp})은 상기 집적 회로의 입력/출력(I/O) 전압($V_{I/O}$)과 대략 동일한,

집적 회로를 제조하는 방법.

청구항 23

제 21 항에 있어서,

상기 액세스 트랜지스터는 게이트 단자, 게이트 유전체 파괴 전압을 갖는 게이트 유전체, 및 본체를 더 포함하고, 상기 방법은,

상기 게이트 유전체를 상기 게이트와 상기 본체 사이에 개재하는 단계— 상기 안티퓨즈 유전체 파괴 전압은 상기 게이트 유전체 파괴 전압 미만임 — 를 더 포함하는,

집적 회로를 제조하는 방법.

청구항 24

제 23 항에 있어서,

상기 게이트 유전체 및 상기 안티퓨즈 유전체는 적어도 하나의 상이한 유전체 물질로 제조되는,

집적 회로를 제조하는 방법.

청구항 25

제 19 항에 있어서,

상기 소스/드레인 영역 위에 적어도 부분적으로 상기 안티퓨즈를 위치시키는 단계를 더 포함하는,

집적 회로를 제조하는 방법.

청구항 26

제 19 항에 있어서,

상기 소스/드레인 영역과 동일한 수직 평면에 적어도 부분적으로 상기 안티퓨즈를 위치시키는 단계를 더 포함하는,

집적 회로를 제조하는 방법.

청구항 27

제 19 항에 있어서,

상기 제 2 도전체는 금속 소스/드레인 콘택트이고,

상기 방법은,

상기 금속 소스/드레인 콘택트를 상기 소스/드레인 영역에 연결하는 단계를 더 포함하는,

집적 회로를 제조하는 방법.

청구항 28

제 19 항에 있어서,

상기 제 2 도전체는 제 2 표면을 갖는 제 2 전극을 형성하고,

상기 방법은,

상기 제 2 전극의 제 2 표면을 상기 소스/드레인 영역에 전기적으로 연결하는 단계를 더 포함하는,

집적 회로를 제조하는 방법.

청구항 29

제 19 항에 있어서,

상기 제 1 전극, 상기 안티퓨즈 유전체 및/또는 상기 제 2 도전체 중 적어도 하나는 실질적으로 평면 및/또는 직사각형 직육면체 형상 중 적어도 하나를 갖는,

집적 회로를 제조하는 방법.

청구항 30

제 19 항에 있어서,

저항기를 형성하는 단계, 및

상기 집적 회로의 저항기와 동일한 수평 평면에 적어도 부분적으로 상기 제 1 전극을 위치시키는 단계를 더 포함하는,

집적 회로를 제조하는 방법.

청구항 31

제 30 항에 있어서,

동일한 물질을 사용하여 상기 제 1 전극 및 상기 저항기를 형성하는 단계를 더 포함하는,

집적 회로를 제조하는 방법.

청구항 32

제 30 항에 있어서,

상기 저항기 아래에 유전체 지지부를 형성하는 단계, 및

상기 유전체 지지부와 동일한 수평 평면에 적어도 부분적으로 상기 안티퓨즈 유전체를 위치시키는 단계 - 상기 안티퓨즈 유전체 및 상기 유전체 지지부는 동일한 유전체 물질로 제조됨 - 를 더 포함하는,

집적 회로를 제조하는 방법.

청구항 33

제 19 항에 있어서,

상기 집적 회로는 OTP(one-time programmable) 메모리 셀인,

집적 회로를 제조하는 방법.

청구항 34

집적 회로로서,

적어도 하나의 소스/드레인 영역을 포함하는 액세스 트랜지스터, 및

도전체-절연체-도전체 구조를 갖는 안티퓨즈 - 상기 안티퓨즈는 제 1 도통하기 위한 수단, 절연하기 위한 수단 및 제 2 도통하기 위한 수단을 포함하고, 상기 제 1 도통하기 위한 수단의 제 1 표면은 상기 절연하기 위한 수

단의 제 1 표면에 연결되고, 상기 절연하기 위한 수단의 제 2 표면은 상기 제 2 도통하기 위한 수단의 제 1 표면에 연결되고, 상기 제 2 도통하기 위한 수단은 상기 액세스 트랜지스터의 소스/드레인 영역에 전기적으로 연결됨 - 를 포함하는,

집적 회로.

청구항 35

제 34 항에 있어서,

상기 안티퓨즈는, 상기 절연하기 위한 수단의 파괴 전압보다 더 크거나 이와 동일한 프로그래밍 전압(V_{pp})이 상기 제 1 도통하기 위한 수단과 상기 제 2 도통하기 위한 수단 사이에 인가되면, 개방 회로 상태에서부터 폐쇄 회로 상태로 전이하도록 구성되는,

집적 회로.

청구항 36

제 35 항에 있어서,

상기 프로그래밍 전압(V_{pp})은 상기 집적 회로의 입력/출력(I/O) 전압($V_{I/O}$)과 대략 동일한,

집적 회로.

청구항 37

제 35 항에 있어서,

상기 액세스 트랜지스터는 게이트 단자, 게이트 유전체 파괴 전압을 갖는 게이트 유전체, 및 본체를 더 포함하고,

상기 게이트 유전체는 상기 게이트와 상기 본체 사이에 개재되고,

상기 절연하기 위한 수단의 파괴 전압은 상기 게이트 유전체 파괴 전압 미만인,

집적 회로.

청구항 38

제 37 항에 있어서,

상기 게이트 유전체 및 상기 절연하기 위한 수단은 적어도 하나의 상이한 유전체 물질로 제조되는,

집적 회로.

청구항 39

제 34 항에 있어서,

상기 안티퓨즈는 상기 소스/드레인 영역 위에 적어도 부분적으로 위치되는,

집적 회로.

청구항 40

제 34 항에 있어서,

상기 제 2 도통하기 위한 수단은 상기 소스/드레인 영역에 연결된 금속 소스/드레인 콘택트인,

집적 회로.

청구항 41

제 34 항에 있어서,

상기 제 1 도통하기 위한 수단은 제 1 전극이고, 상기 제 2 도통하기 위한 수단은 상기 절연하기 위한 수단의

제 2 표면에 연결된 제 1 표면 및 상기 소스/드레인 영역에 전기적으로 연결된 제 2 표면을 갖는 제 2 전극인, 집적 회로.

청구항 42

제 34 항에 있어서,

상기 제 1 도통하기 위한 수단, 상기 절연하기 위한 수단 및/또는 상기 제 2 도통하기 위한 수단 중 적어도 하나는 실질적으로 평면 및/또는 직사각형 직육면체 형상 중 적어도 하나를 갖는,

집적 회로.

청구항 43

제 34 항에 있어서,

상기 제 1 도통하기 위한 수단은 상기 집적 회로의 저항기와 동일한 수평 평면에 적어도 부분적으로 놓이고,

상기 제 1 도통하기 위한 수단 및 상기 저항기는 동일한 물질로 제조되는,

집적 회로.

발명의 설명

기술 분야

[0001] 본 특허 출원은 2012년 6월 29일자로 출원된 "Integrated Circuit Device Featuring an Anti-fuse"란 명칭의 미국 가특허 출원 제 61/666,649 호를 우선권으로 주장하고, 그로 인해 상기 가특허 출원의 전체 개시물은 본원에 인용에 의해 명백히 통합된다.

[0002] 다양한 특징들은 집적 회로들에 관한 것이며, 더 상세하게는 안티퓨즈들을 특징으로 하는 프로그래밍 가능 메모리 셀들을 개선하기 위한 방법들 및 장치들에 관한 것이다.

배경 기술

[0003] 집적 회로들은 기관이라 불리는 공통 기초 상에 제조된 전기 컴포넌트들의 상호 접속된 네트워크들이다. 기관은 통상적으로 실리콘과 같은 반도체 물질의 웨이퍼이다. 레이어링, 도핑, 마스크 및 에칭과 같은 다양한 제조 기술들은 수백만 개의 저항기들, 트랜지스터들 및 다른 전기 컴포넌트들을 웨이퍼 상에 구축하는데 사용된다. 이어서, 컴포넌트들은 함께 와이어링 또는 상호 접속되어, 프로세서 또는 메모리 디바이스와 같은 특정 전기 회로를 정의한다.

[0004] 퓨징 가능 엘리먼트들은 제조 후에 집적 회로들의 구성에서의 변화들을 허용하기 위해 집적 회로들에서 사용된다. 예를 들면, 퓨징 가능 엘리먼트들은 결합 회로들을 중복 회로들로 대체하는데 사용될 수 있다. 다른 예로서, 퓨징 가능 엘리먼트들은 OTP(one time programmable) 또는 MTP(multi-time programmable) 메모리 회로들을 생성하는데 사용될 수 있다. OTP 메모리 셀의 개별적인 메모리 셀들은, 용이하게 변경될 수 없거나 및/또는 안전한 판독 전용 메모리 모듈들을 생성하기 위해 한번 기록될 수 있다.

[0005] 하나의 타입의 퓨징 가능 엘리먼트는 금속 퓨즈이다. 금속 퓨즈는, 충분한 양의 전류가 금속 퓨즈를 통해 흐르는 경우에, 자신의 상태를 도전성, 폐쇄 회로 상태로부터 실질적으로 비도전성, 개방 회로 상태로 변경할 수 있는 구리와 같은 금속 합금 또는 금속으로 구성된다. 금속 퓨즈들은 몇몇의 단점들을 갖는다. 예를 들면, 퓨즈를 프로그래밍(즉, 퓨즈를 폐쇄 회로 상태로부터 개방 회로 상태로 변경하기 위해 블로우(blow))하는데 필요한 전류는 비교적 높다. 이러한 전류를 생성하는 것은, 특히 전력 소비가 관심사인 모바일 디바이스들에서 상당한 양의 전력을 소비한다. 또한, 비교적 큰 트랜지스터들(즉, 큰 칩 영역을 갖는 트랜지스터들)은 금속 퓨즈들을 블로우하기 위해 필요한 전류 드라이브를 생성하도록 요구된다. 또한, 금속 퓨즈들을 갖는 집적 회로 패키지는 금속 퓨즈들을 프로그래밍하기 위해 사용되는 고전류를 취급하기 위한 전용 전력 핀을 요구할 수 있다. 부가적으로, 금속 퓨즈들은, 블로우된 퓨즈들이, 일부 경우들에서, 광학적으로 보여질 수 있기 때문에 열악한 안전을 제공한다. 또한, 금속 퓨즈들은 열악한 신뢰성을 제공하고, 일부 경우들에서 직렬 프로그래밍을 요구할 수 있다.

[0006] 다른 타입의 퓨징 가능 엘리먼트는 게이트 유전체 안티퓨즈이다. 안티퓨즈는 절연체 또는 유전체에 의해 분리된 2 개의 도전성 단자들을 포함하고, 개방 회로로서 제조된다. 안티퓨즈는, 절연체를 파열시키고 자신의 단자들 사이의 전기 경로를 형성하기 위해 그의 단자들에 걸쳐 고전압을 인가함으로써 프로그래밍된다. 프로그래밍 가능 메모리 셀들에서 사용되는 통상적인 종래 기술의 게이트 유전체 안티퓨즈들은 안티퓨즈들의 상태를 개방 회로 상태에서부터 폐쇄 회로 상태로 변경하기 위해 고전압을 요구한다. 상태 변화를 발생시키기 위해 필요한 전압은 충전 펌프를 사용하여 생성된다. 그러나, 충전 펌프들은 상당한 양의 집적 회로의 능동 칩 영역을 소비하고, 충전 펌프들이 상당한 양의 집적 회로의 능동 칩 영역을 소비하지 않는다면, 집적 회로의 능동 칩 영역은 메모리 셀들과 같은 다른 능동 컴포넌트들에 대해 사용될 수 있다.

[0007] 따라서, 금속 퓨즈들 및 게이트 유전체 퓨즈들과 관련하여 상술된 단점들을 겪지 않는 퓨징 가능 엘리먼트들을 특징으로 하는, OTP 및 MTP 메모리 셀들과 같은 집적 회로들에 대한 필요성이 존재한다.

발명의 내용

[0008] 하나의 특징은 집적 회로를 제공하고, 집적 회로는 적어도 하나의 소스/드레인 영역을 포함하는 액세스 트랜지스터, 및 도전체-절연체-도전체 구조를 갖는 안티퓨즈(antifuse)를 포함한다. 안티퓨즈는 제 1 전극인 제 1 도전체, 안티퓨즈 유전체(dielectric), 및 제 2 도전체를 포함하고, 제 1 전극의 제 1 표면은 안티퓨즈 유전체의 제 1 표면에 연결되고, 안티퓨즈 유전체의 제 2 표면은 제 2 도전체의 제 1 표면에 연결되고, 제 2 도전체는 액세스 트랜지스터의 소스/드레인 영역에 전기적으로 연결된다. 일 양상에 따라, 안티퓨즈는, 안티퓨즈 유전체 파괴 전압(breakdown voltage)보다 더 크거나 이와 동일한 프로그래밍 전압(V_{pp})이 제 1 전극과 제 2 도전체 사이에 인가되면, 개방 회로 상태에서부터 폐쇄 회로 상태로 전이하도록 구성된다. 다른 양상에 따라, 프로그래밍 전압(V_{pp})은 집적 회로의 입력/출력(I/O) 전압($V_{I/O}$)과 대략 동일하다. 또 다른 양상에 따라, 안티퓨즈 유전체는 두께(t)를 갖고, t 를 증가시키는 것은 안티퓨즈 유전체 파괴 전압을 증가시킨다. 또 다른 양상에 따라, 액세스 트랜지스터는 게이트 단자, 게이트 유전체 파괴 전압을 갖는 게이트 유전체, 및 본체를 더 포함하고, 게이트 유전체는 게이트와 본체 사이에 개재되고, 안티퓨즈 유전체 파괴 전압은 게이트 유전체 파괴 전압 미만이다.

[0009] 일 양상에 따라, 게이트 유전체 및 안티퓨즈 유전체는 적어도 하나의 상이한 유전체 물질로 제조된다. 다른 양상에 따라, 안티퓨즈는 소스/드레인 영역 위에 적어도 부분적으로 위치된다. 또 다른 양상에 따라, 안티퓨즈는 소스/드레인 영역과 동일한 수직 평면에 적어도 부분적으로 위치된다. 또 다른 양상에 따라, 제 2 도전체는 소스/드레인 영역에 연결된 금속 소스/드레인 콘택트이다.

[0010] 일 양상에 따라, 제 2 도전체는 소스/드레인 영역에 전기적으로 연결된 제 2 표면을 갖는 제 2 전극이다. 다른 양상에 따라, 안티퓨즈 유전체의 제 1 표면은 안티퓨즈 유전체의 제 2 표면의 반대 방향을 향한다. 또 다른 양상에 따라, 제 1 전극, 안티퓨즈 유전체 및/또는 제 2 도전체 중 적어도 하나는 실질적으로 평면 및/또는 직사각형 직육면체 형상 중 적어도 하나를 갖는다. 또 다른 양상에 따라, 제 1 전극은 집적 회로의 저항기와 동일한 수평 평면에 적어도 부분적으로 놓인다.

[0011] 일 양상에 따라, 제 1 전극 및 저항기는 동일한 물질로 제조된다. 다른 양상에 따라, 안티퓨즈 유전체는 저항기 아래에 위치한 유전체 지지부와 동일한 수평 평면에 적어도 부분적으로 놓이고, 안티퓨즈 유전체 및 유전체 지지부는 동일한 유전체 물질로 제조된다. 또 다른 양상에 따라, 집적 회로는 OTP(one-time programmable) 메모리 셀이다. 또 다른 양상에 따라, 집적 회로는 MTP(multi-time programmable) 메모리 셀이다. 또 다른 양상에 따라, 집적 회로는 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 폰, 스마트폰, 개인 휴대 정보 단말, 고정 위치 단말, 태블릿 컴퓨터 및/또는 랩톱 컴퓨터 중 적어도 하나에 통합된다.

[0012] 다른 특징은 집적 회로를 제조하는 방법을 제공하고, 상기 방법은 기판을 제공하는 단계, 기판에 적어도 하나의 소스/드레인 영역을 포함하는 액세스 트랜지스터를 형성하는 단계, 제 1 전극을 형성하기 위해 제 1 도전체를 제공하는 단계, 안티퓨즈 유전체를 제공하는 단계, 제 2 도전체를 제공하는 단계, 제 1 전극의 제 1 표면을 안티퓨즈 유전체의 제 1 표면에 연결하고, 안티퓨즈 유전체의 제 2 표면을 제 2 도전체의 제 1 표면에 연결함으로써 안티퓨즈를 형성하는 단계, 및 제 2 도전체를 액세스 트랜지스터의 소스/드레인 영역에 전기적으로 연결하는 단계를 포함한다. 일 양상에 따라, 상기 방법은 제 1 전극 및 저항기를 제공하기 위해 마스크를 공유하는 단계를 더 포함하고, 저항기 및 제 1 전극은 동일한 물질로 제조된다. 다른 양상에 따라, 액세스 트랜지스터는 게이트 단자, 게이트 유전체 파괴 전압을 갖는 게이트 유전체, 및 본체를 더 포함하고, 상기 방법은 게이트 유전체를 게이트와 본체 사이에 개재하는 단계를 더 포함하고, 안티퓨즈 유전체 파괴 전압은 게이트 유전체 파괴 전

압 미만이다. 또 다른 양상에 따라, 상기 방법은 소스/드레인 영역 위에 적어도 부분적으로 안티퓨즈를 위치시키는 단계를 더 포함한다.

[0013] 일 양상에 따라, 상기 방법은 소스/드레인 영역과 동일한 수직 평면에 적어도 부분적으로 안티퓨즈를 위치시키는 단계를 더 포함한다. 다른 양상에 따라, 제 2 도전체는 금속 소스/드레인 콘택트이고, 상기 방법은 금속 소스/드레인 콘택트를 소스/드레인 영역에 연결하는 단계를 더 포함한다. 또 다른 양상에 따라, 제 2 도전체는 제 2 표면을 갖는 제 2 전극을 형성하고, 상기 방법은 제 2 전극의 제 2 표면을 소스/드레인 영역에 전기적으로 연결하는 단계를 더 포함한다. 또 다른 양상에 따라, 상기 방법은 저항기를 형성하는 단계, 및 집적 회로의 저항기와 동일한 수평 평면에 적어도 부분적으로 제 1 전극을 위치시키는 단계를 더 포함한다.

[0014] 일 양상에 따라, 상기 방법은 동일한 물질을 사용하여 제 1 전극 및 저항기를 형성하는 단계를 더 포함한다. 다른 양상에 따라, 상기 방법은 저항기 아래에 유전체 지지부를 형성하는 단계, 및 유전체 지지부와 동일한 수평 평면에 적어도 부분적으로 안티퓨즈 유전체를 위치시키는 단계를 더 포함하고, 안티퓨즈 유전체 및 유전체 지지부는 동일한 유전체 물질로 제조된다.

[0015] 다른 특징은 집적 회로를 제공하고, 집적 회로는 적어도 하나의 소스/드레인 영역을 포함하는 액세스 트랜지스터, 및 도전체-절연체-도전체 구조를 갖는 안티퓨즈를 포함하고, 안티퓨즈는 제 1 도통하기 위한 수단, 절연하기 위한 수단 및 제 2 도통하기 위한 수단을 포함하고, 제 1 도통하기 위한 수단의 제 1 표면은 절연하기 위한 수단의 제 1 표면에 연결되고, 절연하기 위한 수단의 제 2 표면은 제 2 도통하기 위한 수단의 제 1 표면에 연결되고, 제 2 도통하기 위한 수단은 액세스 트랜지스터의 소스/드레인 영역에 전기적으로 연결된다. 일 양상에 따라, 안티퓨즈는, 절연하기 위한 수단의 파괴 전압보다 더 크거나 이와 동일한 프로그래밍 전압(V_{pp})이 제 1 도통하기 위한 수단과 제 2 도통하기 위한 수단 사이에 인가되면, 개방 회로 상태에서부터 폐쇄 회로 상태로 전이하도록 구성된다. 다른 양상에 따라, 액세스 트랜지스터는 게이트 단자, 게이트 유전체 파괴 전압을 갖는 게이트 유전체, 및 본체를 더 포함하고, 게이트 유전체는 게이트와 본체 사이에 개재되고, 절연하기 위한 수단의 파괴 전압은 게이트 유전체 파괴 전압 미만이다. 또 다른 양상에 따라, 게이트 유전체 및 절연하기 위한 수단은 적어도 하나의 상이한 유전체 물질로 제조된다.

[0016] 일 양상에 따라, 제 2 도통하기 위한 수단은 소스/드레인 영역에 연결된 금속 소스/드레인 콘택트이다. 다른 양상에 따라, 제 1 도통하기 위한 수단은 제 1 전극이고, 제 2 도통하기 위한 수단은 절연하기 위한 수단의 제 2 표면에 연결된 제 1 표면 및 소스/드레인 영역에 전기적으로 연결된 제 2 표면을 갖는 제 2 전극이다. 또 다른 양상에 따라, 제 1 도통하기 위한 수단, 절연하기 위한 수단 및/또는 제 2 도통하기 위한 수단 중 적어도 하나는 실질적으로 평면 및/또는 직사각형 직육면체 형상 중 적어도 하나를 갖는다. 또 다른 양상에 따라, 제 1 도통하기 위한 수단은 집적 회로의 저항기와 동일한 수평 평면에 적어도 부분적으로 놓이고, 제 1 도통하기 위한 수단 및 저항기는 동일한 물질로 제조된다.

도면의 간단한 설명

[0017] 도 1은 안티퓨즈를 특징으로 하는 집적 회로 프로그래밍 가능 메모리 셀의 단면 개략도를 예시한다.
 도 2는 프로그래밍 가능 메모리 셀에 인접하게 위치한 집적 회로 저항기의 단면 개략도를 예시한다.
 도 3은 안티퓨즈를 특징으로 하는 집적 회로 프로그래밍 가능 메모리 셀의 단면 개략도를 예시한다.
 도 4 및 도 5는 소스 콘택트 위에 위치한 안티퓨즈들을 특징으로 하는 집적 회로 프로그래밍 가능 메모리 셀들의 단면 개략도들을 예시한다.
 도 6은 소스/드레인 상호 접속부, 상부 전극, 안티퓨즈 유전체 및 서로 분리된 소스/드레인 콘택트를 예시하여, 이러한 컴포넌트들의 다양한 표면들을 더 양호하게 예시한다.
 도 7은 소스/드레인 상호 접속부, 상부 전극, 안티퓨즈 유전체, 하부 전극 및 서로 분리된 소스/드레인 콘택트를 예시하여, 이러한 컴포넌트들의 다양한 표면들을 더 양호하게 예시한다.
 도 8 및 도 9는 프로그래밍 가능 메모리 셀 어레이의 개략도들을 예시한다.
 도 10, 도 11, 도 12 및 도 13은 안티퓨즈들을 특징으로 하는 IC 프로그래밍 가능 메모리 셀들의 단면 개략도들을 예시한다.
 도 14 및 도 15는 프로그래밍 가능 메모리 셀 어레이의 개략도를 예시한다.

도 16은 집적 회로를 제조하는 방법을 예시한다.

도 17은 집적 회로를 포함할 수 있는 다양한 전자 디바이스들을 예시한다.

도 18은 집적 회로의 개략도를 예시한다.

발명을 실시하기 위한 구체적인 내용

[0018]

다음의 설명에서, 본 발명의 다양한 양상들의 철저한 이해를 제공하기 위해 특정 세부 사항들이 제공된다. 그러나, 그 양상들이 이러한 특정 세부 사항들 없이 실시될 수 있다는 것을 당업자는 이해할 것이다. 예를 들면, 회로들은 불필요하게 상세히 하여 그 양상들을 모호하게 하는 것을 회피하기 위해 블록도들로 도시될 수 있다. 다른 예들에서, 잘 알려진 회로들, 구조들 및 기술들은 본 발명의 양상들을 모호하게 하지 않기 위해 상세히 도시되지 않을 수 있다.

[0019]

단어 "예시적인"은 "예, 예시, 또는 예증으로서 기능하는 것"을 의미하도록 본원에서 사용된다. "예시적인" 것으로서 본원에 설명된 임의의 구현 또는 양상은 본 발명의 다른 양상들에 비해 바람직하거나 유리한 것으로서 해석될 필요는 없다. 유사하게, 용어 "양상들"은, 본 발명의 모든 양상들이 논의되는 특징, 이점 또는 동작 모드를 포함하는 것을 요구하지는 않는다. 용어 "전기적으로 연결된"은, 전류의 흐름이 2 개의 물체들 사이에서 발생하도록 허용하는, 2 개의 물체들 사이의 직접 또는 간접적인 커플링을 지칭하는데 사용된다. 예를 들면, 물체 A가 물체 B를 물리적으로 터치하고, 물체 B가 물체 C를 물리적으로 터치하면, 물체들 A 및 C는, 그들이 서로를 물리적으로 직접적으로 터치하지 않을지라도, 물체 B가 물체 A로부터 물체 C로 및/또는 물체 C로부터 물체 A로의 전류의 흐름을 허용하는 도전체인 경우에, 서로 전기적으로 연결된 것으로 여전히 고려될 수 있다.

[0020]

용어들, 웨이퍼 및 기판은 본원에서 본 발명의 양상들에 따른 집적 회로(IC)가 형성되는 노출된 표면을 갖는 임의의 구조를 포함하는 것으로 사용될 수 있다. 용어, 기판은 반도체 웨이퍼들을 포함하는 것으로 이해된다. 용어, 기판은 또한 제조 동안의 반도체 구조들을 지칭하는데 사용되고, 그 위에 제조되는 다른 층들을 포함할 수 있다. 용어, 기판은 도핑 및 비도핑 반도체들, 베이스 반도체에 의해 지지되는 에피택셜 반도체들 층들, 또는 절연체에 의해 지지되는 반도체 층들뿐만 아니라, 당업자에게 잘 알려진 다른 반도체 구조들을 포함한다. 용어, 절연체는 당업자들에 의해 도전체들로 일반적으로 지칭되는 물질들보다 전기적으로 덜 도전성인 임의의 물질을 포함하는 것으로 정의된다. 용어, "수평적인"은, 웨이퍼 또는 기판의 배향과 상관없이, 웨이퍼 또는 기판의 종래의 평면 또는 표면과 실질적으로 평행하는 평면으로서 정의된다. 용어, "수직적인"은 앞서 정의된 바와 같이 수평에 대해 실질적으로 수직인 방향을 지칭한다. "상방에", "하방에", "상에", "상위(upper)", "측", "상부", "하부", "위" 및 "아래"와 같은 후치사들은, 본원에 설명된 집적 회로들에 관련하여 사용될 때, 웨이퍼 또는 기판의 배향과 상관없이 웨이퍼 또는 기판의 상부 표면 상에 있는 종래의 평면 또는 표면에 관련하여 정의된다. 이로써, 후치사들, "상방에", "하방에", "상에", "상위(upper)", "측", "상부", "하부", "위" 및 "아래"는 "수평" 및 "수직"에 관련하여 정의된다.

[0021]

용어들, "소스" 및 "드레인"은 일반적으로 전계 효과 트랜지스터의 단자들 또는 확산 영역들을 지칭한다. 단자 또는 확산 영역은, 전계 효과 트랜지스터가 동작중일 때, 그에 인가되는 전압에 기초하여 "소스" 또는 "드레인"으로서 더 구체적으로 설명될 수 있다. P-타입 도전성은 반도체 물질의 정공들과 연관된 도전성이고, n-타입 도전성은 반도체 물질의 전자들과 연관된 도전성이다.

[0022]

도 1은 일 양상에 따른, 안티퓨즈(102)를 특징으로 하는 집적 회로 프로그래밍 가능 메모리 셀(100)의 단면 개략도를 예시한다. 프로그래밍 가능 메모리 셀(100)은, 예를 들면, OTP(one-time programmable) 메모리 셀일 수 있다. 본 발명의 다른 양상들에서, 메모리 셀(100)은 저항성 랜덤 액세스 메모리(RRAM 또는 ReRAM)와 같은 MTP(multi-time programmable) 메모리 셀일 수 있다.

[0023]

메모리 셀(100)은 반도체 기판(104) 상에 형성된 전계 효과 트랜지스터(101)를 포함한다. 트랜지스터(101)는 소스(106) 단자, 드레인(108) 단자 및 게이트(110) 단자를 포함한다. 기판(104)은 트랜지스터(101)의 본체로서 역할을 하고, 예를 들면, p-형 반도체일 수 있다. 일 양상에서, 기판(104)은 실제로 다른 반도체 기판 내의 p-형 웰(well)일 수 있다. 소스(106) 및 드레인(108)은 p-형 기판 본체(104) 내의 n-형 반도체 영역들일 수 있고, 게이트(110)는 금속과 같은 도전체로 구성될 수 있다. 서로에 대해 소스(106), 드레인(108), 게이트(110) 및 본체(104)에 인가되는 전압들을 제어함으로써, 트랜지스터(101)를 통한 전류 흐름(즉, 소스(106)와 드레인(108) 사이의 전류 흐름)이 또한 제어된다. 예를 들면, 트랜지스터(101)의 임계 전압(V_{th})을 초과하는 게이트-소스 전압(V_{gs})은 역전층(inversion layer)(도시되지 않음)이 게이트(110) 아래의 게이트 유전체(116)와 본

체(104) 사이의 계면에서 형성되게 하여, 전류가 소스(106)와 드레인(108) 사이에서 흐르도록 허용한다. 예시된 예가 n-형 채널 트랜지스터(예를 들면, NMOS)를 도시하지만, 본원에 제시된 동일한 개념들은 적절한 경우에 수정된 전압들 및 전류들의 극성을 갖는 p-형 채널 트랜지스터들(예를 들면, PMOS)에 동일하게 적용된다.

[0024]

도 1에 예시된 바와 같이, 도전성 옴(ohmic) 소스 콘택트(112)는 소스(106)에 전기적으로 연결되고, 다른 도전성 옴 드레인 콘택트(114)는 드레인(108)에 전기적으로 연결된다. 콘택트들(112, 114)은 텅스텐 또는 텅스텐 합금과 같은 금속으로 구성될 수 있다. 게이트 유전체(116)는 도전성 금속 게이트(110)와 기판 본체(104) 사이에 놓인다. 게이트 유전체(116)는 하프늄 실리케이트, 지르코늄 실리케이트 및/또는 하프늄 디옥사이드와 같은 하이-K 유전체 물질 또는 실리콘 디옥사이드일 수 있지만, 이에 제한되지 않는다. 게이트(110)는 자신의 측들 상의 하나 이상의 스페이서들(118)을 가질 수 있다. 실리콘 나이트라이드와 같은 절연층(120)은 소스(106), 드레인(108) 및 게이트(110)를 커버할 수 있다.

[0025]

소스 콘택트(112)는 소스 상호 접속부(122)에 전기적으로 연결될 수 있고, 소스 상호 접속부(122)는 이어서 수직 상호 접속 액세스(비아)(124)를 통해 제 1 금속 트레이스(126)에 전기적으로 연결될 수 있다. 일 양상에 따라, 제 1 금속 트레이스(126)는 제 1 금속층(ML1)과 연관될 수 있고, 접지(V_{ss})에 전기적으로 연결될 수 있다.

[0026]

소스 콘택트(112)와 제 1 금속 트레이스(126) 사이의 전기 도전성 경로를 갖는 트랜지스터의 소스(106)와 대조적으로, 트랜지스터의 드레인(108)은 드레인 콘택트(114)와 제 2 금속 트레이스(128) 사이에 저저항 전기 도전성 경로를 반드시 갖지는 않는다. 대신에, 안티퓨즈(102)가 제 2 금속 트레이스(128)와 드레인 콘택트(114) 사이의 경로에 개재되고, 이것은 "개방" 비도전성 상태 또는 "폐쇄" 도전성 상태 중 어느 하나일 수 있다. 일 양상에 따라, 제 2 금속 트레이스(128)는 제 1 금속층(ML1)과 연관되고, 메모리 비트 라인(BL)에 전기적으로 연결된다. 도시된 예에 따라, 제 2 금속 트레이스(128)는 비아(130)에 전기적으로 연결되고, 비아(130)는 이어서 드레인 상호 접속부(132)에 전기적으로 연결된다.

[0027]

예시된 예에서, 안티퓨즈(102)는 드레인 콘택트(114)와 드레인 상호 접속부(132) 사이에 놓인다. 그러나, 다른 예들에서, 안티퓨즈(102)는 드레인 상호 접속부(132)와 비아(130) 사이 또는 비아(130)와 제 2 금속 트레이스(128) 사이에 놓일 수 있다. 일 양상에 따라, 안티퓨즈(102)가 드레인 콘택트(114)와 드레인 상호 접속부(132) 사이, 드레인 상호 접속부(132)와 비아(130) 사이 또는 비아(130)와 제 2 금속 트레이스(128) 사이에 위치되는지와 상관없이, 안티퓨즈(102)는 자신이 일반적으로 트랜지스터(101)의 드레인(108) 위에(또는 트랜지스터의 소스(106) 위에, 도 4 및 도 5 참조) 있도록 위치될 수 있다. 즉, 안티퓨즈(102)의 적어도 일부는, 드레인(108) 위에 있는 영역 또는 공간에 위치될 수 있고, 이것의 예가 도 1에 도시된다. 일 양상에 따라, 안티퓨즈(102)는 도 1에 도시된 바와 같이 드레인 영역(108)과 동일한 수직 평면에 적어도 부분적으로 위치된다.

[0028]

게이트(110)는 제 2 금속층(ML2)과 연관된 제 3 금속 트레이스(129)에 전기적으로 연결될 수 있고, 제 2 금속층(ML2)은 이어서 워드 라인(WL)에 전기적으로 연결된다. 게이트(110)를 제 1 금속층(ML1)과 연관된 트레이스(188)에 전기적으로 연결하는 비아(131) 및/또는 상호 접속부(133)가 존재할 수 있다. 트레이스(188)는 이어서 비아(189)를 통해 제 3 트레이스(188)에 전기적으로 연결될 수 있다. 금속 트레이스들(126, 128, 129, 188), 상호 접속부들(122, 132, 133), 비아들(124, 130, 131, 189) 및 안티퓨즈(102) 모두는 절연 물질(도시되지 않음)로 둘러싸일 수 있다.

[0029]

안티퓨즈(102)는 안티퓨즈 유전체(136)를 포함한다. 안티퓨즈(102)는 또한, 안티퓨즈 유전체(136)의 상부측에 전기적으로 연결되는 도전성 상부 전극(134)(예를 들면, "제 1 전극")을 포함할 수 있다. 일 양상에 따라, 안티퓨즈(102)는 또한 유전체(136)의 하부측에 전기적으로 연결되는 도전성 하부 엘리먼트를 포함한다. 일 예에 따라, 도전성 하부 엘리먼트는 소스 콘택트(112) 또는 드레인 콘택트(114)를 포함할 수 있다. 다른 예들에 따라, 도전성 하부 엘리먼트는 소스 상호 접속부(122), 비아(124), 드레인 상호 접속부(132) 및 비아(130)를 포함할 수 있다. 이러한 방식으로, 안티퓨즈(102)는, 제 1 전극(134)이 제 1 도전체이고, 안티퓨즈 유전체(136)가 절연체이고, 소스 또는 드레인 콘택트(112, 114)와 같은 하부 도전체가 제 2 도전체인 도전체-절연체-도전체(예를 들면, 금속-절연체-금속) 구조를 갖는다.

[0030]

안티퓨즈(102)는 "개방 회로 상태" 또는 "폐쇄 회로 상태" 중 어느 하나일 수 있다. 안티퓨즈(102)가 개방 상태인 동안에, 안티퓨즈 유전체(136)는 개방 회로 절연체로서 역할을 하고, 드레인 상호 접속부(132)와 드레인 콘택트(114) 사이의 전류 흐름을 방지하고, 따라서 전류가 트랜지스터(101)의 소스/드레인 단자들(106, 108)을 통해 흐르는 것을 방지한다. 안티퓨즈(102)가 폐쇄 회로 상태인 동안에, 안티퓨즈 유전체(136)는 실질적으로 도전체와 같이 동작하여, 전류가 드레인 상호 접속부(132) 및 드레인 콘택트(114)를 통해 흐르도록 허용하고,

이로써 전류가 트랜지스터(101)의 소스/드레인 단자들(106, 108)을 통해 흐르도록 허용한다.

[0031]

안티퓨즈(102)의 상태를 개방 회로 상태에서부터 폐쇄 회로 상태로 변경하기 위해, 충분히 고전압이 안티퓨즈 유전체(136)에 걸쳐(예를 들면, 상부 전극(134)과 드레인 콘택트(114) 사이) 인가되어, 안티퓨즈 유전체(136)로 하여금 도전성 경로를 파괴하고 이를 생성하게 한다. 선택된 유전체 물질(136)의 타입에 의존하여, 생성된 도전성 경로는 실질적으로 영구적이거나 일시적일 수 있다. 예를 들면, 메모리 셀(100)이 OTP 메모리 셀이 되길 원한다면, 선택된 유전체(136)는, 파괴될 때 생성되는 도전성 경로가 영구적인 타입일 수 있다. OTP 목적으로 사용될 수 있는 그러한 유전체들의 예들은 SiN(silicon nitride), SiO₂(silicon dioxide), HfO(hafnium oxide) 등을 포함하지만, 이에 제한되지 않는다. 따라서, OTP 메모리 셀은 영구적인 도전성 경로를 생성하기 위해 안티퓨즈(102)에 걸쳐 충분히 높은 전압을 인가함으로써 "프로그래밍될" 수 있다.

[0032]

이와 대조적으로, 메모리 셀(100)이 MTP 메모리 셀이 되길 원한다면, 안티퓨즈 유전체(136)에 사용되는 특정 유전체는, 도전성 경로를 생성하도록 파괴된 후에, 비도전성 절연 상태로 재설정될 수 있는 타입일 수 있다. 그러한 유전체들의 예들은 TiO(titanium oxide), HfO(hafnium oxide) 등을 포함하지만, 이에 제한되지 않는다. 따라서, MTP 메모리 셀은 안티퓨즈(102)에 걸쳐 상이한 전압을 인가함으로써 재설정 또는 "재프로그래밍될" 수 있다.

[0033]

선택된 안티퓨즈 유전체(136)의 타입 및 두께(t)는 유전체(136)를 파괴(break down)하고 따라서 안티퓨즈(102)를 개방 회로 상태에서부터 폐쇄 회로 상태로 변경하는데 필요한 전압(이후에 V_{BD} 로 지칭됨)에 직접적으로 영향을 준다. 예를 들면, 두께(t)가 감소될 때, 안티퓨즈(102)의 상태를 개방으로부터 폐쇄로 변경하기 위해 유전체(136)에 걸친 전압이 덜 필요로 되고, 즉, V_{BD} 가 감소된다. 두께(t)가 증가할 때, 안티퓨즈(102)의 상태를 개방으로부터 폐쇄로 변경하기 위해 안티퓨즈 유전체(136)에 걸친 전압이 더 많이 필요로 되고, 즉, V_{BD} 가 증가된다. 특히, 안티퓨즈 유전체(136)의 두께 및 타입은, V_{BD} 가 메모리 셀(100)이 상주하는 집적 회로에 공급되는 입력/출력(I/O) 전압($V_{I/O}$)과 실질적으로 동일하도록 선택될 수 있다. 따라서, 안티퓨즈(102)는 칩 영역 및 전력과 같은 실질적인 리소스들을 요구하는 전용 충전 펌프를 요구하는 것보다는 IC의 I/O 전압을 사용하여 프로그래밍될 수 있다.

[0034]

안티퓨즈(102)에 사용되는 유전체(136)는, 금속 게이트(110)를 기판 본체(104)로부터 분리하는 게이트 유전체(116)에 사용되는 절연 물질과 상이할 수 있다. 게이트 유전체(116)는, 안티퓨즈 유전체(136)의 V_{BD} 보다 상당히 더 높은 V_{BD} 를 가질 수 있다. 따라서, 메모리 셀을 포함하는 IC의 제조 동안에, 비교적 큰 V_{BD} (예를 들면, IC의 I/O 전압($V_{I/O}$)보다 1.5배 더 큼)를 갖는 한 타입의 유전체 물질은 게이트 유전체(116)를 생성하는데 사용될 수 있고, 더 낮은 V_{BD} (예를 들면, IC의 I/O 전압보다 약간 더 작지만 V_{BD} 보다 더 큼)를 갖는 다른 타입의 유전체 물질은 안티퓨즈(102)용 유전체(136)를 생성하는데 사용될 수 있다. 일 예에 따라, 안티퓨즈 유전체(136)의 V_{BD} 및 IC의 I/O 전압($V_{I/O}$)은 약 1.8 V이고, IC에 대한 공칭적인 공급 전압(V_{DD})은 약 1.2 V이다. 그러한 경우에, 게이트 유전체(116)의 V_{BD} 는, 예를 들면, 2 V보다 더 클 수 있다.

[0035]

물론, 안티퓨즈(102)의 V_{BD} , 게이트 유전체(116)의 V_{BD} , $V_{I/O}$ 및 V_{DD} 에 대한 값 범위들은 IC의 애플리케이션 및 스케일링에 의존하여 상당히 변동할 수 있다. 예를 들면, IC의 I/O 전압($V_{I/O}$)의 범위는 0.4 V 내지 10.0 V일 수 있고, 공칭적인 공급 전압(V_{DD})은 이에 대응하여 더 낮은 범위, 예를 들면, 0.25 V 내지 8.0 V의 범위를 가질 수 있다. 따라서, 안티퓨즈(102)의 V_{BD} 는 $V_{I/O}$ 보다 더 작지만 V_{DD} 보다는 더 클 수 있고(예를 들면, V_{BD} 의 범위는 0.26 V 내지 9.99 V일 수 있음), 이어서 게이트 유전체(116)의 V_{BD} 는 $V_{I/O}$ 보다 더 클 수 있다(예를 들면, 0.40 V보다 더 큼).

[0036]

도 2는 일 양상에 따라 상술된 프로그래밍 가능 메모리 셀(100)에 인접하게 위치한 집적 회로 저항기(202)의 단면 개략도를 예시한다. 저항기(202)의 하나의 단부는 상호 접속부(206)에 전기적으로 연결될 수 있고, 반면에 저항기(202)의 다른 단부는 다른 상호 접속부(208)에 전기적으로 연결될 수 있다. 저항기(202)는 유전체 지지부(204)의 상부 상에 증착될 수 있다.

[0037]

예시된 예에서, 저항기(202)는 안티퓨즈(102)의 상부 전극(134)에 사용되는 동일한 물질로 구성된다. 이러한 방식으로, 상부 전극(134)에 대해서만 상이한 물질을 사용하는 별개의 증착 단계가 불필요하다. 마찬가지로,

유전체 지지부(204)는 안티퓨즈(102)의 안티퓨즈 유전체(136)에 사용되는 동일한 물질로 구성된다. 따라서, IC의 제조 동안에, 안티퓨즈(102)의 안티퓨즈 유전체(136) 및 상부 전극(134)을 생성하는 것을 담당하는 마스크들은 유전체 지지부(204) 및 저항기(202)를 생성하는데 동시에 사용될 수 있다. 이러한 방식으로, 안티퓨즈(102) 및 저항기(202) 둘 모두를 생성하기 위해 필요한 마스크들의 수를 감소시킴으로써 제조 비용들이 최소화될 수 있다. 일 양상에 따라, 저항기(202) 및 상부 전극(134)은 티타늄 나이트라이드(TiN)로 제조될 수 있다. 다른 양상들에 따라, 상부 전극(134) 및 저항기(202)는 임의의 다른 도전성 물질로 제조될 수 있다.

[0038]

도 3은 일 양상에 따른 안티퓨즈(302)를 특징으로 하는 집적 회로 프로그래밍 가능 메모리 셀(300)의 단면 개략도를 예시한다. 메모리 셀(300)은, 도 3의 메모리 셀(300)이 물론 하부 전극(304)(예를 들면, "제 2 전극")을 갖는 안티퓨즈(302)를 특징으로 하는 것을 제외하면, 도 1 및 도 2에 도시된 메모리 셀(100)과 동일하다. 이러한 방식으로, 안티퓨즈 유전체(136)의 하부 표면은 도전성 하부 전극(304)에 전기적으로 연결되고, 안티퓨즈 유전체(136)의 상부 표면은 도전성 상부 전극(134)에 전기적으로 연결된다. 2 개의 전극들(134, 304) 사이에 안티퓨즈 유전체(136)를 개재하는 것은 안티퓨즈 유전체(136)의 하부 및 상부 표면들에서 개선된 전기 콘택트를 허용할 수 있고, 이로써 적절한 VBD가 안티퓨즈 유전체(136)에 걸쳐 인가되면, 안티퓨즈 유전체(136)의 더 신뢰할 수 있고 예측 가능한 파괴를 허용한다. 따라서, 안티퓨즈(302)는, 제 1 전극(134)이 제 1 도전체이고 안티퓨즈 유전체(136)가 절연체이고 제 2 전극(304)이 제 2 도전체인 도전체-절연체-도전체(예를 들면, 금속-절연체-금속) 구조를 갖는다.

[0039]

예시된 예에서, 안티퓨즈(302)는 드레인 콘택트(114)와 드레인 상호 접속부(132) 사이에 놓인다. 그러나, 다른 예들에서, 안티퓨즈(302)는 드레인 상호 접속부(132)와 비아(130) 사이 또는 비아(130)와 제 2 금속 트레이스(128) 사이에 놓일 수 있다. 일 양상에 따라, 안티퓨즈(302)가 드레인 콘택트(114)와 드레인 상호 접속부(132) 사이, 드레인 상호 접속부(132)와 비아(130) 사이, 또는 비아(130)와 제 2 금속 트레이스(128) 사이에 위치되든지와 상관없이, 안티퓨즈(302)는 자신이 일반적으로 트랜지스터(101)의 드레인(108) 위에 있도록 위치될 수 있다. 즉, 안티퓨즈(302)의 적어도 일부는 드레인(108) 위에 있는 영역 또는 공간에 위치될 수 있고, 이것의 예가 도 3에 도시된다. 일 양상에 따라, 안티퓨즈(302)는 도 3에 도시된 바와 같은 소스/드레인 영역과 동일한 수직 평면에 적어도 부분적으로 위치된다.

[0040]

메모리 셀(300)에 인접하게 위치한 저항기(202)가 또한 도 3에 예시된다. 이러한 예에서, 유전체 지지부(204)는 도전층(306)의 상부 상에 증착된다. 도전층(306) 및 하부 전극(304) 둘 모두는 동일한 물질로 제조될 수 있다. IC의 제조 동안에, 안티퓨즈(302)의 하부 전극(304), 유전체(136) 및 상부 전극(134)을 생성하는 것을 담당하는 마스크들은 도전층(306), 유전체 지지부(204) 및 저항기(202)를 생성하는데 동시에 사용될 수 있다. 이러한 방식으로, 안티퓨즈(302) 및 저항기(202) 둘 모두를 생성하기 위해 필요한 마스크들의 수를 감소시킴으로써 제조 비용들이 최소화될 수 있다. 일 양상에 따라, 하부 전극(304) 및 도전층(306) 둘 모두는 티타늄 나이트라이드(TiN)로 제조될 수 있다. 다른 양상들에 따라, 다른 도전성 물질들이 사용될 수 있다.

[0041]

도 1 내지 도 3에 관련하여 상술된 본 발명의 양상들에서, 안티퓨즈들(102, 302)은 드레인 콘택트(114) 상/위에 위치되는 것으로 제한되지 않는다. 대신에, 안티퓨즈들(102, 302)은 마찬가지로 동작에서 어떠한 상당한 차이도 없이 소스 콘택트(112) 상/위에 위치될 수 있다.

[0042]

도 4 및 도 5는 일 양상에 따른, 소스 콘택트(112) 위에 각각 위치한 안티퓨즈들(102, 302)을 특징으로 하는 집적 회로 프로그래밍 가능 메모리 셀들(400, 500)의 단면 개략도들을 예시한다. 예시된 예들에서, 안티퓨즈들(102, 302)은 소스 콘택트(112)와 소스 상호 접속부(122) 사이에 놓인다. 그러나, 다른 예들에서, 안티퓨즈들(102, 302)은 소스 상호 접속부(122)와 비아(124) 사이 또는 비아(124)와 제 1 금속 트레이스(126) 사이에 놓일 수 있다. 일 양상에 따라, 안티퓨즈들(102, 302)이 소스 콘택트(112)와 소스 상호 접속부(122) 사이, 소스 상호 접속부(122)와 비아(124) 사이, 또는 비아(124)와 제 1 금속 트레이스(126) 사이에 위치되든지와 상관없이, 안티퓨즈들(102, 302)은 자신들이 일반적으로 트랜지스터(101)의 소스(106) 위에 있도록 위치될 수 있다. 즉, 안티퓨즈들(102, 302)의 적어도 일부는 소스(106) 위에 있는 영역 또는 공간에 위치될 수 있고, 이것의 예들이 도 4 및 도 5에 도시된다. 일 양상에 따라, 안티퓨즈들(102, 302)은 도 4 및 도 5에 도시된 바와 같은 소스 영역(106)과 동일한 수직 평면에 적어도 부분적으로 위치될 수 있다.

[0043]

도 6은 서로 분리된 소스/드레인 상호 접속부(122, 132)(예를 들면, 도 4로부터의 소스 상호 접속부(122) 또는 도 1 및 도 2로부터의 드레인 상호 접속부(132) 중 어느 하나), 상부 전극(134), 안티퓨즈 유전체(136) 및 소스/드레인 콘택트(112, 114)(예를 들면, 도 4로부터의 소스 콘택트(112) 또는 도 1 및 도 2로부터의 드레인 콘택트(114) 중 어느 하나)를 예시하여, 이러한 컴포넌트들의 다양한 표면들을 더 양호하게 예시한다. 상부 전극

(134)(예를 들면, "제 1 전극" 또는 "제 1 도전체")은 안티퓨즈 유전체(136)의 상부 표면(604)(예를 들면, "제 1 표면")에 연결될 수 있는 하부 표면(602)(예를 들면, "제 1 표면")을 갖는다. 상부 전극(134)은 또한 소스/드레인 상호 접속부(122, 132)와 같은 도전성 엘리먼트의 하부 표면(608)(예를 들면, "제 1 표면")에 연결된 상부 표면(606)(예를 들면, "제 2 표면")을 특징으로 할 수 있다. 안티퓨즈 유전체(136)는 또한 소스/드레인 콘택트(112, 114)와 같은 제 2 도전체의 상부 표면(612)(예를 들면, "제 1 표면")에 연결된 하부 표면(610)(예를 들면, "제 2 표면")을 가질 수 있다. 일 양상에 따라, 상부 전극(134)은 제 1 도통하기 위한 수단으로서 역할을 하고, 안티퓨즈 유전체는 제 1 절연하기 위한 수단을 지칭하고, 소스/드레인 콘택트(112, 114)는 제 2 도통하기 위한 수단으로서 역할을 한다.

[0044]

도 7은 서로 분리된 소스/드레인 상호 접속부(122, 132)(예를 들면, 도 5로부터의 소스 상호 접속부(122) 또는 도 3으로부터의 드레인 상호 접속부(132) 중 어느 하나), 상부 전극(134), 안티퓨즈 유전체(136), 하부 전극(304) 및 소스/드레인 콘택트(112, 114)(예를 들면, 도 5로부터의 소스 콘택트(112) 또는 도 3으로부터의 드레인 콘택트(114) 중 어느 하나)를 예시하여, 이러한 컴포넌트들의 다양한 표면들을 더 양호하게 예시한다. 이러한 예에서, 안티퓨즈 유전체(136)의 하부 표면(610)은 하부 전극(304)(예를 들면, "제 2 도전체")의 상부 표면(702)(예를 들면, "제 1 표면")에 연결된다. 하부 전극(304)의 하부 표면(704)(예를 들면, "제 2 표면")은 이어서 소스/드레인 콘택트(112, 114)와 같은 도전체의 상부 표면(612)에 연결될 수 있다. 일 양상에 따라, 제 2 전극(304)은 제 2 도통하기 위한 수단으로서 역할을 한다.

[0045]

도 8 및 도 9는 본 발명의 일 양상에 따른 프로그래밍 가능 메모리 셀 어레이(800)의 개략도들을 예시한다. 어레이(800)는 본원에 설명된 바와 같은 안티퓨즈들을 갖는 복수의 프로그래밍 가능 메모리 셀들(802, 804, 806, 808)로 구성된다. 메모리 셀들(802, 804, 806, 808)의 "관독" 및 "기록" 동작들은 이들 각각의 비트 라인들(BL) 및 워드 라인들(WL)에 인가되는 전압들에 의해 제어된다. 메모리 셀들(802, 804, 806, 808) 각각은 도 1 내지 도 5에 관련하여 설명된 메모리 셀들(100, 300, 400, 500) 중 어느 하나일 수 있다. 메모리 셀들(802, 804, 806, 808) 각각은 액세스 트랜지스터(810, 820, 830, 840) 및 안티퓨즈(812, 822, 832, 842)를 포함한다. 액세스 트랜지스터들(810, 820, 830, 840)은, 예를 들면, n-채널 전계 효과 트랜지스터일 수 있다. 액세스 트랜지스터들(810, 820, 830, 840)은 도 1 내지 도 5에 도시된 트랜지스터(101)와 동일할 수 있고, 따라서 소스(106), 드레인(108), 게이트(110) 및 본체(104)를 포함한다. 안티퓨즈들(812, 822, 832, 842)은 도 1 내지 도 5에 도시된 안티퓨즈들(102, 302) 중 어느 하나일 수 있다. 일 양상에 따라, 메모리 셀들(802, 804, 806, 808)은, 안티퓨즈들(812, 822, 832, 842)이 그들의 상태를 개방 회로 상태에서부터 폐쇄 회로 상태로 한번만 변경할 수 있는 OTP 메모리 셀들일 수 있다.

[0046]

도 8을 참조하면, 메모리 셀(802)은 기록 동작을 겪는다(즉, 메모리 셀(802)이 프로그래밍되고 있음). 메모리 셀(802)의 값을 기록하기 위해(예를 들면, 논리 상태를 "0"으로부터 "1"로 또는 "1"로부터 "0"으로 변경하기 위해), 액세스 트랜지스터(810) 및 안티퓨즈(812)의 단자들에서의 다양한 전압들이 적절히 설정될 수 있다. 트랜지스터(810)의 게이트에서의 전압은 워드 라인(WL2)에 의해 제어되고, 안티퓨즈(812)의 한 측(816)(예를 들면, 도 1 내지 도 5의 상부 전극(134))에서의 전압은 비트 라인(BL2)에 의해 제어된다. 예를 들면, 도 8에 도시된 바와 같이, 값은 액세스 트랜지스터의 소스(814)를 접지 기준 전압(V_{ss})에 전기적으로 연결하고, WL2 및 트랜지스터(810)의 게이트를 공칭적인 공급 전압(V_{dd})으로 설정하고, BL2 및 안티퓨즈의 단자(816)(예를 들면, 도 1 내지 도 5의 상부 전극(134))를 프로그래밍 전압(V_{pp})으로 설정함으로써 기록될 수 있다. 공칭적인 공급 전압(V_{dd})이 트랜지스터(810)의 임계 전압(V_{th})보다 더 크다는 것을 유의하라. 본 발명의 일 양상에 따라, $V_{pp} > V_{dd}$ 이고, V_{pp} 는 메모리 셀 어레이(800)가 상주하는 IC의 I/O 전압과 동일할 수 있다. 또한, V_{pp} 는 안티퓨즈(812)의 파괴 전압(V_{BD})보다 더 크다. 단지 하나의 예로서, V_{pp} 는 대략 1.8 V일 수 있고, V_{dd} 는 대략 1.2 V일 수 있다.

[0047]

전압(V_{dd})을 액세스 트랜지스터(810)의 게이트에 인가하는 것은, 트랜지스터의 본체 단자가 접지된다고 가정하면, 액세스 트랜지스터(810)가 활성화하고 도전성이 되게 한다(즉, 역전층이 게이트 아래에 형성되어, 소스와 드레인 사이의 실질적인 전류 흐름이 가능하게 함). 비트 라인(BL2) 전압을 V_{pp} 로 증가시키는 것은, 안티퓨즈(812)에 걸친 전압이 안티퓨즈(812)의 유전체의 파괴 전압(V_{BD})을 초과하기 때문에, 안티퓨즈(812)가 개방 회로 상태에서부터 폐쇄 회로 상태로 전이하게 한다(즉, 안티퓨즈(812) 내의 안티퓨즈 유전체(136) 물질이 파괴함). 안티퓨즈(812)에 걸친 결과적인 도전성 경로는, 포지티브 전압이 후속으로 비트 라인(BL2)에 인가되

고 액세스 트랜지스터(810)의 게이트 전압이 V_{TH} 를 초과하는 경우에, 비트 라인(BL2) 및 액세스 트랜지스터(810)를 통한 전류 흐름(곡선의 점선 화살표로 표시됨)을 가능하게 한다.

[0048]

메모리 셀(802)이 기록 동작(즉, 프로그래밍 동작)을 겪는 동안에, 액세스 트랜지스터(820) 및 안티퓨즈(822)로 구성된 메모리 셀(804)은 근본적으로 비활성이고, 어떠한 유의미한 전류도 액세스 트랜지스터(820)를 통해 흐르지 않는다. 트랜지스터(820)의 게이트가 V_{ss} 에 연결되기 때문에, 트랜지스터(820)는 비활성이고, 어떠한 유의미한 전류(즉, 무시할만 한 누설 전류를 제외함)도 트랜지스터(820)를 통해 흐르지 않을 수 있다. 마찬가지로, 트랜지스터(830) 및 안티퓨즈(832)로 구성된 메모리 셀(806)은 또한 비활성이고, 어떠한 유의미한 전류도 트랜지스터(830)를 통해 흐르지 않는다. 트랜지스터(830)의 게이트의 전압이 V_{dd} 이지만, 액세스 트랜지스터(830)의 소스 및 드레인 둘 모두가 접지되기 때문에, 어떠한 전류도 액세스 트랜지스터(830)를 통해 흐르지 않는다. 마찬가지로, 트랜지스터(840)의 게이트, 드레인 및 소스가 접지되기 때문에, 트랜지스터(840) 및 안티퓨즈(842)로 구성된 메모리 셀(808)이 또한 비활성이고, 따라서 현재 어떠한 전류도 트랜지스터(840)를 통해 흐르지 않는다.

[0049]

도 9를 참조하면, 메모리 셀(802)은 "기록" 동작을 겪는다. 메모리 셀(802)로부터 값을 판독하기 위해(예를 들면, 논리 상태 "0" 또는 "1"을 판독하기 위해), 트랜지스터(810) 및 안티퓨즈(812)의 단자들에서의 다양한 전압들은 적절히 설정되어야 한다. 예를 들면, 도 9에 도시된 바와 같이, 이것은 트랜지스터의 소스(814)를 V_{ss} 로 설정하는 것, 및 트랜지스터(810)의 게이트 및 안티퓨즈의 단자(816)를 V_{dd} 로 설정하는 것을 포함할 수 있다. 전압(V_{dd})을 트랜지스터(810)의 게이트에 인가하는 것은 액세스 트랜지스터(810)가 활성화하고 도전성이 되게 한다(즉, 역전층이 게이트 아래에 형성되어, 소스와 드레인 사이의 실질적인 전류 흐름이 가능하게 함). 비트 라인(BL2) 전압을 V_{dd} 로 증가시키는 것은 안티퓨즈(812)의 상태에 의존하여 안티퓨즈(812) 및 트랜지스터(810)를 통해 전류가 흐르게 할 수 있다. 예를 들면, 안티퓨즈(812)가 개방 회로 상태에 있는 경우에(예를 들면, 안티퓨즈(812)가 프로그래밍되지 않은 경우에), 어떠한 유의미한 전류도 비트 라인(BL2)을 통해 흐르지 않을 것이고, 이것은 "0"과 같은 제 1 논리 상태를 나타낼 수 있다. 안티퓨즈(812)가 도전성, 폐쇄 회로 상태에 있는 경우에(예를 들면, 안티퓨즈(812)가 프로그래밍/기록된 경우에), 상당한 양의 전류가 비트 라인(BL2)을 통해 흐를 것이고(점선, 곡선 화살표로 표시됨), 이것은 "1"과 같은 제 2 논리 상태를 나타낼 수 있다.

[0050]

메모리 셀(802)이 판독 동작을 겪는 동안에, 메모리 셀들(804, 806 및 808)은, 그들의 연관된 액세스 트랜지스터들(820, 830, 840)의 게이트 전압들이 V_{TH} 를 초과하지 않을 수 있거나 및/또는 그들의 소스들과 드레인들 사이의 전압 차이가 무시할 만하기 때문에, 비활성일 수 있다.

[0051]

이러한 방식으로, 비트 라인들의 전압들을 V_{pp} 로 설정하는 것은 메모리 셀들(802, 804, 806, 808)의 프로그래밍을 허용할 수 있고, 반면에 비트 라인들의 전압들을 V_{dd} 로 설정하는 것은 메모리 셀들(802, 804, 806, 808)이 판독을 허용할 수 있다. 따라서, 메모리 셀들(802, 804, 806, 808)은 IC의 I/O 전압을 사용하여 프로그래밍되고, 공칭적인 공급 전압과 같이, I/O 전압 미만인 공칭적인 공급 전압을 사용하여 판독될 수 있다.

[0052]

다른 양상에 따라, 메모리 셀들(802, 804, 806, 808)은, 안티퓨즈(812, 822, 832, 842) 내에서 사용되는 안티퓨즈 유전체가 안티퓨즈 유전체에 걸쳐 인가되는 전압에 기초하여 도전성 경로들을 여러번 형성 및 파괴하도록 설계되는 경우에, 안티퓨즈들(812, 822, 832, 842)이 그들의 상태들을 개방 회로 상태로부터 폐쇄 회로 상태로 변경하고 다시 개방 회로 상태로 여러 번 변경할 수 있는 MTP 메모리 셀들일 수 있다. 그러한 경우에, 메모리 셀들(802, 804, 806, 808)은 적절한 전압들을 안티퓨즈들(812, 822, 832, 842) 및 트랜지스터들(810, 820, 830, 840)의 단자들에 인가함으로써 재프로그래밍(즉, 재기록)될 수 있다. 예를 들면, 메모리 셀(802)은 전압(V_{dd})을 트랜지스터(810)의 게이트에 인가하고, V_{pp} 를 액세스 트랜지스터의 소스(814)에 인가하고, V_{ss} 를 BL2에 인가함으로써 개방 회로 상태로 재프로그래밍될 수 있다.

[0053]

도 10 및 도 11은 일 양상에 따른, 안티퓨즈들(102, 302)을 각각 특징으로 하는 IC 프로그래밍 가능 메모리 셀들(1000, 1100)의 단면 개략도들을 예시한다. 메모리 셀(1000)은, 제 1 금속 트레이스(126)가 비트 라인에 전기적으로 연결되고 제 3 금속층(ML3)과 연관된 제 2 금속 트레이스(1028)가 선택 라인(XL)에 전기적으로 연결되는 것을 제외하면 도 1 및 도 2에 도시된 메모리 셀(100)과 동일하다. 제 3 금속층(ML3)의 제 2 금속(1028)은 일련의 트레이스들(1088, 1078) 및 비아들(1030, 1089)을 통해 비아(130)에 전기적으로 연결될 수 있다. 메모리 셀(1100)은, 제 1 금속 트레이스(126)가 비트 라인에 전기적으로 연결되고 제 3 금속층(ML3)과 연관된 제 2

금속 트레이스(1028)가 선택 라인(XL)에 전기적으로 연결되는 것을 제외하면 도 3에 도시된 메모리 셀(300)과 동일하다. 제 3 금속층(ML3)의 제 3 금속 트레이스(1028)는 일련의 트레이스들(1088, 1078) 및 비아들(1030, 1089)을 통해 비아(130)에 전기적으로 연결될 수 있다.

[0054]

도 10 및 도 11에 도시된 메모리 셀들(100, 300)의 예들에서, 안티퓨즈들(102, 302)은 제 1 소스/드레인 영역(108) 위에 위치된다. 그러나, 도 4 및 도 5에 도시된 메모리 셀들(400, 500)과 마찬가지로, 도 10 및 도 11의 메모리 셀들(1000, 1100)의 안티퓨즈들(102, 302)은, 그들이 제 2 소스/드레인 영역(106) 위에 있도록 위치될 수 있다. 도 12 및 도 13은 일 양상에 따른, 제 2 소스/드레인 영역(106) 위에 위치한, 안티퓨즈들(102, 302)을 각각 특징으로 하는 IC 프로그래밍 가능 메모리 셀들(1200, 1300)의 단면 개략도들을 예시한다. 본원에 설명된 바와 같이, 엘리먼트들(106, 112, 122 및 124)이 트랜지스터(101)의 "소스"와 연관될 수 있고, 엘리먼트들(108, 114, 132 및 130)이 트랜지스터(101)의 "드레인"과 연관될 수 있지만, 이러한 엘리먼트들은 트랜지스터(101)의 소스/드레인 단자들(106, 108)에 인가되는 전압의 극성에 의존하여 실제 소스 또는 드레인 중 어느 하나와 연관될 수 있다.

[0055]

도 14 및 도 15는 본 발명의 다른 양상에 따른 프로그래밍 가능 메모리 셀 어레이(1400)의 개략도를 예시한다. 어레이(1400)는 본원에 설명된 바와 같은 안티퓨즈들을 갖는 복수의 프로그래밍 가능 메모리 셀들(1402, 1404, 1406, 1408)로 구성된다. 메모리 셀들(1402, 1404, 1406, 1408)의 "관독" 및 "기록" 동작들은 이들 각각의 비트 라인들(BL), 워드 라인들(WL) 및 선택 라인들(XL)에 인가되는 전압들에 의해 제어된다. 메모리 셀들(1402, 1404, 1406, 1408) 각각은 도 10 내지 도 13에 관련하여 설명된 메모리 셀들(1000, 1100, 1200, 1300) 중 어느 하나일 수 있다. 메모리 셀들(1402, 1404, 1406, 1408) 각각은 액세스 트랜지스터들(1410, 1420, 1430, 1440) 및 안티퓨즈들(1412, 1422, 1432, 1442)를 포함한다. 액세스 트랜지스터들(1410, 1420, 1430, 1440)은, 예를 들면, n-채널 전계 효과 트랜지스터들일 수 있다. 액세스 트랜지스터들(1410, 1420, 1430, 1440)은 도 10 내지 도 13에 도시된 트랜지스터(101)와 동일할 수 있고, 따라서 소스(106), 드레인(108), 게이트(110) 및 본체(104)를 포함할 수 있다. 안티퓨즈들(1412, 1422, 1432, 1442)은 도 10 내지 도 13에 도시된 안티퓨즈들(102, 302) 중 어느 하나일 수 있다. 일 양상에 따라, 메모리 셀들(1402, 1404, 1406, 1408)은, 안티퓨즈들(1412, 1422, 1432, 1442)이 그들의 상태를 개방 회로 상태에서부터 폐쇄 회로 상태로 한번 만 변경할 수 있는 OTP 메모리 셀들일 수 있다.

[0056]

도 14를 참조하면, 메모리 셀(1402)은 기록 동작을 겪는다(즉, 메모리 셀(1402)은 프로그래밍되고 있음). 메모리 셀(1402)의 값을 기록하기 위해(예를 들면, 논리 상태를 "0"으로부터 "1"로 또는 "1"로부터 "0"으로 변경하기 위해), 액세스 트랜지스터(1410) 및 안티퓨즈(1412)의 단자들에서의 다양한 전압들이 적절히 설정될 수 있다. 트랜지스터의 소스(1416)에서의 전압은 비트 라인(BL2)에 의해 제어되고, 트랜지스터(1410)의 게이트에서의 전압은 워드 라인(WL1)에 의해 제어되고, 안티퓨즈(1412)의 한 측(1414)(예를 들면, 도 10 내지 도 13의 상부 전극(134))에서의 전압은 선택 라인(XL1)에 의해 제어된다.

[0057]

예를 들면, 도 14에 도시된 바와 같이, 값은 트랜지스터의 소스(1416)를 접지 기준 전압(V_{ss})에 전기적으로 연결하고, 트랜지스터(1410)의 게이트를 공칭적인 공급 전압(V_{dd})으로 설정하고, 안티퓨즈의 단자(1414)(예를 들면, 도 10 내지 도 13의 상부 전극(134))를 프로그래밍 전압(V_{pp})으로 설정함으로써 기록될 수 있다. 공칭적인 공급 전압(V_{dd})이 트랜지스터(1410)의 임계 전압(V_{th})보다 더 크다는 것을 유의하라. 본 발명의 일 양상에 따라, $V_{pp} > V_{dd}$ 이고, V_{pp} 는 메모리 셀 어레이(1400)가 상주하는 IC의 I/O 전압과 동일할 수 있다. 또한, V_{pp} 는 안티퓨즈(1412)의 파괴 전압(V_{bd})보다 더 크다. 단지 하나의 예로서, V_{pp} 는 대략 1.8 V일 수 있고, V_{dd} 는 대략 1.2 V일 수 있다.

[0058]

전압(V_{dd})을 트랜지스터(1410)의 게이트에 인가하는 것은, 트랜지스터의 본체 단자가 접지된다고 가정하면, 트랜지스터(1410)가 활성화하고 도전성이 되게 한다(즉, 역전층이 게이트 아래에 형성되어, 소스와 드레인 사이의 실질적인 전류 흐름이 가능하게 함). 선택 라인(XL1) 전압을 V_{pp} 로 증가시키는 것은, 안티퓨즈(1412)에 걸친 전압이 안티퓨즈(1412)의 안티퓨즈 유전체의 파괴 전압(V_{bd})을 초과하기 때문에, 안티퓨즈(1412)가 개방 회로 상태에서부터 폐쇄 회로 상태로 전이하게 한다(즉, 안티퓨즈(1412) 내의 유전체 물질이 파괴함). 안티퓨즈(1412)에 걸친 결과적인 도전성 경로는, BL2 전압이 XL1 전압 미만이고 트랜지스터(1410)의 게이트 전압이 V_{th} 를 초과하는 경우에, XL1, BL2 및 트랜지스터(1410)를 통한 전류 흐름(곡선의 점선 화살표로 표시됨)을 가능하게 한다.

[0059]

메모리 셀(1402)이 기록 동작(즉, 프로그래밍 동작)을 겪는 동안에, 트랜지스터(1420) 및 안티퓨즈(1422)로 구

성된 메모리 셀(1404)은 근본적으로 비활성이고, 어떠한 유의미한 전류도 트랜지스터(1420)를 통해 흐르지 않는 데, 왜냐하면 트랜지스터(1420)의 게이트, 드레인 및 소스가 접지되기 때문이다. 마찬가지로, 트랜지스터(1430) 및 안티퓨즈(1432)로 구성된 메모리 셀(1406)은 또한 비활성이고, 어떠한 유의미한 전류도 트랜지스터(1430)를 통해 흐르지 않는다. 트랜지스터(1430)의 게이트의 전압이 V_{dd} 이지만, 소스 및 드레인 둘 모두가 접지되기 때문에, 어떠한 전류도 트랜지스터(1430)를 통해 흐르지 않는다. 마찬가지로, 트랜지스터(1440) 및 안티퓨즈(1442)로 구성된 메모리 셀(1408)이 또한 비활성이다. 트랜지스터(1440)의 게이트가 V_{ss} 에 연결되기 때문에, 트랜지스터(1440)가 비활성이고, 어떠한 유의미한 전류(즉, 무시할 만한 누설 전류를 제외함)도 트랜지스터(1440)를 통해(즉, 소스로부터 드레인으로) 흐를 수 없다.

[0060]

도 15를 참조하면, 메모리 셀(1402)은 "기록" 동작을 겪는다. 메모리 셀(1402)로부터 값을 판독하기 위해(예를 들면, 논리 상태 "0" 또는 "1"를 판독하기 위해), 트랜지스터(1410) 및 안티퓨즈(1412)의 단자들에서의 다양한 전압들은 적절히 설정되어야 한다. 예를 들면, 도 15에 도시된 바와 같이, 이것은 안티퓨즈의 단자(1414)(예를 들면, 도 10 내지 도 13의 상부 전극(134))를 V_{ss} 로 설정하는 것, 및 트랜지스터(1410)의 게이트 및 드레인(1416)을 V_{dd} 로 설정하는 것을 포함할 수 있다. (BL2가 이러한 예에서 XL1보다 더 큰 전압을 갖기 때문에, 노드(1416)가 이제 드레인이고, 트랜지스터(1410)의 다른 측이 소스라는 것을 유의하라.) 전압(V_{dd})을 트랜지스터(1410)의 게이트에 인가하는 것은 트랜지스터(1410)가 활성화하고 도전성이 되게 한다. BL2 전압을 V_{dd} 로 증가시키는 것은 안티퓨즈(1412)의 상태에 의존하여 안티퓨즈(1412) 및 트랜지스터(1410)를 통해 전류가 흐르게 할 수 있다. 예를 들면, 안티퓨즈(1412)가 개방 회로 상태에 있는 경우에(예를 들면, 안티퓨즈(1412)가 프로그래밍되지 않은 경우에), 어떠한 유의미한 전류도 BL2 및 WL1을 통해 흐르지 않을 것이고, 이것은 "0"과 같은 제 1 논리 상태를 나타낼 수 있다. 안티퓨즈(1412)가 도전성, 폐쇄 회로 상태에 있는 경우에(예를 들면, 안티퓨즈(1412)가 프로그래밍/기록된 경우에), 상당한 양의 전류가 BL2 및 WL1을 통해 흐를 것이고(점선, 곡선 화살표로 표시됨), 이것은 "1"과 같은 제 2 논리 상태를 나타낼 수 있다.

[0061]

메모리 셀(1402)이 판독 동작을 겪는 동안에, 메모리 셀들(1404, 1406 및 1408)은, 그들의 연관된 트랜지스터들(1420, 1430, 1440)의 게이트 전압들이 V_{th} 를 초과하지 않을 수 있거나 및/또는 그들의 소스들과 드레인들 사이의 전압 차이가 무시할 만하기 때문에, 비활성일 수 있다. 이러한 방식으로, 선택 라인들의 전압들을 V_{pp} 로 설정하고, 비트 라인들의 전압들을 V_{ss} 로 설정하는 것은 메모리 셀들(1402, 1404, 1406, 1408)의 프로그래밍을 허용할 수 있고, 반면에 선택 라인들의 전압들을 V_{ss} 로 설정하고, 비트 라인들의 전압들을 V_{dd} 로 설정하는 것은 메모리 셀들(1402, 1404, 1406, 1408)의 판독을 허용할 수 있다.

[0062]

다른 양상에 따라, 메모리 셀들(1402, 1404, 1406, 1408)은, 안티퓨즈(1412, 1422, 1432, 1442) 내에서 사용되는 유전체가 그 유전체에 걸쳐 인가되는 전압에 기초하여 도전성 경로들을 여러번 형성 및 파괴하도록 설계되는 경우에, 안티퓨즈들(1412, 1422, 1432, 1442)이 자신들의 상태들을 개방 회로 상태에서부터 폐쇄 회로 상태로 변경하고 다시 개방 회로 상태로 여러 번 변경할 수 있는 MTP 메모리 셀들일 수 있다. 그러한 경우에, 메모리 셀들(1402, 1404, 1406, 1408)은 적절한 전압들을 안티퓨즈들(1412, 1422, 1432, 1442) 및 트랜지스터들(1410, 1420, 1430, 1440)의 단자들에 인가함으로써 재프로그래밍(즉, 재기록)될 수 있다. 예를 들면, 메모리 셀(1402)은 전압(V_{dd})을 트랜지스터(1410)의 게이트에 인가하고, V_{ss} 를 XL1에 인가하고, V_{pp} 를 BL2에 인가함으로써 개방 회로 상태로 재프로그래밍될 수 있다. 또한, BL1, BL3 및 BL4는 의도되지 않은 프로그래밍으로부터 어레이(1400) 내의 다른 메모리 셀들을 비활성화하도록 V_{ss} 로 설정되어야 할 것이다.

[0063]

일 양상에 따라, 제 1 전극(134), 안티퓨즈 유전체(136) 및/또는 제 2 전극(304)은 도 1 내지 도 7 및 도 10 내지 도 13에 도시된 바와 같이 평면일 수 있다. 다른 양상에 따라, 제 1 전극(134), 안티퓨즈 유전체(136) 및/또는 제 2 전극(304)은 실질적으로 직사각형의 직육면체 형상을 가질 수 있다.

[0064]

도 16은 일 양상에 따라 집적 회로를 제조하는 방법(1600)을 예시한다. 단계(1602)에서, 상기 방법은 기판을 제공하는 단계를 포함한다. 단계(1604)에서, 상기 방법은 기판에서 적어도 하나의 소스/드레인 영역을 포함하는 액세스 트랜지스터를 형성하는 단계를 더 포함한다. 단계(1606)에서, 상기 방법은 제 1 전극을 형성하기 위해 제 1 도전체를 제공하는 단계를 더 포함한다. 단계(1608)에서, 상기 방법은 안티퓨즈 유전체를 제공하는 단계를 더 포함한다. 단계(1610)에서, 상기 방법은 제 2 도전체를 제공하는 단계를 더 포함한다. 단계(1612)에서, 상기 방법은 제 1 전극의 제 1 표면을 안티퓨즈 유전체의 제 1 표면에 연결하고 안티퓨즈 유전체의 제 2 표면을 제 2 도전체의 제 1 표면에 연결함으로써 안티퓨즈를 형성하는 단계를 더 포함한다. 단계(1614)에서, 상

기 방법은 제 2 도전체를 액세스 트랜지스터의 소스/드레인 영역에 전기적으로 연결하는 단계를 더 포함한다.

[0065]

도 17은 일 양상에 따른 집적 회로(1700)를 포함할 수 있는 다양한 전자 디바이스들을 예시한다. 집적 회로(1700)는 도 1, 도 2, 도 3, 도 4, 도 5, 도 6, 도 7, 도 8, 도 9, 도 10, 도 11, 도 12, 도 13, 도 14, 도 15 및/또는 도 16에 관련하여 상술된 집적 회로 메모리 셀들(100, 300, 400, 500, 1000, 1100, 1200, 1300) 및/또는 메모리 셀 어레이들(800, 1400) 중 어느 하나일 수 있다. 예를 들면, 모바일 텔레폰(1702), 랩톱 컴퓨터(1704) 및 고정 위치 단말(1706)은 집적 회로(1700)를 포함할 수 있다. 도 17에 예시된 디바이스들(1702, 1704, 1706)은 단지 예시이다. 핸드-헬드 PCS(personal communication systems) 유닛들, 개인 정보 단말들, GPS 인에이블 디바이스들, 내비게이션 디바이스들, 셋 톱 박스들, 음악 플레이어들, 비디오 플레이어들과 같은 휴대용 데이터 유닛들, 엔터테인먼트 유닛들, 미터 판독 장치와 같은 고정 위치 데이터 유닛들, 또는 데이터 또는 컴퓨터 명령들을 저장 또는 리트리브(retrieve)하는 임의의 다른 디바이스, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 다른 전자 디바이스들은 또한 집적 회로(1700)를 특징으로 할 수 있다.

[0066]

도 18은 본 발명의 일 양상에 따른 집적 회로(1800)의 개략도를 예시한다. IC(1800)는 복수의 메모리 셀들(1804)을 포함하는 메모리 셀 어레이(1802)를 포함할 수 있다. 메모리 셀 어레이(1802)는 본원에 설명된 메모리 셀 어레이들(800, 1400) 중 임의의 것일 수 있다. 메모리 셀들(1804)은 본원에 설명된 OTP 또는 MTP 메모리 셀들(100, 300, 400, 500, 1000, 1100, 1200, 1300) 중 임의의 것일 수 있다. $V_{I/O}$ 미반인 공칭적인 공급 전압(V_{dd})을 생성하기 위해 IC의 전압 변환기 회로(1806)에 의해 사용되는 I/O 전압($V_{I/O}$)이 외부에서 IC(1800)에 공급될 수 있다. $V_{I/O}$ 및 V_{dd} 둘 모두는 도시된 바와 같이 메모리 셀 어레이(1802)에 공급될 수 있다. 다른 양상들에서, $V_{I/O}$ 및 V_{dd} 둘 모두가 외부에서 IC(1800)에 공급될 수 있고, IC(1800)는 전압 변환기 회로(1806)를 사용하여 온-칩에서 V_{dd} 를 생성하지 않아도 된다. IC(1800)는 하나 이상의 입력/출력(I/O) 신호 라인들(I/O_1 , I/O_2)을 가질 수 있다.

[0067]

도 1, 도 2, 도 3, 도 4, 도 5, 도 6, 도 7, 도 8, 도 9, 도 10, 도 11, 도 12, 도 13, 도 14, 도 15, 도 16, 도 17 및/또는 도 18에 예시된 컴포넌트들, 단계들, 특징들 및/또는 기능들 중 하나 이상은 단일 컴포넌트, 단계, 특징 또는 기능으로 재배열 및/또는 조합되거나, 몇몇의 컴포넌트들, 단계들 또는 기능들로 구현될 수 있다. 추가적인 엘리먼트들, 컴포넌트들, 단계들 및/또는 기능들은 또한 본 발명에서 벗어나지 않고 추가될 수 있다.

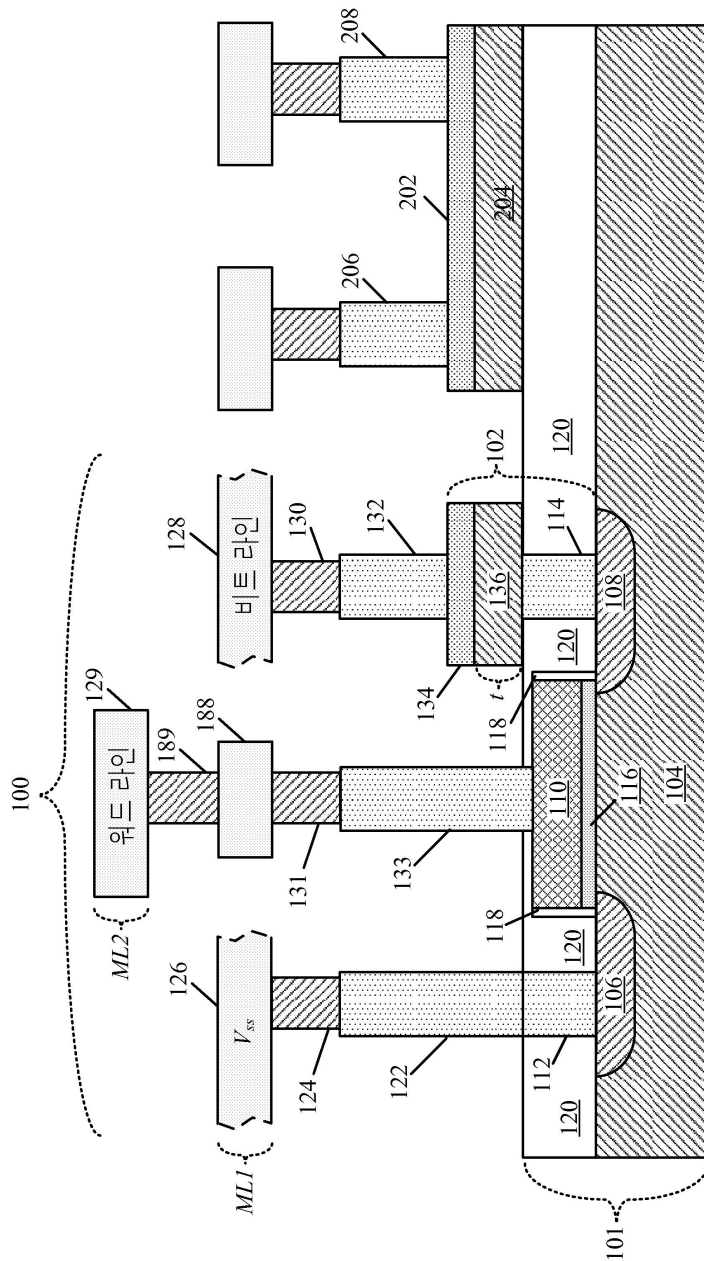
[0068]

또한, 본 발명의 양상들이 플로우차트, 흐름도, 구조도 또는 블록도로서 도시되는 프로세스로서 설명될 수 있다는 것이 유의된다. 플로우차트가 순차적인 프로세스로서 동작들을 설명할 수 있지만, 동작들 중 많은 동작은 병렬로 또는 동시에 수행될 수 있다. 또한, 동작들의 순서는 재배열될 수 있다. 프로세스는, 그의 동작들이 완료될 때 종결된다. 프로세스는 방법, 기능, 절차, 서브루틴, 서브프로그램 등에 대응할 수 있다. 프로세스가 기능에 대응할 때, 그의 종결은 소명(calling) 기능 또는 주요 기능으로의 기능의 복귀에 대응한다.

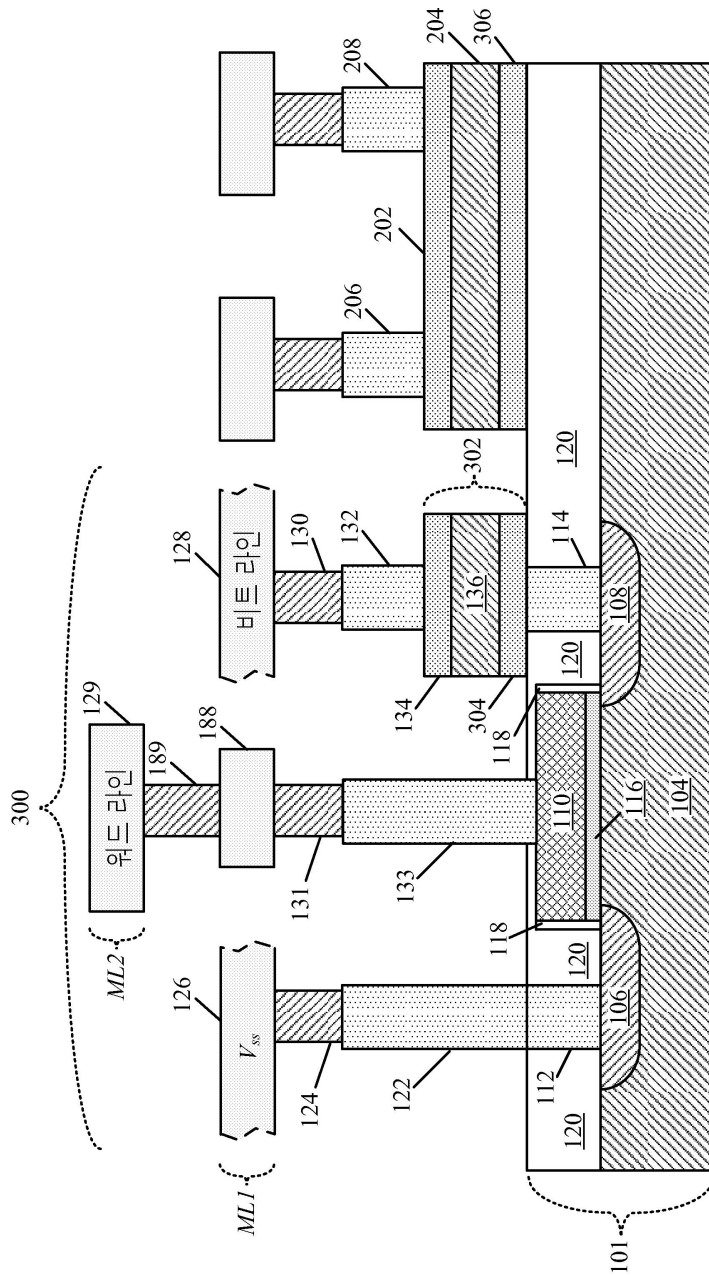
[0069]

본원에 설명된 본 발명의 다양한 특징들은 본 발명에서 벗어나지 않고 상이한 시스템들에서 구현될 수 있다. 본 발명의 앞서 말한 양상들이 단지 예들이고 본 발명을 제한하는 것으로 해석되지 않는다는 것이 유의되어야 한다. 본 발명의 양상들의 설명은 예시적인 것으로 의도되고, 청구항들의 범위를 제한하는 것으로 의도되지 않는다. 이로써, 본 발명의 교시들은 다양한 타입들의 장치들에 용이하게 적용될 수 있고, 많은 대안들, 수정들 및 변형들이 당업자들에게 자명할 것이다.

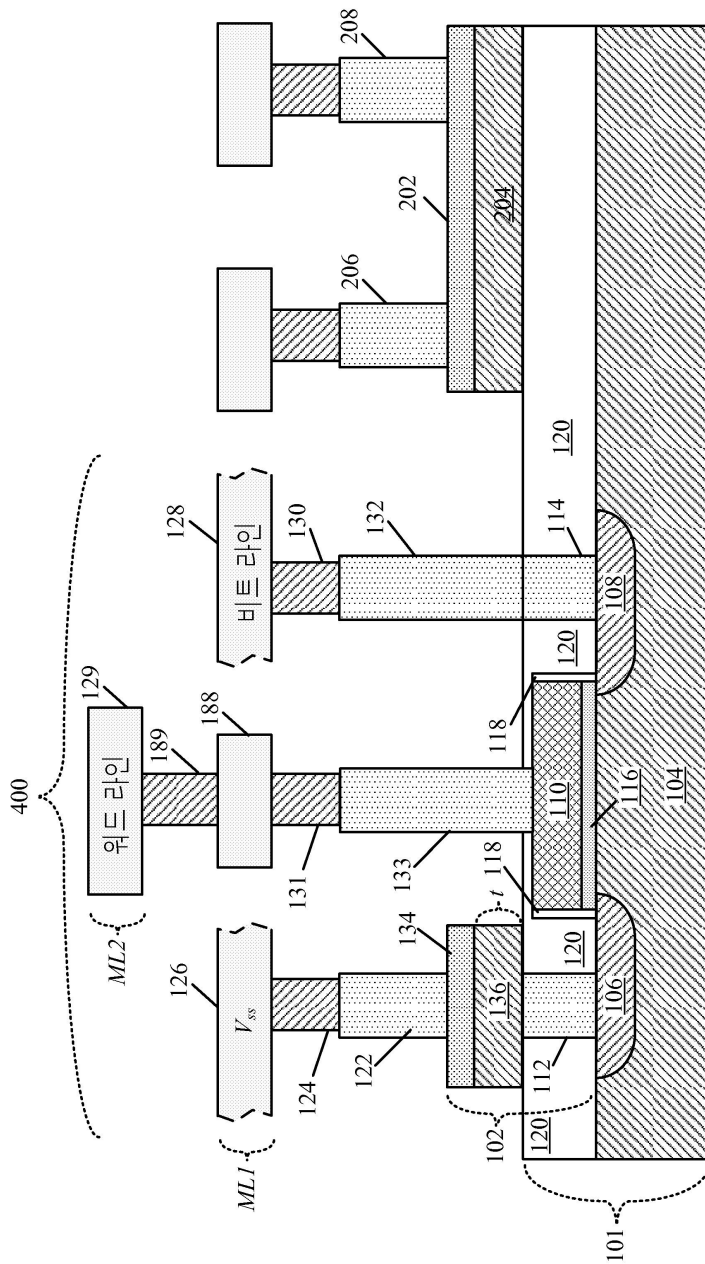
도면2



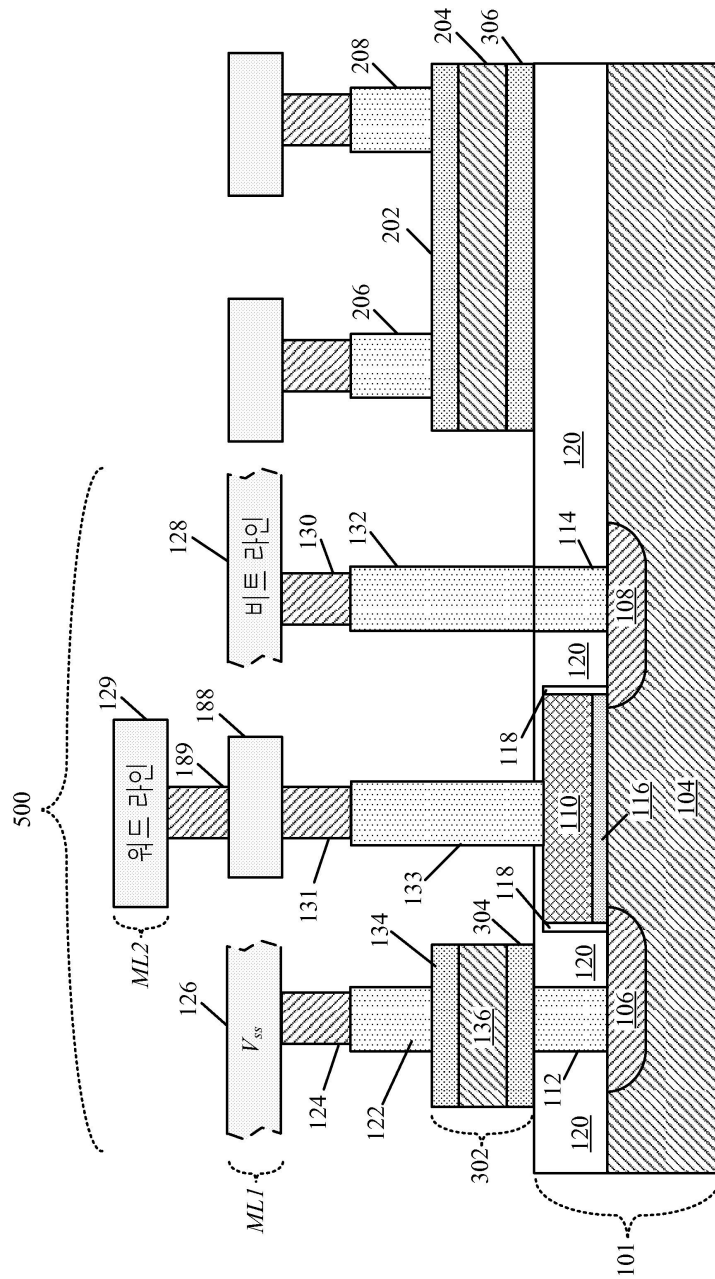
도면3



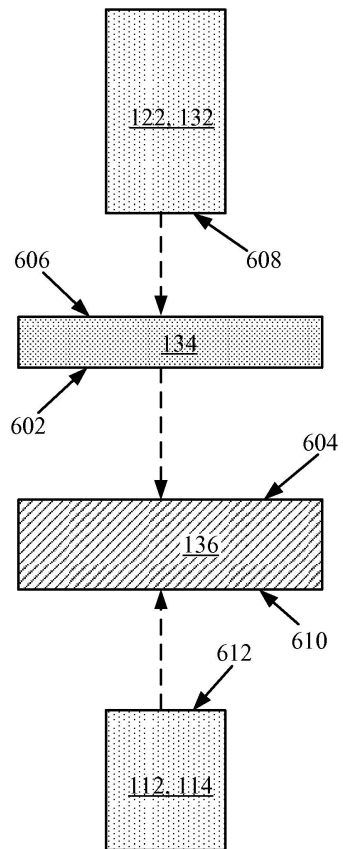
도면4



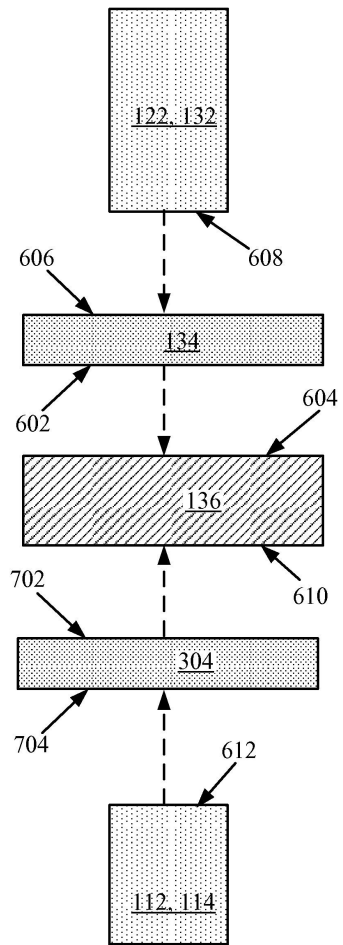
도면5



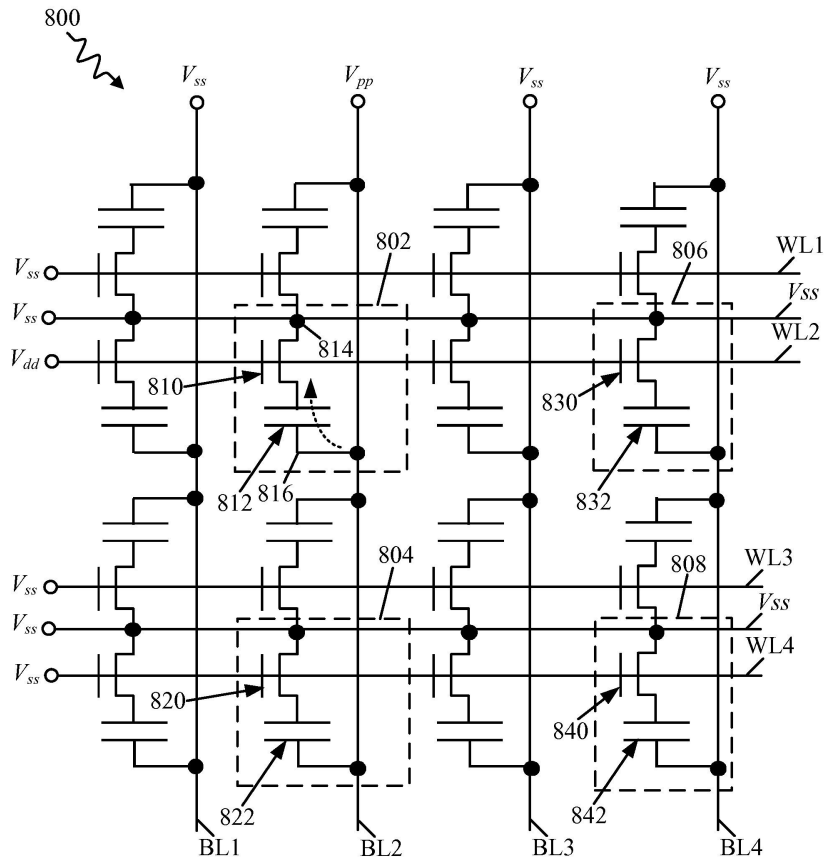
도면6



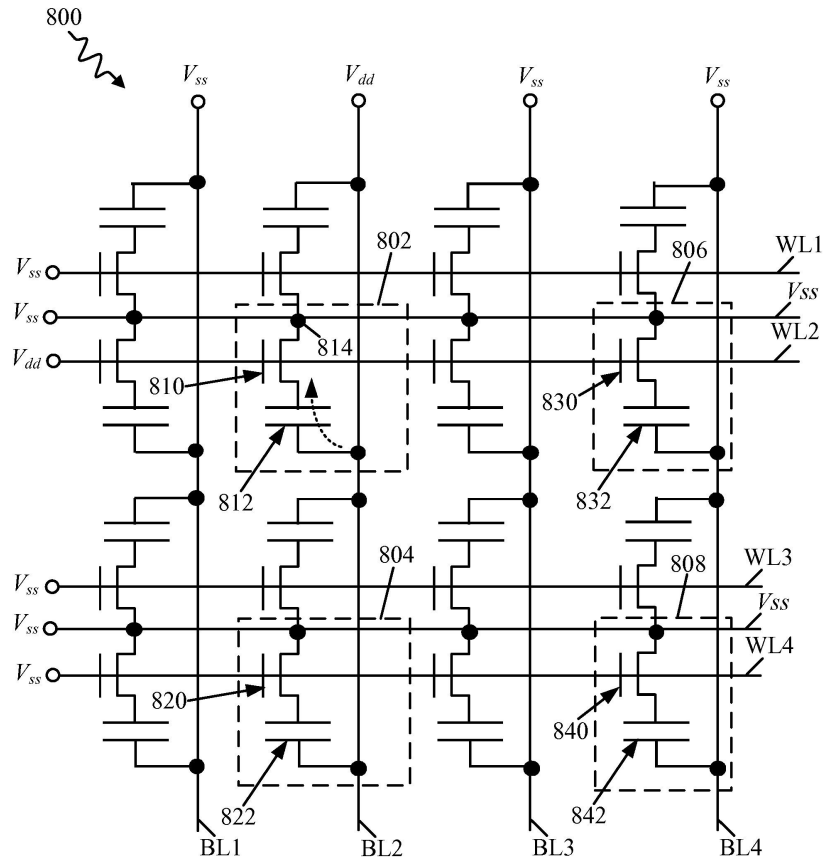
도면7



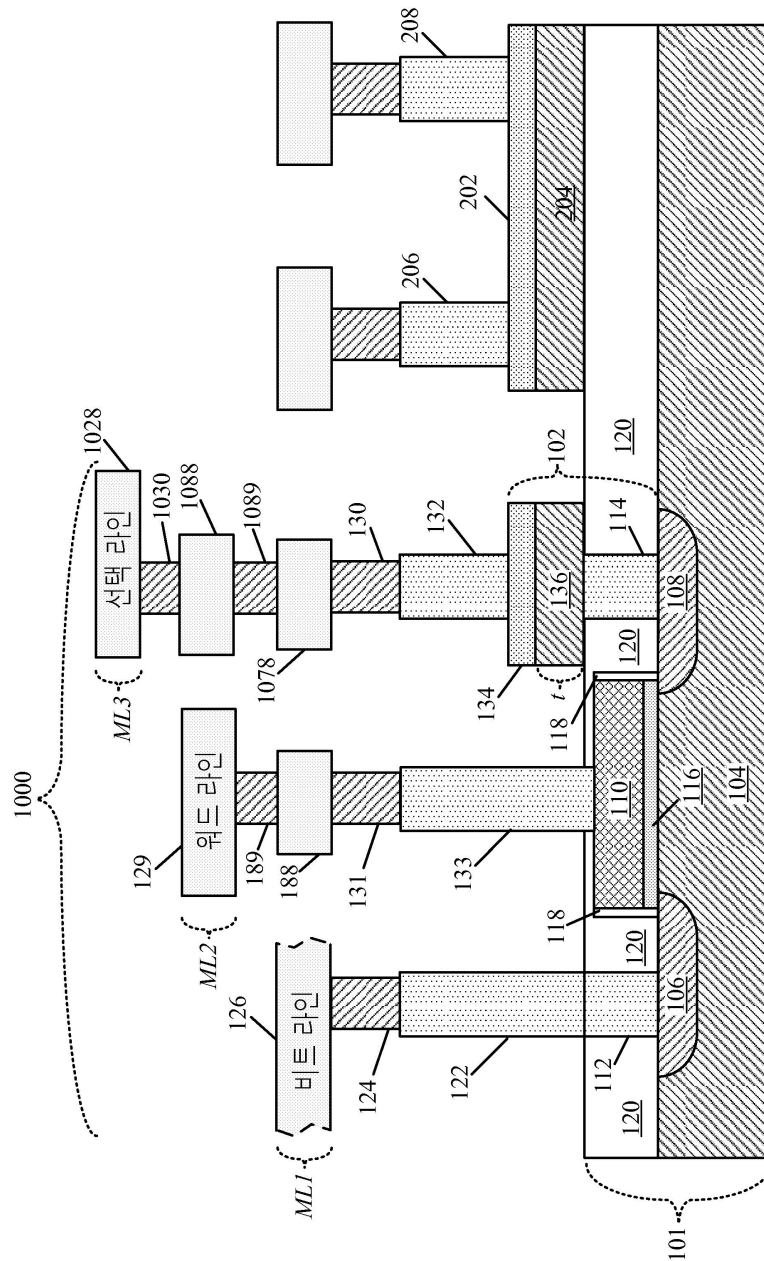
도면8



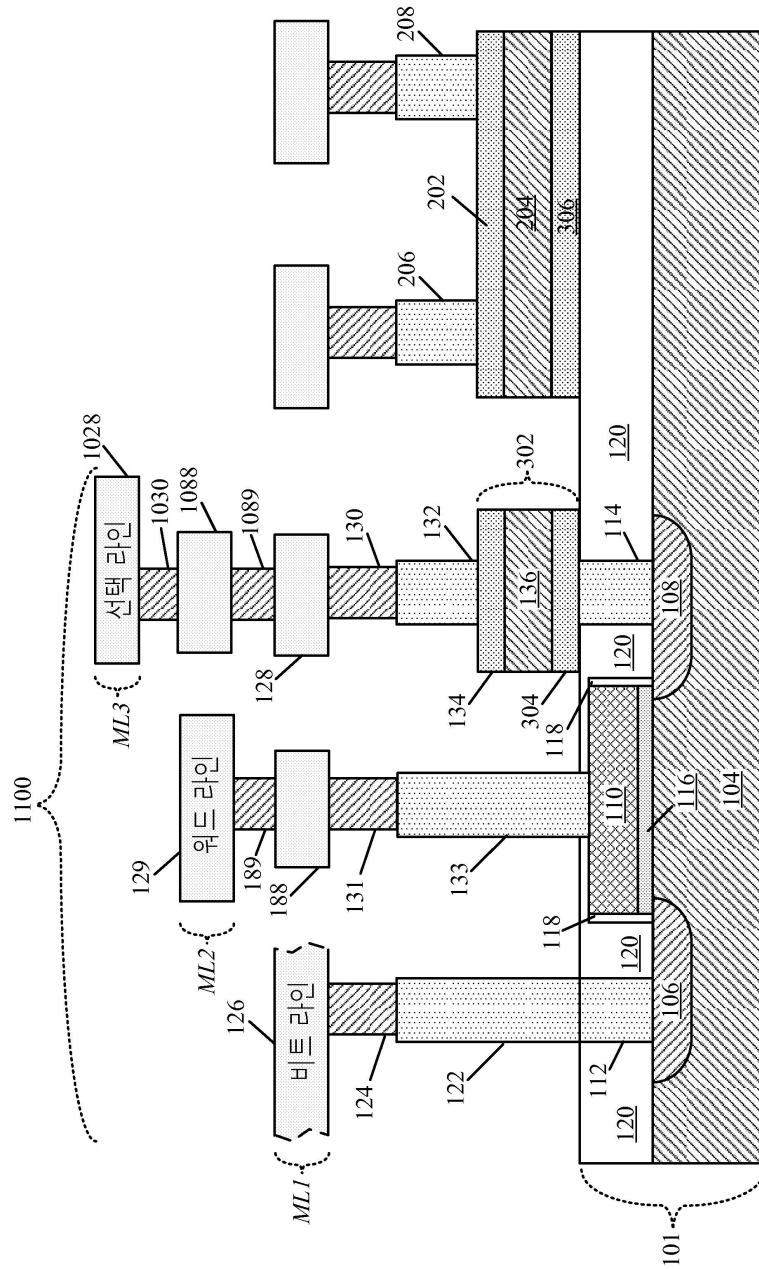
도면9



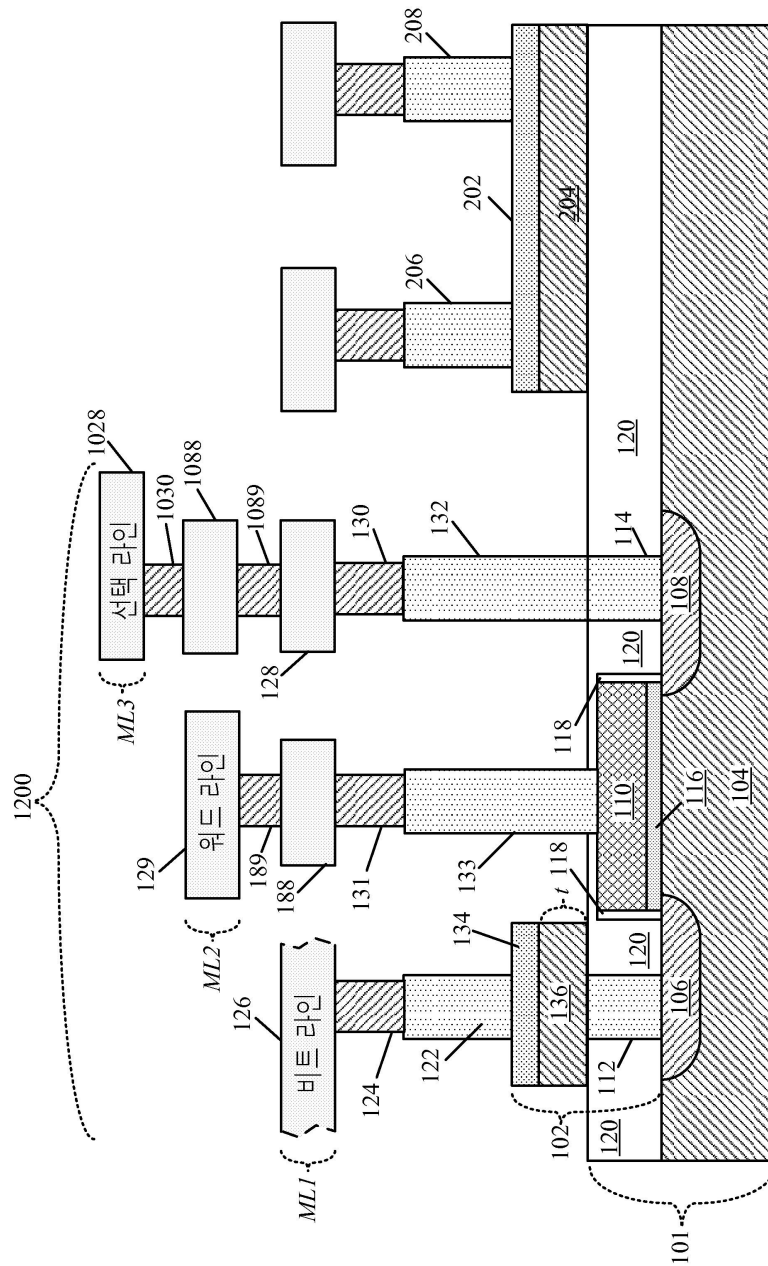
도면10



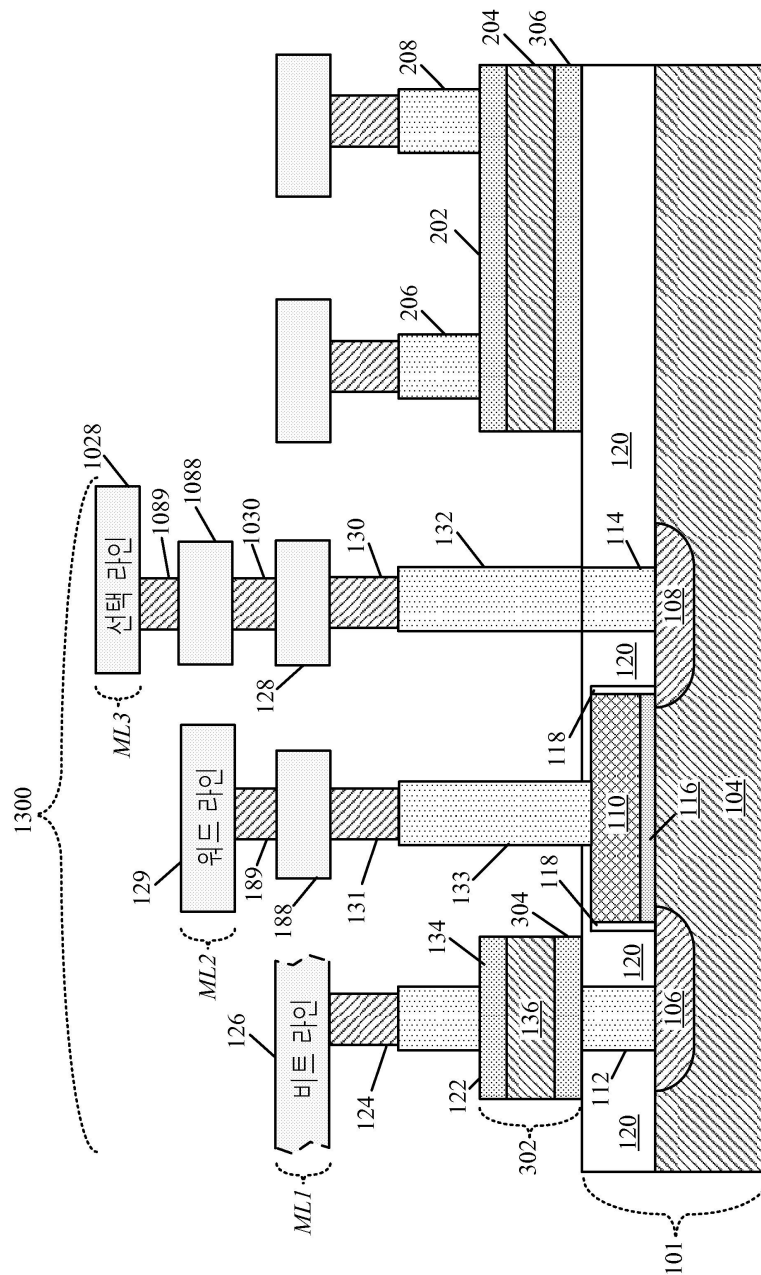
도면11



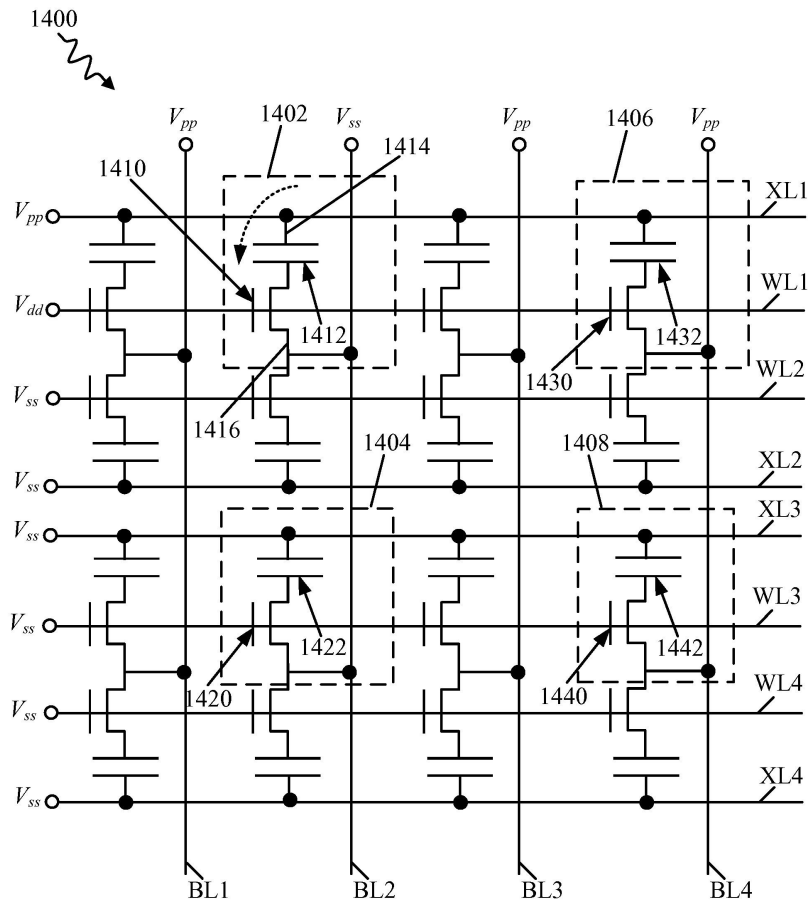
도면12



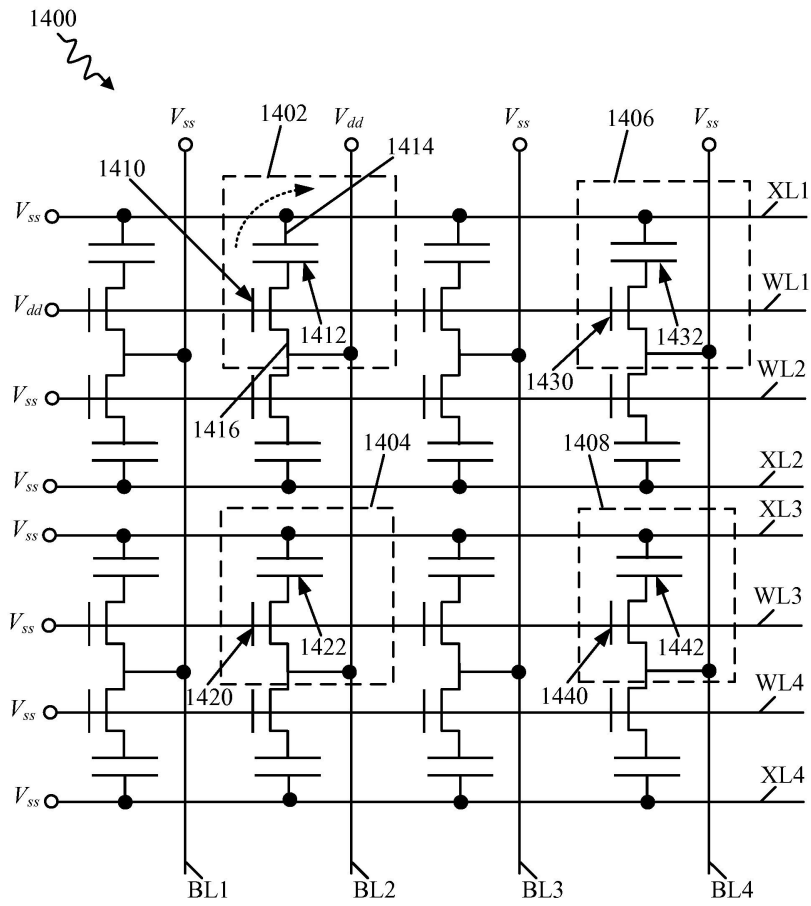
도면13



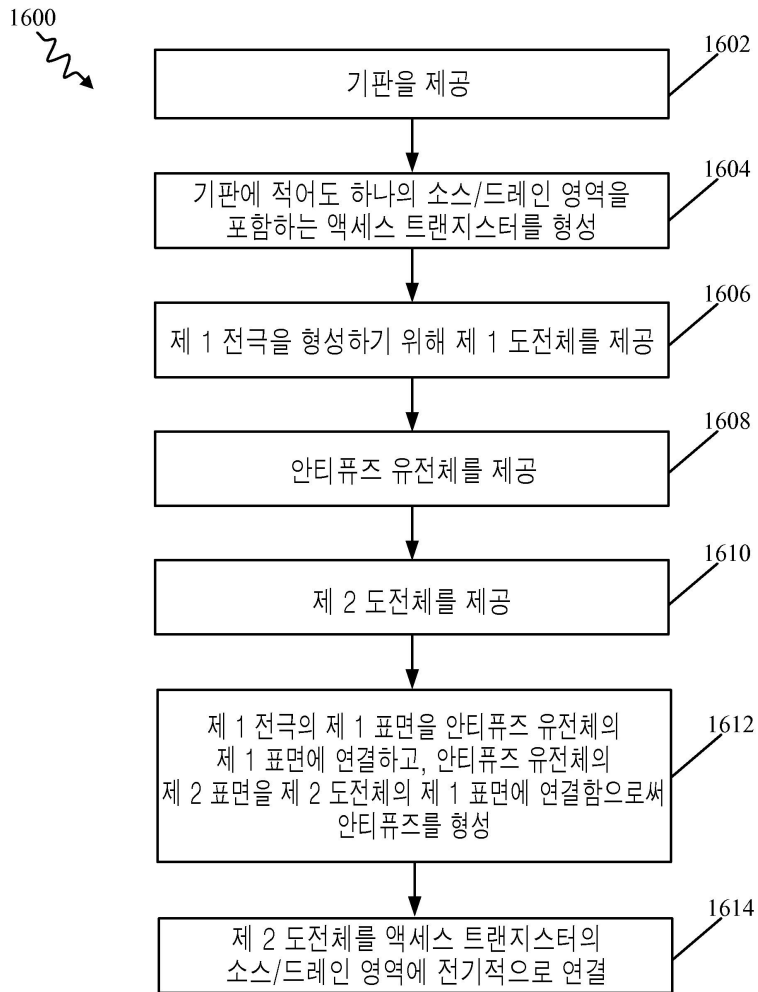
도면14



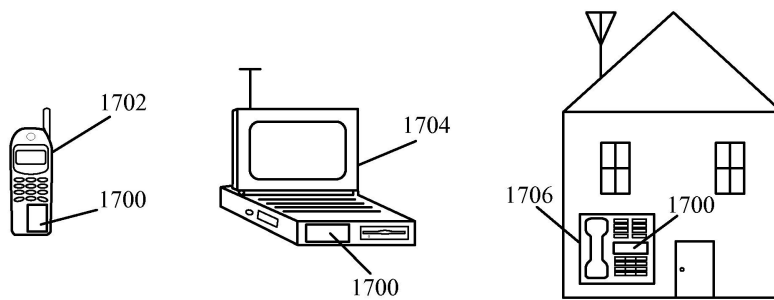
도면15



도면16



도면17



도면18

